

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5207090号
(P5207090)

(45) 発行日 平成25年6月12日(2013.6.12)

(24) 登録日 平成25年3月1日(2013.3.1)

(51) Int.Cl.		F I		
G 1 1 C 16/02	(2006.01)	G 1 1 C 17/00	6 1 3	
G 1 1 C 16/04	(2006.01)	G 1 1 C 17/00	6 2 2 E	
G 1 1 C 16/06	(2006.01)	G 1 1 C 17/00	6 1 1 A	
		G 1 1 C 17/00	6 3 4 A	

請求項の数 19 (全 25 頁)

(21) 出願番号	特願2010-530015 (P2010-530015)	(73) 特許権者	595168543
(86) (22) 出願日	平成20年10月1日(2008.10.1)		マイクロン テクノロジー, インク.
(65) 公表番号	特表2011-501339 (P2011-501339A)		アメリカ合衆国, アイダホ州 83716
(43) 公表日	平成23年1月6日(2011.1.6)		-9632, ボイズ, サウス フェデ
(86) 国際出願番号	PCT/US2008/078397		ラル ウェイ 8000
(87) 国際公開番号	W02009/051960	(74) 代理人	100106851
(87) 国際公開日	平成21年4月23日(2009.4.23)		弁理士 野村 泰久
審査請求日	平成22年6月8日(2010.6.8)	(74) 代理人	100074099
(31) 優先権主張番号	11/975, 204		弁理士 大菅 義之
(32) 優先日	平成19年10月18日(2007.10.18)	(72) 発明者	ルーフパーバー, フランキー エフ.
(33) 優先権主張国	米国 (US)		アメリカ合衆国, カリフォルニア州 95
			030, モンテ セレノ, リッジクレスト
			アヴェニュー 16255

最終頁に続く

(54) 【発明の名称】 NAND型フラッシュ中のメモリセルの検出

(57) 【特許請求の範囲】

【請求項1】

NANDアーキテクチャ不揮発性メモリ装置であって、
複数のNANDストリングに配置された複数の不揮発性メモリセルを有するNANDメモリアレイと、

前記NANDメモリアレイの前記複数の不揮発性メモリセルの制御及び/またはアクセスを行う回路部と、

を備え、

前記NANDアーキテクチャ不揮発性メモリ装置は、

前記NANDストリングをソース線及びビット線に接続し、

前記ソース線に昇圧されたソース電圧(V_{source})を印加し、

前記NANDストリングの1以上の非選択メモリセル上のコントロールゲートに接続された1以上のワード線に通過電圧(V_{pass})を印加し、

前記選択メモリセルのコントロールゲートに接続されたワード線に読み出しゲート電圧を印加する

ことにより、前記NANDメモリアレイのNANDメモリセルストリングの選択メモリセルの閾値電圧を検知するようにされ、

前記NANDアーキテクチャ不揮発性メモリ装置は、前記ビット線と接続されるサンプルホールド回路で前記ビット線上に現れる前記閾値電圧をサンプリングし、該サンプルホールド回路は、

10

20

第 1 のスイッチを通して I / O バスと接続され、第 2 のスイッチを通してビット線抑止回路と接続されるアンプと、

前記閾値電圧をサンプリングするよう構成され、前記アンプの第 1 の入力、及び第 3 のスイッチを通して前記ビット線と接続される第 1 のコンデンサと、

ターゲットのアナログ電圧を保持するよう構成され、前記アンプの第 2 の入力、及び第 4 のスイッチを通してデータ I / O と接続される第 2 のコンデンサと、

前記アンプと並列に接続される第 5 のスイッチと、を有し、

前記第 5 のスイッチがオープンで、前記第 2 のスイッチがクローズであるときに、前記アンプが、前記ターゲットのアナログ電圧の前記閾値電圧との比較を前記ビット線抑止回路に出力するよう構成され、前記第 5 のスイッチ及び第 1 のスイッチの両方がクローズであるときに、前記アンプが、さらに、前記閾値電圧を前記 I / O バスへと出力するための単一の利得増幅器として動作するよう構成される

10

ことを特徴とする NAND アーキテクチャ不揮発性メモリ装置。

【請求項 2】

前記接続されたビット線上に現れる電圧は、前記読み出しゲート電圧 (V_g) から前記 NAND メモリセルストリングの前記選択メモリセルについての閾値電圧を減算した電圧であることを示す

ことを特徴とする請求項 1 記載の NAND アーキテクチャ不揮発性メモリ装置。

【請求項 3】

前記 NAND アーキテクチャ不揮発性メモリ装置は、前記 NAND メモリアレイの NAND メモリセルストリングの中から前記選択メモリセルについての閾値電圧を検知する一方で、更に、

20

選択電圧 V_{SGD} を前記 NAND メモリセルストリングのドレインセレクトゲートに印加し、

選択電圧 V_{SGS} を前記 NAND メモリセルストリングのソースセレクトゲートに印加し、

前記 NAND メモリセルストリングの前記ビット線にバイアス電流を印加する

ことを特徴とする請求項 1 記載の NAND アーキテクチャ不揮発性メモリ装置。

【請求項 4】

前記 NAND アーキテクチャ不揮発性メモリ装置は、前記保持した電圧を、外部装置に転送する前に増幅し、及び / またはバッファリングする

30

ことを特徴とする請求項 1 記載の NAND アーキテクチャ不揮発性メモリ装置。

【請求項 5】

前記 NAND アーキテクチャ不揮発性のメモリ装置は、選択メモリセルの所望の閾値電圧を表すアナログデータ信号を受信する

ことを特徴とする請求項 1 記載の NAND アーキテクチャ不揮発性メモリ装置。

【請求項 6】

前記 NAND アーキテクチャ不揮発性メモリ装置は、プログラム周期及び確認周期において、

前記サンプルホールド回路の前記選択メモリセルについての前記所望の閾値電圧を示す値を保持し、

40

前記プログラム周期において、前記選択メモリを

前記選択メモリセルのコントロールゲートの電圧をプログラミングし、

該選択メモリセルのチャンネルにかかる低電圧をプログラミングする

ことによりプログラムし、

前記選択メモリセルの閾値電圧を

前記 NAND ストリングをビット線及びソース線に接続し、

該ソース線に、昇圧されたソース電圧 (V_{source}) を印加し、

該 NAND ストリングの 1 以上の非選択メモリセルのコントロールゲートに接続されている 1 以上のワード線に、通過電圧 (V_{pass}) を印加し、

50

該選択メモリセルのコントロールゲートと接続されているワード線に、読み出しゲート電圧 (V_g) を印加する

ことにより検知し、

前記選択メモリセルの前記検知した閾値電圧を示す値を、該選択メモリセルの前記所望の閾値電圧を示す保持されている値と比較をし、

前記検知した閾値電圧が前記所望の閾値電圧未満である場合には、更にプログラム周期とし、前記選択メモリセルの該閾値電圧を増加させる

ことにより前記選択セルをプログラムする

ことを特徴とする請求項 5 記載の NAND アーキテクチャ不揮発性メモリ装置。

【請求項 7】

前記選択メモリセルの閾値電圧を検知し、該検知した選択メモリセルの閾値電圧を該選択メモリセルの前記所望の閾値電圧と比較する処理において、更に、前記読み出し電圧 (V_g) から前記 NAND メモリセルストリングの該選択メモリセルについての該閾値電圧 (V_t) を減算した電圧を示す前記接続したビット線 (V_{out}) に表される電圧を読み出し、該接続したビット線に表される電圧を読み出しゲート電圧 (V_g) から差し引いて、該選択メモリセルの閾値電圧 (V_t) を示す電圧を取得し、該選択メモリセルの閾値電圧 (V_t) を示す電圧を、保持されている、該所望の閾値電圧を示す電圧と比較することを特徴とする請求項 6 記載の NAND アーキテクチャ不揮発性メモリ装置。

【請求項 8】

前記 NAND アーキテクチャ不揮発性メモリ装置は、アナログ - デジタル変換器 (ADC) を用いて前記ビット線上に表される電圧のサンプリングを行うことにより、該接続されたビット線上に表され、前記 NAND メモリセルストリングの前記選択メモリセルについての前記閾値電圧を示す電圧を検知する

ことを特徴とする請求項 1 記載の NAND アーキテクチャ不揮発性メモリ装置。

【請求項 9】

2 ビット以上の情報を有するデータ値を示すアナログデータ信号を送受信するように構成された NAND アーキテクチャ不揮発性メモリ装置と、

外部装置と通信を行うコントローラと、

前記コントローラ及びメモリ装置と接続されたリード/ライトチャネルと、

を備え、

前記リード/ライトチャネルは、前記メモリ装置から受信したアナログ信号を前記コントローラに送信するためのデジタル信号に変換し、前記コントローラから受信したデジタル信号を前記メモリ装置に送信するためのアナログ信号に変換し、

前記 NAND アーキテクチャ不揮発性メモリ装置は、ソースフォロアー検知動作において、該 NAND アーキテクチャ不揮発性メモリ装置の NAND メモリアレイのうち、1 以上の NAND メモリセルストリングの中から 1 以上の選択されたメモリセルについての閾値電圧を、

各 NAND ストリングをビット線及びソース線に接続し、

前記ソース線に昇圧されたソース電圧 (V_{source}) を接続し、

通過電圧 (V_{pass}) を、各 NAND ストリングの 1 以上の非選択メモリセルのコントロールゲートに接続された 1 以上のワード線に接続し、

読み出しゲート電圧 (V_g) を、各 NAND ストリングの前記選択メモリセルのコントロールゲートに接続されたワード線に接続する

ことにより読み出し、

前記 NAND アーキテクチャ不揮発性メモリ装置は、前記ビット線と接続されるサンプルホールド回路で前記ビット線上に現れる前記閾値電圧をサンプリングし、該サンプルホールド回路は、

第 1 のスイッチを通して I/O バスと接続され、第 2 のスイッチを通してビット線抑制回路と接続されるアンプと、

前記閾値電圧をサンプリングするよう構成され、前記アンプの第 1 の入力及び第 3 の

10

20

30

40

50

スイッチを通して前記ビット線と接続される第 1 のコンデンサと、
 ターゲットのアナログ電圧を保持するよう構成され、前記アンプの第 2 の入力及び第
 4 のスイッチを通じてデータ I / O と接続される第 2 のコンデンサと、
 前記アンプと並列に接続される第 5 のスイッチと、を有し、
 前記第 5 のスイッチがオープンで、前記第 2 のスイッチがクローズであるときに、前記
 アンプが、前記ターゲットのアナログ電圧の前記閾値電圧との比較を前記ビット線抑止回
 路に出力するよう構成され、前記第 5 のスイッチ及び第 1 のスイッチの両方がクローズで
 あるときに、前記アンプが、さらに、前記閾値電圧を前記 I / O バスへと出力するための
 単一の利得増幅器として動作するよう構成される
 ことを特徴とする大容量記憶装置。

10

【請求項 10】

前記 NAND アーキテクチャ不揮発性メモリ装置は、更に、
 プログラミング電圧を前記選択メモリセルのコントロールゲートに、および該選択メモ
 リセルのチャンネルにプログラム低電位を印加することにより、プログラムおよび確認周期
 において前記選択メモリにプログラミングし、
 各 NAND ストリングをビット線及びソース線に接続し、
 前記ソース線に昇圧されたソース電圧 (V s o u r c e) を接続し、
 通過電圧 (V p a s s) を、各 NAND ストリングの 1 以上の非選択メモリセルのコン
 トロールゲートに接続された 1 以上のワード線に接続し、
 読み出しゲート電圧 (V g) を、各 NAND ストリングの前記選択メモリセルのコン
 トロールゲートに接続されたワード線に接続する、ことによりソースフォロワー検知動作
 中に前記選択メモリセルが表す閾値電圧を検出し、
 前記選択メモリセルを表す検出された閾値電圧を、受信したアナログ信号を表す収納さ
 れた電圧レベルと比較し、
 もしメモリセルの閾値の表示が関連する収納された電圧レベルより小さいことが分かっ
 たならば、メモリセルにさらにプログラムおよび確認周期を与えることによって前記選択
 メモリセルについてのメモリセルの閾値電圧を増加させる、
 ことにより、サンプルホールド回路に、書き込み動作において受信したアナログ信号を示
 す電圧レベルを保持し、プログラム及び確認動作において、読み出し閾値電圧の示す値が
 該保持した電圧レベル以上になるまで、該書き込み動作の選択メモリセルをプログラムす
 るように構成されることを特徴とする請求項 9 記載の大容量記憶装置。

20

30

【請求項 11】

前記 NAND アーキテクチャ不揮発性メモリ装置はさらに、
 前記 1 つ以上の選択メモリセルの各メモリセルの読み出しゲート電圧 (V g) から閾値
 電圧 (V t) を引いた差を表す、接続したビット線上に現れる電圧 (V o u t) を検出し
 、
 前記 1 つ以上の選択メモリセルの各メモリセルに対する閾値電圧 (V t) を示す電圧を
 得るために、前記接続したビット線上に現れる電圧 (V o u t) を、読み出しゲート電圧
 (V g) から減じる、
 ことにより、1 つ以上の選択メモリセルの閾値電圧を表す電圧レベルを有するメモリ装置
 から送信するためのソースフォロワー動作から、アナログデータ信号を生成するよう
 に構成されることを特徴とする請求項 9 記載の大容量記憶装置。

40

【請求項 12】

不揮発性メモリ装置の NAND メモリセルストリングの選択メモリセルから閾値電圧を
 検出する方法であって、
 前記 NAND メモリセルストリングをビット線およびソース線に接続すること、
 昇圧されたソース電圧 (V s o u r c e) を前記ソース線に印加すること、
 通過電圧 (V p a s s) を、前記 NAND メモリセルストリングの 1 つ以上の非選択メモ
 リセル上のコントロールゲートに接続された 1 つ以上のワード線に印加すること、
 読み出しゲート電圧 (V g) を、前記 NAND メモリセルストリングの前記選択された

50

メモリセル上のコントロールゲートに接続されたワード線に印加すること、および
前記ビット線から、前記選択メモリセルの前記閾値電圧を表す電圧レベルを読み出すこと、

第1のスイッチを通してI/Oバスと接続され、第2のスイッチを通してビット線抑止回路と接続されるアンプと、ビット線電圧をサンプリングするよう構成され、前記アンプの第1の入力、及び第3のスイッチを通して前記ビット線と接続される第1のコンデンサと、ターゲットのアナログ電圧を保持するよう構成され、前記アンプの第2の入力、及び第4のスイッチを通してデータI/Oと接続される第2のコンデンサと、前記アンプと並列に接続される第5のスイッチと、を有するサンプルホールド回路を通じて前記閾値電圧を表す電圧レベルをサンプリングすること

10

を含み、前記サンプルホールド回路は、

前記第5のスイッチがオープンで、前記第2のスイッチがクローズであるときに、前記ターゲットのアナログ電圧の電圧レベルとの比較を前記ビット線抑止回路に出力し、

前記第5のスイッチ及び第1のスイッチの両方がクローズであるときに、バッファリングした電圧レベルを、単一の利得増幅器として動作する前記アンプからI/Oバスへと出力することにより動作する、ことを特徴とする方法。

【請求項13】

さらに、

前記メモリ装置から、前記選択されたメモリセルの前記閾値電圧レベルを表す前記電圧を送信すること、

20

を含むことを特徴とする請求項12の方法。

【請求項14】

前記ビット線から、前記選択メモリセルの前記閾値電圧を表す電圧レベルを読み出すことはさらに、前記読み出しゲート電圧 (V_g) から前記NANDメモリセルストリングの選択メモリセルの閾値電圧 (V_t) を引いた差を表す、接続したビット線上に現れる電圧を検出することを含む、請求項12の方法。

【請求項15】

前記ビット線から、前記選択メモリセルの前記閾値電圧を表す電圧レベルを読み出すことはさらに、前記読み出しゲート電圧 (V_g) から前記NANDメモリセルストリングの前記選択メモリセルの各メモリセルの閾値電圧 (V_t) を引いた差を表す、接続されたビット線上に現れる電圧 (V_{out}) を検出すること、および前記接続されたビット線上に現れる電圧 (V_{out}) を、読み出しゲート電圧 (V_g) から減じることを含む、請求項12の方法。

30

【請求項16】

前記ビット線から、前記選択メモリセルの前記閾値電圧を表す電圧レベルを読み出すことはさらに、アナログからデジタルへの変換器 (ADC) を用いて、前記ビット線から、前記選択メモリセルの前記閾値電圧を表す電圧レベルを検出すること、およびサンプルホールド回路中で前記ビット線から、前記選択メモリセルの前記閾値電圧を表す電圧レベルをサンプリングすることのうちの一つを含む、請求項12の方法。

【請求項17】

40

さらに、

NANDメモリセルストリングの選択メモリセルの所望の閾値電圧を表すアナログデータ信号を受信すること、

前記選択メモリセルの前記所望の閾値電圧を、サンプルホールド回路に収納すること、プログラミング電圧を前記選択メモリセルの前記コントロールゲートに、プログラム低電位を前記選択メモリセルのチャンネルに印加することによって、プログラム周期中に前記選択メモリセルをプログラミングすること、

前記NANDメモリセルストリングをビット線およびソース線に接続すること、

昇圧されたソース電圧 (V_{source}) を前記ソース線に印加すること、

通過電圧 (V_{pass}) を、前記NANDメモリセルストリングの1つ以上の非選択

50

メモリセル上のコントロールゲートに接続された1つ以上のワード線に印加すること、
読み出しゲート電圧 (V_g) を、前記 NAND メモリセルストリングの前記選択されたメモリセル上のコントロールゲートに接続されたワード線に印加すること、および
前記ビット線から、前記選択されたメモリセルの前記閾値電圧を表す電圧レベルを読み出すこと、

によって、選択メモリセルから閾値電圧を読み出すこと、

前記選択メモリセルの前記閾値電圧を、前記選択されたメモリセルの前記収納された所望の閾値電圧と比較すること、ならびに

もし前記メモリセルの検出された閾値電圧が前記収納された所望の閾値電圧より小さいことが分かったならば、さらにプログラム周期を与えることによって前記選択されたメモリセルの閾値電圧を増加させること、
を含む請求項 1 2 の方法。

10

【請求項 1 8】

前記ビット線から、前記選択メモリセルの前記閾値電圧を表す電圧レベルを読み出すこと、および前記選択されたメモリセルの前記閾値電圧を、前記選択メモリセルの前記収納された所望の閾値電圧と比較することはさらに、前記読み出しゲート電圧 (V_g) から前記 NAND メモリセルストリングの前記選択メモリセルの閾値電圧 (V_t) を引いた差を表す、接続されたビット線上に現れる電圧 (V_{out}) を読み出すこと、前記選択メモリセルの閾値電圧 (V_t) を示す電圧を得るために、前記接続されたビット線上に現れる電圧 (V_{out}) を、読み出しゲート電圧 (V_g) から減じること、および前記選択メモリセルの前記閾値電圧 (V_t) を、前記選択メモリセルの前記収納された所望の閾値電圧と比較すること、を含む請求項 1 7 の方法。

20

【請求項 1 9】

さらに、

前記選択メモリセルの前記閾値電圧を表す電圧レベルによって表されるデータビットパターンに対応する2つ以上のデジタルデータ信号を生成すること、および

前記デジタルデータ信号をホストプロセッサに送信すること、
を含む、請求項 1 2 の方法。

【発明の詳細な説明】

【技術分野】

30

【0 0 0 1】

本開示は、概して半導体メモリに関し、1以上のより具体的な実施の形態においては、本開示は、例えば2ビット以上の情報を表すデータ値等のデータ値を通信するためにアナログ信号を利用するソリッドステート不揮発性半導体メモリ及びシステムに関する。

【背景技術】

【0 0 0 2】

通常、電子機器には、電子機器に適用可能な何らかのタイプの大容量記憶装置を有している。一般的な例としては、ハードディスクドライブ (HDD) がある。HDD は、比較的 low cost で大容量の記憶が可能であり、現在、1 テラバイト超の容量の消費者向け HDD を入手することが可能である。

40

【0 0 0 3】

HDD は、一般には、回転する磁気媒体上あるいは円盤状の記録媒体 (プラッタ) 上にデータを記憶する。データは、概して、プラッタ上の磁束反転パターンとして記憶される。典型的な HDD にデータを書き込むためには、プラッタを高速で回転させ、同時にプラッタ上に浮かぶ書き込みヘッドが磁気パルスの列を生成してプラッタ上の向きを調整し、データを表現する。典型的な HDD からデータを読み出すためには、高速で回転しているプラッタ上に浮かぶ磁気抵抗読み出しヘッドに抵抗変化を生じさせる。実際に、結果として生じるデータ信号はアナログ信号であって、その信号のピークと谷はデータパターンの磁束反転の結果である。そこで、部分応答最尤 (PRML) と呼ばれるデジタル信号処理技術が用いられており、PRML によれば、アナログデータ信号をサンプリングして尤も

50

らしいデータパターンを判断することにより、データ信号を生成する。

【0004】

HDDは、その機械的な特性によりある欠点を持っている。HDDは、衝撃、振動あるいは強磁場により損傷を受けやすい、あるいは過剰な読み出し/書き込みエラーが生じやすい。加えて、HDDは、可搬電子機器の中では比較的電力を大量に消費する。

【0005】

別の大容量記憶装置の例としては、ソリッドステートドライブ(SSD)がある。SSDは、回転する媒体上にデータを記憶する代わりに、半導体メモリデバイスを用いてデータを記憶するが、ホストシステムにはSSDが典型的なHDDであるかのように見えるようにするインタフェース及びフォームファクタを含んでいる。SSDのメモリデバイスは、通常は、不揮発性フラッシュメモリデバイスである。

10

【0006】

フラッシュメモリデバイスは、広い範囲の電子応用に対する不揮発性メモリのポピュラーな供給源にまで発展してきた。フラッシュメモリデバイスには、一般的に、高密度、高信頼性及び低消費電力を可能とする1トランジスタ・メモリセルを用いる。セルの閾値電圧の変化は、電荷蓄積もしくはトラップ層のプログラミング、または他の物理現象を通じて閾値各セルのデータ値を決定している。フラッシュメモリや他の不揮発性メモリは、パーソナルコンピュータ、個人用携帯情報端末(PDA)、デジタルカメラ、デジタルメディアプレーヤ、デジタルレコーダ、ゲーム、電化製品、車両、無線装置、携帯電話、リムーバブル・メモリモジュールに広く使用されており、不揮発性メモリの用途は拡大し続けている。

20

【0007】

HDDとは異なり、SSDの動作はその固体的特性により、振動、衝撃あるいは磁場の影響を受けにくい。同様に、SSDは、可動部品を持たないため、HDDと比較して低い電力要求をする。しかし、現状では、SSDは、同様のフォームファクタのHDDと比較すると記憶容量が大幅に低く、1ビット当たりのコストが著しく高い。

【0008】

上述の理由から、また、当業者にとっては本願明細書を読み、理解すれば明らかな他の理由から、大容量記憶装置の分野には、代替選択肢が必要である。

【図面の簡単な説明】

30

【0009】

【図1】開示のある実施形態に係るメモリデバイスの概略ブロック図である。

【図2】図1のメモリデバイスにおいて見られる実施例のNANDメモリアレイ部分の概略図である。

【図3】本開示のある実施形態に係るソリッドステート大容量記憶装置のブロック概略図である。

【図4】開示の実施形態に係るメモリデバイスが、リード/ライトチャネルで受け取るデータ信号を概念的に示した波形図である。

【図5】開示の実施形態に係る電子システムの略ブロック図である。

【図6】本発明の実施形態に係るNANDアレイ及び電圧検知を詳細に示す図である。

40

【図7A】本発明の実施形態に係るNANDアレイ及びサンプルホールド回路を詳細に示す図である。

【図7B】本発明の実施形態に係るNANDアレイ及びサンプルホールド回路を詳細に示す図である。

【発明を実施するための形態】

【0010】

以下の本実施形態の詳細な説明においては、本実施形態の一部をなし、本実施形態を実施する場合の所定の実施形態を説明するために示す図面を参照する。これらの実施形態は、当業者が本発明を実施することができる程度に十分に詳細に記載されており、他の実施形態に利用可能な程度に理解でき、本開示の範囲を離れることなく、種々に工程変更や、

50

電氣的あるいは機械的な変更を加え得るものと理解できるものである。したがって、以下の詳細な記述は、意味を限定して解釈すべきでない。

【0011】

従来のソリッドステートメモリ装置（デバイス）は、2値信号の形でデータを受け渡す（パスする）。典型的には、接地電位がデータのビットの第1の論理レベル、例えば「0」のデータ値を表し、一方、供給電位がデータのビットの第2の論理レベル、例えば「1」のデータ値を表す。マルチレベルセル（MLC）には、例えば、各範囲が200mVからなる4つの異なる閾値電圧（ V_t ）範囲が割り当てられていてもよく、各範囲は、別個のデータ状態に対応している。このため、4つの閾値電圧は、4つのデータ値またはビットパターンを表している。典型的には、各範囲の間には、0.2~0.4Vのデッドスペースやマージンを設け、 V_t の分布に重複のないようにしている。セルの V_t が第1の範囲内にある場合は、セルは、論理状態・11を記憶しているとみなされ、一般的には、セルは、消去状態とみなされる。 V_t が第2の範囲内にある場合は、セルは、論理状態・10を記憶しているとみなされる。 V_t が第3の範囲内にある場合は、セルは、論理状態・00を記憶しているとみなされる。そして、 V_t が第4の範囲内にある場合は、セルは、論理状態・01を記憶しているとみなされる。

10

【0012】

上記のような従来のMLC装置をプログラムする際には、セルは、一般的には、まず、1つのブロックとして、消去状態に対応するようにデータ消去される。セルの1つのブロックを消去した後、必要な場合には、各セルの最下位ビット（LSB）が最初にプログラムされる。例えば、LSBが1であれば、プログラミングは不要であるが、LSBが0であれば、対象となるメモリセルの V_t を、11の論理状態に対応する V_t の範囲から、10の論理状態に対応する V_t の範囲へと移行させる。LSBをプログラムすると、各セルの最上位ビット（MSB）が同様にプログラムされ、必要な場合には、 V_t をシフトする。従来のメモリデバイスにおいてMLCを読み出す際には、一般的には、セル電圧が V_t のどの範囲に入るかを、1または複数の読み出し動作により判断する。例えば、第1の読み出し動作で対象メモリセルのMSBが1を示すか、あるいは0を示すかを判断し、第2の読み出し動作で対象メモリセルのLSBが1を示すか、あるいは0を示すかを判断する。しかし、いずれの場合も、各セルに記憶されているビット数にかかわらず、対象メモリセルからの読み出し動作では、1つのビットしか戻されない。この複数のプログラム動作及び読み出し動作についての問題は、各MLCにより多くのビットが記憶されるようになるにつれて、ますます厄介なものとなってきている。このような各プログラム動作や読み出し動作はそれぞれ2進動作、すなわち、各動作はセル当たり単一のビットをプログラムし、返すものであることから、各MLCに記憶するビットが増えるほど、動作時間が長くなってしまふ。

20

30

【0013】

実施の形態に係るメモリデバイスは、データをメモリセル上に V_t の範囲として記憶する。しかし、従来のメモリデバイスとは異なり、プログラム及び読み出し動作は、離散MLCビットデータ値としてのデータ信号を利用するのではなく、例えば全ビットパターン等の完全なMLCデータ値の完全な表現としてのデータ信号を利用することができる。例えば2ビットMLC装置においては、セルのLSBをプログラムしてからセルのMSBをプログラムする代わりに、ターゲットの閾値電圧をプログラムして2ビットのビットパターンを表すことができる。すなわち、第1のビットに対して第1の閾値電圧をプログラムし、第2のビットに対して第2の閾値電圧にシフトし、などを行うのではなく、メモリセルが目標の閾値電圧を得るまでメモリセルに対して一連のプログラム及び確認動作を行う。同様に、セルに記憶されている各ビットを判断するために複数回の読み出し動作をいる代わりに、セルの閾値電圧は、完全なデータ値またはセルのビットパターンを表す単一の信号として判断され、パスされることとなる。様々な実施形態のメモリデバイスは、メモリセルが従来のメモリ装置において行っていたように、閾値電圧が名目上の閾値を上回るか、あるいは下回るかを確認することはしない。その代わりに、閾値電圧が取りうる連続

40

50

領域に渡ってメモリセルの実際の閾値電圧を表す電圧信号が生成される。このような方法の利点は、セルカウント当たりのビット数が増加するほど、重要になってくる。例えば、もし仮にメモリセルが8ビット分の情報を記憶するのであれば、1回の読み出し動作で8ビット分の情報を表す単一のアナログデータ信号が返ってくることとなる。

【0014】

図1は、開示のある実施形態に係るメモリデバイス101の概略ブロック図である。メモリデバイス101は、行方向及び列方向に配置されるメモリセルアレイ104を含む。以下の各種の実施形態についての記述は主にNANDメモリアレイを参照してなされるが、各種の実施形態は、所定のメモリアレイ104の構造に限定されるものではない。本実施形態に適した他のアレイ構造には、NORアレイ、ANDアレイ及び仮想グランドアレイ等を含む。しかし、一般的には、本明細書に記載される実施形態は、各メモリセルの閾値電圧を示すデータ信号を生成することが可能ないかなるアレイ構造にも適用可能である。

10

【0015】

行方向復号(行デコード)回路108及び列方向復号(列デコード)回路110は、メモリデバイス101に与えられたアドレス信号を復号(デコード)するために設けられる。アドレス信号は、アクセスメモリアレイ104にアクセスするために受信され、復号される。また、メモリデバイス101は、メモリデバイス101からの出力データや状態(ステータス)情報だけでなく、メモリデバイス101宛のコマンド、アドレス及びデータの入力を管理する入力/出力(I/O)制御回路112を含む。アドレスレジスタ114は、I/O制御回路112と行方向復号化回路108及び列方向復号回路110との間に接続されており、復号に先立ち、アドレス信号をラッチする。コマンドレジスタ124は、I/O制御回路112と制御ロジック116との間に接続されており、入力されるコマンドをラッチする。制御ロジック116は、コマンドに応じてメモリアレイ104へのアクセスを制御し、外部プロセッサ130のための状態(ステータス)情報を生成する。制御ロジック116は、行方向復号回路108及び列方向復号回路110と接続されており、アドレスに応じて、行方向復号回路108や列方向復号回路110を制御する。

20

【0016】

また、制御ロジック116は、サンプルホールド回路118にも接続されている。サンプルホールド回路118は、アナログ電圧レベルの形で入力または出力されるデータをラッチする。例えば、サンプルホールド回路は、メモリセルに書き込むべきデータを表す入力される電圧信号、またはメモリセルから検知された閾値電圧を表す出力される電圧信号のいずれかをサンプリングするためのコンデンサやその他のアナログ記憶装置を有し得る。サンプルホールド回路118は、更に、より強いデータ信号を外部装置に供給するために、サンプリングされた電圧を増幅及び/またはバッファリングすることとしてもよい。

30

【0017】

アナログ電圧信号の取扱いについては、CMOSイメージャー(撮像装置)技術分野の公知の方法と同様の方法を利用することができる。CMOSイメージャー技術分野においては、入射照明に応じて撮像装置の画素において生成される電荷レベルは、コンデンサに蓄えられる。これら電荷レベルは、リファレンスキャパシタとともに差動増幅器を用いて、差動増幅器への第2の入力としての電圧信号に変換される。そして、差動増幅器からの出力を、AD(アナログ・デジタル)変換(ADC)装置をパスさせることで、照度を表すデジタル値を得る。本実施形態においては、それぞれメモリセルの読み出しあるいはプログラムを行うための、メモリセルの実際の閾値電圧あるいはターゲットの閾値電圧を示す電圧レベルをかけた場合には、コンデンサに電荷が蓄えられる。この電荷は、第2の入力として接地入力やその他の基準信号を有する差動増幅器を用いて、アナログ電圧に変換される。差動増幅器の出力は、読み出し動作の場合には、メモリデバイスから出力するためにI/O制御回路112をパスし得るし、あるいは、メモリデバイスのプログラミングの場合には、1または複数の確認動作期間内に比較をするために用いられ得る。読み出しデータをアナログ信号からデジタルビットパターンに変換するために、また、書き込みデ

40

50

ータをデジタルビットパターンからアナログ信号に変換するために、I/O制御回路112は、任意にAD変換機能やDA変換(DAC)機能を含むこととしてもよく、これにより、メモリデバイス101は、アナログデータインタフェースやデジタルデータインタフェースとの通信に適応させることが可能となる。

【0018】

書き込み動作中は、メモリアレイ104の対象メモリセルは、V_tレベルを表す電圧がサンプルホールド回路118において保持されているレベルと一致するまでプログラムされる。これは、一例としては、差動センシング装置を用いて保持する電圧レベルを対象メモリセルの閾値電圧を比較することにより達成される。従来のメモリのプログラミングと同じように、所望の値に到達するまで、あるいは所望の値を超えるまでの間、閾値電圧を増加させるように、プログラミングパルスが対象メモリセルにかけられてもよい。読み出し動作においては、ADC/DAC機能がメモリデバイスの外部に備えられるか、内部に備えられるかにより、アナログ信号として、またはアナログ信号のデジタル表現として対象メモリセルのV_tレベルを直接に外部プロセッサ(図1においては不図示)に転送するために、対象メモリセルのV_tレベルは、サンプルホールド回路118にパスされる。

10

【0019】

セルの閾値電圧は、各種方法により決定される。例えば、対象メモリセルが起動した時点でワード線電圧をサンプリングすることができる。もう一つの方法としては、ブースト電圧を対象メモリセルの第1のソース/ドレイン側に印加して、閾値電圧を、制御ゲート電圧と他方のソース/ドレイン側の電圧との間の差分として取り出すこともできる。コンデンサに電圧をかけることにより、電荷はコンデンサと共有されてサンプル電圧に蓄電することが可能となる。サンプル電圧は、閾値電圧と同等である必要はないが、ただその電圧を表していればよい点に留意すべきである。例えば、ブースト電圧をメモリセルの第1のソース/ドレイン側に向け、既知の電圧を制御ゲートにかける場合には、メモリセルの第2のソース/ドレイン側に生じる電圧は、その生じた電圧はメモリセルの閾値電圧を表すので発生電圧のデータ信号とされ得る。

20

【0020】

サンプルホールド回路118は、メモリデバイス101が第1のデータ値を外部プロセッサに渡している間に次のデータ値を読み出したり、第1のデータ値をメモリアレイ104に書き込んでいる間に次のデータ値を受信したりすることができるよう、キャッシュ、すなわち、データ値ごとの複数の格納先を含むこととしてもよい。状態(ステータス)レジスタ122は、I/O制御回路112と制御ロジック116との間に接続され、外部プロセッサへの出力のための状態(ステータス)情報をラッチする。

30

【0021】

メモリデバイス101は、制御ロジック116において、制御リンク132からの制御信号を受信する。制御信号は、チップ・イネーブルCE、コマンド・ラッチ・イネーブルCLE、アドレス・ラッチ・イネーブルALE及びライト・イネーブルWEを含むこととすることができる。メモリデバイス101は、(コマンド信号の形での)コマンド、(アドレス信号の形での)アドレス及び(データ信号の形での)データを外部プロセッサから多重化入力/出力(I/O)バス134を通じて受信し、I/Oバス134を通じて外部プロセッサにデータを出力する。

40

【0022】

具体例を挙げると、コマンドについては、I/O制御回路112において、I/Oバス134の入力/出力(I/O)ピン[7:0]を通じて受信され、コマンドレジスタ124に書き込まれる。アドレスは、I/O制御回路112において、バス134の入力/出力(I/O)ピン[7:0]を通じて受信され、アドレスレジスタ114に書き込まれる。データは、I/O制御回路112において、装置が8の並列信号を受信可能な入力/出力(I/O)ピン[7:0]を通じて、あるいは、装置が16の並列信号を受信可能な入力/出力(I/O)ピン[15:0]を通じて受信され、サンプルホールド回路118に転送される。また、データは、装置が8の並列信号を転送可能な入力/出力(I/O)ピ

50

ン[7:0]または16の並列信号を転送可能な入力/出力(I/O)ピン[15:0]を通じて出力される。当業者であれば、更に回路や信号を備えることが可能なこと、図1のメモリデバイスは、開示の実施形態に焦点を合わせるために簡略化されていることについては理解されるところである。更には、図1のメモリデバイスは、各種信号の受信及び出力に関しては、一般的な従来技術にしたがって記載されているが、各種の実施形態については、ここでの記載に係わらず、所定の信号やI/Oの構成には限定されない。例えば、コマンド信号やアドレス信号は、データ信号を受信する入力とは別個の入力で受信することもできる。あるいは、データ信号は、I/Oバス134の単一のI/O線を通じてシリアル転送することもできる。データ信号は、個々のビットではなく、ビットパターンを表しているので、8ビットのデータ信号についてのシリアル通信は、個々のビットを表す8の信号についてのパラレル通信と同等に効率的である。

10

【0023】

図2は、図1のメモリアレイ104において見られる実施例のNANDメモリアレイ200部分の概略図である。図2に示すとおり、メモリアレイ200は、ワード線202₁~202_N及び交差するビット線204₁~204_Mを含む。デジタル環境におけるアドレッシングを簡略化するために、ワード線202の数及びビット線204の数については、一般的に、それぞれ2のべき乗としている。

【0024】

メモリアレイ200は、NANDストリング206₁~206_Mを含む。NANDストリングのそれぞれは、トランジスタ208₁~208_Nを含み、それぞれワード線202とビット線204とが交差する位置に配置されている。トランジスタ208は、図2においては、フローティングゲートトランジスタとして描かれており、データ記憶のための不揮発性メモリを表している。各NANDストリング206中のフローティングゲートトランジスタ208は、例えば電界効果トランジスタ(FET)のような、1または複数のソース・セレクトゲート210と、例えばFETのような、1または複数のドレイン・セレクトゲート212との間のソース・ドレイン間に直列に接続される。各ソース・セレクトゲート210は、ローカルビット線204及びソースセレクト線214の交差する位置に配置され、一方、各ドレイン・セレクトゲート212は、ローカルビット線204及びドレインセレクト線215の交差する位置に配置される。

20

【0025】

各ソース・セレクトゲート210のソースは、共通ソース線216と接続される。各ソース・セレクトゲート210のドレインは、対応するNANDストリング206のうち、最初のフローティングゲートトランジスタ208のソースと接続される。例えば、ソース・セレクトゲート210₁のドレインは、対応するNANDストリング206₁のうち、フローティングゲートトランジスタ208₁のソースと接続される。各ソース・セレクトゲート210の制御ゲートは、ソースセレクト線214と接続される。複数のソース・セレクトゲート210をNANDストリング206に利用する場合には、共通ソース線216とNANDストリング206の最初のフローティングゲートトランジスタ208との間に直列に接続される。

30

【0026】

各ドレイン・セレクトゲート212のドレインは、ドレイン接触において対応するNANDストリングのうち、ローカルビット線204と接続される。例えば、ドレイン・セレクトゲート212₁のドレインは、ドレイン接触において対応するNANDストリング206₁のうち、ローカルビット線204₁と接続される。各ドレイン・セレクトゲート212のソースは、対応するNANDストリング206のうち、最後のフローティングゲートトランジスタ208のドレインと接続される。例えば、ドレイン・セレクトゲート212₁のソースは、対応するNANDストリング206₁のうち、最後のフローティングゲートトランジスタ208_Nのドレインと接続される。複数のドレイン・セレクトゲート212をNANDストリング206に利用する場合には、対応するビット線204とNANDストリング206の最後のフローティングゲートトランジスタ208_Nとの間に直列に

40

50

接続される。

【0027】

フローティングゲートトランジスタ208の典型的な構造では、図2に示すとおり、ソース230及びドレイン232、フローティングゲート234、並びに制御ゲート236を含む。フローティングゲートトランジスタ208は、ワード線202と接続された制御ゲート236を有する。フローティングゲートトランジスタ208の列は、特定のローカルビット線204と接続されたNANDストリング206をなす。フローティングゲートトランジスタ208の行は、通常は特定のワード線202と共通に接続されたトランジスタをなす。2以上の閾値電圧範囲の中の1つをとるようにプログラムすることのできる例えばNROM、磁気トランジスタや強誘電体トランジスタ及び他のトランジスタ等の、他の形のトランジスタ208を開示の実施形態で利用することも可能である。

10

【0028】

各種の実施形態に係るメモリデバイスを、大容量記憶装置で有効に利用することができる。各種の実施形態によれば、大容量記憶装置は、フォームファクタや通信バスインタフェースは従来のHDDと同様としてよく、これにより、様々に応用して従来のドライブを置き換えることが可能となる。HDDの共通のフォームファクタには、通常は携帯電話、携帯情報端末(PDA)及びデジタルメディアプレーヤ等の小型のパーソナル機器に用いられている1.8や1フォームファクタだけでなく、現在のパーソナルコンピュータやより大きなデジタルメディアレコーダで用いられている3.5、2.5及びPCMCIA(パーソナルコンピュータメモ리카ード国際協議会)フォームファクタを含む。共通のバス

20

【0029】

大容量記憶装置300は、開示の実施形態に係るメモリデバイス301、リード/ライトチャンネル305及びコントローラ310を含む。リード/ライトチャンネル305は、コントローラ310から受信したデータ信号のデジタル-アナログ変換だけでなく、メモリ

30

【0030】

メモリデバイス301は、リード/ライトチャンネル305とアナログインタフェース320及びデジタルインタフェース325を介して接続されている。アナログインタフェース320は、メモリデバイス301とリード/ライトチャンネル305との間のアナログデータ信号の受け渡しを行う。一方、デジタルインタフェース325は、リード/ライトチャンネル305からメモリデバイス301への制御信号、コマンド信号及びアドレス信号を受け渡す。デジタルインタフェース325は、メモリデバイス301からリード/ライトチャンネル305への状態信号を更に受け渡すこととしてもよい。アナログインタフェース320及びデジタルインタフェース325は、図1のメモリデバイス101に関して記載したように、信号線を共有することとしてもよい。図3の実施形態においては、メモリデバイスへの双系統アナログ/デジタルインタフェースを記載しているが、リード/ライトチャンネル305の機能は、図1に関して述べたとおり、任意にメモリデバイス301に包含される構成としてもよい。これにより、メモリデバイス301は、制御信号、コマンド信号、状態信号、アドレス信号及びデータ信号を受け渡すためのデジタルインタフェース

40

50

のみを利用して、コントローラ310と直接通信することができる。

【0031】

リード/ライトチャネル305は、データインタフェース330や制御インタフェース335のように、1または複数のインタフェースを介してコントローラ310と接続される。データインタフェース330は、リード/ライトチャネル305とコントローラ310との間のデジタルデータ信号を受け渡す。制御インタフェース335は、コントローラ310からリード/ライトチャネル305への制御信号、コマンド信号及びアドレス信号の受け渡しを行う。制御インタフェース335は、リード/ライトチャネル305からコントローラ310への状態信号を更に受け渡すこととしてもよい。また、更には、制御インタフェース335をデジタルインタフェース325と接続させる破線で示しているように、状態信号やコマンド/制御信号は、コントローラ310とメモリデバイス301との間を直接受け渡させることとしてもよい。

10

【0032】

図3においては2つの装置を明確に表しているが、代わりに、リード/ライトチャネル305及びコントローラ310は、単一の集積回路装置により実現されることとしてもよい。そして、メモリデバイス301については、フォームファクタや通信インタフェースが異なる実施形態に適應させるときにより柔軟に提供することができるため、分離された装置としているのに対し、大容量記憶装置300については、これについても集積回路であるため、全体を単一の集積回路装置で組み立てることとしてもよい。

【0033】

リード/ライトチャネル305は、少なくともデジタルデータストリームをアナログデータストリームに、またこれとは逆の変換をするために構成される信号処理部である。デジタルデータストリームは、2値の電圧レベルの形でのデータ信号として出される。すなわち、第1の電圧レベルは、第1のバイナリ・データ値、例えば0のビットであることを示し、第2の電圧レベルは、第2のバイナリ・データ値、例えば1のビットであることを示す。アナログデータストリームは、2以上のレベルを有するアナログ電圧の形でのデータ信号として出され、2またはそれ以上のビットの異なるビットパターンと対応する電圧レベルまたは電圧範囲を有している。例えば、メモリセル当たり2ビットを記憶するシステムにおいては、アナログデータストリームの第1の電圧レベルまたは電圧レベルの範囲は、ビットパターン11に対応し、アナログデータストリームの第2の電圧レベルまたは電圧レベルの範囲は、ビットパターン10に対応し、アナログデータストリームの第3の電圧レベルまたは電圧レベルの範囲は、ビットパターン00に対応し、アナログデータストリームの第4の電圧レベルまたは電圧レベルの範囲は、ビットパターン01に対応する。このように、各種の実施形態に合致するアナログデータ信号の2以上のデジタルデータ信号への変換、及び逆の変換がなされる。

20

30

【0034】

実際には、制御信号やコマンド信号は、コントローラ310を通じてメモリデバイス301にアクセスするためのバスインタフェース315にて受信される。例えばライト、リード、フォーマット等のどのタイプのアクセスが所望かによっては、アドレスとデータ値もまたバスインタフェース315にて受信される可能性がある。共有バスシステムにおいては、バスインタフェース315は、各種の他の装置と一緒にバスに接続されている。所定の装置への通信を命令するために、識別値がバス上のいずれの装置が次のコマンドで動く予定であることを示すバス上に配置されることとしてもよい。識別値が大容量記憶装置300から取得した値と一致すれば、コントローラ310は、バスインタフェース315で次のコマンドを受け入れる。識別値が一致しなければ、コントローラ310は、次の通信は無視する。同様に、バス上での衝突を避けるために、共有バス上の各種装置は、装置が個々にバスを制御している間は、他の装置に対してアウトバンド通信を止めるよう命令する。バス共有や衝突回避のためのプロトコルについては、公知であるので、ここでは詳細な説明はしない。コントローラ310は、次に、処理の用にコマンド、アドレス及びデータ信号をリード/ライトチャネル305に受け渡す。ここで、コントローラ310からリ

40

50

ード/ライトチャンネル305へと通されたコマンド、アドレス及びデータ信号は、バスインタフェース315において受け取った同一の信号である必要はない点に留意すべきである。例えば、バスインタフェース315の通信標準は、リード/ライトチャンネル305またはメモリデバイス301の通信標準と異なってもよい。この状況においては、コントローラ310は、メモリデバイス301にアクセスするよりも先に、コマンド及び/またはアドレススキームを変換しておくことができる。また、コントローラ310は、1以上のメモリデバイス301内の負荷を平準化しておき、メモリデバイス301の物理アドレスを経時的に与えられた物理アドレスに変換していくこととしてもよい。このようにして、コントローラ310は、外部装置からの物理アドレスを、対象のメモリデバイス301の物理アドレスへと割り当てる。

10

【0035】

コントローラ310は、書き込み要求のため、コマンドやアドレス信号に加えてデジタルデータ信号をリード/ライトチャンネル305に渡す。例えば、16ビットのデータワードに対して、コントローラ310は、第1または第2の論理レベルの16の個々の信号を渡す。すると、リード/ライトチャンネル305は、デジタルデータ信号を、デジタルデータ信号のビットパターンを表すアナログデータ信号に変換する。先の例を継続すると、リード/ライトチャンネル305は、デジタル-アナログ変換を用いて、16の個々のデジタルデータ信号を、所望の16ビットのデータパターンを表すポテンシャルレベルを有する単一のアナログ信号に変換する。ある実施形態では、デジタルデータ信号のビットパターンを表すアナログデータ信号は、対象メモリセルの所望の閾値電圧を表している。しかし、1トランジスタ・メモリセルのプログラミングにおいては、近隣のメモリセルのプログラミングにより過去にプログラムしたメモリセルの閾値電圧が増大する、ということがしばしば起こる。このようにして、他の実施形態では、リード/ライトチャンネル305は、このようなタイプの閾値電圧の予期される変化を考慮に入れ、最終的な所望の閾値電圧よりも低い閾値電圧を表すように、アナログデータ信号を調整することができる。コントローラ310からのデジタルデータ信号を変換した後、リード/ライトチャンネル305は、個々のメモリセルをプログラムするときを使用するためのアナログデータ信号とともに、書き込み要求とアドレス信号をメモリデバイス301に渡す。プログラミングは、セル単位を基本としてなされることもあるが、動作ごとに1ページ分のデータに対して行われるのが一般的である。典型的なメモリアレイ構造では、1ページ分のデータは、1本のワード線に接続された1つおきのメモリセルを含む。

20

30

【0036】

コントローラは、読み出し要求のため、コマンドやアドレス信号をリード/ライトチャンネル305に渡す。リード/ライトチャンネル305は、リードコマンドとアドレス信号とをメモリデバイス301に渡す。読み出し動作が完了すると、メモリデバイス301は、これに答えて、アドレス信号とリードコマンドとから定義されるメモリセルの閾値電圧を表したアナログデータ信号を返す。メモリデバイス301は、アナログデータ信号をパラレル形式で転送してもよいし、シリアル形式で転送してもよい。

【0037】

アナログデータ信号は、個々の電圧パルスとして転送されるだけでなく、実質的には連続するアナログ信号の流れ(ストリーム)として転送されることとしてもよい。この状況においては、リード/ライトチャンネル305は、PRMLまたは部分応答最尤と呼ばれるHDDアクセスで用いられている処理と同様の信号処理を採用することとしてもよい。従来のHDDのPRML処理においては、HDDの読取ヘッドは、HDDのプラッタの読み出し動作期間中の磁束変化を表すアナログ信号の流れを出力する。磁束変化に応じて生じるこのアナログ信号の正確なピークや谷をキャプチャーしようとする、というよりは、むしろ、信号は、周期的にサンプリングされ、信号パターンのデジタル表現が生成されている。こうして、このデジタル表現を分析して、アナログ信号パターンの生成に係る適当な磁束反転の尤もらしいパターンを判断する。これと同様の処理タイプを、本開示の実施形態に適用することが可能である。メモリデバイス301からのアナログ信号をサンブ

40

50

リングすることにより、P R M L 処理を採用して、アナログ信号の生成に関する閾値電圧の尤もらしいパターンを判断することが可能である。

【 0 0 3 8 】

図 4 は、開示の実施形態に係るメモリデバイス 3 0 1 が、リード/ライトチャネル 3 0 5 で受け取るデータ信号 4 5 0 を概念的に示した波形図である。データ信号 4 5 0 は、定期的にサンプリングされ、データ信号 4 5 0 のデジタル表現がサンプリングされた電圧レベルの振幅により生成される。ある実施形態によれば、サンプリングはデータ出力と同期されており、サンプリングはデータ信号 4 5 0 の定常状態である期間に行われる。このような実施形態は、時間 t_1 、 t_2 、 t_3 及び t_4 において破線で示すサンプリングによって表現されている。しかし、サンプリングの同期が取れなくなると、サンプルのデータ値は、定常状態の値とは大きく異なってきてしまう。代替の実施形態においては、サンプリングレートを増加させて、データサンプルが示す勾配の変化を観測することにより、定常状態の値がどのあたりで発生しそうかについて判断することを可能としている。そのような実施形態は、時刻 t_5 、 t_6 、 t_7 及び t_8 において破線で示すサンプリングによって表現されている。これらの時刻においては、時刻 t_6 と t_7 のデータのサンプルの勾配は、定常状態を示すこともあり得る。そのような実施形態では、サンプリングレートと表現の精度との間で妥協を図っている。より高いサンプリングレートでは、より正確な表現に繋がるが、処理時間も増加することとなる。サンプリングがデータ出力と同期しているか、あるいはより高頻度でサンプリングを行うかにはよらず、デジタル表現は、入力される電圧レベルのいずれがアナログ信号パターンを生成することに関係していそうかを予測するのに利用可能である。同様に、個々の読み出されるメモリセルのデータ値の尤もらしいデータ値は、入力される電圧レベルのこの予測パターンから予測可能である。

【 0 0 3 9 】

リード/ライトチャネル 3 0 5 は、メモリデバイス 3 0 1 からのデータ値の読み出しでエラーが生じそうであることを認識した場合には、エラー修正をすることもできる。エラー修正は、通常は、H D D だけでなくメモリデバイスにおいて行われ、これにより、予測されるエラーから復帰できる。一般的には、メモリデバイスはユーザデータを第 1 の格納場所に、エラー修正コード (E C C) を第 2 の格納場所に保存している。読み出し動作中、ユーザデータ及び E C C の両方が、ユーザデータの読み出し要求に応じて読み出される。公知のアルゴリズムを用いて、読み出し動作で返ってきたユーザデータを E C C と比較する。エラーが E C C の範囲内であれば、エラー修正を行う。

【 0 0 4 0 】

図 5 は、開示の実施形態に係る電子システムの略ブロック図である。例えば、電子システムには、パーソナルコンピュータ、P D A、デジタルカメラ、デジタルメディアプレーヤ、デジタルレコーダ、コンピュータゲーム、電化製品、車両、無線装置、携帯電話等を含み得る。

【 0 0 4 1 】

電子システムは、ホストプロセッサ 5 0 0 を含み、ホストプロセッサ 5 0 0 はプロセッサ 5 0 0 の効率を上げるためのキャッシュメモリ 5 0 2 を有し得る。プロセッサ 5 0 0 は、通信バス 5 0 4 と接続されている。各種デバイスが、プロセッサ 5 0 0 の制御の下で通信バス 5 0 4 に接続され得る。例えば、電子システムは、ランダムアクセスメモリ (R A M) 5 0 6、キーボード、タッチパッド、ポインティングデバイス等の 1 以上の入力デバイス 5 0 8、オーディオコントローラ 5 1 0、ビデオコントローラ 5 1 2、1 以上の大容量記憶装置 5 1 4 を有し得る。少なくとも 1 台の大容量記憶装置 5 1 4 は、バス 5 0 4 と通信を行うためのデジタルバスインタフェース 5 1 5 と、2 以上のビットデータのデータパターンを表すデータ信号を転送するためのアナログインタフェースを有する開示の実施形態に係る 1 以上のメモリデバイスと、バスインタフェース 5 1 5 から受け取ったデジタルデータ信号をデジタル・アナログ変換したり、メモリデバイスから受け取ったアナログ信号をアナログ・デジタル変換したりするように構成された信号処理部とを含む。

【 0 0 4 2 】

上記のとおり、メモリのメモリセルについての閾値電圧の検知については、複数の方法で実現できる。本発明の1以上の実施形態では、ソースフォロアーのようなNANDストリングを動作させることにより、NAND型アーキテクチャフラッシュメモリアレイのような不揮発性NAND型メモリアレイにおいて電圧を検知する。(例えば読み出し動作や確認動作等の)検知動作においては、最大の閾値電圧(V_t)がプログラムされるときであっても、(V_{cc} 等の)ソース線にかかる昇圧された電圧が印加されることによって、NAND型アーキテクチャフラッシュメモリアレイのNANDストリング内のセルについてのプログラムされた閾値電圧を検知し、(V_{cc} あるいはそれ以上の V_{pass} の)昇圧された通過電圧をストリングの非選択セルのゲートに印加することでパスゲートとして動作させて動作モードを通じてパスに配置し、読み出しゲート電圧(V_g)を選択セルのゲートに印加することで動作モードとする。選択メモリセルは、読み出しゲート電圧からセルの閾値電圧を減算($V_g - V_t$)したところを、(ソース線からのストリングを通じて流れる電流に伴う)接続ビット線上の電圧に設定する。公知の読み出しゲート電圧(V_g)に対するADC(例えば読み出しチャンネルのADC)を用いて直接的あるいは間接的に検知されるこのセルの電圧は、サンプリングされて、例えばプログラム動作においてセルにプログラムされた電圧を確認するためのサンプリングされたターゲットのデータ電圧等の基準電圧と比較される。

【0043】

上記のとおり、従来は、NANDフラッシュメモリセルに記憶するデータの検知は、一般的には、通過電圧(V_{pass})をNANDメモリセルストリングの非選択ワード線に印加してパストランジスタとして動作させ、読み出し電圧(V_g)を検知するために選択されたメモリセルのゲートと接続された選択ワード線に印加させることによりなされていた。NANDストリングと関連付けられた(例えばビット線等の)センス線は、公知のプリチャージ電圧レベルまでプリチャージされ、NANDストリングに接続される。印加された読み出し電圧がセルの V_t よりも高ければ、選択トランジスタがオンになり、ソース線への電流が流れて、ビット線のプリチャージ電圧が放電され、これは、電荷を共有するセンスアンプにより検知される。単一の論理レベルセル(SLC)の実装では、これが一般的な単一検知動作である。すなわち、セルが印加された読み出し電圧の下でオンになれば、消去状態(論理1)であり、セルがオンにならなければ、プログラムされている(論理0)。マルチレベルセルの実装では、読み出し電圧(V_g)は、一般的には、セルの閾値電圧(V_t)を判定するための順次的な検知動作において段階的に変化する。プログラムされた閾値電圧(V_t)以上のレベルの読み出し電圧(V_g)がワード線に印加されているときは、セルはオンとなり、可能な閾値の範囲が入っているのはいずれの論理ウィンドウであるかを判定することが可能となる。こうして、セルの対応するプログラムデータ値を判定することが可能となる。

【0044】

アナログ回路では、電界効果トランジスタ(FET)ソースフォロアーアンプは、実効出力抵抗が低いいため、一般的には、最終段階のアナログアンプとして使用される。ソースフォロアーアンプ回路では、ドレインは、パワー・レール電源に接続され、入力は、コントロールゲートに接続される。一方、アンプの出力はソースから取られる。その名が意味するとおり、ソースフォロアーアンプにおいては、ソースは、FETの入力/出力ゲートの電圧に追従する。この出力は、一般的には、FETの閾値電圧により弱められる(FETが動作モードであることが要求される)。出力はアンプに設計されている増幅因子だけ増幅され得る一方、ソースフォロアーアンプは、一般的には、バッファとして使用される。

【0045】

図6は、本発明の実施形態に係るNAND型アーキテクチャフラッシュアレイの概略図を示す。図6のNAND型メモリアレイは、説明のためのものであり、これに限定されるものではなく、本発明の他のNAND型メモリアレイ実施形態については、本開示の恩恵によって、当業者であれば、自明のことであることに留意すべきである。

10

20

30

40

50

【 0 0 4 6 】

図6においては、アレイのNANDストリングは、ビット線204及びソース線216に接続されている。NANDメモリストリングでは、一連のメモリセル208₀~208₃₁は、ソースからドレインに並んで接続され、NANDストリングを形成している。図6のNANDストリングが32個のセルをその内部に有することとして記載されているのに対して、NANDストリングのセルの個数は異なることとしてもよく、例えば8個、16個、32個、64個あるいはそれ以上のセルを含むこととしてもよいが、個数はこれらには限定されないことに留意すべきである。ワード線202_xは、アレイのNANDストリングを横切って接続し、隣接するメモリセル208_xのコントロールゲートと接続しており、隣接するメモリストリングから単一のメモリセル208_xを選択可能となっている。各NANDメモリストリングにおいては、不純物(一般的にはN⁺)をドープした領域は、各ゲート絶縁膜の間に形成され、隣接するメモリセル208_xのソース領域やドレイン領域を形成し、更にコンタクトとして動作し、NANDストリングのセル同士を接続している。NANDメモリストリングのそれぞれは、NANDストリングの両方の端部に形成され、NANDストリングの対向する端をビット線204及びソース線216に選択的に接続するセレクトゲート210、212に接続されている。セレクトゲート210、212はそれぞれセレクトゲートコントロール線と接続され、NANDストリングの、それぞれ関連するビット線204及びソース線216への接続を制御する。

10

【 0 0 4 7 】

図6のソースフォロアーの検知動作では、昇圧された読み出し通過電圧(V_{pass})が非選択のメモリセルのワード線(ワード線202₃₁-202_{N+1}、202_{N-1}-202₀)と接続されているメモリセル208₃₁-208_{N+1}、208_{N-1}-208₀)に印加され、これにより、記憶されているデータ値により制限を受けない方法で電流を流すことが可能となる。(V_{cc}以上のような)昇圧された電圧V_{source}がソース線216に印加され、一方、セレクトゲート電圧(V_{SGD}とV_{SGS})もまた、セレクトゲートFETのゲートに印加され、NANDストリングをそれぞれソース線216及びビット線204に接続している。読み出しゲート電圧(V_g)は、選択メモリセル208_Nを動作(アクティブ)モードで動作するために、選択メモリセル208_Nと接続されたワード線202_Nに印加される。そうすると、電流(I_{bias})が、選択メモリセル208_Nを介して、NANDストリングを通じてソース線216からビット線204へと流れる。これにより、メモリセル208_Nがソースフォロアーであるかのように動作し、ビット線204の列の電圧を、選択メモリセル208_Nの印加した読み出し電圧から選択セル208_Nのプログラムされた閾値電圧を減算した電圧(V_g-V_t)まで上昇させる。印加された読み出しゲート電圧は既知であるため、選択セル208_Nの閾値電圧は、アナログ-デジタル変換機(ADC)により、ビット線204から直接的に検出することもできるし、あるいは、後段での比較またはメモリデバイスから転送するために、閾値電圧を示すものをサンプリングしてサンプルホールド回路118内のコンデンサに保持することもできる。代替の実施形態においては、ビット線204は、中間電圧あるいはV_{cc}/2等の既知の電圧に充電されており、これにより、検知動作が高速化される点に留意すべきである。

20

30

40

【 0 0 4 8 】

上記のとおり、本発明の実施形態に係るNANDアーキテクチャフラッシュ/EEPROMメモリのプログラミングにおいては、メモリセルは、プログラミング電圧(例えば一連のプログラミング電圧パルス)を1以上のNANDストリングの選択メモリセルのコントロールゲートに印加して、電荷をフローティングゲートに配置して閾値電圧を変更することにより、アナログ電圧レベルとともにプログラミングされる。そうして、プログラムされた閾値電圧は、例えば、前述のソースフォロアーの検知等のような、確認動作において選択メモリセルを検出することにより、サンプルホールド回路118に保持されているターゲットの電圧レベルと照合して確認がなされる。ターゲットの電圧以上のメモリセルについては、昇圧されたチャネルへの電圧(例えば結合したビット線204)の印加によ

50

り、更にプログラムされないように抑制することができ、一方、確認に失敗した（ターゲットの電圧未満の V_t を有する）セルについては、（一般的には、チャンネルをビット線204を通じて設置していることにより）低プログラミング電圧を有し、（プログラミングワード線電圧または増加させたプログラミング電圧で）更なるプログラミングパルスが印加される。このプログラム及び確認の周期は、ターゲット電圧のプログラムに成功するまで繰り返される、あるいは、全てのターゲットの電圧の確認に成功し、プログラム動作が失敗したと見なされることなく、所定の回数の反復が行われるまで繰り返される。

【0049】

読み出し動作に関しては、確認動作で、昇圧された読み出し電圧（ V_{pass} ）が非選択メモリセルのワード線（ $208_{31} - 208_{N+1}$ 、 $208_{N-1} - 208_0$ ）に印加されると、記憶するデータ値により制限を受けない方法で電流が流れ、昇圧された電圧 V_{source} がソース線216に印加される。確認読み出しゲート電圧（ V_g ）がメモリセル 208_N に接続されているワード線 202_N に印加され、選択メモリセル 208_N を動作モードで動作させる。すると、電流（ I_{bias} ）がNANDストリングを通じて流れ、ビット線204の列の電圧は、選択セル 208_N の印加した読み出し電圧からプログラムした閾値電圧を減算した電圧（ $V_{out} = V_g - V_t$ ）まで上昇する。こうしてビット線204上のNANDストリングにより表されるビット線電圧は、例えばサンプルホールド回路118によりサンプリングすることができ、ビット線電圧は、ターゲットの電圧あるいはターゲットの電圧を示すものと照合して比較されることで、プログラムされ、次のプログラム周期では禁止されるセルを選択することができる。この比較では、ビット線204のサンプリングされた電圧は、まず、ビット線電圧を読み出しゲート電圧から減算（ $V_g - V_{out} = V_t$ ）することによって、選択メモリセル 208_N の閾値電圧（ V_t ）を示す電圧に変換され、次に、サンプルホールド回路118に保持されているターゲットの電圧レベルと比較される。

【0050】

検出中は、非選択メモリセル（選択セル 208_N のソース側の $208_{31} - 208_{N+1}$ とドレイン側の $208_{N-1} - 208_0$ ）は、完全なパスゲートとしての振舞いはしないので、内部抵抗によって検知動作に更なる電圧降下をもたらされる点にも留意すべきである。検出エラーは、主に、ソース側の非選択メモリセル $208_{31} - 208_{N+1}$ の抵抗によるものであり、次に、ドレイン側の非選択メモリセル $208_{N-1} - 208_0$ の抵抗によるものである。ビット線204上に現れる電圧は、印加した読み出し電圧からプログラムした閾値電圧を減算し、ソース側のセルの抵抗降下を減算している（ $V_{out} = V_g - V_t - R_{source-side} * I_{bias}$ ）ので、より正確に表現されている。この抵抗は、プログラム・確認周期において選択メモリセルの閾値電圧をプログラミングすることで相殺することができ、プログラミングは、非選択セルのIRの降下を、ビット線204上で測定されたセル 208_N の測定閾値電圧（ V_t ）をサンプルホールド回路118に保持されているターゲット電圧とマッチングすることにより相殺する閾値（閾値ビット線204上で測定される電圧には、メモリセルのプログラムされた閾値電圧 V_t だけでなく、非選択のソース側のメモリセルのIR降下 $R_{source-side} * I_{bias}$ による電圧が含まれており、ソース側の抵抗降下を相殺するために、プログラムされた閾値電圧は、事実上低下する。）。ストリングのメモリセルのプログラミング手順を選択することを通じて、この検出エラーを低減させることができ、これにより、選択メモリセル 208_N のプログラミング時には、非選択セルの抵抗パターンの安定した抵抗パターン、特に、ソース側のメモリセル（ $208_{N-1} - 108_0$ ）に現れる抵抗パターンを保証する。

【0051】

図7A及び図7Bは、本発明の実施形態に係るNANDアーキテクチャアレイ及びサンプルホールド回路の概略図である。図7Aにおいては、1つのアレイ中の複数のNANDストリングのうち、一のNANDストリングが、ソースとともにドレインに接続されてNANDストリングを形成している一連のメモリセル $208_0 - 208_{31}$ を有する。NA

10

20

30

40

50

NANDストリングは、セレクトゲート210、212を通じてそれぞれビット線204及びソース線216にも接続されている。ワード線202_xは、アレイのNANDストリングを通じて接続し、隣接するメモリセル208_xについての、単一のメモリセル208_xを隣接するメモリストリングから選択可能とするコントロールゲートと接続している。ビット線204は列方向復号回路110のカラムマルチプレクサを通じて電流バイアスソース及びサンプルホールド回路118と接続されている。また、サンプルホールド回路118は、比較器とビット線抑止回路を包含している。

【0052】

図7Bは、本発明の実施形態に係るサンプルホールド回路118の詳細図である。図7Bにおいては、サンプルホールド回路118は、列方向復号回路110の(「column mux」として知られる)カラムマルチプレクサと接続されている。また、サンプルホールド回路118は、I/Oバス702とも接続されている。サンプルホールド回路118の内部では、ビット線のサンプリングコンデンサC2、706が、(一般的には、パsgateまたはスイッチとして動作するFETトランジスタである)スイッチS3、716を介して、カラムマルチプレクサ110により選択されるビット線204と接続されている。更には、サンプルホールド回路118は、スイッチS1、712を通じてI/Oバス702と接続され、主にアナログ電圧レベルとして入力される入力データをサンプリングする入力データサンプリングコンデンサC1、704も含む。アンプ(またはオペアンプ)708も、サンプルホールド回路118に接続されている。オペアンプ708は、メモリの動作のモードに依存するため、コンデンサC1、704とコンデンサC2、706の電圧を比較するための比較器として、あるいは、コンデンサC2、706からI/Oバス702にかかるサンプリングされたビット線電圧を出力するための単一のアンプ/出力バッファとして構成され、動作し得る。比較器として動作するために、コンデンサC1、704はスイッチS2、714を通してオペアンプ708の入力と接続されている。一方、スイッチS4、718は、アンプ708のフィードバック経路を無効とするため、オープンとなっている。こうして、コンデンサC1、704の電圧は、出力に現れる結果を利用して、オペアンプ708の内部差動増幅器と高オープン回路利得とにより、(オペアンプ708の他方の入力と接続された)コンデンサC2、706の電圧と比較される。出力バッファとして動作するためには、スイッチS2、714は、コンデンサC1、704と切断するためにオープンとされ、スイッチS4、718は、フィードバック経路を有効として、オペアンプ708に単一の利得増幅器として動作させるためにクローズとされて、コンデンサC2、706の電圧をバッファリングし、アンプ708の出力で電圧を伝える。

【0053】

図7A及び図7Bのメモリにおける検知動作では、非選択メモリセルのワード線(208₃₁-208_{N+1}、208_{N-1}-208₀)に昇圧された読み出し通過電圧(V_{pass})を印加することにより、バイアス条件がNANDストリングに適用され、これにより、保持されているデータ値に制限を受けない方法で電流を流すことが可能となる。(V_{cc}またはそれ以上に)昇圧された電圧V_{source}がソース線216に印加され、一方、セレクトゲート電圧(V_{SGD}及びV_{SGS})がセレクトゲートFETのゲートに印加され、NANDストリングをソース線216及びビット線204にそれぞれ接続している。読み出しゲート電圧(V_{gate})は、選択メモリセル208_N(図7Aに示す例では、選択セル208₁₅)と接続されたワード線202_Nに印加され、動作モードで動作する。そうすると、電流(B/L電流)が、選択メモリセル208_Nから、NANDストリングを通じてソース線216からビット線204へと流れ、ビット線204の電圧が、印加した読み出し電圧から選択メモリセル208_Nのプログラムされた閾値電圧を減算した電圧(V_{gate}-V_t)に上昇する。ビット線204は、列方向アドレス復号回路110のカラムマルチプレクサにより選択され、サンプルホールド回路118と接続される。検知の準備においては、サンプルホールド回路118は、コンデンサC1、704を孤立させるためにスイッチS1、702とスイッチS2、714とをオフに切り替え、コ

10

20

30

40

50

ンデンサC 2、706についても、スイッチS 3、716をオフに切り替えることにより、ビット線204から孤立させる。更には、スイッチS 5、720についてもオフに切り替えて、ビット線抑止回路710を孤立させている。一方、スイッチS 4、718についてはオンにして、出力バッファ/単一の利得増幅器としてのオペアンプ708と接続している。一旦選択ビット線204上の電圧(V sensorまたはVout)が一定になると、サンプルホールド回路118が、スイッチS 3、716をオンにしてコンデンサC 2、706をビット線204に接続することにより、サンプリングを行う。コンデンサC 2、706によりサンプリングされたビット線204の電圧は、オペアンプ708によりバッファリングされ、クローズされているスイッチC o l _ S e l 7 2 2により出力するために、I/Oバス702に接続することができる。ここで、一旦ビット線電圧(V s e n s e)がコンデンサC 2、706によりサンプリングされてしまえば、スイッチS 3、716はオフにして、ビット線204から孤立させてしまってもよく、こうすることで、サンプリングされた電圧がメモリから読み出されている間にアレイを次の検知周期を開始させることが可能となる点に留意すべきである。また、上記のとおり、ゲート電圧(V g a t e)からサンプリングしたビット線電圧(V s e n s e)を差し引くことにより、選択メモリセルの閾値電圧は、サンプリングされたビット線電圧(V s e n s e)から判定可能な点についても留意すべきである。例えば、セルの $V_t = V_{gate} - V_{sense}$ である。

【0054】

図7A及び図7Bのメモリのプログラム動作及び確認動作では、入力データ電圧がまずサンプリングされ、ターゲットとしてのコンデンサC 1、704に保持され、あるいは、スイッチS 1、712をオンにしてコンデンサC 1、704をI/Oバス702に接続することにより、所望の閾値電圧が、サンプリングされ、保持される。スイッチS 2、714は、一般的には、この処理中はオフにされる。コンデンサC 1、704がI/Oバス702上に発現される電圧にまで充電されると、スイッチS 1、712は、所望の入力データ電圧をキャプチャーするためにオフに切り替えられる。そうすると、チャンネルを接地するか、あるいは低電圧をチャンネルに印加して、フローティングゲートに電荷を配置することにより、メモリセル208_N(図7Aの例では、選択セル208₁₅)が選択され、プログラムされる。選択メモリセル208_Nの閾値電圧は、確認動作において、選択メモリセル208_Nを再選択して検知して、検知した閾値電圧をコンデンサC 1、704に保持されているターゲットの電圧と比較することにより確認される。

【0055】

確認動作を実現するため、スイッチS 4、718をオフにして、オペアンプ708を比較器として構成させ、スイッチS 5、720をオンにしてスイッチC o l _ S e l 7 2 2をオフにする(ことで、オペアンプ708の出力をI/Oバス702から切断する)ことにより、オペアンプ708の出力をビット線抑止回路710に接続している。更に、スイッチS 1、712がオフ状態のままにされる一方で、スイッチS 2、714は、オンに切り替えられてコンデンサC 1、704に収納されているターゲットの電圧をオペアンプ708の入力に接続している。バイアス条件の検知がNANDストリングに適用されて、昇圧された読み出し通過電圧(V p a s s)を非選択メモリのビット線(208₃₁ - 208_{N+1}、208_{N-1} - 208₀)に印加する一方で、セレクトゲート電圧(V s g d とV s g s)は、セレクトゲートF E Tのゲートに印加され、NANDストリングをソース線216及びビット線204にそれぞれ接続する。昇圧された電圧、V s o u r c e、がソース線216に印加され、読み出しゲート電圧(V g a t e)は、選択メモリセル208_Nと接続されたワード線202_Nに印加されて、選択メモリセル208_Nは動作モードとなる。NANDストリングを通じてソース線216からビット線204に流れる電流(B/L電流)は、選択セル208_Nの印加された読み出し電圧からプログラムされた閾値電圧を減算した電圧まで、カラムビット線204の電圧を上昇させる。ビット線204は、列方向アドレス復号回路110のカラムマルチプレクサにより選択されて、サンプルホールド回路118に接続される。一旦選択ビット線204の電圧(V s e n s e または

10

20

30

40

50

Vout)が一定になると、スイッチS3、716をオンにしてコンデンサC2、706をビット線204に接続することにより、選択ビット線204の電圧はサンプルホールド回路118によってサンプリングされる。ビット線204の電圧は、コンデンサC2、706によってサンプリングしたものである。比較器として構成されるオペアンプは、それぞれコンデンサC1、704及びコンデンサC2、706からの入力に接続されているターゲットの電圧及び検知したビット線の各電圧とを比較する。もし選択メモリセル208_Nの検知電圧(コンデンサC2、706でサンプリングされ、保持されている電圧)がターゲットの電圧(コンデンサC1、704でサンプリングされ、保持されている電圧)よりも低ければ、オペアンプ708の出力は高(ハイ)であり、接続されているビット線抑止回路710のインバーターの出力は低(ロー)であって、これは、更にプログラミングパルスが必要なことを意味する。もしコンデンサC2、706でサンプリングされ、保持されている選択メモリセル208_Nの検知電圧が、コンデンサC1、704で保持されているターゲットの電圧よりも高ければ、オペアンプ708の出力は低であり、接続されているビット線抑止回路710のインバーターの出力は高である。これは、更なるプログラミングパルスは不要であることを意味する。ある実施形態においては、このビット線抑止回路710の出力を、選択メモリセルのチャンネルに接続された電圧を設定するために使用し、これにより、ビット線抑止回路710の出力が低か高かにより、選択メモリセルのチャンネルに接続された電圧を、(プログラムの)低や接地電位か、(プログラム抑止の)高電位にそれぞれ設定している。このプログラム及び確認の周期は、ターゲット電圧のプログラムに成功するまで繰り返される、あるいは、全てのターゲットの電圧の検証に成功し、プログラム動作が失敗したと見なされることがなく、所定の回数の反復が行われるまで繰り返される。ある実施形態においては、検知されるターゲットの電圧は、所望のV_{sense}で表されるが、直接的にメモリセルの閾値電圧が表される訳ではない(例えば、セルのV_t = V_{gate} - V_{sense}より、V_{target} = V_{sense} = V_{gate} - セルのV_t)点に留意すべきである。また、他の実施形態においては、コンデンサC2、706でサンプリングされ、保持されるV_{sense}は、コンデンサC1、704に保持されているターゲットの閾値電圧と比較する前にV_{gate}を減算することにより、まず選択メモリセル208_Nの検知閾値電圧に変換される点についても留意すべきである。

【0056】

所定の実施形態は、ここで説明してきたとおりであるが、当業者であれば、同様の目的を達することができるよう、各種の変更をし、上記の所定の実施形態を置き換えることが可能である。開示の応用の多くは、当業者であれば自明である。したがって、本願は、開示の応用や変形例の全てをカバーするものである。

【0057】

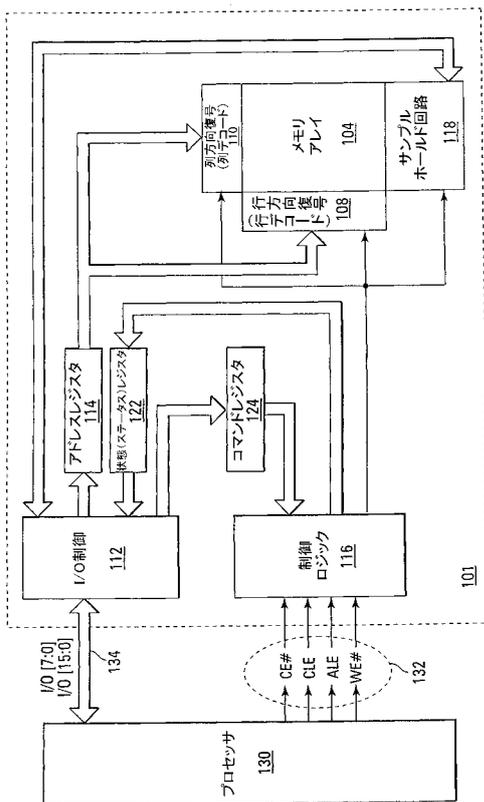
<結論>

アナログ電圧NANDアーキテクチャ不揮発性メモリデータの読み出し/確認処理及びその回路は、ソースフォロアー電圧の検知を利用することで、不揮発性のセル内のアナログ電圧を検知することについて記述してきた。ソースフォロアーの検知動作及び読み出し動作においては、NANDアーキテクチャフラッシュメモリアレイのNANDストリングにおけるセルのプログラムされた閾値電圧は、(例えばV_{cc}等の)ソース線の昇圧された電圧を印加することにより読み出され、昇圧された通過電圧(V_{pass})は、ストリングの非選択セルのゲートに配置されて動作モードを通じて経路上に配置されるようにされ、読み出しゲート電圧(V_g)は、選択セルのゲートに印加される。選択メモリセルは、ソースフォロアーアンプとして動作し、このことから、ソース線からストリングを通じて案がれる電流とともに、読み出しゲート電圧のからセルの閾値電圧を減算して、接続されているビット線上の電圧を設定する。これにより、(例えば読み出しチャンネルのADC等の)ADCを用いて、既知の読み出しゲート電圧(V_g)に対するセルの電圧を直接検知することが可能となる。あるいは、例えばサンプリングしたターゲットのデータ電圧等のように、基準電圧をサンプリングして比較することで、プログラム動作でセルにプログラムした電圧を確認することが可能となる。

【 0 0 5 8 】

所定の実施形態は、ここで説明してきたとおりであるが、当業者であれば、同様の目的を達することができるよう、各種の変更をし、上記の所定の実施形態を置き換えることが可能である。本発明の応用の多くは、当業者であれば自明である。したがって、本願は、本発明の応用や変形例の全てをカバーするものである。この発明は、クレーム及びこれから自明な事項に限定されることを意図するものであることは明白である。

【 図 1 】



【 図 2 】

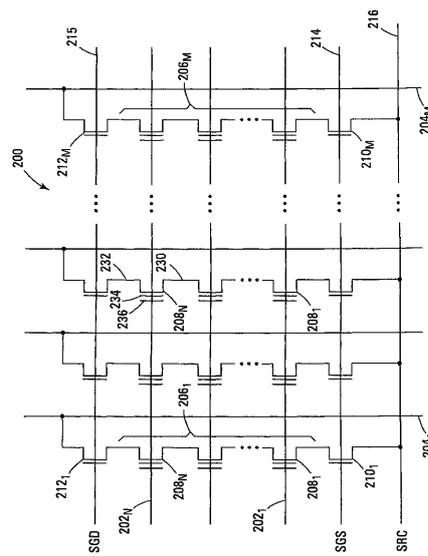
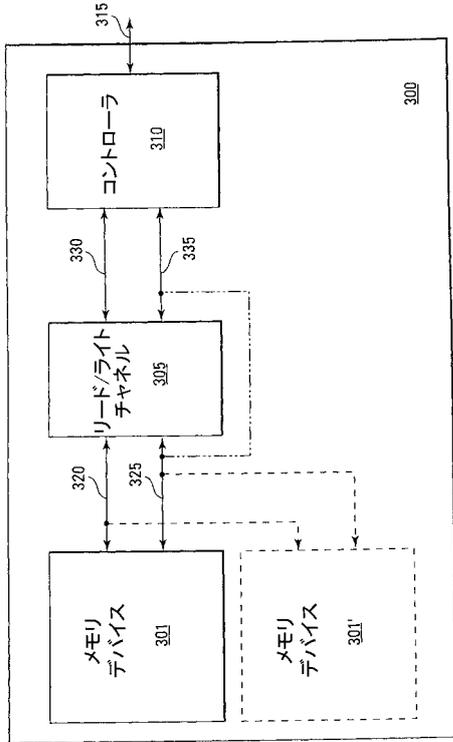
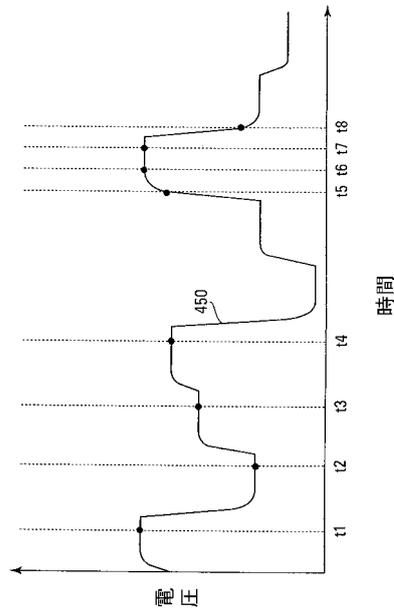


FIG. 2

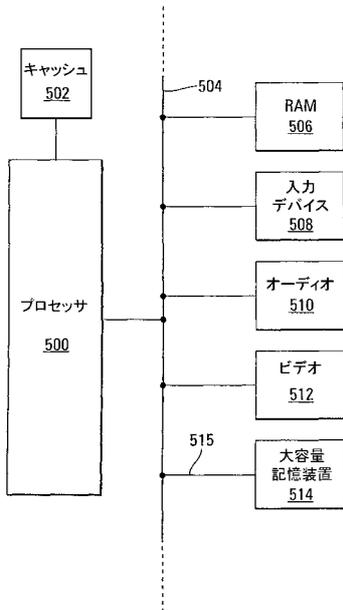
【図3】



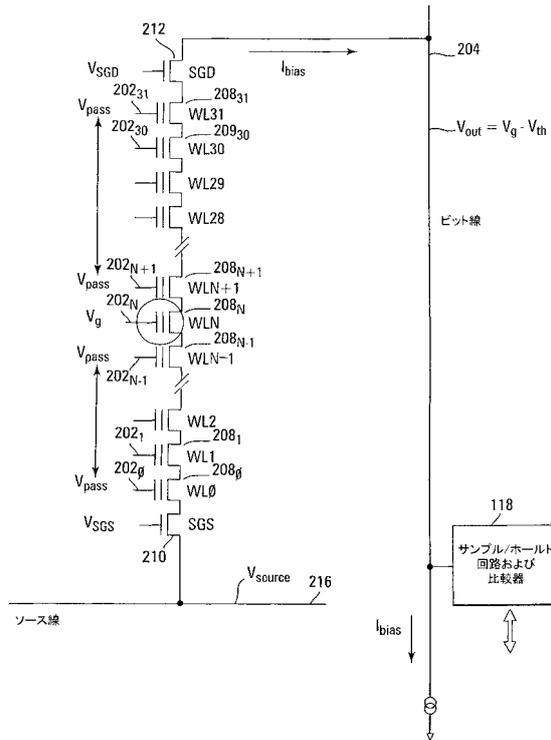
【図4】



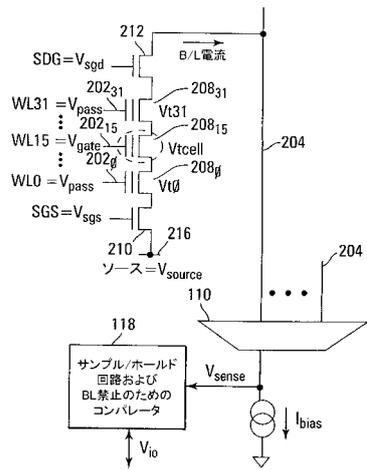
【図5】



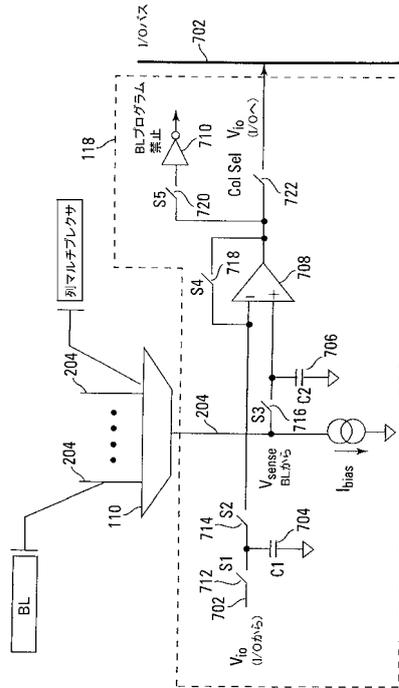
【図6】



【図7A】



【図7B】



フロントページの続き

(72)発明者 サリン, ヴィシャル

アメリカ合衆国, カリフォルニア州 95014, クパチーノ, ビスタ コート 20266

審査官 菅原 浩二

(56)参考文献 特開平10-125087(JP, A)
特開平11-003597(JP, A)
特表平06-504394(JP, A)
特表2006-528403(JP, A)
特表平06-504156(JP, A)
特開2002-358792(JP, A)
特開平11-250676(JP, A)
特表平09-509518(JP, A)
特開2005-025917(JP, A)
特開2004-039075(JP, A)
特開平09-091973(JP, A)
特表平04-500576(JP, A)
特開平09-069295(JP, A)
特表2002-536776(JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/02

G11C 16/04

G11C 16/06