

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5259572号  
(P5259572)

(45) 発行日 平成25年8月7日(2013.8.7)

(24) 登録日 平成25年5月2日(2013.5.2)

(51) Int.Cl.

F 1

**G02F 1/1368 (2006.01)**  
**G02F 1/1343 (2006.01)**  
**G02F 1/133 (2006.01)**  
**G09G 3/36 (2006.01)**  
**G09G 3/20 (2006.01)**

GO2 F 1/1368  
 GO2 F 1/1343  
 GO2 F 1/133 575  
 GO2 F 1/133 550  
 GO9 G 3/36

請求項の数 58 (全 65 頁) 最終頁に続く

(21) 出願番号 特願2009-504013 (P2009-504013)  
 (86) (22) 出願日 平成20年3月6日 (2008.3.6)  
 (86) 国際出願番号 PCT/JP2008/054069  
 (87) 国際公開番号 WO2008/111490  
 (87) 国際公開日 平成20年9月18日 (2008.9.18)  
 審査請求日 平成21年9月10日 (2009.9.10)  
 (31) 優先権主張番号 特願2007-66724 (P2007-66724)  
 (32) 優先日 平成19年3月15日 (2007.3.15)  
 (33) 優先権主張国 日本国 (JP)  
 (31) 優先権主張番号 特願2007-280865 (P2007-280865)  
 (32) 優先日 平成19年10月29日 (2007.10.29)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049  
 シャープ株式会社  
 大阪府大阪市阿倍野区長池町22番22号  
 (74) 代理人 100101683  
 弁理士 奥田 誠司  
 (74) 代理人 100155000  
 弁理士 喜多 修市  
 (74) 代理人 100139930  
 弁理士 山下 亮司  
 (74) 代理人 100125922  
 弁理士 三宅 章子  
 (74) 代理人 100151817  
 弁理士 川口 寿志

最終頁に続く

(54) 【発明の名称】 液晶表示装置

## (57) 【特許請求の範囲】

## 【請求項 1】

複数の行および複数の列を有するマトリクス状に配列された複数の画素と、  
 前記複数の画素のそれぞれに関連付けられた、TFTと、ソースバスラインと、ゲート  
 バスラインと、CSバスラインとを有し、

前記複数の画素のそれぞれは、それぞれが互いに異なる電圧を保持し得る液晶容量を有  
 する少なくとも3つの副画素を有し、

前記ソースバスライン、ゲートバスライン、およびCSバスラインから、前記複数の画  
 素のそれぞれに、少なくともある中間調において前記少なくとも3つの副画素の内の2つ  
 の副画素に互いに異なる輝度を表示させる信号を供給することによって、前記少なくとも  
 3つの副画素に互いに異なる輝度を表示させることができる、液晶表示装置であって、

前記複数の画素のそれについて、前記少なくとも3つの副画素に対応する少なくとも  
3つのTFTと、1つのソースバスラインと、少なくとも1つのゲートバスラインと、  
少なくとも2つのCSバスラインが関連付けられており、

前記少なくとも3つの副画素に対応するTFTのそれぞれは、ゲート電極、ソース電極  
およびドレイン電極を有し、

前記少なくとも3つの副画素を第1、第2および第3副画素とし、前記少なくとも2つ  
のCSバスラインを第1および第2CSバスラインとすると、

前記第1副画素は前記第1CSバスラインに接続された補助容量を有し、

前記第2副画素は前記第2CSバスラインに接続された補助容量を有し、

10

20

前記第3副画素は、前記第1C Sバスラインに接続された補助容量と、前記第2C Sバスラインに接続された補助容量とを有する、液晶表示装置。

【請求項2】

前記少なくとも3つの副画素の有する液晶容量は、少なくとも3つの副画素電極と、液晶層と、前記液晶層を介して前記少なくとも3つの副画素電極に対向する対向電極とを有し、

前記対向電極は前記少なくとも3つの副画素電極に共通の単一の電極である、請求項1に記載の液晶表示装置。

【請求項3】

前記ゲートバスラインは、第1および第2ゲート配線を含み、

10

前記第1C Sバスラインは、第1および第2C S配線を含み、

前記第2C Sバスラインは、第3および第4C S配線を含む、請求項1または2に記載の液晶表示装置。

【請求項4】

前記第1および第2ゲート配線は前記液晶表示装置内において分岐されており、

前記第1および第2C S配線は前記液晶表示装置内において分岐されており、

前記第3および第4C S配線は前記液晶表示装置内において分岐されている、請求項3に記載の液晶表示装置。

【請求項5】

前記第1、第2および第3副画素は列方向に配列されており、

20

前記第3副画素は、前記第1副画素と前記第2副画素との間に配置されている、請求項3または4に記載の液晶表示装置。

【請求項6】

前記第3副画素は、前記第1ゲート配線と接続するゲート電極を有するTFTと、前記第2ゲート配線と接続するゲート電極を有するTFTとを有している、請求項3から5のいずれかに記載の液晶表示装置。

【請求項7】

前記ゲートバスラインは、前記第1および第2ゲート配線を接続する接続配線をさらに有しております、

前記C Sバスラインは、前記第1および第2C S配線を接続する接続配線、および/または、前記第3および第4C S配線を接続する接続配線をさらに有しております、

30

前記ゲートバスラインの前記接続配線は、前記ゲートバスラインの前記第1および第2ゲート配線と同じ材料から形成されており、

前記C Sバスラインの前記接続配線は、前記ソースバスラインと同じ材料から形成されている、請求項3から6のいずれかに記載の液晶表示装置。

【請求項8】

前記第3副画素が有する前記第1C Sバスラインに接続された前記補助容量の静電容量値と、前記第2C Sバスラインに接続された前記補助容量の静電容量値とが略等しい、請求項1から7のいずれかに記載の液晶表示装置。

【請求項9】

前記第1、第2および第3副画素が互いに異なる輝度を表示する場合、前記第3副画素の輝度は、前記第1、第2副画素の一方の輝度よりも高く、他方の輝度よりも低く、

前記第3副画素は列方向にストライプ状に設けられている、請求項8に記載の液晶表示装置。

【請求項10】

前記第1および第2副画素は列方向に配列されており、

前記ソースバスラインは、前記第1および第2副画素と前記第3副画素との間に設けられている、請求項8または9に記載の液晶表示装置。

【請求項11】

前記第1、第2、第3副画素の面積比は1：1：1である、請求項10に記載の液晶表

50

示装置。

【請求項 1 2】

前記第3副画素は前記ゲートバスラインを跨いでいる、請求項8に記載の液晶表示装置。  
。

【請求項 1 3】

前記第3副画素の副画素電極が前記ゲートバスラインを跨いでいる、請求項1 2に記載の液晶表示装置。

【請求項 1 4】

前記第3副画素の副画素電極における前記ゲートバスラインを跨ぐ部分の行方向の長さは、前記第3副画素の副画素電極の行方向の最大の長さよりも短い、請求項1 3に記載の液晶表示装置。 10

【請求項 1 5】

前記第3副画素のTFTのドレイン電極は前記ゲートバスラインを跨いでいる、請求項1 2に記載の液晶表示装置。

【請求項 1 6】

前記第3副画素の副画素電極は、第1電極と、第2電極とを有しており、

前記第3副画素のTFTのドレイン電極は前記ソースバスラインと平行に設けられており、前記ドレイン電極は、前記第3副画素の副画素電極の前記第1電極および前記第2電極を接続している、請求項1 5に記載の液晶表示装置。 20

【請求項 1 7】

前記第3副画素のTFTのドレイン電極が前記ゲートバスラインと重なる面積は、前記第1および第2副画素のTFTのドレイン電極が前記ゲートバスラインと重なるそれぞれの面積よりも小さい、請求項8に記載の液晶表示装置。

【請求項 1 8】

前記第1および第2副画素は列方向に配列されており、

前記第3副画素は、第1領域と、第2領域とを有しており、

前記ソースバスラインは、前記第1および第2副画素と前記第3副画素の第1領域との間に設けられた第1ソース配線と、前記第1および第2副画素と前記第3副画素の第2領域との間に設けられた第2ソース配線とを有しており、 30

前記第1および第2副画素の列方向のそれぞれの長さは、前記第3副画素の前記第1領域と前記第2領域の列方向のそれぞれの長さの半分であり、

前記第1および第2副画素の行方向の長さは、前記第3副画素の前記第1領域または前記第2領域の行方向の長さの略4倍である、請求項8に記載の液晶表示装置。

【請求項 1 9】

前記第3副画素は、前記第1および第2領域に対応する副画素電極を有しており、

前記第1、第2および第3副画素の副画素電極には、それぞれ、複数のTFTが接続されている、請求項1 8に記載の液晶表示装置。 40

【請求項 2 0】

前記第1および第2ソース配線のそれぞれには複数のTFTが設けられており、

前記第3副画素は、前記第1および第2領域に対応して設けられたTFTを有しており、

前記第3副画素の前記第1および第2領域に設けられたTFTのドレイン電極のそれぞれの面積は、第1および第2副画素のTFTのドレイン電極のそれぞれの面積よりも小さい、請求項1 8に記載の液晶表示装置。

【請求項 2 1】

前記第1および第2副画素は、それぞれ、複数のTFTを有しており、

前記第1および第2領域に設けられたTFTのそれぞれの数は、前記第1および第2副画素のTFTのそれぞれの数よりも少ない、請求項2 0に記載の液晶表示装置。

【請求項 2 2】

前記第1副画素は前記ある中間調において前記少なくとも3つの副画素の内で最高の輝

50

度を呈し、

前記第2および第3副画素の少なくとも一方は、前記第1副画素を挟むように配置された2つの領域を有する、請求項1に記載の液晶表示装置。

**【請求項23】**

前記第2および第3副画素の前記少なくとも一方は、前記2つの領域に亘って連続した副画素電極を有する、請求項2\_2に記載の液晶表示装置。

**【請求項24】**

前記2つの領域に亘って連続した副画素電極は環状である、請求項2\_3に記載の液晶表示装置。

**【請求項25】**

前記2つの領域に亘って連続した副画素電極はコの字状である、請求項2\_3に記載の液晶表示装置。

10

**【請求項26】**

前記第2および第3副画素の前記少なくとも一方は、前記2つの領域に対応する2つの副画素電極を有し、前記2つの副画素電極は、当該副画素に関連付けられたTFTのドレイン電極に接続されたドレイン引出し配線を介して互いに接続されている、請求項2\_2に記載の液晶表示装置。

**【請求項27】**

前記3つのTFTのドレイン電極にそれぞれ接続された3つのドレイン引出し配線を有し、

20

前記第1および第2CSバスラインの少なくとも一方は延設部を有し、

前記延設部は、絶縁層を介して前記少なくとも3つの副画素電極および前記3つのドレイン引出し配線の少なくとも1つと重なっている、請求項2\_6に記載の液晶表示装置。

**【請求項28】**

前記第1および第2CSバスラインの前記少なくとも一方が有する前記延設部は環状部を含む、請求項2\_7に記載の液晶表示装置。

**【請求項29】**

前記少なくとも3つの副画素電極の内の互いに隣接する副画素電極間の間隙には、前記ドレイン引出し配線、前記ソースバスライン、前記第1および第2CSバスラインの内から選択される少なくとも1つの配線の一部が配置されている、請求項2\_7または2\_8に記載の液晶表示装置。

30

**【請求項30】**

垂直配向型の液晶層を有し、前記少なくとも3つの副画素電極の内の前記互いに隣接する副画素電極間の前記間隙は、列方向に対して約45°の方向に延びる間隙を含む、請求項2\_9に記載の液晶表示装置。

**【請求項31】**

前記第1、第2および第3副画素は、前記第1および第2CSバスラインの間に配置され、前記第1および第2CSバスラインは、それぞれ、列方向に隣接する画素の補助容量に接続している、請求項1に記載の液晶表示装置。

**【請求項32】**

前記第1、第2および第3副画素の副画素電極のそれぞれにおける列方向に沿った2つの辺の長さは略等しい、請求項3\_1に記載の液晶表示装置。

40

**【請求項33】**

前記少なくとも1つのゲートバスラインは第1および第2ゲート配線を有しており、

前記第3副画素は、前記第1ゲート配線と接続されたゲート電極を有するTFTと、前記第2ゲート配線と接続されたゲート電極を有するTFTとを有しており、

前記第3副画素の2つのTFTのドレイン電極は、2つのドレイン引出し配線とそれ接続されており、

前記2つのドレイン引出し配線は、前記少なくとも1つのゲートバスラインとそれぞれ交差する、請求項3\_1または3\_2に記載の液晶表示装置。

50

**【請求項 3 4】**

前記少なくとも 1 つのゲートバスラインはゲート配線を有しており、

前記第 3 副画素は、それぞれが前記ゲート配線と接続されたゲート電極を有する 2 つの TFT を有しており、

前記第 3 副画素の 2 つの TFT のドレイン電極は、2 つのドレイン引出し配線とそれぞれ接続されており、

前記第 3 副画素の副画素電極は前記ゲートバスラインを跨ぐ、請求項 3\_1 または 3\_2 に記載の液晶表示装置。 10

**【請求項 3 5】**

前記第 3 副画素の副画素電極は、第 1 電極と、第 2 電極と、前記第 1 および第 2 電極を連結する連結部とを有しており、 10

前記連結部の行方向の長さは、前記第 1 、第 2 電極の前記行方向の長さよりも短い、請求項 3\_4 に記載の液晶表示装置。 20

**【請求項 3 6】**

前記第 3 副画素の副画素電極の連結部は、前記画素の行方向における中央付近に設けられている、請求項 3\_5 に記載の液晶表示装置。 20

**【請求項 3 7】**

前記第 1 副画素の TFT および前記第 3 副画素の一方の TFT のゲート電極、ならびに / または、前記第 2 副画素の TFT および前記第 3 副画素の他方の TFT のゲート電極は、ゲート電極部として一体的に設けられて前記ゲートバスラインに接続されており、 20

前記第 1 および第 2 副画素の TFT のそれぞれのドレイン電極は前記ゲート電極部および前記ゲートバスラインと重なる、請求項 3\_4 から 3\_6 のいずれかに記載の液晶表示装置。 20

**【請求項 3 8】**

前記 2 つのドレイン引出し配線は、前記第 1 および第 2 CS バスラインとそれぞれ重なり、 20

前記第 1 および第 2 副画素の副画素電極は、前記 2 つのドレイン引出し配線と前記第 1 および第 2 CS バスラインとが重なる領域とは重ならない、請求項 3\_3 から 3\_7 のいずれかに記載の液晶表示装置。 20

**【請求項 3 9】**

前記第 3 副画素の副画素電極は、前記 2 つのドレイン引出し配線とコンタクトホールをそれぞれ介して接続されており、前記 2 つのドレイン引出し配線は前記第 1 および第 2 CS バスラインと重なる補助容量電極をそれぞれ有している、請求項 3\_3 から 3\_8 のいずれかに記載の液晶表示装置。 30

**【請求項 4 0】**

前記少なくとも 1 つのゲートバスラインは第 1 および第 2 ゲート配線を有しており、

前記第 3 副画素は、前記第 1 ゲート配線または前記第 2 ゲート配線に接続されたゲート電極を有する TFT を有している、請求項 3\_1 または 3\_2 に記載の液晶表示装置。 30

**【請求項 4 1】**

前記第 3 副画素の TFT のドレイン電極は、ドレイン引出し配線に接続されており、 40

前記ドレイン引出し配線は、前記第 1 および第 2 CS バスラインと重なり、

前記第 1 および第 2 副画素の副画素電極は、前記ドレイン引出し配線と前記第 1 および第 2 CS バスラインとが重なる領域とは重ならない、請求項 4\_0 に記載の液晶表示装置。 40

**【請求項 4 2】**

行方向に沿った画素において、少なくとも 1 つの画素ごとに前記第 3 副画素の TFT のゲート電極が異なるゲート配線に接続している、請求項 4\_0 または 4\_1 に記載の液晶表示装置。 40

**【請求項 4 3】**

行方向に隣接する 2 つの画素のうち、一方の画素の第 3 副画素の TFT のゲート電極は前記第 1 ゲート配線に接続しており、他方の画素の第 3 副画素の TFT のゲート電極は前 50

記第2ゲート配線に接続している、請求項4\_0から4\_2のいずれかに記載の液晶表示装置。  
。

**【請求項44】**

前記第3副画素のTFTのドレイン電極の面積は、前記第1および第2副画素のTFTのドレイン電極のそれぞれの面積よりも小さい、請求項3\_3から4\_3のいずれかに記載の液晶表示装置。

**【請求項45】**

前記第1、第2および第3副画素の面積は互いにほぼ等しい、請求項1から4\_4のいずれかに記載の液晶表示装置。

**【請求項46】**

前記複数の画素のそれぞれは、第4副画素をさらに有しており、

前記第4副画素は、前記第1CSバスラインに接続された補助容量と、前記第2CSバスラインに接続された補助容量とを有する、請求項1から4\_5のいずれかに記載の液晶表示装置。

**【請求項47】**

前記第3副画素において、前記第1CSバスラインに接続された補助容量を第1補助容量とし、前記第2CSバスラインに接続された補助容量を第2補助容量とし、

前記第4副画素において、前記第1CSバスラインに接続された補助容量を第3補助容量とし、前記第2CSバスラインに接続された補助容量を第4補助容量とする。

前記第1補助容量の静電容量値と前記第2補助容量の静電容量値とが異なり、

前記第3補助容量の静電容量値と前記第4補助容量の静電容量値とが異なる、請求項4\_6に記載の液晶表示装置。

**【請求項48】**

前記ソースバスラインは、第1および第2ソース配線を有しており、

前記第1および第2副画素は、前記第1ソース配線と前記第2ソース配線との間ににおいて列方向に配列されており、

前記第1および第2副画素に対して、前記第1ソース配線を挟んで前記第3副画素が配置され、前記第2ソース配線を挟んで前記第4副画素が配置されている、請求項4\_6または4\_7に記載の液晶表示装置。

**【請求項49】**

前記第3および第4副画素は前記ゲートバスラインを跨いでいる、請求項4\_8に記載の液晶表示装置。

**【請求項50】**

前記第1、第2、第3および第4副画素は、それぞれ、複数のTFTを有している、請求項4\_9に記載の液晶表示装置。

**【請求項51】**

前記第3および第4副画素の副画素電極が前記ゲートバスラインを跨いでいる、請求項4\_9または5\_0に記載の液晶表示装置。

**【請求項52】**

前記第3および第4副画素の副画素電極において前記ゲートバスラインを跨いでいる部分の行方向の長さは、前記第3、第4副画素の副画素電極の行方向の最大の長さよりも短い、請求項5\_1に記載の液晶表示装置。

**【請求項53】**

前記第3および第4副画素のTFTのドレイン電極は前記ゲートバスラインを跨いでいる、請求項4\_9または5\_0に記載の液晶表示装置。

**【請求項54】**

前記第3および第4副画素の副画素電極は、それぞれ、2つの電極を有しており、

前記第3および第4副画素のTFTのドレイン電極は前記ソースバスラインと平行して設けられており、前記第3および第4副画素のTFTのドレイン電極は、前記第3および第4副画素の副画素電極の前記2つの電極をそれぞれ接続している、請求項5\_3に記載の

10

20

30

40

50

液晶表示装置。

【請求項 5 5】

前記第1、第2、第3および第4副画素のTFTのドレイン電極は前記ゲートバスラインと重なり、

前記第3および第4副画素のTFTのドレイン電極が前記ゲートバスラインと重なるそれぞれの面積は、前記第1および第2副画素のTFTのドレイン電極が前記ゲートバスラインと重なるそれぞれの面積よりも小さい、請求項4 7に記載の液晶表示装置。

【請求項 5 6】

前記第1および第2副画素は、それぞれ、複数のTFTを有しており、

前記第3および第4副画素のそれぞれのTFTの数は、前記第1、第2副画素のそれぞれのTFTの数よりも少ない、請求項5 5に記載の液晶表示装置。 10

【請求項 5 7】

前記第1、第2、第3および第4副画素の面積は互いにほぼ等しい、請求項4 6から5 6のいずれかに記載の液晶表示装置。

【請求項 5 8】

前記複数の画素は、赤を表示する赤画素と、青を表示する青画素と、緑を表示する緑画素とを有しており、

前記青画素のセルギャップが前記赤画素または前記緑画素よりも小さい、請求項1から5 7のいずれかに記載の液晶表示装置。 20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関し、特に、広視野角特性を有する大型の液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、高精細、薄型、軽量および低消費電力等の優れた特長を有する平面表示装置であり、近年、表示性能の向上、生産能力の向上および他の表示装置に対する価格競争力の向上に伴い、市場規模が急速に拡大している。

【0003】

特に、インプレイン・スイッチング・モード (IPSモード、特許文献1参照) およびマルチドメイン・パーティカル・アラインド・モード (MVAモード、特許文献2参照) は、表示面を斜め方向から観測した場合に表示コントラスト比が著しく低下する、あるいは表示階調が反転する、などの問題は起こらない広視野角モードの液晶表示装置として、液晶テレビに用いられている。 30

【0004】

液晶表示装置の表示品位の改善が進む状況下において、今日では視野角特性の問題点として、正面観測時の特性と斜め観測時の特性が異なる点、すなわち特性の視野角依存性の問題が新たに顕在化してきた。ここで、特性とは表示輝度の階調依存性であり、

特性が正面方向と斜め方向で異なるということは、階調表示状態が観測方向によって異なることとなるため、写真等の画像を表示する場合や、またTV放送等を表示する場合に特に問題となる。 40

【0005】

この特性の視野角依存性は、IPSモードよりもMVAモードにおいて顕著である。一方、IPSモードは、MVAモードに比べて正面観測時のコントラスト比の高いパネルを生産性良く製造することが難しい。これらの点から、特にMVAモードの液晶表示装置における特性の視野角依存性を改善することが望まれる。

【0006】

そこで本出願人(譲受人)は、特許文献3に、1つの画素を明るさの異なる複数の副画素に分割することにより特性の視野角依存性、とりわけ白浮特性を改善することができ 50

る液晶表示装置および駆動方法を開示している。本明細書においてこのような表示あるいは駆動を面積階調表示、面積階調駆動、マルチ画素表示またはマルチ画素駆動などと呼ぶことがある。

#### 【0007】

特許文献3には、1つの画素(P)内の複数の副画素(SP)ごとに補助容量(CS)を設け、補助容量を構成する補助容量対向電極(補助容量配線に接続されている)を副画素ごとに電気的に独立とし、補助容量対向電極に供給する電圧(補助容量対向電圧またはCS信号電圧という。)を変化させることによって、容量分割を利用して、複数の副画素の液晶層に印加される実効電圧を異ならせる液晶表示装置が開示されている。

#### 【0008】

図47を参照しながら、特許文献3に記載されている液晶表示装置900の画素分割構造を説明する。ここでは、スイッチング素子としてTFTを有する液晶表示装置を例示する。

#### 【0009】

画素10は、副画素10a、10bに分割されており、副画素10a、10bは、それぞれTFT16a、TFT16b、および補助容量(CS)22a、22bが接続されている。TFT16aおよびTFT16bのゲート電極は走査線(ゲートバスライン、Gバスラインと表記することもある。)12に接続され、ソース電極は共通の(同一の)信号線(ソースバスライン、Sバスラインと表記することもある。)14に接続されている。補助容量22a、22bは、それぞれ補助容量配線(CSバスライン)24aおよび補助容量配線24bに接続されている。補助容量22aおよび22bは、それぞれ副画素電極18aおよび18bに電気的に接続された補助容量電極と、補助容量配線24aおよび24bに電気的に接続された補助容量対向電極と、これらの間に設けられた絶縁層(不図示)によって形成されている。補助容量22aおよび22bの補助容量対向電極は互いに独立しており、それぞれ補助容量配線24aおよび24bから互いに異なる補助容量対向電圧(CS信号電圧)が供給され得る構造を有している。

#### 【0010】

次に、液晶表示装置900の2つの副画素10aおよび10bの液晶層に互いに異なる実効電圧を印加することができる原理について図を用いて説明する。

#### 【0011】

図48に、液晶表示装置900の1画素分の等価回路を模式的に示す。電気的な等価回路において、それぞれの副画素SP-A(10a)およびSP-B(10b)の液晶容量をそれぞれ液晶容量CLC-A(13a)およびCLC-B(13b)として表している。液晶容量CLC-AおよびCLC-Bは、それぞれ、副画素電極18aおよび18bと、液晶層と、対向電極(副画素電極18aおよび18bに対して共通)によって形成されている。

#### 【0012】

ここでは、液晶容量CLC-AおよびCLC-Bの静電容量値は同一の値CLC(V)とする。CLC(V)の値は、副画素SP-A、SP-Bの液晶層に印加される実効電圧(V)に依存する。また、各副画素SP-AおよびSP-Bの液晶容量にそれぞれ独立に接続されている補助容量CCS-A(22a)およびCCS-B(22b)の静電容量値は同一の値CCSとする。

#### 【0013】

副画素SP-Aの液晶容量CLC-Aと補助容量CCS-Aの一方の電極は副画素SP-Aを駆動するために設けたTFT-A(16a)のドレイン電極に接続されており、液晶容量CLC-Aの他方の電極は対向電極であり、補助容量CCS-Aの他方の電極は補助容量配線CS-A(24a)に接続されている。副画素SP-Bの液晶容量CLC-Bと補助容量CCS-Bの一方の電極は副画素SP-Bを駆動するために設けたTFT-B(16b)のドレイン電極に接続されており、液晶容量CLC-Bの他方の電極は対向電極であり、補助容量CCS-Bの他方の電極は補助容量配線CS-B(24b)に接続さ

10

20

30

40

50

れている。TFT-A および TFT-B のゲート電極はいずれも G バスライン（走査線）12 に接続されており、ソース電極はいずれも S バスライン（信号線）14 に接続されている。

#### 【0014】

図49(a)～(f)に液晶表示装置900を駆動する際の各電圧のタイミングを模式的に示す。

#### 【0015】

図49(a)は、S バスライン 14 の電圧波形 V<sub>s</sub>、図49(b)は CS バスライン C<sub>S</sub>-A の電圧波形 V<sub>c<sub>s</sub>a</sub>、図49(c)は CS バスライン C<sub>S</sub>-B の電圧波形 V<sub>c<sub>s</sub>b</sub>、図49(d)は G バスライン 12 の電圧波形 V<sub>g</sub>、図49(e)は副画素電極 18a の電圧波形 V<sub>1c<sub>a</sub></sub>、図49(f)は、副画素電極 18b の電圧波形 V<sub>1c<sub>b</sub></sub>をそれぞれ示している。また、図中の破線は対向電極の電圧波形 COMMON (V<sub>com</sub>) を示している。

10

#### 【0016】

以下、図49(a)～(f)を用いて図48の等価回路の動作を説明する。

#### 【0017】

時刻 T1 のとき V<sub>g</sub> の電圧が V<sub>gL</sub> から V<sub>gH</sub> に変化することにより、TFT-A と TFT-B が同時に導通状態（オン状態）となり、副画素電極 18a および 18b に S バスライン 14 の電圧 V<sub>s</sub> が伝達され、副画素 SP-A の液晶容量 CLC-A および副画素 SP-B の液晶容量 CLC-B に充電される。同様にそれぞれの副画素の補助容量 CCS-A および CCS-B にも S バスライン 14 からの充電がなされる。

20

#### 【0018】

次に、時刻 T2 のとき G バスライン 12 の電圧 V<sub>g</sub> が V<sub>gH</sub> から V<sub>gL</sub> に変化することにより、TFT-A と TFT-B が同時に非導通状態（OFF 状態）となり、副画素 SP-A、SP-B の液晶容量 CLC-A、CLC-B および補助容量 CCS-A、CCS-B は全て、S バスライン 14 と電気的に絶縁される。なお、この直後 TFT-A、TFT-B の有する寄生容量等の影響による引き込み現象のために、それぞれの副画素電極の電圧 V<sub>1c<sub>a</sub></sub>、V<sub>1c<sub>b</sub></sub> は概ね同一の電圧 V<sub>d</sub> だけ低下し、

$$V_{1c<sub>a</sub>} = V_s - V_d$$

$$V_{1c<sub>b</sub>} = V_s - V_d$$

30

となる。また、このとき、それぞれの CS バスラインの電圧 V<sub>c<sub>s</sub>a</sub>、V<sub>c<sub>s</sub>b</sub> は

$$V_{c<sub>s</sub>a} = V_{com} - V_{ad}$$

$$V_{c<sub>s</sub>b} = V_{com} + V_{ad}$$

である。

#### 【0019】

時刻 T3 で、補助容量 CCS-A に接続された CS バスライン CS-A の電圧 V<sub>c<sub>s</sub>a</sub> が V<sub>com</sub> - V<sub>ad</sub> から V<sub>com</sub> + V<sub>ad</sub> に変化し、補助容量 CS-B に接続された CS バスライン CS-B の電圧 V<sub>c<sub>s</sub>b</sub> が V<sub>com</sub> + V<sub>ad</sub> から V<sub>com</sub> - V<sub>ad</sub> に 2 倍の V<sub>ad</sub> だけ変化する。CS バスライン CS-A および CS-B のこの電圧変化に伴い、それぞれの副画素電極の電圧 V<sub>1c<sub>a</sub></sub>、V<sub>1c<sub>b</sub></sub> は

40

$$V_{1c<sub>a</sub>} = V_s - V_d + 2 \times K_c \times V_{ad}$$

$$V_{1c<sub>b</sub>} = V_s - V_d - 2 \times K_c \times V_{ad}$$

へ変化する。但し、K<sub>c</sub> = CCS / (CLC(V) + CCS) である。× は乗算を表す。

#### 【0020】

時刻 T4 では、V<sub>c<sub>s</sub>a</sub> が V<sub>com</sub> + V<sub>ad</sub> から V<sub>com</sub> - V<sub>ad</sub> へ、V<sub>c<sub>s</sub>b</sub> が V<sub>com</sub> - V<sub>ad</sub> から V<sub>com</sub> + V<sub>ad</sub> へ、2 倍の V<sub>ad</sub> だけ変化し、V<sub>1c<sub>a</sub></sub>、V<sub>1c<sub>b</sub></sub> もまた、

$$V_{1c<sub>a</sub>} = V_s - V_d + 2 \times K_c \times V_{ad}$$

$$V_{1c<sub>b</sub>} = V_s - V_d - 2 \times K_c \times V_{ad}$$

から、

50

$$V_{lca} = V_s - V_d$$

$$V_{lcb} = V_s - V_d$$

へ変化する。

【0021】

時刻T5では、 $V_{csa}$ が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ、 $V_{csb}$ が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ、2倍の $V_{ad}$ だけ変化し、 $V_{lca}$ 、 $V_{lcb}$ もまた、

$$V_{lca} = V_s - V_d$$

$$V_{lcb} = V_s - V_d$$

から、

$$V_{lca} = V_s - V_d + 2 \times K_c \times V_{ad}$$

$$V_{lcb} = V_s - V_d - 2 \times K_c \times V_{ad}$$

へ変化する。

【0022】

$V_{csa}$ 、 $V_{csb}$ 、 $V_{lca}$ 、 $V_{lcb}$ は、水平走査期間（水平書き込み時間）1Hの整数倍の間隔毎に上記T4、T5における変化を交互に繰り返す。従って、それぞれの副画素電極の電圧 $V_{lca}$ 、 $V_{lcb}$ の実効的な値は、

$$V_{lca} = V_s - V_d + K_c \times V_{ad}$$

$$V_{lcb} = V_s - V_d - K_c \times V_{ad}$$

となる。

【0023】

よって、副画素SP-A、SP-Bの液晶層13aおよび13bに印加される実効電圧 $V_1$ 、 $V_2$ は、

$$V_1 = V_{lca} - V_{com}$$

$$V_2 = V_{lcb} - V_{com}$$

すなわち、

$$V_1 = V_s - V_d + K_c \times V_{ad} - V_{com}$$

$$V_2 = V_s - V_d - K_c \times V_{ad} - V_{com}$$

となる。

【0024】

従って、副画素SP-AおよびSP-Bのそれぞれの液晶層13aおよび13bに印加される実効電圧の差 $V_{12}$ (= $V_1 - V_2$ )は、 $V_{12} = 2 \times K_c \times V_{ad}$ (但し、 $K_c = CCS / (CLC(V) + CCS)$ )となり、互いに異なる電圧を印加することができる。

【0025】

図50に $V_1$ と $V_2$ の関係を模式的に示す。図50からわかるように、液晶表示装置900では、 $V_1$ の値が小さいほど $V_{12}$ の値が大きい。このように、 $V_1$ の値が小さいほど $V_{12}$ の値が大きくなるので、とりわけ白浮特性を改善することができる。

【0026】

また、特許文献3に記載されているマルチ画素構造を高精細または大型の液晶テレビに適用する場合、振動電圧の振動の周期が表示パネルの高精細化あるいは大型化に伴って短くなるため、振動電圧発生のための回路の作製が困難になる（高価になる）、消費電力が増加する、あるいはCSバスラインの電気的な負荷インピーダンスによる波形鈍りの影響が大きくなるが、特許文献4に記載されているように、電気的に互いに独立な複数のCS幹線を設け、各CS幹線に複数のCSバスラインを接続することによって、CSバスラインを介して補助容量対向電極に印加する振動電圧の振動の周期を長くすることができる。

特許文献3および4の内容の全てを参考のために本明細書に援用する。

【特許文献1】特公昭63-21907号公報

【特許文献2】特開平11-242225号公報

【特許文献3】特開2004-62146号公報（米国特許第6958791号明細書）

10

20

30

40

50

【特許文献4】WO 2006 / 070829 A1

【発明の開示】

【発明が解決しようとする課題】

【0027】

本出願人(譲受人)は、特許文献3および4に記載されているマルチ画素技術を適用した液晶表示装置を備えた大型の液晶テレビを市販している。これまでには、各画素を輝度が異なる2つの副画素(すなわち明副画素および暗副画素)で構成した2分割構造を採用していたが、表示面の大型化および特性の視野角依存性のさらなる改善のためには、2分割では不十分であることがわかった。具体的には、表示装置の大型化に伴い1つの画素サイズが大きくなると、中間調を表示した際に、明副画素と暗副画素との市松状の配列が表示のざらつきとして視認されるという問題がある。10

【0028】

また、2分割構造においては、2つの副画素のV-Tカーブ(電圧-輝度(表示階調)曲線)を重ね合わせることによって、特性の視野角依存性を平均化するものであるため、斜め視野角における特性曲線が滑らかに変化せず、くびれが生じる。そのために、斜め視野角から表示画像を観察したときに、不自然に観察されるという問題がある。

【0029】

この問題を解決するためには、画素を3以上の副画素に分割する、すなわち、1つの画素のV-Tカーブを、3以上の互いに異なるV-Tカーブの重ね合わせで表現すればよい。特許文献3に記載されているマルチ画素技術において、画素分割数を増やすには、画素分割数の増加に応じて、電気的に互いに独立な補助容量対向電圧(CS信号電圧)の数を増加させればよい。20

【0030】

しかしながら、電気的に独立な補助容量対向電圧を用意するためには、CS幹線の数が増加するとともに、駆動回路が複雑になり、コストアップを招く。大型の液晶テレビをさらに普及させるためには、表示特性の改善もさることながら、価格を低下させることが重要であり、上記の方法は採用しがたい。

【0031】

本発明は、上記諸点に鑑みてなされたものであり、その目的は、2分割構造を有する従来の液晶表示装置の駆動回路を複雑にすることなく、3分割以上の分割構造を実現することができる液晶表示装置を提供することにある。30

【課題を解決するための手段】

【0032】

本発明の液晶表示装置は、複数の行および複数の列を有するマトリクス状に配列された複数の画素と、前記複数の画素のそれぞれに関連付けられた、TFTと、ソースバスラインと、ゲートバスラインと、CSバスラインとを有し、前記複数の画素のそれぞれは、それぞれが互いに異なる電圧を保持し得る液晶容量を有する少なくとも3つの副画素を有し、前記ソースバスライン、ゲートバスライン、およびCSバスラインから、前記複数の画素のそれぞれに、少なくともある中間調において前記少なくとも3つの副画素の内の2つの副画素に互いに異なる輝度を表示させる信号を供給することによって、前記少なくとも3つの副画素に互いに異なる輝度を表示させることができる。40

【0033】

ある実施形態において、前記複数の画素のそれぞれについて、前記少なくとも3つの副画素に対応する少なくとも3つのTFTと、1つのソースバスラインと、少なくとも1つのゲートバスラインと、少なくとも2つのCSバスラインが関連付けられており、前記少なくとも3つの副画素に対応するTFTのそれぞれは、ゲート電極、ソース電極およびドレイン電極を有している。

【0034】

ある実施形態において、前記少なくとも3つの副画素の有する液晶容量は、少なくとも3つの副画素電極と、液晶層と、前記液晶層を介して前記少なくとも3つの副画素電極に50

対向する対向電極とを有し、前記対向電極は前記少なくとも3つの副画素電極に共通の単一の電極である。

【0035】

ある実施形態において、前記少なくとも3つの副画素を第1、第2および第3副画素とし、前記少なくとも2つのC-Sバスラインを第1および第2C-Sバスラインとすると、前記第1副画素は前記第1C-Sバスラインに接続された補助容量を有し、前記第2副画素は前記第2C-Sバスラインに接続された補助容量を有し、前記第3副画素は、前記第1C-Sバスラインに接続された補助容量と、前記第2C-Sバスラインに接続された補助容量とを有する。

【0036】

ある実施形態において、前記ゲートバスラインは、第1および第2ゲート配線を含み、前記第1C-Sバスラインは、第1および第2C-S配線を含み、前記第2C-Sバスラインは、第3および第4C-S配線を含む。

【0037】

ある実施形態において、前記第1および第2ゲート配線は前記液晶表示装置内において分岐されており、前記第1および第2C-S配線は前記液晶表示装置内において分岐されており、前記第3および第4C-S配線は前記液晶表示装置内において分岐されている。

【0038】

ある実施形態において、前記第1、第2および第3副画素は列方向に配列されており、前記第3副画素は、前記第1副画素と前記第2副画素との間に配置されている。

【0039】

ある実施形態において、前記第3副画素は、前記第1ゲート配線と接続するゲート電極を有するTFTと、前記第2ゲート配線と接続するゲート電極を有するTFTとを有している。

【0040】

ある実施形態において、前記ゲートバスラインは、前記第1および第2ゲート配線を接続する接続配線をさらに有しており、前記C-Sバスラインは、前記第1および第2C-S配線を接続する接続配線、および/または、前記第3および第4C-S配線を接続する接続配線をさらに有しており、前記ゲートバスラインの前記接続配線は、前記ゲートバスラインの前記第1および第2ゲート配線と同じ材料から形成されており、前記C-Sバスラインの前記接続配線は、前記ソースバスラインと同じ材料から形成されている。

【0041】

ある実施形態において、前記第3副画素が有する前記第1C-Sバスラインに接続された前記補助容量の静電容量値と、前記第2C-Sバスラインに接続された前記補助容量の静電容量値とが略等しい。

【0042】

ある実施形態において、前記第1、第2および第3副画素が互いに異なる輝度を表示する場合、前記第3副画素の輝度は、前記第1、第2副画素の一方の輝度よりも高く、他方の輝度よりも低く、前記第3副画素は列方向にストライプ状に設けられている。

【0043】

ある実施形態において、前記第1および第2副画素は列方向に配列されており、前記ソースバスラインは、前記第1および第2副画素と前記第3副画素との間に設けられている。

【0044】

ある実施形態において、前記第1、第2、第3副画素の面積比は1：1：1である。

【0045】

ある実施形態において、前記第3副画素は前記ゲートバスラインを跨いでいる。

【0046】

ある実施形態において、前記第3副画素の副画素電極が前記ゲートバスラインを跨いでいる。

10

20

30

40

50

## 【0047】

ある実施形態において、前記第3副画素の副画素電極における前記ゲートバスラインを跨ぐ部分の行方向の長さは、前記第3副画素の副画素電極の行方向の最大の長さよりも短い。

## 【0048】

ある実施形態において、前記第3副画素のTFTのドレイン電極は前記ゲートバスラインを跨いでいる。

## 【0049】

ある実施形態において、前記第3副画素の副画素電極は、第1電極と、第2電極とを有しており、前記第3副画素のTFTのドレイン電極は前記ソースバスラインと平行に設けられており、前記ドレイン電極は、前記第3副画素の副画素電極の前記第1電極および前記第2電極を接続している。10

## 【0050】

ある実施形態において、前記第3副画素のTFTのドレイン電極が前記ゲートバスラインと重なる面積は、前記第1および第2副画素のTFTのドレイン電極が前記ゲートバスラインと重なるそれぞれの面積よりも小さい。

## 【0051】

ある実施形態において、前記第1および第2副画素は列方向に配列されており、前記第3副画素は、第1領域と、第2領域とを有しており、前記ソースバスラインは、前記第1および第2副画素と前記第3副画素の第1領域との間に設けられた第1ソース配線と、前記第1および第2副画素と前記第3副画素の第2領域との間に設けられた第2ソース配線とを有しており、前記第1および第2副画素の列方向のそれぞれの長さは、前記第3副画素の前記第1領域と前記第2領域の列方向のそれぞれの長さの半分であり、前記第1および第2副画素の行方向の長さは、前記第3副画素の前記第1領域または前記第2領域の行方向の長さの略4倍である。20

## 【0052】

ある実施形態において、前記第3副画素は、前記第1および第2領域に対応する副画素電極を有しており、前記第1、第2および第3副画素の副画素電極には、それぞれ、複数のTFTが接続されている。

## 【0053】

ある実施形態において、前記第1および第2ソース配線のそれぞれには複数のTFTが設けられており、前記第3副画素は、前記第1および第2領域に対応して設けられたTFTを有しており、前記第3副画素の前記第1および第2領域に設けられたTFTのドレイン電極のそれぞれの面積は、第1および第2副画素のTFTのドレイン電極のそれぞれの面積よりも小さい。30

## 【0054】

ある実施形態において、前記第1および第2副画素は、それぞれ、複数のTFTを有しており、前記第1および第2領域に設けられたTFTのそれぞれの数は、前記第1および第2副画素のTFTのそれぞれの数よりも少ない。

## 【0055】

ある実施形態において、前記第1副画素は前記ある中間調において前記少なくとも3つの副画素の内で最高の輝度を呈し、前記第2および第3副画素の少なくとも一方は、前記第1副画素を挟むように配置された2つの領域を有する。

## 【0056】

ある実施形態において、前記第2および第3副画素の前記少なくとも一方は、前記2つの領域に亘って連続した副画素電極を有する。

## 【0057】

ある実施形態において、前記2つの領域に亘って連続した副画素電極は環状である。

## 【0058】

ある実施形態において、前記2つの領域に亘って連続した副画素電極はコの字状である50

。

**【0059】**

ある実施形態において、前記第2および第3副画素の前記少なくとも一方は、前記2つの領域に対応する2つの副画素電極を有し、前記2つの副画素電極は、当該副画素に関連付けられたTFTのドレイン電極に接続されたドレイン引出し配線を介して互いに接続されている。

**【0060】**

ある実施形態において、前記3つのTFTのドレイン電極にそれぞれ接続された3つのドレイン引出し配線を有し、前記第1および第2CSバスラインの少なくとも一方は延設部を有し、前記延設部は、絶縁層を介して前記少なくとも3つの副画素電極および前記3つのドレイン引出し配線の少なくとも1つと重なっている。10

**【0061】**

ある実施形態において、前記第1および第2CSバスラインの前記少なくとも一方が有する前記延設部は環状部を含む。

**【0062】**

ある実施形態において、前記少なくとも3つの副画素電極の内の互いに隣接する副画素電極間の間隙には、前記ドレイン引出し配線、前記ソースバスライン、前記第1および第2CSバスラインの内から選択される少なくとも1つの配線の一部が配置されている。20

**【0063】**

ある実施形態において、垂直配向型の液晶層を有し、前記少なくとも3つの副画素電極の内の前記互いに隣接する副画素電極間の前記間隙は、列方向に対して約45°の方向に延びる間隙を含む。

**【0064】**

ある実施形態において、前記第1、第2および第3副画素は、前記第1および第2CSバスラインの間に配置され、前記第1および第2CSバスラインは、それぞれ、列方向に隣接する画素の補助容量に接続している。

**【0065】**

ある実施形態において、前記第1、第2および第3副画素の副画素電極のそれぞれにおける列方向に沿った2つの辺の長さは略等しい。

**【0066】**

ある実施形態において、前記少なくとも1つのゲートバスラインは第1および第2ゲート配線を有しており、前記第3副画素は、前記第1ゲート配線と接続されたゲート電極を有するTFTと、前記第2ゲート配線と接続されたゲート電極を有するTFTとを有しており、前記第3副画素の2つのTFTのドレイン電極は、2つのドレイン引出し配線とそれぞれ接続されており、前記2つのドレイン引出し配線は、前記少なくとも1つのゲートバスラインとそれぞれ交差する。30

**【0067】**

ある実施形態において、前記少なくとも1つのゲートバスラインはゲート配線を有しており、前記第3副画素は、それぞれが前記ゲート配線と接続されたゲート電極を有する2つのTFTを有しており、前記第3副画素の2つのTFTのドレイン電極は、2つのドレイン引出し配線とそれぞれ接続されており、前記第3副画素の副画素電極は前記ゲートバスラインを跨ぐ。40

**【0068】**

ある実施形態において、前記第3副画素の副画素電極は、第1電極と、第2電極と、前記第1および第2電極を連結する連結部とを有しており、前記連結部の行方向の長さは、前記第1、第2電極の前記行方向の長さよりも短い。

**【0069】**

ある実施形態において、前記第3副画素の副画素電極の連結部は、前記画素の行方向における中央付近に設けられている。

**【0070】**

50

ある実施形態において、前記第1副画素のTFTおよび前記第3副画素の一方のTFTのゲート電極、ならびに／または、前記第2副画素のTFTおよび前記第3副画素の他方のTFTのゲート電極は、ゲート電極部として一体的に設けられて前記ゲートバスラインに接続されており、前記第1および第2副画素のTFTのそれぞれのドレイン電極は前記ゲート電極部および前記ゲートバスラインと重なる。

## 【0071】

ある実施形態において、前記2つのドレイン引出し配線は、前記第1および第2CSバスラインとそれ重なり、前記第1および第2副画素の副画素電極は、前記2つのドレイン引出し配線と前記第1および第2CSバスラインとが重なる領域とは重ならない。

## 【0072】

ある実施形態において、前記第3副画素の副画素電極は、前記2つのドレイン引出し配線とコンタクトホールをそれぞれ介して接続されており、前記2つのドレイン引出し配線は前記第1および第2CSバスラインと重なる補助容量電極をそれぞれ有している。

## 【0073】

ある実施形態において、前記少なくとも1つのゲートバスラインは第1および第2ゲート配線を有しており、前記第3副画素は、前記第1ゲート配線または前記第2ゲート配線に接続されたゲート電極を有するTFTを有している。

## 【0074】

ある実施形態において、前記第3副画素のTFTのドレイン電極は、ドレイン引出し配線に接続されており、前記ドレイン引出し配線は、前記第1および第2CSバスラインと重なり、前記第1および第2副画素の副画素電極は、前記ドレイン引出し配線と前記第1および第2CSバスラインとが重なる領域とは重ならない。

## 【0075】

ある実施形態において、行方向に沿った画素において、少なくとも1つの画素ごとに前記第3副画素のTFTのゲート電極が異なるゲート配線に接続している。

## 【0076】

ある実施形態において、行方向に隣接する2つの画素のうち、一方の画素の第3副画素のTFTのゲート電極は前記第1ゲート配線に接続しており、他方の画素の第3副画素のTFTのゲート電極は前記第2ゲート配線に接続している。

## 【0077】

ある実施形態において、前記第3副画素のTFTのドレイン電極の面積は、前記第1および第2副画素のTFTのドレイン電極のそれぞれの面積よりも小さい。

## 【0078】

ある実施形態において、前記第1、第2および第3副画素の面積は互いにほぼ等しい。

## 【0079】

ある実施形態において、前記複数の画素のそれぞれは、第4副画素をさらに有しており、前記第4副画素は、前記第1CSバスラインに接続された補助容量と、前記第2CSバスラインに接続された補助容量とを有する。

## 【0080】

ある実施形態において、前記第3副画素において、前記第1CSバスラインに接続された補助容量を第1補助容量とし、前記第2CSバスラインに接続された補助容量を第2補助容量とし、前記第4副画素において、前記第1CSバスラインに接続された補助容量を第3補助容量とし、前記第2CSバスラインに接続された補助容量を第4補助容量とする。前記第1補助容量の静電容量値と前記第2補助容量の静電容量値とが異なり、前記第3補助容量の静電容量値と前記第4補助容量の静電容量値とが異なる。

## 【0081】

ある実施形態において、前記ソースバスラインは、第1および第2ソース配線を有しており、前記第1および第2副画素は、前記第1ソース配線と前記第2ソース配線との間ににおいて列方向に配列されており、前記第1および第2副画素に対して、前記第1ソース配線を挟んで前記第3副画素が配置され、前記第2ソース配線を挟んで前記第4副画素が配

10

20

30

40

50

置されている。

【0082】

ある実施形態において、前記第3および第4副画素は前記ゲートバスラインを跨いでいる。

【0083】

ある実施形態において、前記第1、第2、第3および第4副画素は、それぞれ、複数のTFTを有している。

【0084】

ある実施形態において、前記第3および第4副画素の副画素電極が前記ゲートバスラインを跨いでいる。

10

【0085】

ある実施形態において、前記第3および第4副画素の副画素電極において前記ゲートバスラインを跨いでいる部分の行方向の長さは、前記第3、第4副画素の副画素電極の行方向の最大の長さよりも短い。

【0086】

ある実施形態において、前記第3および第4副画素のTFTのドレイン電極は前記ゲートバスラインを跨いでいる。

【0087】

ある実施形態において、前記第3および第4副画素の副画素電極は、それぞれ、2つの電極を有しており、前記第3および第4副画素のTFTのドレイン電極は前記ソースバスラインと平行して設けられており、前記第3および第4副画素のTFTのドレイン電極は、前記第3および第4副画素の副画素電極の前記2つの電極をそれぞれ接続している。

20

【0088】

ある実施形態において、前記第1、第2、第3および第4副画素のTFTのドレイン電極は前記ゲートバスラインと重なり、前記第3および第4副画素のTFTのドレイン電極が前記ゲートバスラインと重なるそれぞれの面積は、前記第1および第2副画素のTFTのドレイン電極が前記ゲートバスラインと重なるそれぞれの面積よりも小さい。

【0089】

ある実施形態において、前記第1および第2副画素は、それぞれ、複数のTFTを有しており、前記第3および第4副画素のそれぞれのTFTの数は、前記第1、第2副画素のそれぞれのTFTの数よりも少ない。

30

【0090】

ある実施形態において、前記第1、第2、第3および第4副画素の面積は互いにほぼ等しい。

【0091】

ある実施形態において、前記少なくとも3つの副画素を第1、第2および第3副画素とし、前記少なくとも2つのCSバスラインを第1および第2CSバスラインとすると、前記第1副画素は前記第1CSバスラインに接続された補助容量を有し、前記第2副画素は前記第2CSバスラインに接続された補助容量を有し、前記第3副画素は前記少なくとも1つのゲートバスラインに接続された補助容量を有する。

40

【0092】

ある実施形態において、前記第1、第2および第3副画素は、隣接する2つのゲートバスラインの間に設けられ、前記第1、第2および第3副画素のTFTのゲート電極は、前記2つのゲートバスラインのうちの一方のゲートバスラインと接続されており、前記第1および第2CSバスラインは、前記2つのゲートバスラインの間に設けられ、前記第3副画素の補助容量は、前記2つのゲートバスラインのうちの他方のゲートバスラインと接続されている。

【0093】

ある実施形態において、前記第1、第2および第3副画素は、前記第1および第2CSバスラインの間に配置され、前記第3副画素の補助容量は、列方向に隣接する画素を選択

50

するためのゲートバスラインと接続されている。

【0094】

ある実施形態において、前記複数の画素は、赤を表示する赤画素と、青を表示する青画素と、緑を表示する緑画素とを有しており、前記青画素のセルギャップが前記赤画素または前記緑画素よりも小さい。

【発明の効果】

【0095】

本発明による液晶表示装置は、駆動回路を複雑にすることなく、3分割構造を実現できるので、コストの上昇を抑制しつつ、表示品位（特に、特性の視野角依存性）を改善することができる。

10

【図面の簡単な説明】

【0096】

【図1】本発明による実施形態の液晶表示装置100の1画素分の等価回路を模式的に示す図である。

【図2】液晶表示装置100の駆動方法を説明するための図であり、ゲート信号（Gate信号）、CS信号（補助容量対向電圧）、および画素電圧（各副画素の液晶容量に印加される電圧）の波形を示す図である。

【図3】MVA型の液晶表示装置の特性を示すグラフである。

【図4】本発明による実施形態の液晶表示装置100Aの画素のTFT基板上の構造を模式的に示す図である。

20

【図5】本発明による実施形態の液晶表示装置100Bの画素のTFT基板上の構造を模式的に示す図である。

【図6】本発明による実施形態の液晶表示装置100Cの画素のTFT基板上の構造を模式的に示す図である。

【図7】本発明による実施形態の液晶表示装置100Dの画素のTFT基板上の構造を模式的に示す図である。

【図8】本発明による実施形態の液晶表示装置200Aの画素のTFT基板上の構造を模式的に示す図である。

【図9】本発明による実施形態の液晶表示装置200Bの画素のTFT基板上の構造を模式的に示す図である。

30

【図10】本発明による実施形態の液晶表示装置200Cの画素のTFT基板上の構造を模式的に示す図である。

【図11】本発明による実施形態の液晶表示装置200C'の画素のTFT基板上の構造を模式的に示す図である。

【図12】本発明による実施形態の液晶表示装置200Dの画素のTFT基板上の構造を模式的に示す図である。

【図13】本発明による実施形態のMVA型液晶表示装置300Bの画素のTFT基板上の構造を模式的に示す図である。

【図14】本発明による実施形態のMVA型液晶表示装置300Cの画素のTFT基板上の構造を模式的に示す図である。

40

【図15】(a)および(b)は、2分割構造(2VT構造)とした場合の副画素の配列および特性の視野角依存性を示す図である。

【図16】(a)および(b)は、3分割構造(3VT構造)とした場合の好ましい副画素の配列および特性の視野角依存性を示す図である。

【図17】(a)および(b)は、3分割構造(3VT構造)とした場合の他の好ましい副画素の配列および特性の視野角依存性を示す図である。

【図18】本発明による実施形態の液晶表示装置400Aの等価回路を模式的に示す図である。

【図19】本発明による実施形態の液晶表示装置400Bの等価回路を模式的に示す図である。

50

【図20】(a)は本発明による実施形態の液晶表示装置500AのTFT基板の模式的な平面図であり、(b)は2分割構造の液晶表示装置550のTFT基板の模式的な平面図である。

【図21】(a)～(c)はそれぞれ、横シャドーの発生を説明するための模式図である。

【図22】本発明による実施形態の液晶表示装置300Dの模式的な平面図を示す。

【図23】本発明による実施形態の液晶表示装置300Eの模式的な平面図を示す。

【図24】本発明による実施形態の液晶表示装置300Fの模式的な平面図を示す。

【図25】本発明による実施形態の液晶表示装置500BのTFT基板の模式的な平面図である。 10

【図26】本発明による実施形態の液晶表示装置500CのTFT基板の模式的な平面図である。

【図27】本発明による実施形態の液晶表示装置500D1の1画素分の等価回路を模式的に示す図である。

【図28】本発明による実施形態の液晶表示装置500D1の画素のTFT基板上の構造を模式的に示す図である。

【図29】本発明による実施形態の液晶表示装置500D2の1画素分の等価回路を模式的に示す図である。

【図30】本発明による実施形態の液晶表示装置500D2の画素のTFT基板上の構造を模式的に示す図である。 20

【図31】本発明による実施形態の液晶表示装置500Eの1画素分の等価回路を模式的に示す図である。

【図32】本発明による実施形態の液晶表示装置500Eの画素のTFT基板上の構造を模式的に示す図である。

【図33】本発明による実施形態の液晶表示装置600Aの1画素分の等価回路を模式的に示す図である。 20

【図34】本発明による実施形態の液晶表示装置600AのTFT基板上の構造を模式的に示す図である。

【図35】本発明による実施形態の液晶表示装置600Bの1画素分の等価回路を模式的に示す図である。 30

【図36】本発明による実施形態の液晶表示装置600BのTFT基板上の構造を模式的に示す図である。

【図37】本発明による実施形態の液晶表示装置600Cの1画素分の等価回路を模式的に示す図である。

【図38】液晶表示装置600Cの信号波形図である。

【図39】本発明による実施形態の液晶表示装置600C1のTFT基板上の構造を模式的に示す図である。

【図40】本発明による実施形態の液晶表示装置600C2のTFT基板上の構造を模式的に示す図である。 40

【図41】本発明による実施形態の液晶表示装置600C3のTFT基板上の構造を模式的に示す図である。

【図42】本発明による実施形態の液晶表示装置600C4のTFT基板上の構造を模式的に示す図である。

【図43】4VT構造の液晶表示装置における特性の視野角依存性を示すグラフである。

【図44】(a)～(d)は、それぞれ、3VT構造の液晶表示装置における視野角特性を示すグラフである。

【図45】(a)および(b)は、4VT構造の液晶表示装置における視野角特性を示すグラフである。

【図46】(a)および(b)は、本発明による実施形態の液晶表示装置を備えるテレビ

50

ジョン受像機の模式図である。

【図47】特許文献3に記載されている液晶表示装置900の画素分割構造を説明するための図である。

【図48】液晶表示装置900の1画素分の等価回路を模式的に示す図である。

【図49】(a)～(f)は、液晶表示装置900を駆動する際の各電圧のタイミングを模式的に示す図である。

【図50】液晶表示装置900における副画素間の液晶層への印加電圧の関係を示す図である。

#### 【符号の説明】

##### 【0097】

10	10 画素
10 a、10 b 副画素	
12 走査線(ゲートバスライン)	
14 信号線(ソースバスライン)	
16 a、16 b TFT	
18 a、18 b 副画素電極	
100、100 A、100 B、100 C、100 D、200 A、200 B、200 C、 200 C'、200 D、300 B、300 C、300 D、300 E、300 F、400 A 、400 B、500 A、500 B、500 C、500 D、600 A、600 B、600 C 、600 C1、600 C2、600 C3、600 C4 液晶表示装置	20
111 a、111 b、111 c 副画素電極	
112 ゲートバスライン(Gバスライン)	
113 CSバスライン	
114 ソースバスライン(Sバスライン)	
116 a、116 b、116 c TFT	
117 a、117 b、117 c、117 c1、117 c2、117 d1、117 d2	
ドレイン引出し配線	
118 a、118 b、118 c1、118 c2、118 d1、118 d2 補助容量電極	
119 a、119 b、119 c コンタクト部	30
SP-A、SP-B、SP-C、SP-D 副画素	
TFT-A、TFT-A1、TFT-A2、TFT-B、TFT-B1、TFT-B2 、TFT-C、TFT-C1、TFT-C2、TFT-D、TFT-D1、TFT-D2	
薄膜トランジスタ	
CCS-A、CCS-B、CCS-C、CCS-C1、CCS-C2、CCS-D、CS CS-D1、CCS-D2 補助容量	
CLC-A、CLC-B、CLC-C、CLC-D 液晶容量	

#### 【発明を実施するための最良の形態】

##### 【0098】

以下、図面を参照して本発明による実施形態の液晶表示装置およびそれに用いられるTFT基板の構成を説明する。なお、本発明は以下の実施形態に限定されるものではない。

##### 【0099】

図1は、本発明による実施形態の液晶表示装置100の1画素分の等価回路を模式的に示す図である。液晶表示装置100の各画素は、3つの副画素SP-A、SP-BおよびSP-Cを有し、それぞれが3つの副画素SP-A、SP-BおよびSP-Cに対応する3つのTFT-A、TFT-BおよびTFT-Cと、1つのソースバスライン(Sバスライン)と、1つのゲートバスライン(Gバスライン)と、2つのCSバスラインCS-AおよびCS-Bが各画素に関連付けられている。

##### 【0100】

図48に示した従来の液晶表示装置900の等価回路と比較すると明らかのように、液

40

50

晶表示装置 100 は、1つの画素が3つの副画素 S P - A、S P - B および S P - C を有している一方、液晶表示装置 100 の画素に対応する部分以外の構成、すなわち、G バスライン、S バスラインおよび C S バスラインの数は液晶表示装置 900 と同じであり、これらに対応する信号（電圧）を供給する駆動回路（不図示）の構成も液晶表示装置 900 と同じである。このように、液晶表示装置 100 は、従来の2分割構造を有する液晶表示装置 900 の駆動回路を複雑にすることなく、3分割構造を実現している。従って、本発明の実施形態によると、コストの上昇を抑制しつつ、表示品位（特に、特性の視野角依存性）を改善することができる。

#### 【 0101 】

液晶表示装置 100 における、2つの副画素 S P - A および S P - B と、TFT - A および TFT - B、G バスライン、S バスライン、および 2 本の互いに電気的に独立な C S バスラインとの間の接続関係は、液晶表示装置 900 と全く同じである（簡単のために説明を省略）。液晶表示装置 900 に対して付加された3番目の副画素 S P - C は以下のように接続されている。

#### 【 0102 】

副画素 S P - C は、液晶容量 C L C - C と、2つの補助容量 C C S - C 1 および C C S - C 2 を有している。液晶容量 C L C - C の一方の電極（副画素電極）は TFT - C のドレイン電極に接続されており、補助容量 C C S - C 1 および C C S - C 2 のそれぞれの一方の電極（補助容量電極）も TFT - C のドレイン電極に接続されている。TFT - C は、他の TFT - A および TFT - B と同様に、ゲート電極は共通の G バスラインに接続されており、ソース電極は S バスラインに接続されている。液晶容量 C L C - C の他方の電極（対向電極）は、他の液晶容量 C L C - A および C L C - B と共に対向電極で構成されている。補助容量 C C S - C 1 の他方の電極（補助容量対向電極）は、C S バスライン C S - A に接続されており、補助容量 C C S - C 2 の他方の電極（補助容量対向電極）は、C S バスライン C S - B に接続されている。従って、液晶容量 C L C - C に印加される電圧は、2つの補助容量 C C S - C 1 および C C S - C 2 を介して、C S バスライン C S - A による突き上げ（または突き下げ）と C S バスライン C S - B による突き下げ（または突き上げ）との両方の作用を受け、液晶容量 C L C - A に印加される実効電圧と液晶容量 C L C - B に印加される実効電圧との中間の値となる。

#### 【 0103 】

なお、ここでは1つのG バスラインが3つのTFT について共通に接続されているが、これに限ることではなく、各 TFT に1つのG バスラインを設けるなど、各画素に関連付けられる G バスラインは複数であってもよい。

#### 【 0104 】

図 2 は、液晶表示装置 100 の駆動方法を説明するための図であり、ゲート信号（Gate 信号）、C S 信号（補助容量対向電圧）、S バスラインから供給される信号電圧（= ソース信号、S 信号）および画素電圧（各副画素の液晶容量に印加される電圧 = 各副画素の副画素電極の電圧）の波形を示す図である。また、図中の破線は対向電極の電圧波形 COMMON (V com) を示している。あるゲートバスライン（ここでは Gate : 001）において、ゲート信号がローからハイに切り替わったときに信号電圧がそれぞれの副画素に書き込まれる。それぞれの副画素に書き込まれた信号電圧が、上述の通り、それぞれ突き上げの作用、突き下げの作用、および突き上げと突き下げの両方の作用を受け、各副画素電極の電圧が、V C 1 c - A、V C 1 c - B、V C 1 c - C に示す波形となる。なお、ここでは簡便のため、各 TFT の寄生容量等の影響による引き込み電圧は無視している。画素の印加電圧の波形を示す図中の一点鎖線は副画素電極の実効電圧を示している。V C 1 c - C は波形に変動がないため、実効電圧は V C 1 c - C の波形となる。

#### 【 0105 】

一垂直走査期間（ここでは入力映像信号のフレームと同じ）に信号電圧の極性が反転し、且つ、行方向および列方向に隣接する画素間の極性が逆となる、典型的なドット反転駆動の場合を例示する。注目する画素において、n フレーム（n F）では正極性書き込み、

10

20

30

40

50

$n + 1$  フレーム ( $n + 1 - F$ ) では負極性書き込みの場合を示す。ここでは特に示さない限り、「一垂直走査期間」とは、入力映像信号で規定される期間ではなく、液晶表示装置について規定される期間であり、ある画素に信号電圧が供給されてから、再び信号電圧が供給されるまでの期間である。例えば、NTSC 信号の 1 フレームは 33.3 ms であるが、一般に液晶表示装置では NTSC 信号の 1 / 2 フレーム = 1 フィールド (16.7 ms) の期間内に全ての画素に信号電圧の書き込みを行っており、16.7 ms が液晶表示装置の一垂直走査期間である。さらに、応答特性を改善する目的などのために倍速駆動を行う場合、液晶表示装置の一垂直走査期間は、さらに半分の 8.3 ms となる。また、各画素に供給される「信号電圧」とは、表示すべき階調に対応する電圧（階調電圧）に限られず、応答特性を改善するためのオーバーシュート電圧や、擬似インパルス駆動（黒挿入駆動）のための黒表示電圧など、画素に供給される全ての電圧を含むものとする。10

#### 【0106】

$n$  フレームでは正極性書き込みなので、ゲート信号が立ち下がった直後の CS 信号の振幅が増大する VCS-A が供給される液晶容量 CLC-A に印加される実効電圧が、CS 電圧による突き上げ作用を受けて増大し、液晶容量 CLC-A で構成される副画素 SP-A が明副画素となる。一方、ゲート信号が立ち下がった直後の CS 信号の振幅が減少する VCS-B が供給される液晶容量 CLC-B に印加される実効電圧は CS 電圧による突き下げ作用を受けて減少し、液晶容量 CLC-B で構成される副画素 SP-B が暗副画素となる。20

#### 【0107】

液晶容量 CLC に印加される実効電圧は、VCS-A の突き上げ作用および VCS-B の突き下げ作用の両方を受けるので、液晶容量 CLC-A に印加される実効電圧と液晶容量 CLC-B に印加される実効電圧との中間の値となり、液晶容量 CLC-C で構成される副画素 SP-C は中間の輝度を呈する副画素（中副画素ということがある。）となる。ここでは、副画素 SP-C が有する 2 つの補助容量 CCS-C1 および CCS-C2 の静電容量値が互いに等しい場合を例示しており、この場合には、VCS-A および VCS-B の作用が互いに相殺し合い、液晶容量 CLC-C には信号電圧と等しい電圧が印加されることになる。なお、このように液晶容量 CLC-C には信号電圧と等しい電圧を印加する場合には、副画素 SP-C の補助容量を 1 つだけにし、且つ、当該補助容量をオングート構造、すなわち、G バスラインを CS バスラインの代わりに用いる構造とすれば、駆動回路を複雑にすることなく同様の効果を得ることができる。30

#### 【0108】

本実施形態はこれに限られず、補助容量 CCS-C1 および CCS-C2 の値を適宜設定することによって、副画素 SP-C の呈する輝度を副画素 SP-A の輝度に近づけることも、副画素 SP-B の輝度に近づけることもできる。なお、特性の視野角依存性の観点からは、後述するように、副画素 SP-C の輝度を副画素 SP-A の輝度と副画素 SP-B の輝度との中間とし、且つ、副画素 SP-A、B および C の面積を互いに等しくすることが好ましい（図 17 参照）。ここで、副画素 SP-C の呈する輝度を明副画素の輝度に近づけると、コントラスト比を向上させることができ、副画素 SP-C の呈する輝度を暗副画素の輝度に近づけると、特に低階調における 特性の視野角依存性を改善することができる。40

#### 【0109】

また、上述の説明から明らかなように、2 つの補助容量を有する副画素 SP-C を 2 つ設け、2 つの副画素 SP-C が有する 2 つの補助容量の静電容量値を適宜設定すれば、互いに異なる 4 つの輝度を呈する 4 つの副画素を形成することができる。例えば、図 1 において、副画素 SP-C と電気的に等価な副画素を SP-D を追加する。SP-D は、SP-C と同様に、液晶容量 CLC-D と 2 つの補助容量 CCS-D1 および CCS-D2 を有する。ここで、副画素 SP-C においては、補助容量 CCS-C1 および CCS-C2 の静電容量値を調整し突き上げ作用（または突き下げ作用）を優勢とし、副画素 SP-D においては補助容量 CCS-D1 および CCS-D2 の静電容量値を調整し突き下げ作用50

(または突き上げ作用)を優勢とすることによって、4つの異なる輝度を呈する副画素を得ることができる。このように、4つの異なる輝度を呈する副画素を設ければ、特性の視野角依存性をさらに改善することができる。以下では、本発明の最も基本的な実施形態である、3分割構造を有する液晶表示装置を説明する。

#### 【0110】

図3は、MVA型の液晶表示装置の特性を示すグラフであり、画素分割無し(曲線L0)、2分割構造(曲線L2)、3分割構造(L=3)のそれぞれの右60°視野角における曲線と、理想的な曲線(L1)を示している。MVA型液晶表示装置の斜め視野角における曲線が高輝度側にずれるという問題が、画素分割駆動によって改善されることがわかる。また、3分割構造の曲線L3の方が2分割構造の曲線L2よりも、理想的な曲線に近く、視野角特性が優れている。さらに、2分割構造の曲線L2は100/255階調付近の変化が滑らかでないのに対し、3分割構造の曲線L3は全階調範囲に亘って滑らかに変化していることがわかる。

#### 【0111】

なお、全ての階調電圧について、液晶容量に印加される実効電圧を異ならせる必要は必ずしもなく、最低階調(黒表示状態)および最高階調(白表示状態)においては、各液晶容量に同じ電圧が印加され、同じ輝度(階調)を表示してもよい。また、特に特性の視野角依存性が大きい領域(ある中間調(例えば100/255階調)よりも低い領域)においてのみ、マルチ画素駆動を行っても良い。

#### 【0112】

次に、図4～図7を参照して、本発明による実施形態の液晶表示装置の画素分割構造と副画素の配置を説明する。図4～図7は1画素構造分の等価回路と副画素の配置を模式的に示す図である。尚、副画素の配置は例示したものに限らず種々の改変が可能である。図4～図7に示した等価回路は空間的な配置を加味しているが、電気的な接続関係は図1に示した等価回路と同じである。

#### 【0113】

図4～図7には、本発明による実施形態の液晶表示装置が有する行列状に配列された画素のうち、m行n列の画素のTFT基板上の構造を模式的に示している。以下の図面において、共通する構成要素は共通の参照符号で説明を省略することがある。ここで、「画素」とは、液晶表示装置が表示を行う最小単位を指し、カラー表示装置の場合は、個々の色(典型的にはR、GまたはB)を表示する「絵素(またはドット)」に対応する。

#### 【0114】

図4に示す液晶表示装置100Aの画素においては、副画素S P - A、S P - CおよびS P - Bを列方向に沿ってこの順に配列している。すなわち、副画素の輝度順(ここでは上から降順)に配列されている。次のフレームにおいてもこの輝度の関係(画素内における副画素の輝度順位)は維持されるとともに、各副画素の液晶容量に印加される電圧の極性が反転するので、長期間にわたってDC電圧が印加されることを防止できる。なお、副画素S P - AとS P - Bとの輝度順位が入れ替わるようにVCS - AとVCS - Bの信号波形を調整してもよく、このときも副画素の輝度順(ここでは上から昇順)に配列されていることに代わりが無い。

#### 【0115】

図4に示すように、第1副画素S P - Aは第1副画素電極111aによって規定される領域に対応して形成され、第2副画素S P - Bは第2副画素電極111bによって規定される領域に対応して形成され、第3副画素S P - Cは、第3副画素電極111cによって規定される領域に対応して形成されている。

#### 【0116】

(m、n)画素はGバスライン112(m)とSバスライン114(n)に接続されたTFT116a、116bおよび116cによって駆動される。TFT116aのドレイン電極はドレイン引出し配線117aを介して第1副画素電極111aに接続されている。TFT116bのドレイン電極はドレイン引出し配線117bを介して第2副画素電極

10

20

30

40

50

111bに接続されており、TFT116cのドレイン電極はドレイン引出し配線117cを介して第3副画素電極111cに接続されている。副画素電極111a、111bおよび111cは、液晶層(不図示)と、液晶層を介して対向するように配置されている共通の対向電極(不図示)によって、液晶容量を構成する。すなわち、第1副画素電極111aは、図1中のCLC-Aを構成し、第2副画素電極111bはCLC-Bを構成し、第3副画素電極111cはCLC-Cを構成している。対向電極は複数の画素に共通に設けられ、典型的には、全ての画素に対して共通であるが、必要に応じて複数に分割されることもある。

#### 【0117】

m行の画素内には、2本のCSバスライン(=補助容量配線)CS-AおよびCS-Bが通っている。第1副画素SP-Aは、1つの補助容量CSA(図1中のCCS-A)を有している。補助容量CSAの一方の電極(補助容量対向電極)はCSバスラインCS-Aに接続されており、他方の電極(補助容量電極)はドレイン引出し配線117aに接続されている。これら一対の電極と、これら一対の電極の間の絶縁層(例えばゲート絶縁層)によって補助容量CSAが構成されている。同様に、第2副画素SP-Bは、1つの補助容量CSB(図1中のCCS-B)を有している。補助容量CSBの一方の電極(補助容量対向電極)はCSバスラインCS-Bに接続されており、他方の電極(補助容量電極)はドレイン引出し配線117bに接続されている。これら一対の電極と、これら一対の電極の間の絶縁層(例えばゲート絶縁層)によって補助容量CSBが構成されている。これらに対し、第3副画素SP-Cは、2つの補助容量CSC-1およびCSC-2(図1中のCCS-C1およびCCS-C2)を有している。補助容量CSC-1の一方の電極(補助容量対向電極)はCSバスラインCS-Aに接続されており、補助容量CSC-2の一方の電極(補助容量対向電極)はCSバスラインCS-Bに接続されている。補助容量CSC-1およびCSC-2の他方の電極(補助容量電極)はいずれもドレイン引出し配線117cに接続されている。これら二対の電極と、これら二対の電極のそれぞれの間の絶縁層(例えばゲート絶縁層)によって補助容量CSC-1およびCSC-2が構成されている。

#### 【0118】

次に、図5に示す液晶表示装置100Bの画素分割構造を説明する。

#### 【0119】

液晶表示装置100Bの画素は、3つの副画素SP-A、SP-BおよびSP-C内のSP-BおよびSP-Cがそれぞれ2つの領域(SP-B1とSP-B2およびSP-C1とSP-C2)を有し、且つ、それぞれの副画素の2つの領域は第1副画素SP-Aを挟むように配置されている。列方向には、SP-B2(暗副画素)、SP-C2(中副画素)、SP-A(明副画素)、SP-C1(中副画素)およびSP-B1(暗副画素)の順で配列されており、次のフレームにおいてもこの輝度の関係(画素内における副画素の輝度順位)は維持されるとともに、各副画素の液晶容量に印加される電圧の極性が反転するので、長期間にわたってDC電圧が印加されることを防止できる。なお、SP-AとSP-B1およびSP-B2との輝度順位が入れ替わるようVCS-AとVCS-Bの信号波形を調整してもよい。

#### 【0120】

第2副画素の2つの領域SP-B1およびSP-B2は、それぞれ2つの副画素電極111b1および111b2に対応して形成されており、これらはドレイン引出し配線117bbによって互いに接続されており、ドレイン引出し配線117bbはドレイン引出し配線117bを介してTFT116bのドレイン電極に接続されている。同様に、第3副画素の2つの領域SP-C1およびSP-C2は、それぞれ2つの副画素電極111c1および111c2に対応して形成されており、これらはドレイン引出し配線117ccによって互いに接続されており、ドレイン引出し配線117ccはドレイン引出し配線117cを介してTFT116cのドレイン電極に接続されている。

#### 【0121】

10

20

30

40

50

その他の接続関係は、上記の液晶表示装置 100A と同じであるので説明を省略する。液晶表示装置 100B の画素における第 2 副画素の 2 つの領域 S P - B 1 および S P - B 2 は互いに等価であるとともに、液晶表示装置 100A の第 2 副画素 S P - B と等価である。また、液晶表示装置 100B の画素における第 3 副画素の 2 つの領域 S P - C 1 および S P - C 2 は互いに等価であるとともに、液晶表示装置 100A の第 3 副画素 S P - C と等価である。

#### 【 0122 】

液晶表示装置 100B のように、副画素をさらに空間的に分割することによって、画素内で異なる輝度を呈する領域がさらに細分化されるので、画像のざらつきが抑制され、均質性が向上する。特に、大型の液晶表示装置（例えば 50 型以上）においては画素サイズが大きいために、マルチ画素構造を採用すると、画素内の輝度の分布がざらつきとして感じられることがあり、これを防止するために有効である。10

#### 【 0123 】

次に、図 6 に示す液晶表示装置 100C の画素分割構造を説明する。

#### 【 0124 】

液晶表示装置 100C の画素は、3 つの副画素 S P - A、S P - B および S P - C の内の S P - B および S P - C がそれぞれ第 1 副画素 S P - A を挟むように配置された 2 つの領域を有している点で、図 5 に示した液晶表示装置 100B と共通している。液晶表示装置 100B において、第 3 副画素の 2 つの領域 S P - C 1 および S P - C 2 をそれぞれ構成する副画素電極 111c1 および 111c2 がドレイン引出し配線を介して互いに電気的に接続されていたのに対し、液晶表示装置 100C では 1 つのコの字状（U 字状または馬蹄形状）の副画素電極 111c として形成されている点が異なる。その他の点は液晶表示装置 100B と同じなので説明を省略する。20

#### 【 0125 】

次に、図 7 に示す液晶表示装置 100D の画素分割構造を説明する。

#### 【 0126 】

液晶表示装置 100D の画素は、3 つの副画素 S P - A、S P - B および S P - C の内の S P - B および S P - C がそれぞれ第 1 副画素 S P - A を挟むように配置された 2 つの領域を有している点で、図 5 に示した液晶表示装置 100B および図 6 に示した液晶表示装置 100C と共にしている。さらに、第 3 副画素の 2 つの領域を構成する副画素電極が 1 つのコの字状の副画素電極 111c として形成されている点で図 6 に示した液晶表示装置 100C と共にしている。液晶表示装置 100C において、第 2 副画素の 2 つの領域 S P - B 1 および S P - B 2 をそれぞれ構成する副画素電極 111b1 および 111b2 がドレイン引出し配線を介して互いに電気的に接続されていたのに対し、液晶表示装置 100D では 1 つのコの字状の副画素電極 111b として形成されている点が異なる。その他の点は液晶表示装置 100C と同じなので説明を省略する。30

#### 【 0127 】

液晶表示装置 100C および 100D のように、副画素を 2 つの領域に分割した際に、副画素電極をコの字状にすることによって、ドレイン引出し配線の引き回しを単純にすることができる。また、ここでは、第 2 副画素電極 111b および第 3 副画素電極 111c をコの字状の電極とした例を示したが、これに限られず、後述するように、環状（口の字状または角張った O 字状）の電極としてもよい。環状の電極とすると、寄生容量（例えば Csd）を容易に調整することができる。40

#### 【 0128 】

次に、図 8 ~ 図 12 を参照して、本発明による液晶表示装置の画素の具体的な構成を説明する。図 8 ~ 図 12 は、m 行 n 列および m 行 n + 1 列の 2 つの画素の TFT 基板上の構造を模式的に示している。典型的なドット反転駆動を行う場合、m 行 n 列（以下（m、n）と表記する）の画素に信号電圧が正極性（対向電圧を基準としたときの極性）で書き込まれているとき、（m、n + 1）画素は負極性で書き込まれる。このとき、（m、n）画素の副画素 S P - A が明副画素、副画素 S P - B が暗副画素、副画素 S P - C が中副画素50

となる場合、(m、n+1)画素の副画素S P - Aが暗副画素、副画素S P - Bが明副画素、副画素S P - Cが中副画素となるように駆動され得る。

#### 【0129】

図8に示す液晶表示装置200Aは、図4に示した液晶表示装置100Aと同じ等価回路で表され、副画素の配置も同じである。

#### 【0130】

(m、n)画素に注目する。(m、n)画素はゲートバスライン112(m)とソースバスライン114(n)に接続されたTFT116a、116bおよび116cによって駆動される。TFT116aのドレイン電極はドレイン引出し配線117aを介してコンタクト部119aにおいて第1副画素電極111aに接続されている。TFT116bのドレイン電極はドレイン引出し配線117bを介して、コンタクト部119bにおいて第2副画素電極111bに接続されており、TFT116cのドレイン電極はドレイン引出し配線117cを介して、コンタクト部119c1および119c2において第3副画素電極111cに接続されている。副画素電極111a、111bおよび111cは、液晶層(不図示)と、液晶層を介して対向するように配置されている対向電極(不図示)によって、それぞれ液晶容量CLC-A、CLC-BおよびCLC-C(図1参照)を構成する。  
10

#### 【0131】

ここで、ソースバスライン114(n)はn列の副画素電極111a、111bおよび111cと部分的に重なっている。ソースバスライン114(n)と副画素電極111a、111bおよび111cとの間の寄生容量(Csd)を十分に小さくできるように、これらの間には樹脂で形成された層間絶縁膜、例えば2.5μm程度のアクリル系樹脂、が設けられている。言い換えると、層間絶縁膜を設けることによって、副画素電極111a、111bおよび111cをソースバスライン114(n)と重なるように設けることが可能となり、画素開口率を向上させることができる。  
20

#### 【0132】

TFT116a、116bおよび116cはボトムゲート構造を有しており、それぞれ、ゲートバスライン112(m)の延設部として形成されたゲート電極と、その上に形成された半導体層と、半導体層のソースおよびドレイン領域に形成されたソース電極およびドレイン電極とを有している。ソース電極はソースバスライン114(n)の延設部として形成されている。TFT116a、116bおよび116cのドレイン電極はそれぞれドレイン引出し配線117a、117bおよび117cと一体に形成されている。これら全てを覆うように層間絶縁膜(不図示)が設けられており、層間絶縁膜上に副画素電極111a、111bおよび111cが形成されている。層間絶縁膜に形成されたコンタクトホール内のコンタクト部119aにおいてドレイン引出し配線117aと副画素電極111aとが接続されており、コンタクト部119bにおいてドレイン引出し配線117bと副画素電極111bとが接続されており、コンタクト部119c1および119c2においてドレイン引出し配線117cと副画素電極111cとが接続されている。  
30

#### 【0133】

次に、(m、n)画素における補助容量の構成を説明する。m行の画素内には、2本のCSバスライン(=補助容量配線)113-1および113-2が通っている。CSバスライン113-1は図4(または図1)中のCSバスラインCS-Aに対応し、CSバスライン113-2はCSバスラインCS-Bに対応する。  
40

#### 【0134】

副画素S P - Aの補助容量(図4中のCSA)は、ドレイン引出し配線117aがCSバスライン113-1と重なる部分(コンタクト部119a付近)に形成されている。副画素S P - Bの補助容量(図4中のCSB)は、ドレイン引出し配線117bがCSバスライン113-2と重なる部分(コンタクト部119b付近)に形成されている。

#### 【0135】

副画素S P - Cは2つの補助容量(図4中のCSC-1およびCSC-2)を有してい  
50

る。補助容量 C S C - 1 はドレン引出し配線 117c が C S バスライン 113 - 1 と重なる部分（コンタクト部 119c 2 付近）に形成されており、補助容量 C S C - 2 はドレン引出し配線 117c が C S バスライン 113 - 2 と重なる部分（コンタクト部 119c 1 付近）に形成されている。C S バスライン 113 - 1 および 113 - 2 はいずれもゲートバスライン 112(m) と同じ導電層で形成されており、ゲート絶縁膜（不図示）によって覆われている。補助容量 C S C - 1 および C S C - 2 の誘電体層はいずれもゲート絶縁膜であり、補助容量 C S C - 1 および C S C - 2 の容量値はそれぞれ電極の面積に比例する。ここでは図 8 に示すように、補助容量 C S C - 1 および C S C - 2 の容量値は互いにほぼ等しい。

## 【0136】

10

図 9 に示す液晶表示装置 200B は、図 5 に示した液晶表示装置 100B と同じ等価回路で表され、副画素の配置も同じである。液晶表示装置 200B の画素は、3 つの副画素 S P - A、S P - B および S P - C の内の S P - B および S P - C がそれぞれ 2 つの領域（S P - B 1 と S P - B 2 および S P - C 1 と S P - C 2）を有し、且つ、それぞれの副画素の 2 つの領域は第 1 副画素 S P - A を挟むように配置されている。以下では、液晶表示装置 200A と異なる第 2 副画素 S P - B および第 3 副画素 S P - C の構成を説明する。

## 【0137】

20

第 2 副画素の 2 つの領域 S P - B 1 および S P - B 2 は、それぞれ 2 つの副画素電極 111b 1 および 111b 2 に対応して形成されている。副画素電極 111b 1 はコンタクト部 119b 1 においてドレン引出し配線 117b と接続されており、副画素電極 111b 2 はコンタクト部 119b 2 においてドレン引出し配線 117b と接続されている。第 3 副画素の 2 つの領域 S P - C 1 および S P - C 2 は、それぞれ 2 つの副画素電極 111c 1 および 111c 2 に対応して形成されている。副画素電極 111c 1 はコンタクト部 119c 1 においてドレン引出し配線 117c と接続されており、副画素電極 111c 2 はコンタクト部 119c 2 においてドレン引出し配線 117c と接続されている。

## 【0138】

また、2 つの C S バスライン 113 - 1 および 113 - 2 は、それぞれ環状部と非環状部とを有している。C S バスライン 113 - 1 および 113 - 2 の環状部はソースバスライン 114(n) と 114(n+1) と重ならないように、これらの内側に形成されている。C S バスライン 113 - 1 および 113 - 2 の非環状部は、行方向に隣接する画素間に存在するソースバスラインと交差し、行方向に隣接する環状部を互いに連結している。C S バスライン 113 - 2 の環状部の内側に存在する副画素電極 111c 1 の部分が副画素 S P - C 1 の表示に寄与し、C S バスライン 113 - 1 の環状部の内側に存在する副画素電極 111c 2 の部分が副画素 S P - C 2 の表示に寄与する。また、2 つの C S バスライン 113 - 1 および 113 - 2 の環状部は、隣接する副画素間にも存在し、この領域を遮光する機能をも果たしている。

## 【0139】

30

副画素 S P - A の補助容量は、バスライン 113 - 1 の環状部とドレン引出し配線 117a とが重なる領域（コンタクト部 119a 近傍）に形成されている。副画素 S P - B の補助容量は、バスライン 113 - 2 の環状部とドレン引出し配線 117b とが重なる領域に形成されている。ただし、(m, n+1) 画素について見ると、副画素 S P - A の補助容量は、バスライン 113 - 2 の環状部とドレン引出し配線 117a とが重なる領域に形成されており、副画素 S P - B の補助容量（S P - B 1 および S P - B 2 に対して 1 つの補助容量）は、バスライン 113 - 1 の環状部とドレン引出し配線 117b とが重なる領域に形成されている。このように配置することによって、ドット反転駆動を行った場合においても、(m, n) 画素と (m, n+1) 画素とにおける副画素の輝度の順位を同じにできる。このことは、例えば (m, n) 画素で S P - A を明副画素とした場合、(m, n+1) 画素においても S P - A を明副画素とすることができますので、比較的認識

40

50

されやすい明副画素の位置が画素ごとに異なることで画像のざらつきとして感じられることがあるような場合に、これを抑制することができる。

#### 【0140】

なお、ドレン引出し配線 117a および 117b は、2つのCSバスライン 113-1 および 113-2 の非環状部とそれぞれ同じ回数だけ交差するように配置されており、補助容量を形成する部分以外の容量への寄与を相殺している。また、副画素 SP-C の2つの補助容量の内的一方は、CSバスライン 113-1 とドレン引出し配線 117c とが重なる領域（コンタクト部 119c2 近傍）に形成されており、他方は、CSバスライン 113-2 とドレン引出し配線 117c とが重なる領域（コンタクト部 119c1 近傍）に形成されている。ここでも、副画素 SP-C の2つの補助容量の静電容量値はほぼ同じに設定されている。10

#### 【0141】

図10に示す液晶表示装置 200C は、図6に示した液晶表示装置 100C と同じ等価回路で表され、副画素の配置も同じである。図9に示した液晶表示装置 200B と比較すると、液晶表示装置 200Bにおいて、第3副画素 SP-C の2つの領域 SP-C1 および SP-C2 をそれぞれ構成する副画素電極 111c1 および 111c2 がドレン引出し配線 117c を介して互いに電気的に接続されていたのに対し、液晶表示装置 200C では1つのコの字状（U字状または馬蹄形状）の副画素電極 111c として形成されている点が異なる。また、コの字状の副画素電極 111c における2つの領域を連結する部分と副画素電極 111aとの間隙は、ドレン引出し配線 117a で遮光するように構成されている。20

#### 【0142】

図11に示す液晶表示装置 200C' は、図10に示した液晶表示装置 200C におけるコの字状の副画素電極 111c を環状（口の字状または角張ったO字状）の副画素電極 111c とした点において異なる。環状の副画素電極 111c と、その開口部内に配置される副画素電極 111a との間隙は、ドレン引出し配線 117a および 117b で遮光するように構成されている。副画素電極 111c を環状とすると、副画素電極 111c をコの字状とするよりもソース・ドレン間の寄生容量（Csd）を容易に調整できるという利点が得られる。30

#### 【0143】

図12に示す液晶表示装置 200D は、図7に示した液晶表示装置 100D の変形例であり、液晶表示装置 100D のコの字状の副画素 SP-C を環状に改変したものに対応する。図11に示した液晶表示装置 200C' と比較すると、液晶表示装置 200C' において、第2副画素 SP-B の2つの領域 SP-B1 および SP-B2 をそれぞれ構成する副画素電極 111b1 および 111b2 がドレン引出し配線 117b を介して互いに電気的に接続されていたのに対し、液晶表示装置 200D では1つの環状の副画素電極 111b として形成されている点が異なる。また、副画素電極 111b と副画素電極 111c との間隙は、ソースバスライン 114(n) および 114(n+1) によって遮光されるように構成されている。40

#### 【0144】

次に、図13および図14を参照して、本発明による実施形態のMVA型の液晶表示装置の具体的な構成を説明する。MVA型の液晶表示装置は、良く知られているように、誘電異方性が負のネマチック液晶材料を用いた垂直配向モードであり、各画素内に、電圧印加時の液晶分子の配向方向が互いに異なる4つの方向（任意の2つの方向の差が約90°の倍数）であるドメイン（4分割ドメイン）を有し、ノーマリブラックモードで表示を行う表示装置である。なお、MVA型液晶表示装置にマルチ画素構造を適用する場合、視野角特性の観点から、各副画素について4つのドメインを形成することが好ましい。

#### 【0145】

図13に示す液晶表示装置 300B は、図5に示した液晶表示装置 100B および図9に示した液晶表示装置 200B と同じ等価回路で表され、副画素の配置も同じである。以50

以下の説明では、液晶表示装置 200B の構造と共通する点の説明を省略する。

**【0146】**

副画素電極 111a に形成されたスリット SLa、副画素電極 111a と副画素電極 111c1 および 111c2 との間隙、副画素電極 111c1 と副画素電極 111b1 との間隙、副画素電極 111c2 と副画素電極 111b2 との間隙が、斜め電界を生成し、マルチドメイン構造を形成するための配向規制手段（画素電極に形成されたスリット）として機能する。スリット SLa および隣接する副画素電極間の間隙は、マトリクス状に配列された列方向に対して約 45° の角度で交差する方向に延びてあり、互いに略直交する方向に延びている。液晶パネルを介したクロスニコルに配置される偏光板の偏光軸（透過軸）は列方向および行方向に直交または平行であり、上述のように配置されたスリットおよび副画素電極間の間隙は、電圧印加時における液晶分子の配向方向を偏光軸に対して略 45° 方向に規制するように作用する。なお、対向基板側には、互いに隣接し互いに平行なスリットと副画素電極の間隙との間、または、互いに隣接し互いに平行な副画素電極の間隙の間に、その間隔を略 2 等分する位置に、それらに平行な配向規制手段が設けられる。対向基板に設けられる配向規制手段は、対向電極に設けられるスリットであってもよいし、対向電極の液晶層側に設けられる誘電体突起（リブ）であってもよい。なお、誘電体突起の誘電率は液晶層の誘電率よりも低いことが好ましい。  
10

**【0147】**

液晶表示装置 300B における補助容量は、CS バスラインの延設部とドレイン引出し配線とが重なる領域に形成されている。例えば、CS バスライン 113-1 は環状の延設部 113-1E を有しており、環状の延設部 113-1E の中央をブリッジする部分がドレイン引出し配線 117c と重なる部分に、副画素 SP-C が有する 2 つの補助容量の内の一方の補助容量が形成されている。同様に、CS バスライン 113-2 は環状の延設部 113-2E を有しており、環状の延設部 113-2E の中央をブリッジする部分がドレイン引出し配線 117c と重なる部分に、副画素 SP-C が有する 2 つの補助容量の内の他方の補助容量が形成されている。また、環状の延設部 113-1E および 113-2E の環部分は、隣接する副画素電極の間隙を遮光するように配置されている。副画素 SP-A の補助容量は、CS バスライン 113-1 とドレイン引出し配線 117a とが重なる部分（副画素電極 111c2 の下部）で形成されており、副画素 SP-B の補助容量は、CS バスライン 113-2 とドレイン引出し配線 117b とが重なる部分（副画素電極 111c1 の下部）で形成されている。  
20  
30

**【0148】**

図 14 に示す液晶表示装置 300C は、図 6 に示した液晶表示装置 100C および図 10 に示した液晶表示装置 200C と同じ等価回路で表され、副画素の配置も同じである。図 13 に示した液晶表示装置 300B と比較すると、液晶表示装置 300B において、副画素電極 111c1 および 111c2 がドレイン引出し配線 117c を介して互いに電気的に接続されていたのに対し、液晶表示装置 300C では 1 つのコの字状（U 字状または馬蹄形状）の副画素電極 111c として形成されている点が異なる。また、コの字状の副画素電極 111c における 2 つの領域を連結する部分と副画素電極 111a との間隙は、ドレイン引出し配線 117a で遮光するように構成されている。  
40

**【0149】**

また、液晶表示装置 300C は第 3 副画素の一方の領域 SP-C2 に、ドレイン引出し配線と同じ導電層で形成されたドレイン浮島 117c' を有している。ドレイン浮島 117c' はコンタクト部 119c2 において副画素電極 111c と接続されている。ドレイン浮島 117c' と CS バスラインの環状延設部 113-1E の一部とが重なる領域に、副画素 SP-C が有する 2 つの補助容量の他方は、ドレイン引出し配線 117c が CS バスライン 113-2 の環状延設部 113-2E と重なる領域に形成されている。

**【0150】**

なお、ここで、補助容量を形成する部分を、隣接する副画素電極の間隙の方向に平行に  
50

設けている理由は、マルチドメイン構造を得るために対向基板側に形成される配向規制手段（電極スリットまたは誘電体突起）と重ねることにより、光漏れを防止するためである。

#### 【0151】

次に、画素内における副画素の好ましい配列を 特性の観点から説明する。

#### 【0152】

まず、図15(a)および(b)を参照して、2分割構造の 特性の視野角依存性について説明する。ここでは、明副画素(S P - A)を2つの領域S P - A 1およびS P - A 2に分割し、暗副画素(S P - B)を2つの領域S P - B 1およびS P - B 2に分割した例を示しているが、 特性は2分割構造であれば、各副画素を複数の領域に分割しても変わらない。ただし、図15(a)に示したように各副画素を2つの領域に分割すれば、例えば52型(画素配列ピッチ：行方向200μm、列方向600μm)を超える超大型の液晶表示装置において、中間調を表示した際に、明副画素と暗副画素との市松状の配列が表示のざらつきとして視認され難くなる。10

#### 【0153】

2分割構造(2つのV T特性の重ね合わせを実現するので2 V T構造ともいう。)の 特性の視野角依存性を図15(b)に示す。図15(b)は、横軸が正面における階調で、縦軸が左右(偏光軸に平行または直交)における斜め視野角(表示面法線から45°)での階調を示すグラフである。2分割構造では、図15(b)に示すように、100/255階調付近に窪みが形成され、滑らかな変化が得られない。この 特性の視野角依存性を改善するためには、分割数を3以上とする必要がある。20

#### 【0154】

次に、図16および図17を参照して、3分割構造(3 V T構造)とした場合の好ましい副画素の配列および 特性の視野角依存性について説明する。

#### 【0155】

図16(a)に示すように、明副画素S P - A、暗副画素S P - Bおよび中副画素S P - C(S P - C 1およびS P - C 2)の面積比を1:1:2とした場合の 特性の視野角依存性を図16(b)に示す。図16(b)を図15(b)と比較すれば明らかのように、100/255階調付近の滑らかさが改善されている。30

#### 【0156】

また、図17(a)に示すように、明副画素S P - A、暗副画素S P - Bおよび中副画素S P - C(S P - C 1およびS P - C 2)の面積比を1:1:1とすると、図17(b)に示すように、100/255階調付近の滑らかさがさらに改善される。このように、 特性の視野角依存性の観点からは、明副画素、中副画素および暗副画素の面積比は1:1:1であることが好ましい。

#### 【0157】

また、表示のざらつきを低減するという観点からは、明副画素を画素の中心に配置することが好ましい。また、ドット反転駆動等において、副画素間の輝度順位を入れ替えることを考慮すると、明副画素と暗副画素とを入れ替えることが好ましい。従って、少なくとも明副画素と暗副画素の面積は等しいことが好ましい。さらに、表示のざらつきを低減するという観点からは、明副画素と暗副画素とを近接させて画素の中央に配置することが好ましい。なお、図5等に示した液晶表示装置において、画素内において中副画素と暗副画素とを入れ替えることは、容易に行うことができる。40

#### 【0158】

また、 特性の波長依存性を考慮すると、青画素のセルギャップ(液晶層の厚さ)を他の色画素(典型的には緑画素および赤画素)よりも小さくすることが好ましい。

#### 【0159】

図17(b)において、 特性の視野角依存性を赤(R)、緑(G)および青(B)ごとに示したが、青(B)の視野角依存性は、赤(R)および緑(G)よりも大きいことが分かる。これは、液晶層のリタデーション(複屈折率)の波長分散に起因する。図17(50

b)は、セルギャップ(液晶層の厚さ)をR画素、G画素およびB画素の全てについて3.4μmとした場合の階調特性を示したが、B画素のセルギャップだけを3.0μmとすることによって、B画素の特性が他の色画素の特性に近づき、全体として、特性の視野角依存性が改善される。

#### 【0160】

なお、上述したように、補助容量の形成にGバスラインを用いてもよい。

#### 【0161】

図18に、本発明による実施形態の液晶表示装置400Aの等価回路を模式的に示す。液晶表示装置400Aにおいて1つの画素は、第1、第2、第3副画素SP-A、SP-B、SP-Cを有している。第1、第2、第3副画素SP-A、SP-B、SP-Cおよび2つのCSバスラインCS-A、CS-Bは隣接する2つのGバスラインの間に配置されている。液晶表示装置400Aでは、Gバスラインの数は画素の行数と対応しているが、Gバスラインは、画素を選択するだけでなく、列方向に隣接する画素の第3副画素SP-Cの補助容量に接続されている。このため、各画素に2つのGバスラインが関連付けられている。  
10

#### 【0162】

図18にはm行の画素を示しており、m-1行のGバスラインおよびm行のGバスラインを、それぞれGバスラインG(m-1)およびGバスラインG(m)と示している。第1、第2、第3副画素SP-A、SP-B、SP-CのTFT-A、TFT-B、TFT-Cのゲート電極はGバスラインG(m)と接続されている。また、図18には図示していないが、同様に、m-1行の3つの副画素のTFTのゲート電極はGバスラインG(m-1)と接続されている。  
20

#### 【0163】

液晶表示装置400Aにおける、2つの副画素SP-AおよびSP-Bと、TFT-AおよびTFT-B、Gバスライン、Sバスライン、および2本の互いに電気的に独立なCSバスラインとの間の接続関係は、図4に示した液晶表示装置100Aと基本的に同じであるため、簡単のために説明を省略する。3番目の副画素SP-Cは以下のように接続されている。

#### 【0164】

第3副画素SP-Cは、液晶容量CLC-Cと、補助容量CCS-G(m-1)とを有している。液晶容量CLC-Cの一方の電極(副画素電極)はTFT-Cのドレイン電極に接続されており、補助容量CCS-G(m-1)の一方の電極もTFT-Cのドレイン電極に接続されている。液晶容量CLC-Cの他方の電極(対向電極)は、他の液晶容量CLC-A、CLC-Bと共に共通の対向電極で構成されている。補助容量CCS-G(m-1)の他方の電極(補助容量対向電極)はGバスラインG(m-1)に接続されている。  
30

#### 【0165】

第1副画素SP-Aの液晶容量CLC-Aは補助容量CCS-Aを介してCSバスラインCS-Aによる突き上げ(または突き下げ)の作用を受け、また、第2副画素SP-Bの液晶容量CLC-Bは補助容量CCS-Bを介してCSバスラインCS-Bによる突き下げ(または突き上げ)の作用を受ける。一方、GバスラインG(m)は、GバスラインG(m-1)がオフ状態になった後に選択され、次にGバスラインG(m)が選択される直前までGバスラインG(m-1)はオフ状態を維持する。なお、厳密には、GバスラインG(m-1)が選択されたときに第3副画素SP-Cの液晶容量CLC-Cは突き上げ作用を受ける。しかしながら、GバスラインG(m-1)が選択されるのは、GバスラインG(m)が選択された後一垂直走査期間経過する直前であり、GバスラインG(m-1)の選択により突き上げ作用を受けた直後にG(m)が選択され、GバスラインG(m-1)が選択されている期間は一垂直走査に比べて非常に短いため、第3副画素SP-Cの液晶容量CLC-CはGバスラインG(m-1)による作用を実質的に受けないといえる。したがって、液晶容量CLC-Cに印加される実効電圧は、液晶容量CLC-Aおよび液晶容量CLC-Bに印加される実効電圧の中間の値となる。このため、第1副画素SP  
40

- A が暗副画素となるとき、第 2 副画素 S P - B は明副画素、第 3 副画素は中副画素となる。以上のようにして、1 画素あたりの C S バスラインの本数を増加させることなく、3 V T 構造を実現することができる。

#### 【 0 1 6 6 】

また、ドレイン引出し配線は、コンタクト部において第 3 副画素の副画素電極と接続するとともにゲートバスラインと重なる補助容量電極を有している。液晶表示装置 4 0 0 A では、列方向に隣接する画素を選択するためのゲートバスラインの傍に第 3 副画素を設けているため、ドレイン引出し配線のコンタクト部と補助容量電極との間の距離を短くすることができ、ドレイン引出し配線の引き回しを単純にすることができる。また、画素の中央に明副画素を配置することができ、これにより、ジャギー（ざらつき感）の発生を抑制できる。10

#### 【 0 1 6 7 】

なお、上述した液晶表示装置の C S バスラインは、1 つの画素内の 1 つまたは複数の副画素の補助容量と接続していたが、本発明はこれに限定されない。C S バスラインは、列方向に隣接する 2 つの画素に属する複数の副画素の補助容量と接続してもよい。

#### 【 0 1 6 8 】

図 19 に、本発明による実施形態の液晶表示装置 4 0 0 B の等価回路を模式的に示す。液晶表示装置 4 0 0 B では、C S バスライン (C S 配線) の数は画素の行数に対応しているが、1 つの C S バスラインは列方向に隣接する 2 つの画素に属する副画素のそれぞれの液晶容量に突き上げまたは突き下げ作用を与えており、各画素に 2 つの C S バスラインが関連付けられている。したがって、液晶表示装置 4 0 0 B の C S バスラインの数は、図 1 8 に示した液晶表示装置 4 0 0 A と比べて少ない。なお、液晶表示装置 4 0 0 B では、画素の中央にゲートバスラインが配置されており、いわゆるセンターゲート構造となっている。20

#### 【 0 1 6 9 】

ここで、m - 1 行の画素に注目する。m - 1 行の画素の第 1、第 2、第 3 副画素 S P - A、S P - B、S P - C は、隣接する 2 つの C S バスライン C S - A、C S - B の間に配置されている。第 3 副画素 S P - C は、液晶容量 C L C - C と、補助容量 C C S - G (m - 2) とを有している。液晶容量 C L C - C の一方の電極 (副画素電極) は T F T - C のドレイン電極に接続されており、補助容量 C C S - G (m - 2) の一方の電極も T F T - C のドレイン電極に接続されている。液晶容量 C L C - C の他方の電極 (対向電極) は、他の液晶容量 C L C - A、C L C - B と共に共通の対向電極で構成されている。補助容量 C C S - G (m - 2) の他方の電極 (補助容量対向電極) は G バスライン G (m - 2) に接続されている。30

#### 【 0 1 7 0 】

第 1 副画素 S P - A の液晶容量 C L C - A は補助容量 C C S - A を介して C S バスライン C S - A による突き上げ (または突き下げ) の作用を受け、また、第 2 副画素 S P - B の液晶容量 C L C - B は補助容量 C C S - B を介して C S バスライン C S - B による突き下げ (または突き上げ) の作用を受ける。一方、G バスライン G (m - 1) は、G バスライン G (m - 2) がオフ状態になった後に選択され、次に G バスライン G (m - 1) が選択される直前まで G バスライン G (m - 2) はオフ状態を維持するため、第 3 副画素 S P - C の液晶容量 C L C - C は突き上げ (または突き下げ) の作用を実質的に受けことなく、液晶容量 C L C - C に印加される実効電圧は、液晶容量 C L C - A および液晶容量 C L C - B に印加される実効電圧の中間の値となる。このため、第 1 副画素 S P - A が明副画素となるとき、第 2 副画素 S P - B は暗副画素となり、第 3 副画素 S P - C は中副画素となる。40

#### 【 0 1 7 1 】

次に、m 行の画素に注目する。m 行の画素の第 1、第 2、第 3 副画素 S P - A、S P - B、S P - C は、隣接する 2 つの C S バスライン C S - B、C S - C の間に配置されている。第 1 副画素 S P - A の液晶容量 C L C - A は補助容量 C C S - B を介して C S バスラ50

インCS-Bによる突き下げ(または突き上げ)の作用を受け、また、第2副画素SP-Bの液晶容量CLC-Bは補助容量CCS-Cを介してCSバスラインCS-Cによる突き上げ(または突き下げ)の作用を受ける。一方、GバスラインG(m)は、GバスラインG(m-1)がオフ状態になった後に選択され、次にGバスラインG(m)が選択される直前までGバスラインG(m-1)はオフ状態を維持するため、第3副画素SP-Cの液晶容量CLC-Cは突き上げ(または突き下げ)の作用を実質的に受けることなく、液晶容量CLC-Cに印加される実効電圧は、液晶容量CLC-Aおよび液晶容量CLC-Bに印加される実効電圧の中間の値となる。このため、第1副画素SP-Aが明副画素となるとき、第2副画素SP-Bは暗副画素となり、第3副画素SP-Cは中副画素となる。

10

### 【0172】

なお、m-1行の画素の第2副画素SP-Bの液晶容量CLC-Bおよびm行の画素の第1副画素SP-Aの液晶容量CLC-Aは、ともにCSバスラインCS-Bによる突き下げ(または突き上げ)の作用を受けるが、液晶表示装置400Bはドット反転駆動を行っており、GバスラインG(m-1)が選択されたときにSバスラインに供給されるソース信号の極性は、GバスラインG(m)が選択されたときにSバスラインに供給されるソース信号の極性と反転している。このため、m-1行の画素の第2副画素SP-Bが暗副画素となるとき、m行の画素の第1副画素SP-Aは明副画素となる。

### 【0173】

なお、図19に示したセンターゲート構造の液晶表示装置400Bでは、第3副画素の補助容量はGバスラインと接続されていたが、本発明はこれに限定されない。第3副画素の補助容量は2つのCSバスラインと接続されていてもよい。

20

### 【0174】

図20(a)に、本発明による実施形態の液晶表示装置500AのTFT基板の模式的平面図を示す。液晶表示装置500Aは3分割構造の液晶表示装置である。なお、参考のために、図20(b)に、2分割構造の液晶表示装置550のTFT基板の模式的平面図を示す。

### 【0175】

液晶表示装置500Aでは、CSバスライン(CS配線)の数は画素の行数に対応しているが、CSバスラインは、列方向に隣接する2つの画素に属する複数の副画素の補助容量を形成しており、各画素に2つのCSバスラインが関連付けられている。また、この液晶表示装置500Aでは、1つの画素の列方向の中心をソースバスラインが延びてあり、行方向の中心をゲートバスラインが延びている。このように液晶表示装置500Aはセンターゲート構造を有している。

30

### 【0176】

液晶表示装置500Aにおける1つの画素は、第1、第2、第3副画素SP-A、SP-B、SP-Cを有している。第1副画素SP-Aおよび第2副画素SP-Bは列方向に配列されている。

### 【0177】

第3副画素SP-Cは、副画素電極111cによって規定されている。第3副画素SP-Cの副画素電極111cはGバスラインを跨いでおり、Gバスラインよりも+y方向に設けられた電極111c1と、Gバスラインよりも-y方向に設けられた電極111c2と、電極111c1、111c2を連結する連結部111ccとを有している。電極111c1、111c2は、第1、第2副画素SP-A、SP-Bの副画素電極111a、111bに対して行方向に配列されている。なお、ここでは、電極111c1、111c2の行方向(x方向)の長さは、副画素電極111a、111bと略等しい。また、連結部111ccの面積は電極111c1、111c2と比べると小さいので、それを無視すると、第1副画素、第2副画素、第3副画素SP-A、SP-B、SP-Cの面積比はほぼ1:1:2である。

40

### 【0178】

50

第1副画素S P - Aの液晶容量はC SバスラインC S - Aによる突き上げ(または突き下げ)作用を受け、第2副画素S P - Bの液晶容量はC SバスラインC S - Bによる突き下げ(または突き上げ)作用を受ける。それに対して、第3副画素S P - Cの液晶容量は、C SバスラインC S - Aによる突き上げ(または突き下げ)作用、および、C SバスラインC S - Bによる突き下げ(または突き上げ)作用の両方を受ける。第3副画素S P - Cの液晶容量に印加される電圧は、第1副画素S P - Aおよび第2副画素S P - Bの液晶容量に印加される電圧の一方よりも低く、他方よりも高い。したがって、第3副画素は中副画素となり、明副画素、中副画素、暗副画素の面積比はほぼ1:2:1となる。

#### 【0179】

なお、C SバスラインC S - Aは、m行の画素の第1副画素S P - Aの液晶容量だけではなく、m - 1行の画素の第2副画素S P - Bの液晶容量に対して突き上げ(または突き下げ)作用を与えるが、液晶表示装置500Aはドット反転駆動を行う場合、m行の画素の第1副画素S P - Aおよびm - 1行の画素の第2副画素S P - Bの一方が明副画素となり、他方が暗副画素となる。その結果、第1副画素および第2副画素の列方向の配列を見ると、暗副画素および明副画素が交互に配列されることになる。

#### 【0180】

液晶表示装置500Aでは、Sバスラインを画素の行方向の中心に配置しているため、Sバスラインの近傍に設けられたTFTのドレイン電極と副画素電極とを結ぶドレイン引出し配線を短くすることができ、ドレイン引出し配線は別の配線と交差しない。液晶表示装置500Aの画素構造は、図20(b)に示した2分割構造の液晶表示装置550と同様に比較的単純であり、高い透過率を維持しつつ歩留まりを向上させることができる。また、2分割構造の液晶表示装置550ではジャギー(ざらつき感)が発生することがあるが、液晶表示装置500Aでは第3副画素S P - Cが画素の列方向の全体にわたって設かれているため、ジャギー(ざらつき感)の発生を抑制することができる。

#### 【0181】

また、図4に示した液晶表示装置100Aの高速駆動を行う場合、横シャドーが発生することがある。以下、図21を参照してノーマリーブラック型の液晶表示装置における横シャドーの原因を説明する。液晶表示装置100AのC Sバスラインは1つの画素内の複数の副画素の補助容量と接続している。液晶表示装置100Aが高速駆動で低輝度(中間調)の背景表示部、ならびに、背景表示部と同程度の低輝度の領域およびその領域に挟まれた高輝度の領域を有するウインドウ部を表示するとき、図21(a)に示すように、ウインドウ部の左右にある領域において本来の表示よりも高輝度となる横シャドーが発生することがある。

#### 【0182】

画素電極に正極性の書き込み電圧が印加される場合、ゲート・ドレイン間電位が画素電位の上昇とともに低下し、TFTのオン抵抗は徐々に上昇する。一方、画素電極に負極性の書き込み電圧が印加される場合、ゲート・ドレイン間電位は画素電極の電位の低下に関係なく一定である。このように、書き込み電圧の極性に応じてTFTのオン抵抗は変動し、正極性書き込み時のオン抵抗は大きく、負極性書き込み時のオン抵抗は小さく、その結果、画素充電時における正極性書き込みの画素充電速度は負極性書き込みよりも遅い。

#### 【0183】

また、画素充電時に画素電極の電位は変化し、この変化により、C S信号電圧にリップル電圧が重畠される。リップル電圧はTFTのオン抵抗に応じて変動し、リップル電圧の極性は書き込み電圧の極性に応じて反転する。ドット反転駆動を行う場合、隣接する画素に異なる極性の書き込み電圧が印加される。上述したように、書き込み電圧の極性に応じてTFTのオン抵抗が変動して画素電極の電位の変化速度が異なるため、結果としてC S信号電圧に正極性のリップル電圧が重畠される。

#### 【0184】

図21(b)には、背景表示部の画素におけるC S電圧に対するリップル電圧、ならびに、対向電極電圧、副画素電極電圧およびゲート電圧の時間変化を示す。なお、実際には

10

20

30

40

50

C S 電圧は時間とともに変化しているが、ここでは、C S 電圧を基準としたリップル電圧を示している。C S 電圧に重畠されたリップル電圧は時間とともに減衰し、ゲート電圧がオフ状態となるとき、リップル電圧はほぼゼロとなる。このため、リップル電圧は、画素電極電圧に実質的に影響しない。一方、図 21 (c) に示すように、ウィンドウ部の画素書き込み電圧の正負の振幅は、ノーマリーブラック型であるために背景表示部よりも大きい。よって、ウィンドウ部の画素におけるリップル電圧は背景表示部に比べて高くなるため、ゲート電圧がオフになる時に C S 信号に重畠されたリップル電圧は減衰しきっておらず、ゲート電圧がオフになった後もリップル電圧は減衰する。このため、C S 電圧の影響を受ける画素電極電圧は残存しているリップル電圧  $V$  に起因して電圧  $V$  ほどずれる。このように、ウィンドウ部において横シャドーが発生する。

10

## 【0185】

これに対して、図 20 に示した液晶表示装置 500A では、C S バスラインが、列方向に隣接する 2 つの画素に属する副画素の補助容量と接続している。このため、一方の画素に充電するときに他方の画素の容量が平滑化容量として機能してリップル電圧が抑制され、結果として、横シャドーの発生を抑制することができる。

## 【0186】

なお、液晶表示装置 500A では、明副画素、中副画素、暗副画素の面積比は 1 : 2 : 1 であったが、本発明はこれに限定されない。図 16 および図 17 を参照して上述したように、特性の視野角依存性の観点からみると、明副画素、中副画素、暗副画素の面積比は 1 : 1 : 1 であることが好ましい。

20

## 【0187】

図 22 に、本発明による実施形態の液晶表示装置 300D の模式的な平面図を示す。液晶表示装置 300D の TFT 基板の副画素電極にはスリットが設けられており、対向基板の対向電極にはリブが設けられている。スリットおよびリブは 4 つの異なる方向に液晶分子を配向するように設けられている。

## 【0188】

第 1、第 2 副画素 SP - A、SP - B は、副画素電極 111a、111b によって、それぞれ規定されており、第 1、第 2 副画素 SP - A、SP - B は列方向 (y 方向) に配列されている。第 3 副画素 SP - C の副画素電極 111c は、電極 111c1 と、電極 111c2 と、電極 111c1、111c2 を連結する連結部 111cc を有している。電極 111c1、111c2 は、第 1、第 2 副画素 SP - A、SP - B の副画素電極 111a、111b のそれぞれの行方向 (x 方向) に配列されている。電極 111c1、111c2 の行方向 (x 方向) の長さは、副画素電極 111a、111b のほぼ半分である。また、電極 111c1、111c2 は連結部 111cc を介して電気的に接続されているが、連結部 111cc の面積は比較的小さく、第 1 副画素、第 2 副画素、第 3 副画素 SP - A、SP - B、SP - C の面積比はほぼ 1 : 1 : 1 である。

30

## 【0189】

第 1、第 2 副画素 SP - A、SP - B は TFT - A、TFT - B を有しており、第 3 副画素 SP - C は、電極 111c1、111c2 に対応する TFT - C1、TFT - C2 を有している。TFT - C1、TFT - C2 のゲート電極は、TFT - A、TFT - B と同様に G バスラインに接続されており、第 3 副画素 SP - C は冗長構造である。このため、例えば、第 3 副画素 SP - C の副画素電極 111c とドレイン引出し配線 117c1、117c2 とのコンタクト部 119c1、119c2 を設けるためのコンタクトホールの一方が十分に形成されなくても、歩留まりの低下を抑制することができる。あるいは、TFT - C1、TFT - C2 の一方が動作不良となつても、動作不良のトランジスタを分離して他方の正常な TFT のみを使用することで、歩留まりの低下を抑制することができる。また、TFT - A、TFT - B、TFT - C1、TFT - C2 について、ソース電極は、y 方向に延びるソースバスラインから x 方向に延びており、ドレイン電極はソース電極と対向する位置に設けられている。

40

## 【0190】

50

副画素の補助容量は、主に、副画素電極とCSバスラインとの重なりによって形成される。このため、ドレイン引出し配線を延伸しなくてもよく、開口率の低下を抑制し、またドレイン引出し配線が断線する懸念もない。また、このような補助容量の構成は、CSバスラインと画素電極の間にサブミクロンオーダーの比較的薄い層間絶縁膜のみが存在する場合に好適である。所望の静電容量値を確保しやすいためである。第1副画素SP-Aの副画素電極111aの行方向(x方向)の長さは第2副画素SP-Bの副画素電極111bと等しく、また、副画素電極111aとCSバスラインCS-Aとの重なり幅は、副画素電極111bとCSバスラインCS-Bとの重なり幅と略等しい。このため、第1副画素SP-Aの補助容量CCS-Aは第2副画素SP-Bの補助容量CCS-Bと略等しい。

10

#### 【0191】

また、第3副画素SP-Cの電極111c1、111c2のそれぞれの行方向(x方向)の長さは、第1副画素SP-Aの副画素電極111aの略半分であり、第3副画素SP-Cの補助容量CCS-C1、CCS-C2は、それぞれ、第1副画素SP-Aの補助容量CCS-Aの略半分である。補助容量CCS-C1、CCS-C2は並列に接続されているため、第3副画素SP-Cの補助容量CCS-C1、CCS-C2の和は、第1、第2副画素SP-A、SP-Bの補助容量CCS-A、CCS-Bと略等しい。

#### 【0192】

なお、上述した説明では、第3副画素SP-Cの電極111c1、111c2は、連結部111ccによって直接的に連結されていたが、本発明はこれに限定されない。電極111c1、111c2は、TFTのドレイン電極によって電気的に接続されていてよい。

20

#### 【0193】

図23に、本発明による実施形態の液晶表示装置300Eの模式的な平面図を示す。液晶表示装置300Eでは、第3副画素SP-Cの副画素電極111cは、電極111c1と、111c2とを有しており、電極111c1と電極111c2とは直接的に連結されていない。したがって、1つの画素は、互いに分離された4つの副画素電極111a、111b、111c1、111c2を有している。

#### 【0194】

第3副画素SP-CのTFT-Cのドレイン電極は、y方向に延びるSバスラインと平行に設けられている。電極111c1および111c2は共通のドレイン電極に電気的に接続されており、電極111c1、111c2は等電位である。また、このドレイン電極はGバスラインと重なるが、ドレイン電極の行方向(x方向)の長さは比較的短いため、寄生容量Cgdの増大が抑制されている。

30

#### 【0195】

図24に、本発明による実施形態の液晶表示装置300Fの模式的な平面図を示す。液晶表示装置300Fにおいて、第3副画素SP-Cの副画素電極111cは、電極111c1と、電極111c2と、電極111c1、111c2を連結する連結部111ccとを有している。連結部111ccはGバスラインと重なるが、連結部111ccの面積は電極111c1、111c2の面積と比較してかなり小さく、第3副画素SP-Cの寄生容量Cgdの増大は抑制されている。

40

#### 【0196】

ただし、厳密には、Gバスラインと重なる連結部111ccに起因して第3副画素SP-Cの寄生容量Cgdは増大している。液晶表示装置300Fでは、電極111c1に対応するTFT-Cが設けられているものの、電極111c2に対応するTFTは設けられておらず、TFT-Cのドレイン電極の面積はTFT-A、TFT-Bのドレイン電極の面積よりも小さい。これにより、第3副画素SP-Cの寄生容量Cgdの増大が抑制されている。Cgd比は、寄生容量Cgd/(副画素容量)と表され、この副画素容量は、主に、液晶容量Clcと補助容量CCSとから構成される。第1、第2、第3副画素SP-A、SP-B、SP-CのCgd比が大きく異なると、Cgd比に起因して引き込み電圧

50

が大きく異なり、フリッカが発生する。液晶表示装置 300F では、第 3 副画素 S P - C の寄生容量 C g d を抑制することにより、第 1、第 2、第 3 副画素 S P - A、S P - B、S P - C の C g d 比を略等しくして、フリッカの発生を抑制することができる。

#### 【 0 1 9 7 】

図 25 に、本発明による実施形態の液晶表示装置 500B の TFT 基板の模式的な平面図を示す。

#### 【 0 1 9 8 】

S バスラインは、第 1 ソース配線 S 1 と、第 1 ソース配線 S 1 から分岐された第 2 ソース配線 S 2 とを有しており、各画素に関連付けられる S バスラインは、配線 S 1、S 2 に分岐されている。第 1 副画素 S P - A は、TFT - A 1 および TFT - A 2 を有しており、TFT - A 1、TFT - A 2 のソース電極は、第 1、第 2 ソース配線 S 1、S 2 にそれぞれ接続されている。同様に、第 2 副画素 S P - B は、TFT - B 1 および TFT - B 2 を有しており、TFT - B 1 および TFT - B 2 のソース電極は、第 1、第 2 ソース配線 S 1、S 2 にそれぞれ接続されている。このように、第 1 副画素 S P - A および第 2 副画素 S P - B は冗長構造となっている。また、上述してきたように、第 1 副画素 S P - A および第 2 副画素 S P - B の一方が表示に大きく影響する明副画素となるため、第 1 副画素 S P - A および第 2 副画素 S P - B が冗長構造を有していることにより、歩留まり低下を抑制することができる。

#### 【 0 1 9 9 】

第 3 副画素 S P - C は、第 1 副画素 S P - A および第 2 副画素 S P - B を挟むように配置された第 1 領域および第 2 領域を有している。第 1、第 2 副画素 S P - A、S P - B と第 3 副画素 S P - C の第 1 領域との間に第 1 ソース配線 S 1 が設けられており、第 1、第 2 副画素 S P - A、S P - B と第 3 副画素 S P - C の第 2 領域との間に第 2 ソース配線 S 2 が設けられている。

#### 【 0 2 0 0 】

第 3 副画素 S P - C は、第 1 領域に対応する副画素電極 111ca と、第 2 領域に対応する副画素電極 111cb とを有している。第 3 副画素 S P - A の副画素電極 111ca と副画素電極 111cb の間には、第 1、第 2 副画素 S P - A、S P - B の副画素電極 111a、111b が配置されている。副画素電極 111ca は、電極 111ca1 と、電極 111ca2 と、電極 111ca1、111ca2 を連結する連結部 111cca とを有している。また、副画素電極 111cb は、電極 111cb1 と、電極 111cb2 と、電極 111cb1、111cb2 を連結する連結部 111ccb とを有している。

#### 【 0 2 0 1 】

また、第 3 副画素 S P - C の電極 111ca1、111ca2、111cb1、111cb2 の行方向 (x 方向) の長さは第 1、第 2 副画素 S P - A、S P - B の副画素電極 111a、111b のほぼ 1 / 4 であり、電極 111ca1、111ca2、111cb1、111cb2 の列方向 (y 方向) の長さは副画素電極 111a、111b のほぼ 2 倍である。このため、副画素電極 111ca、111cb の面積は副画素電極 111a、111b の半分であり、第 1 副画素、第 2 副画素、第 3 副画素の面積比はほぼ 1 : 1 : 1 となる。

#### 【 0 2 0 2 】

第 3 副画素 S P - C の電極 111ca1、111ca2、111cb1、111cb2 のそれぞれに対応して TFT - Ca1、TFT - Ca2、TFT - Cb1、TFT - Cb2 が設けられており、副画素電極 111ca、111cb にはそれぞれ 2 つの TFT が設けられて、冗長構造となっている。このように液晶表示装置 500B では、互いに分離されている副画素電極 111a、111b、111ca、111cb のすべてが冗長構造を有している。

#### 【 0 2 0 3 】

また、液晶表示装置 500B では、異なるソース信号の供給される列方向に隣接する 2

10

20

30

40

50

つのSバスラインの間に、異なる画素の第3副画素の副画素電極111caおよび111cbが設けられており、Sバスラインの短絡を抑制している。なお、図25では、理解を容易にするために、液晶表示装置500B内においてソース配線は分岐されているが、2つのソース配線に等価なソース信号が供給されていてもよい。

#### 【0204】

図26に、本発明による実施形態の液晶表示装置500CのTFT基板の模式的平面図を示す。副画素電極111caの電極111ca1、111ca2を連結する連結部111ccaがGバスラインと重なっており、副画素電極111ca、111cbの寄生容量Cgdは増大している。液晶表示装置500Cでは、副画素電極111ca、111cbの電極111ca1、111cb1に対応するTFT-Ca、TFT-Cbが設けられているものの、電極111ca2、111cb2に対応するTFTは設けられていない。このように、液晶表示装置500Cでは、第3副画素SP-Cの副画素電極111ca、111cbに対応するTFTの数を減らして、副画素電極111ca、111cbに対応するTFT-Ca、TFT-Cbのドレイン電極の面積を副画素電極111a、111bに対応するTFTのドレイン電極の面積の和よりも小さくすることにより、連結部111cca、111ccbとGバスラインとの重なりに起因する寄生容量Cgdの増大を相殺している。副画素電極111a、111b、111ca、111cbのCgd比が大きく異なると、Cgd比に起因して引き込み電圧が大きく異なり、フリッカが発生することになるが、液晶表示装置500Cでは、副画素電極111ca、111cbの寄生容量Cgdを抑制することにより、副画素電極111a、111b、111ca、111cbのCgd比を略等しくして、フリッカの発生を抑制している。  
10

#### 【0205】

なお、図25および図26に示した液晶表示装置500B、500CではSバスラインは分岐されていたのに対して、図22、図23および図24に示した液晶表示装置300D、300E、300FではSバスラインは分岐されていない。このため、液晶表示装置300D、300E、300Fにおける開口率は液晶表示装置500B、500Cよりも高くすることができる。  
20

#### 【0206】

なお、上述した説明では、複数の副画素のうちの少なくとも2つの副画素（またはその一部）が行方向（x方向）に配列されていたが、本発明はこれに限定されない。1つの画素に属するすべての副画素が列方向（y方向）に配列されていてもよい。  
30

#### 【0207】

図27に、液晶表示装置500D1の1画素分の等価回路を模式的に示す。液晶表示装置500D1において1つの画素は、第1副画素SP-Aと、第2副画素SP-Bと、第3副画素SP-Cとを有している。第1、第2副画素SP-A、SP-BはTFT-A、TFT-Bをそれぞれ有しており、第3副画素SP-Cは2つのTFT-C1、TFT-C2を有している。  
40

#### 【0208】

図27は、m行の画素の等価回路を示している。m行のゲートバスラインGmは、ゲート配線Gm1と、ゲート配線Gm2とを有しており、ゲート配線Gm1、Gm2は、液晶表示装置内において互いに接続されている。ゲート配線Gm1は、第1副画素SP-AのTFT-A、および、第3副画素SP-CのTFT-C1のゲート電極と接続されており、ゲート配線Gm2は、第2副画素SP-BのTFT-B、および、第3副画素SP-CのTFT-C2のゲート電極と接続されている。第3副画素SP-Cの2つのTFT-C1、TFT-C2は、等価なゲート信号の供給される2つのゲート配線Gm1、Gm2に接続されており、第3副画素SP-Cは冗長構造となっている。  
40

#### 【0209】

第1副画素SP-Aは、液晶容量CLC-Aおよび補助容量CCS-Aを有しており、第2副画素SP-Bは、液晶容量CLC-Bおよび補助容量CCS-Bを有している。また、第3副画素SP-Cは、液晶容量CLC-Cおよび補助容量CCS-A1、CCS-  
50

B 1 を有している。ここで、補助容量 C C S - A 1 の静電容量値は補助容量 C C S - B 1 の静電容量値と略等しい。

#### 【 0 2 1 0 】

図 2 8 に、液晶表示装置 5 0 0 D 1 における TFT 基板の模式的な平面図を示す。液晶表示装置 5 0 0 D 1 において、第 3 副画素 S P - C は、第 1 副画素 S P - A と第 2 副画素 S P - B との間に配列されており、第 1 、第 2 および第 3 副画素 S P - A 、 S P - B 、 S P - C は、隣接する 2 つの CS バスライン CS - A 、 CS - B の間において列方向に配列されている。第 1 副画素、第 2 副画素、第 3 副画素 S P - A 、 S P - B 、 S P - C の面積比は 1 : 1 : 1 である。

#### 【 0 2 1 1 】

図 2 8 には 2 つのゲート配線 G m 1 、 G m 2 を示しているが、図 2 7 に示したように、ゲート配線 G m 1 、 G m 2 には等価なゲート信号が供給される。また、 CS バスライン ( CS 配線 ) の数は画素の行数に対応しているが、 1 つの CS バスラインは列方向に隣接する 2 つの画素に属する副画素のそれぞれの液晶容量に突き上げまたは突き下げ作用を与えており、各画素に 2 つの CS バスラインが関連付けられている。

#### 【 0 2 1 2 】

第 3 副画素 S P - C の 2 つの TFT - C 1 、 TFT - C 2 のドレイン電極は、ドレイン引出し配線 1 1 7 c 1 、 1 1 7 c 2 と電気的に接続されている。ドレイン引出し配線 1 1 7 c 1 、 1 1 7 c 2 は、 TFT - C 1 、 TFT - C 2 のドレイン電極からコンタクト部 1 1 9 c 1 、 1 1 9 c 2 を介して補助容量電極まで延びている。ドレイン引出し配線 1 1 7 c 1 、 1 1 7 c 2 はコンタクト部 1 1 9 c 1 、 1 1 9 c 2 において副画素電極 1 1 1 c と接続されており、ドレイン引出し配線 1 1 7 c 1 、 1 1 7 c 2 の補助容量電極は CS バスライン CS - A 、 CS バスライン CS - B の補助容量対向電極とそれぞれ補助容量を形成している。ドレイン引出し配線 1 1 7 c 1 、 1 1 7 c 2 は G バスラインと平行に行方向 ( x 方向 ) に延びた後、 CS バスライン CS - A 、 CS - B に向かって列方向 ( y 方向 ) に延びており、ドレイン引出し配線 1 1 7 c 1 、 1 1 7 c 2 を短くして、第 3 副画素 S P - C の開口率を向上させている。

#### 【 0 2 1 3 】

第 1 、第 2 副画素 S P - A 、 S P - B のドレイン引出し配線 1 1 7 a 、 1 1 7 b は G バスラインと交差しないのに対して、第 3 副画素 S P - C のドレイン引出し配線 1 1 7 c 1 、 1 1 7 c 2 は G バスラインと交差しており、この点で、第 3 副画素 S P - C の寄生容量 C g d は第 1 、第 2 副画素 S P - A 、 S P - B よりも増大している。液晶表示装置 5 0 0 D 1 では、第 3 副画素 S P - C の寄生容量 C g d の増大を相殺するように、第 1 、第 2 副画素 S P - A 、 S P - B の TFT - A 、 TFT - B のドレイン電極の面積を第 3 副画素 S P - C の TFT - C 1 、 TFT - C 2 のドレイン電極の面積よりも大きくしている。これにより、第 1 、第 2 、第 3 副画素 S P - A 、 S P - B 、 S P - C の C g d 比を略等しくして、ドレイン電圧の引き込み電圧を副画素ごとに略等しくし、表示品位の低下を抑制することができる。

#### 【 0 2 1 4 】

第 3 副画素 S P - C のドレイン引出し配線 1 1 7 c 1 、 1 1 7 c 2 の一部は、第 1 、第 2 副画素 S P - A 、 S P - B の副画素電極 1 1 1 a 、 1 1 1 b と重なるが、ドレイン引出し配線 1 1 7 c 1 、 1 1 7 c 2 のうち面積の大きい補助容量電極は副画素電極 1 1 1 a 、 1 1 1 b と重ならないように設けられている。このため、第 1 、第 2 副画素 S P - A 、 S P - B の液晶容量の電圧が、第 3 副画素 S P - C の影響に起因してずれることができない。

#### 【 0 2 1 5 】

互いに隣接する副画素電極と S バスラインとの間で寄生容量 C s d が形成される。ドット反転駆動を行う場合、隣接する 2 つの S バスラインに極性の異なるソース信号が供給される。この場合、副画素電極 1 1 1 a 、 1 1 1 b 、 1 1 1 c のそれぞれにおける列方向 ( y 方向 ) に延びた 2 辺の長さを略等しくすることにより、 2 つの S バスラインと副画素電

極との寄生容量 C<sub>s</sub>d を略等しくして、2つの寄生容量 C<sub>s</sub>d が液晶容量の電圧に与える影響を相殺することができ、表示品位の低下を抑制できる。

#### 【0216】

第1副画素 S<sub>P</sub>-A の補助容量 C<sub>CS</sub>-A は、C<sub>S</sub>配線 C<sub>S</sub>-A と補助容量電極 118a とから形成されており、第2副画素 S<sub>P</sub>-B の補助容量 C<sub>CS</sub>-B は、C<sub>S</sub>配線 C<sub>S</sub>-B と補助容量電極 118b とから形成されている。第3副画素 S<sub>P</sub>-C の補助容量 C<sub>CS</sub>-A<sub>1</sub> は C<sub>S</sub>配線 C<sub>S</sub>-A と補助容量電極 118c<sub>1</sub> とから形成されており、補助容量 C<sub>CS</sub>-B<sub>1</sub> は C<sub>S</sub>配線 C<sub>S</sub>-B と補助容量電極 118c<sub>2</sub> とから形成されている。補助容量電極 118a、118b、118c<sub>1</sub>、118c<sub>2</sub> は C<sub>S</sub>配線 C<sub>S</sub>-A、C<sub>S</sub>-B と重なるように設けられる。また、補助容量の静電容量値は、補助容量電極の面積によって規定される。ここでは、補助容量電極 118a、118b の面積は互いに等しく、補助容量電極 118c<sub>1</sub>、118c<sub>2</sub> の面積は互いに等しい。10

#### 【0217】

また、液晶表示装置 500D1 では、2つの C<sub>S</sub>バスライン C<sub>S</sub>-A、C<sub>S</sub>-B の間に2つのゲート配線を通すことにより、3分割構造を実現している。液晶表示装置 500D1 では、C<sub>S</sub>バスラインが、列方向に隣接する2つの画素に属する複数の副画素の補助容量と接続しており、画素の充電時に列方向に隣接する画素の容量が平滑化容量として機能するため、リップル電圧の増加を抑制でき、結果として、横シャドーの発生を抑制できる。20

#### 【0218】

図 29 に、液晶表示装置 500D2 の1画素分の等価回路を模式的に示す。液晶表示装置 500D2 において1つの画素は、第1副画素 S<sub>P</sub>-A と、第2副画素 S<sub>P</sub>-B と、第3副画素 S<sub>P</sub>-C とを有している。第1、第2、第3副画素 S<sub>P</sub>-A、S<sub>P</sub>-B、S<sub>P</sub>-C は TFT-A、TFT-B、TFT-C をそれぞれ有している。20

#### 【0219】

図 29 は、m 行 n 列および m 行 n + 1 列の画素の等価回路を示している。m 行のゲートバスライン G<sub>m</sub> は、ゲート配線 G<sub>m</sub>1 と、ゲート配線 G<sub>m</sub>2 とを有しており、ゲート配線 G<sub>m</sub>1、G<sub>m</sub>2 は、液晶表示装置内において互いに接続されている。m 行 n 列の画素について、ゲート配線 G<sub>m</sub>1 は、第1副画素 S<sub>P</sub>-A の TFT-A、および、第3副画素 S<sub>P</sub>-C の TFT-C のゲート電極と接続されており、ゲート配線 G<sub>m</sub>2 は、第2副画素 S<sub>P</sub>-B の TFT-B のゲート電極と接続されている。また、m 行 n + 1 列の画素について、ゲート配線 G<sub>m</sub>1 は、第1副画素 S<sub>P</sub>-A の TFT-A と接続されており、ゲート配線 G<sub>m</sub>2 は、第2副画素 S<sub>P</sub>-B の TFT-B、および、第3副画素 S<sub>P</sub>-C の TFT-C のゲート電極と接続されている。30

#### 【0220】

m 行 n 列および m 行 n + 1 列のそれぞれの画素について、第1副画素 S<sub>P</sub>-A は、液晶容量 C<sub>LC</sub>-A および補助容量 C<sub>CS</sub>-A を有しており、第2副画素 S<sub>P</sub>-B は、液晶容量 C<sub>LC</sub>-B および補助容量 C<sub>CS</sub>-B を有している。また、第3副画素 S<sub>P</sub>-C は、液晶容量 C<sub>LC</sub>-C および補助容量 C<sub>CS</sub>-A<sub>1</sub>、C<sub>CS</sub>-B<sub>1</sub> を有している。ここで、補助容量 C<sub>CS</sub>-A<sub>1</sub> の静電容量値は補助容量 C<sub>CS</sub>-B<sub>1</sub> の静電容量値と略等しい。40

#### 【0221】

図 30 に、液晶表示装置 500D2 における TFT 基板の模式的な平面図を示す。液晶表示装置 500D2 において、第3副画素 S<sub>P</sub>-C は、第1副画素 S<sub>P</sub>-A と第2副画素 S<sub>P</sub>-B との間に配列されており、第1、第2および第3副画素 S<sub>P</sub>-A、S<sub>P</sub>-B、S<sub>P</sub>-C は、隣接する2つの C<sub>S</sub>バスライン C<sub>S</sub>-A、C<sub>S</sub>-B の間において列方向に配列されている。第1副画素、第2副画素、第3副画素 S<sub>P</sub>-A、S<sub>P</sub>-B、S<sub>P</sub>-C の面積比は 1 : 1 : 1 である。

#### 【0222】

図 30 には2つのゲート配線 G<sub>m</sub>1、G<sub>m</sub>2 を示しているが、図 29 に示したように、ゲート配線 G<sub>m</sub>1、G<sub>m</sub>2 には等価なゲート信号が供給される。また、C<sub>S</sub>バスライン (50

C S 配線)の数は画素の行数に対応しているが、1つのC Sバスラインは列方向に隣接する2つの画素に属する副画素のそれぞれの液晶容量に突き上げまたは突き下げ作用を与えており、各画素に2つのC Sバスラインが関連付けられている。

#### 【0223】

第3副画素S P - CのT F T - Cのドレイン電極は、ドレイン引出し配線1 1 7 cと電気的に接続されている。ドレイン引出し配線1 1 7 cは、T F T - Cのドレイン電極からコンタクト部1 1 9 cを介して補助容量電極まで延びている。ドレイン引出し配線1 1 7 cはコンタクト部1 1 9 cにおいて副画素電極1 1 1 cと接続されており、ドレイン引出し配線1 1 7 cの補助容量電極はC SバスラインC S - A、C SバスラインC S - Bの補助容量対向電極とそれぞれ補助容量を形成している。ドレイン引出し配線1 1 7 cはGバスラインと平行に行方向(×方向)に延びた後、C SバスラインC S - A、C S - Bに向かって列方向(y方向)に延びている。10

#### 【0224】

第1、第2副画素S P - A、S P - Bのドレイン引出し配線1 1 7 a、1 1 7 bはゲート配線G m 1、G m 2と交差しないのに対して、第3副画素S P - Cのドレイン引出し配線1 1 7 cはゲート配線G m 1、G m 2と交差する。第3副画素S P - Cのドレイン引出し配線1 1 7 cの一部は、第1、第2副画素S P - A、S P - Bの副画素電極1 1 1 a、1 1 1 bと重なるが、ドレイン引出し配線1 1 7 cのうち面積の大きい補助容量電極は副画素電極1 1 1 a、1 1 1 bと重ならないように設けられている。このため、第1、第2副画素S P - A、S P - Bの液晶容量の電圧が、第3副画素S P - Cの影響に起因してずれることができが抑制される。20

#### 【0225】

互いに隣接する副画素電極とSバスラインとの間で寄生容量C s dが形成される。ドット反転駆動を行う場合、隣接する2つのSバスラインに極性の異なるソース信号が供給される。この場合、副画素電極1 1 1 a、1 1 1 b、1 1 1 cのそれぞれにおける列方向(y方向)に延びた2辺の長さを略等しくすることにより、2つのSバスラインと副画素電極との寄生容量C s dを略等しくして、2つの寄生容量C s dが液晶容量の電圧に与える影響を相殺することができ、表示品位の低下を抑制できる。

#### 【0226】

第1副画素S P - Aの補助容量C C S - Aは、C S配線C S - Aと補助容量電極1 1 8 aとから形成されており、第2副画素S P - Bの補助容量C C S - Bは、C S配線C S - Bと補助容量電極1 1 8 bとから形成されている。第3副画素S P - Cの補助容量C C S - A 1はC S配線C S - Aと補助容量電極1 1 8 c 1とから形成されており、補助容量C C S - B 1はC S配線C S - Bと補助容量電極1 1 8 c 2とから形成されている。補助容量電極1 1 8 a、1 1 8 b、1 1 8 c 1、1 1 8 c 2はC S配線C S - A、C S - Bと重なるように設けられる。また、補助容量の静電容量値は、補助容量電極の面積によって規定される。ここでは、補助容量電極1 1 8 a、1 1 8 bの面積は互いに等しく、補助容量電極1 1 8 c 1、1 1 8 c 2の面積は互いに等しい。30

#### 【0227】

各画素は、列方向に沿って第1副画素S P - A、第3副画素S P - C、第2副画素S P - Bの順番に配列されている。ドット反転駆動を行っており、m行n列の画素の第1副画素S P - A、第3副画素S P - C、第2副画素S P - Bはそれぞれ明副画素、中副画素、暗副画素であるとき、m行n+1列の画素の第1副画素S P - A、第3副画素S P - C、第2副画素S P - Bはそれぞれ暗副画素、中副画素、明副画素となる。40

#### 【0228】

液晶表示装置5 0 0 D 2では、図27および図28に示した液晶表示装置5 0 0 D 1とは異なり、第3副画素S P - CのT F T - Cは1つであり、これにより、Gバスラインの負荷が低減される。なお、m行n列の画素についてT F T - Cのゲート電極はゲート配線G m 1に接続されているのに対して、m行n+1列の画素についてT F T - Cのゲート電極はゲート配線G m 2に接続されている。このように、行方向に隣接する画素ごとに第3副50

画素の TFT-C のゲート電極が交互にゲート配線に接続されていることにより、ゲート配線 Gm1、Gm2 の負荷を略等しくすることができる。また、行方向に隣接する画素ごとに第3副画素の TFT-C のゲート電極が交互にゲート配線に接続されていなくてもよく、行方向に隣接する複数の画素ごとにゲート配線 Gm1、Gm2 に接続する第3副画素の TFT-C の数が等しくてもよい。なお、第3副画素の TFT-C のゲート電極が同一のゲート配線に接続する画素の数が極めて大きいと（例えば、数百であると）、ゲート信号のパルスが鈍ってしまい、画素充電率に差が生じるおそれがある。

#### 【0229】

また、液晶表示装置 500D1、500D2 では、2つのCSバスライン CS-A、CS-B の間に2つのゲート配線を通すことにより、3分割構造を実現している。液晶表示装置 500D1、500D2 では、CSバスラインが、列方向に隣接する2つの画素に属する複数の副画素の補助容量と接続しており、画素の充電時に列方向に隣接する画素の容量が平滑化容量として機能するため、リップル電圧の増加を抑制でき、結果として、横シャドーの発生を抑制できる。10

#### 【0230】

なお、図27～図30に示した液晶表示装置 500D1、500D2 では、各画素に2つのゲート配線が通っていたが、本発明はこれに限定されない。各画素を通るゲート配線は1つであってもよい。

#### 【0231】

以下に、図31および図32を参照して、液晶表示装置 500E における TFT 基板の模式的な平面図を示す。液晶表示装置 500E における1つの画素は第1、第2、第3副画素 SP-A、SP-B、SP-C を有している。ここでも第1、第2、第3副画素 SP-A、SP-B、SP-C の面積比はほぼ 1 : 1 : 1 である。20

#### 【0232】

第1、第2、第3副画素 SP-A、SP-B、SP-C は、2つのCSバスライン CS-A、CS-B の間において列方向 (y 方向) に配列されている。また、CSバスライン CS-A、CS-B は、それぞれ列方向に隣接する2つの画素に属する複数の副画素の補助容量と接続しており、上述したように、横シャドーの発生が抑制される。

#### 【0233】

第1、第2副画素 SP-A、SP-B は、TFT-A、TFT-B をそれぞれ有しており、第3副画素 SP-C は、2つの TFT-C1、TFT-C2 を有している。TFT-A、TFT-B、TFT-C1、TFT-C2 のゲート電極は G バスラインに接続されている。第3副画素 SP-C は冗長構造を有している。30

#### 【0234】

TFT-A および TFT-C1 のゲート電極は、一体的に設けられてゲート電極部 G1E を形成しており、TFT-B および TFT-C2 のゲート電極は、一体的に設けられてゲート電極部 G2E を形成している。ゲート電極部 G1E、G2E は L 字形状であり、行方向 (x 方向) に延びた G バスラインに接続されている。TFT-A、TFT-B のドレイン電極はゲート電極部 G1E、G2E だけでなく G バスラインとも重なるため、TFT-A、TFT-B のドレイン電極がゲート電極部 G1E、G2E に対して列方向 (y 方向) に多少ずれて配置されたとしても、寄生容量 Cgd のずれを抑制することができる。40

#### 【0235】

第3副画素 SP-C は行方向 (x 方向) に延びた G バスラインを跨いでいる。第3副画素 SP-C の副画素電極 111c は、G バスラインに対して +y 方向に設けられた電極 111c1 と、G バスラインに対して -y 方向に設けられた電極 111c2 と、電極 111c1、111c2 を連結する連結部 111cc とを有している。連結部 111cc の行方向 (x 方向) の長さが電極 111c1、111c2 よりも短いことにより、寄生容量 Cgd の増大が抑制されている。

#### 【0236】

ただし、第1、第2副画素 SP-A、SP-B の副画素電極 111a、111b および

50

ドレイン引出し配線 117a、117b は G バスラインと重なっていないのに対して、第 3 副画素 S P - C の副画素電極 111c の連結部 111cc は G バスラインと重なっており、第 3 副画素 S P - C の寄生容量 Cgd は増大している。このため、第 1、第 2 副画素 S P - A、S P - B の TFT - A、TFT - B のドレイン電極の面積を第 3 副画素 S P - C の TFT - C1、C2 のドレイン電極の面積よりも大きくするとともに、第 1、第 2 副画素 S P - A、S P - B の TFT - A、TFT - B のドレイン電極は、ゲート電極部 G1E、G2E だけでなく G バスラインとも重なるように設けられており、これにより、第 1、第 2 副画素 S P - A、S P - B の寄生容量 Cgd を増大させている。したがって、第 1、第 2、第 3 副画素 S P - A、S P - B、S P - C の Cgd 比を容易に調整することができ、結果として、ドレイン電圧の引き込み電圧を略等しくして、表示品位の低下を抑制することができる。10

#### 【0237】

ドレイン引出し配線 117c1、117c2 は各々コンタクト部 119c1、119c2 において第 3 副画素の TFT - C1、TFT - C2 のドレイン電極と副画素電極 111c とを電気的に接続している。また、ドレイン引出し配線 117c1、117c2 の補助容量電極は CS バスライン CS - A、CS バスライン CS - B とそれぞれ補助容量を形成している。第 1、第 2 副画素 S P - A、S P - B の副画素電極 111a、111b は、ドレイン引出し配線 117c1、117c2 と CS バスライン CS - A、CS - B との重なる領域と重ならないように構成されている。これにより、第 1、第 2 副画素 S P - A、S P - B の液晶容量の電圧が、第 3 副画素 S P - C に影響されることを抑制することができる。20

#### 【0238】

副画素電極 111c の連結部 111cc は G バスラインと重なるが、これらの短絡を防止するために、有機膜からなる 2 ~ 3 μm 程度の層間絶縁膜が設けられている。このように、比較的厚い層間絶縁膜を設けることにより、寄生容量 Cgd の増大が抑制される。勿論、例えば SiNx などの無機膜からなる層間絶縁膜を厚く形成してもよいが、有機膜であれば塗布法（コーティング）による形成が可能なので、気相成長法などで形成する無機膜よりも厚い膜を容易に形成することができる。

#### 【0239】

また、S バスラインは列方向（y 方向）に延びており、副画素電極 111a、111b の列方向（y 方向）に沿った 2 つの辺の長さは略等しい。このため、上述したように、副画素電極 111a、111b と S バスラインとの間の寄生容量 Csd が第 1、第 2 副画素 S P - A、S P - B の液晶容量に与える影響を相殺することができ、表示品位の低下を抑制できる。なお、図 32 において副画素電極 111c の連結部 111cc は、隣接する 2 つの S バスラインのうちの一方の近傍に設けられていたが、2 つの S バスラインの中間の位置に設けられてもよい。この場合、連結部 111cc と各 S バスラインとの距離が長くなるので、連結部 111cc と S バスラインとの補助容量 Csd の増大が抑制され、S バスラインと副画素 S P - C との寄生容量 Csd を略等しくすることができる。30

#### 【0240】

なお、上述した液晶表示装置では、G バスライン、CS バスラインは、1 つのゲート配線、CS 配線からそれぞれ構成されていたが、本発明はこれに限定されない。40

#### 【0241】

図 33 に、本発明による実施形態の液晶表示装置 600A の 1 画素分の等価回路を模式的に示す。液晶表示装置 600A における 1 つの画素は、第 1 副画素 S P - A、第 2 副画素 S P - B および第 3 副画素 S P - C を有している。各画素に 1 つの G バスライン、1 つの S バスラインおよび 2 つの CS バスラインが関連付けられている。

#### 【0242】

図 33 には、m 行の画素を示しており、m 行の G バスライン Gm は、ゲート配線 Gm1 と、ゲート配線 Gm2 と、ゲート配線 Gm1、Gm2 と接続された接続配線 Gm3 とを有している。ゲート配線 Gm1 およびゲート配線 Gm2 には等価なゲート信号が供給される50

。

#### 【0243】

CSバスラインCS-Aは、CS配線CS-A1と、CS配線CS-A2と、CS配線CS-A1、CS-A2と接続された接続配線CS-A3とを有しており、CS配線CS-A1およびCS配線CS-A2には等価なCS信号が供給される。同様に、CSバスラインCS-Bは、CS配線CS-B1と、CS配線CS-B2と、CS配線CS-B1、CS-B2と接続された接続配線CS-B3とを有しており、CS配線CS-B1およびCS配線CS-B2には等価なCS信号が供給される。

#### 【0244】

第1、第2副画素SP-A、SP-BはTFT-A、TFT-Bをそれぞれ有しており、第3副画素SP-CはTFT-C1、TFT-C2を有している。TFT-C1、TFT-C2のゲート電極は、ゲート信号の供給されるゲート配線Gm1、Gm2と接続されており、第3副画素SP-Cは冗長構造を有している。

#### 【0245】

第1副画素SP-Aは、液晶容量CLC-Aおよび補助容量CCS-A1を有しており、第2副画素SP-Bは、液晶容量CLC-Bおよび補助容量CCS-B2を有している。また、第3副画素SP-Cは、液晶容量CLC-Cおよび補助容量CCS-A2a、CCS-B1aを有している。ここで、補助容量CCS-A2aの静電容量値は補助容量CCS-B1aの静電容量値と略等しい。

#### 【0246】

第1副画素SP-Aの液晶容量CLC-Aは、CS配線CS-A1による突き上げ（または突き下げ）作用を受け、第2副画素SP-Bの液晶容量CLC-Bは、CS配線CS-B2による突き下げ（または突き上げ）作用を受ける。また、第3副画素SP-Cの液晶容量CLC-CはCS配線CS-A2による突き上げ（または突き下げ）作用、および、CS配線CS-B1による突き下げ（または突き上げ）作用の両方を受ける。したがって、第1副画素が明副画素となるとき、第2副画素が暗副画素、第3副画素が中副画素となる。

#### 【0247】

図34に、液晶表示装置600AのTFT基板における模式的な平面図を示す。図34には、赤を表示するR画素、緑を表示するG画素、および、青を表示するB画素を示しており、R、G、B画素は行方向（x方向）に配列されている。

#### 【0248】

CS配線CS-A1、CS-A2、CS-B1、CS-B2はGバスラインと同一工程で形成される。GバスラインおよびCS配線CS-A1、CS-A2、CS-B1、CS-B2を総称してゲートメタル（ゲートレイヤ）とも呼ぶ。また、接続配線CS-A3、CS-B3は、Sバスラインと同一工程で形成される。Sバスラインおよび接続配線CS-A3、CS-B3を総称してソースメタル（ソースレイヤ）とも呼ぶ。ゲートメタルおよびソースメタルの間には絶縁層が設けられており、接続配線CS-A3は、コンタクトホールを介してCS配線CS-A1、CS-A2を接続しており、接続配線CS-B3は、コンタクトホールを介してCS配線CS-B1、CS-B2を接続している。

#### 【0249】

ゲートレイヤに注目すると、列方向（y方向）に沿って、CS配線CS-A1、ゲート配線Gm1、CS配線CS-B1、CS配線CS-A2、ゲート配線Gm2、CS配線CS-B2の順番に配列されており、CS配線CS-A1、CS-A2はゲート配線Gm1を挟むように配置されており、CS配線CS-B1、CS-B2は、ゲート配線Gm2を挟むように配置されている。CSバスラインCS-A、CS-Bが、Sバスラインと同一工程で形成された接続配線CS-A3、CS-B3をそれぞれ有していることにより、GバスラインGmとCSバスラインCS-A、CS-Bとを短絡することなくCSバスラインCS-A、CS-Bを形成することができる。

#### 【0250】

10

20

30

40

50

また、第3副画素SP-Cを画素の中央に配置しているため、第3副画素SP-Cは、互いに異なる位相のCS信号が印加されるCS配線CS-A2、CS-B1と補助容量を形成しやすい。また、ドレン引出し配線を短くすることができ、開口率の低下を抑制することができる。

#### 【0251】

第3副画素SP-Cは、等価なゲート信号の供給されるゲート配線Gm1、Gm2にそれぞれ接続されたTFT-C1、TFT-C2を有しており、第3副画素SP-Cは冗長構造を有している。第3副画素SP-Cの副画素電極111cは、ゲート配線Gm1、Gm2の間に設けられている。なお、図34では、第3副画素SP-Cの副画素電極111cとCS配線CS-A2、CS-B1との重なりを理解しやすいように示しているが、図16および図17を参照して上述したように、特性の視野角依存性の観点から、明副画素、中副画素、暗副画素の面積比は1:1:1であることが好ましい。また、液晶表示装置600Aはドット反転駆動を行っており、行方向にみると、明副画素に隣接して暗副画素が配置され、中副画素に隣接して中副画素が配置される。

10

#### 【0252】

なお、上述した説明では、液晶表示装置における各画素は3つの副画素を有していたが、本発明はこれに限定されない。各画素は4つ以上の副画素を有していてもよい。

#### 【0253】

図35に、本発明による実施形態の液晶表示装置600Bの1画素分の等価回路を模式的に示す。液晶表示装置600Bにおける1つの画素は、第1副画素SP-A、第2副画素SP-B、第3副画素SP-C、第4副画素SP-Dを有している。

20

#### 【0254】

図35には、m行の画素を示しており、m行のGバスラインGmは、ゲート配線Gm1と、ゲート配線Gm2と、ゲート配線Gm1、Gm2と接続された接続配線Gm3とを有している。ゲート配線Gm1およびゲート配線Gm2には等価なゲート信号が供給される。

#### 【0255】

CSバスラインCS-Aは、CS配線CS-A1と、CS配線CS-A2と、CS配線CS-A1、CS-A2と接続された接続配線CS-A3とを有している。CS配線CS-A1およびCS配線CS-A2には等価なCS信号が供給される。同様に、CSバスラインCS-Bは、CS配線CS-B1と、CS配線CS-B2と、CS配線CS-B1、CS-B2と接続された接続配線CS-B3とを有している。CS配線CS-B1およびCS配線CS-B2には等価なCS信号が供給される。

30

#### 【0256】

第1副画素SP-Aは、液晶容量CLC-Aおよび補助容量CCS-A1を有しており、第2副画素SP-Bは、液晶容量CLC-Bおよび補助容量CCS-B2を有している。また、第3副画素SP-Cは、液晶容量CLC-Cおよび補助容量CCS-A2a、CCS-B1aを有しており、第4副画素SP-Dは、液晶容量CLC-Dおよび補助容量CCS-A2b、CCS-B1bを有している。

40

#### 【0257】

第1副画素SP-Aの液晶容量はCSバスラインCS-Aによる突き上げ（または突き下げ）作用を受け、第2副画素SP-BはCSバスラインCS-Bによる突き下げ（または突き上げ）作用を受ける。また、第3、第4副画素SP-C、SP-Dの液晶容量はいずれもCSバスラインCS-Aによる突き上げ（または突き下げ）作用、および、CSバスラインCS-Bによる突き下げ（または突き上げ）作用を受ける。ただし、第3副画素SP-Cの液晶容量に対して、CSバスラインCS-Aによる突き上げ（または突き下げ）作用は、CSバスラインCS-Bによる突き下げ（または突き上げ）作用よりも大きい。一方、第4副画素SP-Dの液晶容量に対して、CSバスラインCS-Bによる突き下げ（または突き上げ）作用は、CSバスラインCS-Aによる突き上げ（または突き下げ）作用よりも大きい。

50

**【0258】**

このように、液晶表示装置600Bは、4分割(4VT)構造を有している。なお、第3副画素SP-Cの補助容量CCS-B1aと補助容量CCS-A2aとの差が、第4副画素SP-Dの補助容量CCS-B1bと補助容量CCS-A2bとの差とほぼ等しいとき、第3副画素SP-Cの液晶容量CLC-Cは第4副画素SP-Dの液晶容量CLC-Dと等しくなり、液晶表示装置600Bは3VT構造の液晶表示装置と同様の表示を行う。

**【0259】**

図36に、液晶表示装置600BのTFT基板の模式的な平面図を示す。液晶表示装置600Bの第3副画素SP-Cおよび第4副画素SP-Dは、図34に示した液晶表示装置600Aの第3副画素SP-Cと対応する位置に配置されている。第3、第4副画素SP-C、SP-Dの副画素電極111c、111dの境界線は、少なくとも2つの異なる方向を向いており、この境界線が、液晶分子を配向するためのスリットとして機能する。

10

**【0260】**

第1副画素SP-Aの補助容量CCS-A1は、CS配線CS-A1と補助容量電極118aとから形成されており、第2副画素SP-Bの補助容量CCS-B2は、CS配線CS-B2と補助容量電極118bとから形成されている。第3副画素SP-Cの補助容量CCS-A2aはCS配線CS-A2と補助容量電極118c1とから形成されており、補助容量CCS-B1aはCS配線CS-B1と補助容量電極118c2とから形成されている。また、第4副画素SP-Dの補助容量CCS-A2bはCS配線CS-A2と補助容量電極118d1とから形成されており、補助容量CCS-B1bはCS配線CS-B1と補助容量電極118d2とから形成されている。

20

**【0261】**

補助容量電極118a、118b、118c1、118c2、118d1、118d2は、CS配線CS-A1、CS-A2、CS-B1、CS-B2と重なるように設けられており、ここでは、補助容量の静電容量値は、補助容量電極の面積によって規定される。補助容量電極118a、118b、118c1、118c2、118d1、118d2はSバスラインと同一工程で形成される。

**【0262】**

ここで第3副画素SP-Cに注目すると、補助容量電極118c1の面積は補助容量電極118c2の面積よりも大きく、補助容量CCS-A2aの静電容量値は補助容量CCS-B1aの静電容量値よりも大きい。また、第4副画素SP-Dに注目すると、補助容量電極118d2の面積は補助容量電極118d1の面積よりも大きく、補助容量CCS-B1bの静電容量値は補助容量CCS-A2bの静電容量値よりも大きい。したがって、第1副画素が明副画素で第2副画素が暗副画素となる場合、第3副画素が中明副画素となり、第4副画素が中暗副画素となる。ここで、4つの副画素のうち2番目に明るい副画素を「中明副画素」と呼んでおり、4つの副画素のうち2番目に暗い副画素(すなわち、3番目に明るい副画素)を「中暗副画素」と呼んでいる。また、液晶表示装置600Bはドット反転駆動を行っており、明副画素と行方向に隣接する副画素は暗副画素となり、中明副画素と行方向に隣接する副画素は中暗副画素となる。

30

**【0263】**

なお、上述した説明では、1つのCSバスラインは2つのCS配線を有していたが、本発明はこれに限定されない。

**【0264】**

図37に、本発明による実施形態の液晶表示装置600Cの1画素分の等価回路を模式的に示す。Sバスラインは、第1ソース配線S1と、第1ソース配線S1から分岐された第2ソース配線S2とを有している。第1ソース配線S1は第1、第2、第3副画素SP-A、SP-B、SP-CのTFT-A、TFT-B、TFT-Cのソース電極と接続されており、第2ソース配線S2は第4副画素SP-DのTFT-Dのソース電極と接続している。

40

50

## 【0265】

第1副画素S P - Aの液晶容量C L C - AはC SバスラインC S - Aによる突き上げ(または突き下げ)作用を受け、第2副画素S P - Bの液晶容量C L C - BはC SバスラインC S - Bによる突き下げ(または突き上げ)作用を受ける。これに対して、第3、第4副画素S P - C、S P - Dの液晶容量C L C - C、C L C - Dは、それぞれ、C SバスラインC S - Aによる突き上げ(または突き下げ)作用、および、C SバスラインC S - Bによる突き下げ(または突き上げ)作用の両方を受ける。ただし、第3副画素S P - Cについて、C SバスラインC S - Aと形成された補助容量C C S - C 1の静電容量値は、C SバスラインC S - Bと形成された補助容量C C S - C 2の静電容量値よりも大きい。一方、第4副画素S P - Cについて、C SバスラインC S - Bと形成された補助容量C C S - D 2の静電容量値は、C SバスラインC S - Aと形成された補助容量C C S - D 1の静電容量値よりも大きい。このため、第3副画素S P - Cの液晶容量C L C - Cに対して、C SバスラインC S - Aによる突き上げ(または突き下げ)作用は、C SバスラインC S - Bによる突き下げ(または突き上げ)作用よりも大きく、また、第4副画素S P - Dの液晶容量C L C - Dに対して、C SバスラインC S - Bによる突き下げ(または突き上げ)作用は、C SバスラインC S - Aによる突き上げ(または突き下げ)作用よりも大きい。

## 【0266】

C SバスラインC S - A、C S - Bに対応する2つの補助容量の静電容量値の差により、第3副画素S P - CにおいてC SバスラインC S - Aによる突き上げ(または突き下げ)効果が優勢となり、第4副画素S P - DにおいてC SバスラインC S - Bによる突き下げ(または突き上げ)効果が優勢となる。なお、第1副画素S P - AについてC SバスラインC S - Aと接続される補助容量C C S - Aは、第2副画素についてC SバスラインC S - Bと接続される補助容量C C S - Bと略等しい。

## 【0267】

このように、液晶表示装置600Cは4V T構造を有している。なお、理解を容易にするために、図37ではSバスラインの分岐された2つの配線を示したが、等価なソース信号の供給される2つのソース配線が設けられてもよい。

## 【0268】

ここで、図37および図38を参照して、液晶表示装置600Cに供給される信号を説明する。図38に示した信号波形図には、Gバスラインに供給されるGate信号、C SバスラインC S - Aに供給されるC S信号V C S - A、C SバスラインC S - Bに供給されるC S信号V C S - B、第1副画素S P - Aの液晶容量C L C - Aに印加される電圧V C 1 c - A、第2副画素S P - Bの液晶容量C L C - Bに印加される電圧V C 1 c - B、第3副画素S P - Cの液晶容量C L C - Cに印加される電圧V C 1 c - C、第4副画素S P - Dの液晶容量C L C - Dに印加される電圧V C 1 c - Dを示している。また、ここでも、画素の印加電圧の波形における一点鎖線は副画素電極の実効電圧を示している。

## 【0269】

第3副画素S P - Cの液晶容量C L C - CにはC SバスラインC S - Aによる影響が優勢となり、第4副画素S P - Dの液晶容量C L C - DにはC SバスラインC S - Bによる影響が優勢となる。また、この図38から理解されるように、実効電圧は、第1副画素S P - A、第3副画素S P - C、第4副画素S P - D、第2副画素S P - Bの順番に低くなり、第1、第2、第3、第4副画素S P - A、S P - B、S P - C、S P - Dは、それぞれ明副画素、暗副画素、中明副画素、中暗副画素となる。また、典型的なドット反転駆動が行われており、一垂直走査期間毎に信号電圧の極性が反転し、且つ、行方向および列方向に隣接する画素間の極性が逆となるが、輝度順位は変化しない。なお、図38に示した信号は、図35に示した液晶表示装置600Bでも同様である。

## 【0270】

図39に、本発明による実施形態の液晶表示装置600C1のTFT基板の模式的な平面図を示す。液晶表示装置600C1における1つの画素は、第1副画素S P - A、第2

副画素 S P - B、第 3 副画素 S P - C および第 4 副画素 S P - D を有している。第 1 副画素 S P - A および第 2 副画素 S P - B は列方向 (y 方向) に配列されており、第 1 副画素 S P - A および第 2 副画素 S P - B を行方向 (x 方向) に挟むように第 3 副画素 S P - C および第 4 副画素 S P - D が配列されている。

#### 【 0 2 7 1 】

第 1、第 2、第 3、第 4 副画素 S P - A、S P - B、S P - C、S P - D は、副画素電極 1 1 1 a、1 1 1 b、1 1 1 c、1 1 1 d によってそれぞれ規定されている。副画素電極 1 1 1 a、1 1 1 b、1 1 1 c、1 1 1 d の行方向 (x 方向) の長さはほぼ等しく、副画素電極 1 1 1 a、1 1 1 b の列方向 (y 方向) の長さは副画素電極 1 1 1 c、1 1 1 d の略半分である。したがって、第 1 副画素、第 2 副画素、第 3 副画素、第 4 副画素 S P - A、S P - B、S P - C、S P - D の面積比は 1 : 1 : 2 : 2 である。10

#### 【 0 2 7 2 】

また、第 1 副画素 S P - A および第 2 副画素 S P - B は TFT - A、TFT - B をそれぞれ有しているのに対して、第 3 副画素 S P - C は TFT - C 1、TFT - C 2 を有しており、第 4 副画素 S P - D は TFT - D 1、TFT - D 2 を有している。G バスラインは TFT - A、TFT - B、TFT - C 1、TFT - C 2、TFT - D 1、TFT - D 2 のゲート電極と接続されている。したがって、第 3、第 4 副画素 S P - C、S P - D は冗長構造を有している。また、S バスラインの第 1 ソース配線 S 1 が第 1、第 2、第 3 副画素 S P - A、S P - B、S P - C の TFT - A、TFT - B、TFT - C 1、TFT - C 2 のソース電極と接続されており、第 2 ソース配線 S 2 が第 4 副画素 S P - D の TFT - D 1、TFT - D 2 のソース電極と接続されている。20

#### 【 0 2 7 3 】

また、CS バスライン CS - A は、第 1、第 3 および第 4 副画素 S P - A、S P - C、S P - D の補助容量 CCS - A、CCS - C 1、CCS - D 1 に接続しており、CS バスライン CS - B は、第 2、第 3 および第 4 副画素 S P - B、S P - C、S P - D の補助容量 CCS - B、CCS - C 2、CCS - D 2 に接続している。

#### 【 0 2 7 4 】

ここで第 3 副画素 S P - C に注目すると、第 3 副画素 S P - C の副画素電極 1 1 1 c は CS バスライン CS - B と重なる部分において一部切り欠かれており、副画素電極 1 1 1 c と CS バスライン CS - B との重なり面積は、副画素電極 1 1 1 c と CS バスライン CS - A との重なり面積よりも小さい。したがって、第 3 副画素 S P - C の補助容量 CCS - C 1 の静電容量値は補助容量 CCS - C 2 よりも大きい。また、第 4 副画素 S P - D に注目すると、第 4 副画素 S P - D の副画素電極 1 1 1 d は CS バスライン CS - A と重なる部分において一部切り欠かれており、副画素電極 1 1 1 d と CS バスライン CS - A との重なり面積は、副画素電極 1 1 1 d と CS バスライン CS - B との重なり面積よりも小さい。したがって、第 4 副画素 S P - D の補助容量 CCS - D 1 の静電容量値は補助容量 CCS - D 2 よりも小さい。このため、第 3 副画素 S P - C の液晶容量 CLC - C には CS バスライン CS - A による影響が優勢となり、第 4 副画素 S P - D の液晶容量 CLC - D には CS バスライン CS - B による影響が優勢となる。したがって、第 1 副画素が明副画素で第 2 副画素が暗副画素である場合、第 3 副画素が中明副画素となり、第 4 副画素が中暗副画素となる。この場合、明副画素、中明副画素、中暗副画素、暗副画素の面積比は 1 : 2 : 2 : 1 である。3040

#### 【 0 2 7 5 】

また、液晶表示装置 600C1 がドット反転駆動を行う場合、列方向に隣接する 2 つの画素に属する第 3 副画素の一方が中明副画素、他方が中暗副画素となる。同様に、明副画素と列方向に隣接する副画素は暗副画素となる。

#### 【 0 2 7 6 】

なお、液晶表示装置 600C1 では、第 3、第 4 副画素 S P - C、S P - D の副画素電極 1 1 1 c、1 1 1 d は G バスラインと重なるため、短絡を防ぐために、G バスラインと副画素電極 1 1 1 c、1 1 1 d との間に厚い絶縁膜が設けられる。この絶縁膜は、例えば50

、ゲート絶縁膜と層間絶縁膜とを積層したものである。このように厚い絶縁膜を設けることにより、寄生容量  $C_{gd}$  の増大が抑制される。

#### 【0277】

図40は、本発明による実施形態の液晶表示装置600C2のTFT基板の模式的な平面図を示す。

#### 【0278】

液晶表示装置600C2では、第1、第2副画素SP-A、SP-BがTFT-A1、TFT-A2、TFT-B1、TFT-B2を有しており、第3、第4副画素SP-C、SP-DがTFT-C1、TFT-C2、TFT-D1、TFT-D2を有している。  
第1、第2、第3、第4副画素SP-A、SP-B、SP-C、SP-Dは冗長構造となっている。また、TFT-A1、TFT-B1、TFT-C1、TFT-C2のソース電極が第1ソース配線S1から行方向(×方向)に延びてあり、TFT-A2、TFT-B2、TFT-D1、TFT-D2のソース電極が第2ソース配線S2から行方向(×方向)に延びている。

#### 【0279】

液晶表示装置600C2では、第3副画素SP-Cの副画素電極111cは、電極111c1と、電極111c2と、電極111c1、111c2を連結する連結部111ccを有している。また、第4副画素SP-Dの副画素電極111dは、電極111d1と、電極111d2と、電極111d1、111d2を連結する連結部111dcを有している。また、連結部111cc、111dcの行方向(×方向)の長さは比較的短く、副画素電極111c、111dとGバスラインとの重なり領域の面積を小さくして、寄生容量  $C_{gd}$  の増大を抑制している。

#### 【0280】

図41は、本発明による実施形態の液晶表示装置600C3のTFT基板の模式的な平面図を示す。

#### 【0281】

液晶表示装置600C3では、第3副画素SP-Cの副画素電極111cは、電極111c1と、電極111c2とを有しており、第4副画素SP-Dの副画素電極111dは、電極111d1と、電極111d2とを有している。また、第3、第4副画素SP-C、SP-DはTFT-C、TFT-Dを有しており、TFT-Cのドレイン電極は第1ソース配線S1と平行に設けられており、TFT-Dのドレイン電極は第2ソース配線S2と平行に設けられている。また、TFT-Cのドレイン電極は、副画素電極111cの電極111c1、111c2を接続しており、TFT-Dのドレイン電極は、副画素電極111dの電極111d1、111d2を接続している。なお、TFT-C、TFT-Dのドレイン電極はGバスラインと重なるが、TFT-C、TFT-Dのドレイン電極の行方向(×方向)の長さは比較的短く、寄生容量  $C_{gd}$  の増大が抑制されている。

#### 【0282】

図42は、本発明による実施形態の液晶表示装置600C4のTFT基板の模式的な平面図を示す。

#### 【0283】

液晶表示装置600C4では、第1、第2副画素SP-A、SP-Bは、TFT-A1、TFT-A2、TFT-B1、TFT-B2をそれぞれ有しており、第3、第4副画素SP-C、SP-DはTFT-C、TFT-Dをそれぞれ有している。

#### 【0284】

第3、第4副画素SP-C、SP-Dの副画素電極111c、111dは、Gバスラインと重なる連結部111cc、111dcを有しているが、TFT-C、TFT-Dのドレイン電極の面積は、第1副画素SP-AのTFT-A1、TFT-A2のドレイン電極の面積の和、および、第2副画素SP-BのTFT-B1、TFT-B2のドレイン電極の面積の和よりも小さく、第3、第4副画素SP-C、SP-DにおけるTFTのドレイン電極とGバスラインとの寄生容量  $C_{gd}$  を抑制している。このため、第1、第2、第3

、第4副画素SP-A、SP-B、SP-C、SP-DのCgd比を略等しくすることができ、ドレイン電圧の引き込み電圧の差を小さくすることができ、例えば、引き込み電圧差が50mV程度以下になる。これにより、フリッカの発生を抑制することができる。

#### 【0285】

以下、3分割構造および4分割構造の液晶表示装置における特性の視野角依存性を説明する。

#### 【0286】

図43には、図3に示した曲線L0、L1、L2およびL3に加えて、4分割構造の右60°視野角における曲線(L4)を示している。上述したように、3分割構造の曲線L3は、2分割構造の曲線L2よりも理想的な曲線に近いが、4分割構造の曲線L4は、3分割構造の曲線L3よりもさらに理想的な曲線に近く、視野角特性が優れている。  
10

#### 【0287】

図44は、3VT構造の液晶表示装置における視野角特性を示すグラフである。この液晶表示装置では、図16(a)に示したように、中副画素が2つに分離されている。各副画素の液晶容量に印加される実効電圧の差は階調により異なるが、明副画素の液晶容量に印加される実効電圧は、中副画素の液晶容量に印加される実効電圧よりも最大で0.6V大きく、暗副画素の液晶容量に印加される実効電圧は、中副画素の液晶容量に印加される実効電圧よりも最大で0.6V小さい。

#### 【0288】

図44(a)および図44(b)は、3VT構造の液晶表示装置における特性の視野角特性を示すグラフである。これらの液晶表示装置において明副画素：中副画素：暗副画素：中副画素の副画素電極の面積比は1：1：1：1であり、明副画素：中副画素：暗副画素の面積比は1：2：1である。  
20

#### 【0289】

液晶表示装置の赤画素(R)、緑画素(G)および青画素(B)のギャップが略等しい場合、液晶表示装置の特性の視野角依存性は、図44(a)に示すようになる。ここで、赤画素(R)、緑画素(G)および青画素(B)のギャップは3.4μmである。一方、液晶表示装置の青画素(B)のギャップが赤画素(R)および緑画素(G)よりも小さい場合、液晶表示装置の特性の視野角依存性は、図44(b)に示すようになる。ここで、赤画素(R)および緑画素(G)のギャップは3.4μmであり、青画素(B)のギャップは3.0μmである。図44(a)と図44(b)との比較から理解されるように、青画素のギャップが赤および緑画素と等しい場合、青についての特性の視野角依存性は高階調においても理想的な特性の視野角依存性からずれているが、青画素のギャップが赤および緑画素よりも小さくなると、このずれを抑制することができる。  
30

#### 【0290】

図44(c)および図44(d)は、3VT構造の液晶表示装置における特性の視野角特性を示すグラフである。これらの液晶表示装置では、明副画素：中副画素：暗副画素：中副画素の副画素電極の面積比は1：0.5：1：0.5であり、明副画素：中副画素：暗副画素の面積比は1：1：1である。  
40

#### 【0291】

液晶表示装置の赤画素(R)、緑画素(G)および青画素(B)のギャップが略等しい場合、液晶表示装置の特性の視野角依存性は、図44(c)に示すようになる。ここで、赤画素(R)、緑画素(G)および青画素(B)のギャップは3.4μmである。一方、液晶表示装置の青画素(B)のギャップが赤画素(R)および緑画素(G)よりも小さい場合、液晶表示装置の特性の視野角依存性は、図44(d)に示すようになる。ここで、赤画素(R)および緑画素(G)のギャップは3.4μmであり、青画素(B)のギャップは3.0μmである。

#### 【0292】

この場合も、図44(c)と図44(d)との比較から理解されるように、青画素のギ  
50

ギャップが赤および緑画素と等しい場合、青についての特性の視野角依存性は高階調において理想値から大きくずれることになるが、青画素のギャップが赤および緑画素よりも小さくなることにより、このずれを抑制することができる。また、図44(a)～図44(d)の比較から理解されるように、明副画素：中副画素：暗副画素の面積比がほぼ等しいことにより、特性の視野角特性は、より理想的な特性に近づく。

#### 【0293】

ここで、図45を参照して、4VT構造の液晶表示装置における視野角特性を説明する。この液晶表示装置では、明副画素：中明副画素：中暗副画素：暗副画素の面積比は1：1：1：1である。各副画素の液晶容量に印加される実効電圧の差は階調により異なるが、中明副画素の液晶容量に印加される実効電圧は、中暗副画素の液晶容量に印加される実効電圧よりも最大で0.6V大きく、明副画素の液晶容量に印加される実効電圧は、中明副画素の液晶容量に印加される実効電圧よりも最大で0.4V大きい。また、暗副画素の液晶容量に印加される実効電圧は、中暗副画素の液晶容量に印加される実効電圧よりも最大で0.4V小さい。10

#### 【0294】

液晶表示装置の赤画素(R)、緑画素(G)および青画素(B)のギャップが略等しい場合、液晶表示装置の特性の視野角依存性は、図45(a)に示すようになる。ここで、赤画素(R)、緑画素(G)および青画素(B)のギャップは3.4μmである。一方、液晶表示装置の青画素(B)のギャップが赤画素(R)および緑画素(G)よりも小さい場合、液晶表示装置の特性の視野角依存性は、図45(b)に示すようになる。ここで、赤画素(R)および緑画素(G)のギャップは3.4μmであり、青画素(B)のギャップは3.0μmである。20

#### 【0295】

図45(a)と図45(b)との比較から理解されるように、青画素のギャップが赤および緑画素と等しい場合、青についての特性の視野角依存性は高階調において理想的な値から大きくずれることになるが、青画素のギャップが赤および緑画素よりも小さいことにより、このずれを抑制することができる。また、図44および図45の比較から理解されるように、4VT構造の液晶表示装置における特性の視野角特性は、3VT構造の液晶表示装置よりも理想的な特性に近づいている。30

#### 【0296】

なお、本発明の液晶表示装置は、広視野角特性を有し表示品位が極めて高いので、大型のTV受像機の表示装置として好適に用いられる。本発明によるTV受像機は、テレビジョン放送を受信するチューナ等の公知の構成と、上述の液晶表示装置とを有する。

#### 【0297】

次に、本発明に係る液晶表示装置をテレビジョン受信機に使用した例について説明する。図46は、このテレビジョン受信機の表示装置800の構成を示すブロック図である。この表示装置800は、Y/C分離回路80と、ビデオクロマ回路81と、A/Dコンバータ82と、液晶コントローラ83と、液晶パネル84と、バックライト駆動回路85と、バックライト86と、マイコン(マイクロコンピュータ)87と、階調回路88とを備えている。なお、上記液晶パネル84は、アクティブマトリクス型の画素アレイからなる表示部と、その表示部を駆動するためのソースドライバおよびゲートドライバを含んでいる。40

#### 【0298】

上記構成の表示装置800では、まず、テレビジョン信号としての複合カラー映像信号Scvが外部からY/C分離回路80に入力され、そこで輝度信号と色信号に分離される。これらの輝度信号と色信号は、ビデオクロマ回路81にて光の3原色に対応するアナログRGB信号に変換され、さらに、このアナログRGB信号はA/Dコンバータ82により、デジタルRGB信号に変換される。このデジタルRGB信号は液晶コントローラ83に入力される。また、Y/C分離回路80では、外部から入力された複合カラー映像信号Scvから水平および垂直同期信号も取り出され、これらの同期信号もマイコン87を介50

して液晶コントローラ 8 3 に入力される。

【0299】

液晶コントローラ 8 3 は、A / D コンバータ 8 2 からのデジタル R G B 信号（上記実施形態におけるデジタルビデオ信号 D v に相当）に基づきドライバ用データ信号を出力する。また、液晶コントローラ 8 3 は、液晶パネル 8 4 内のソースドライバおよびゲートドライバを上記実施形態と同様に動作させるためのタイミング制御信号を、上記同期信号に基づいて生成し、それらのタイミング制御信号をソースドライバおよびゲートドライバに与える。また、階調回路 8 8 では、カラー表示の 3 原色 R、G、B それぞれの階調電圧が生成され、それらの階調電圧も液晶パネル 8 4 に供給される。

【0300】

液晶パネル 8 4 では、これらのドライバ用データ信号、タイミング制御信号および階調電圧に基づき内部のソースドライバやゲートドライバ等により駆動用信号（データ信号、走査信号等）が生成され、それらの駆動用信号に基づき内部の表示部にカラー画像が表示される。なお、この液晶パネル 8 4 によって画像を表示するには、液晶パネル 8 4 の後方から光を照射する必要がある。この表示装置 8 0 0 では、マイコン 8 7 の制御の下にバックライト駆動回路 8 5 がバックライト 8 6 を駆動することにより、液晶パネル 8 4 の裏面に光が照射される。

【0301】

上記の処理を含め、システム全体の制御はマイコン 8 7 が行う。なお、外部から入力される映像信号（複合カラー映像信号）としては、テレビジョン放送に基づく映像信号のみならず、カメラにより撮像された映像信号や、インターネット回線を介して供給される映像信号等も使用可能であり、この表示装置 8 0 0 では、様々な映像信号に基づいた画像表示が可能である。

【0302】

上記構成の表示装置 8 0 0 でテレビジョン放送に基づく画像を表示する場合には、図 4 6 ( b ) に示すように、当該表示装置 8 0 0 にチューナ部 9 0 が接続される。このチューナ部 9 0 は、アンテナ（不図示）で受信した受信波（高周波信号）の中から受信すべきチャンネルの信号を抜き出して中間周波信号に変換し、この中間周波数信号を検波することによってテレビジョン信号としての複合カラー映像信号 S c v を取り出す。この複合カラー映像信号 S c v は、既述のように表示装置 8 0 0 に入力され、この複合カラー映像信号 S c v に基づく画像が当該表示装置 8 0 0 によって表示される。

【0303】

なお、参考のために、本願の基礎出願である特願 2 0 0 7 - 6 6 7 2 4 号および特願 2 0 0 7 - 2 8 0 8 6 5 号の開示内容を本明細書に援用する。

【産業上の利用可能性】

【0304】

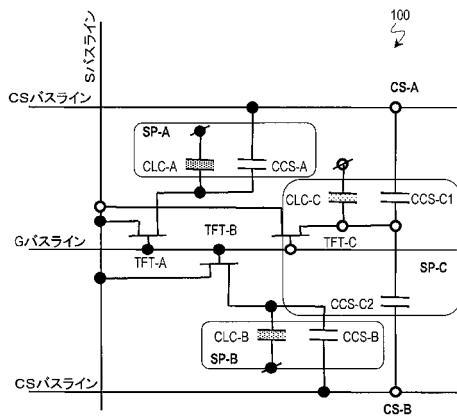
本発明は、大型で広視野角特性を有する液晶 T V に特に好適に用いられる。

10

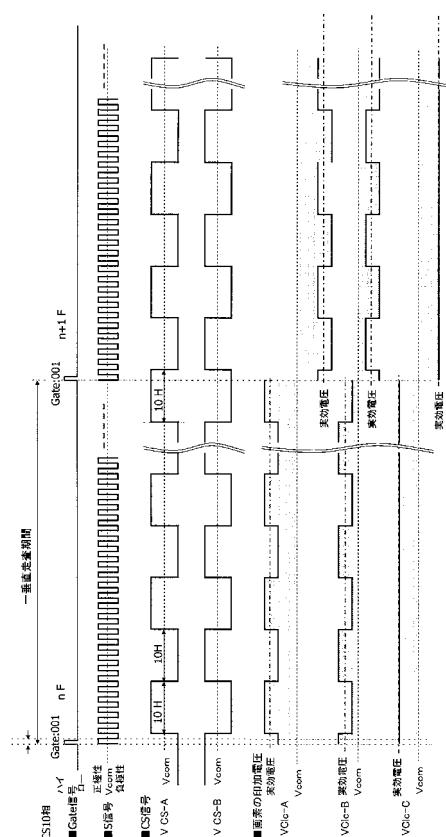
20

30

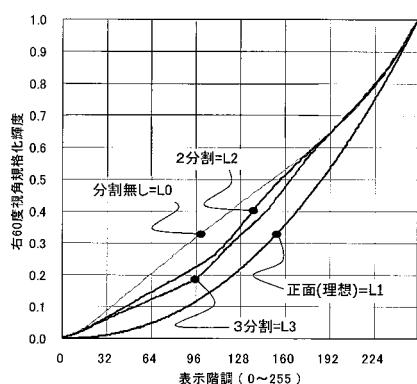
【図1】



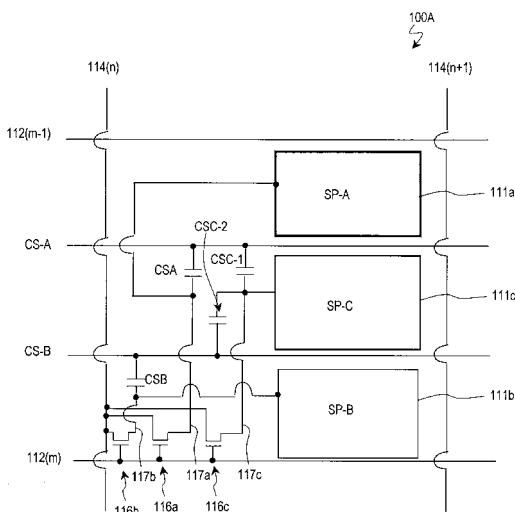
【図2】



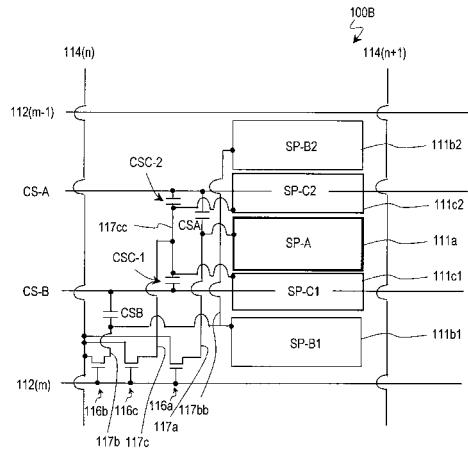
【図3】



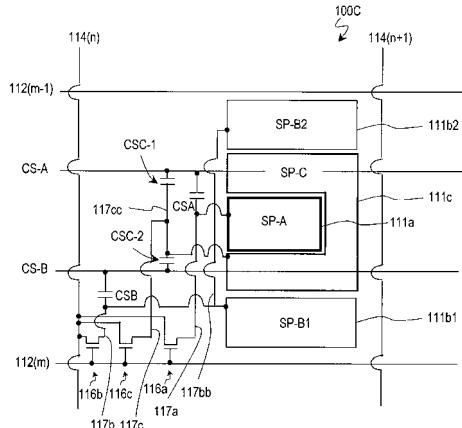
【図4】



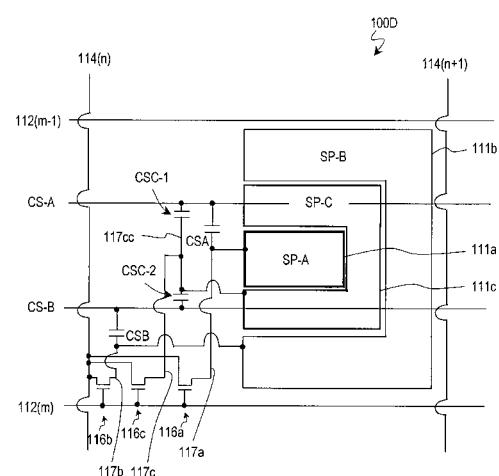
【図5】



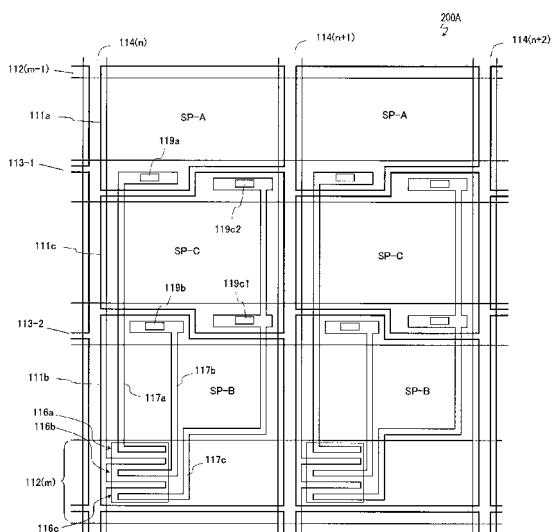
【図6】



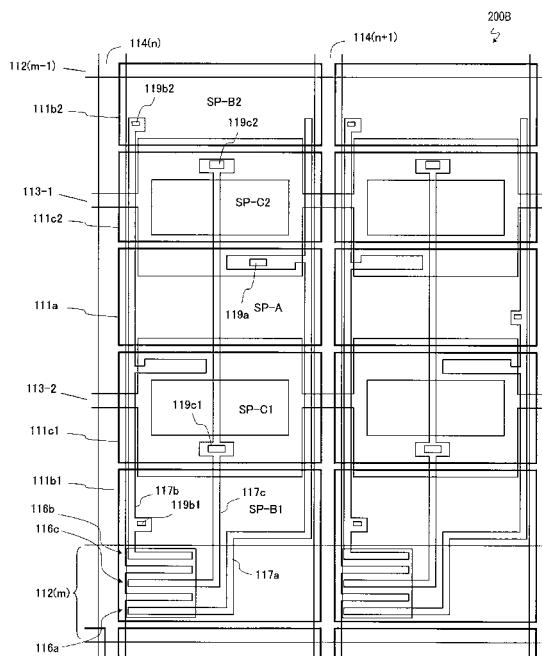
【図7】



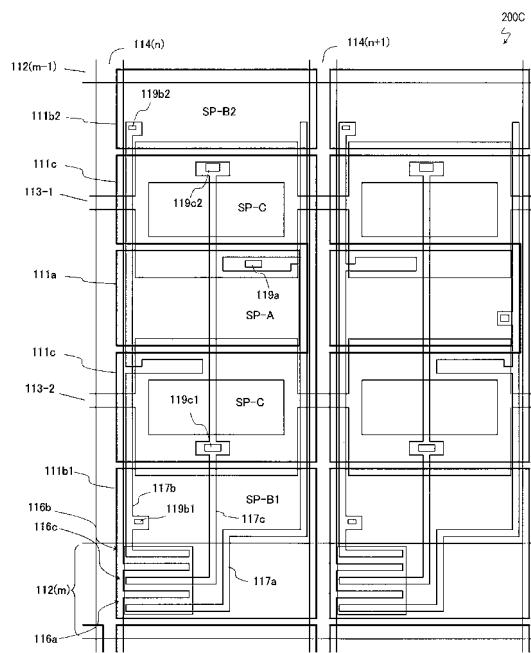
【図8】



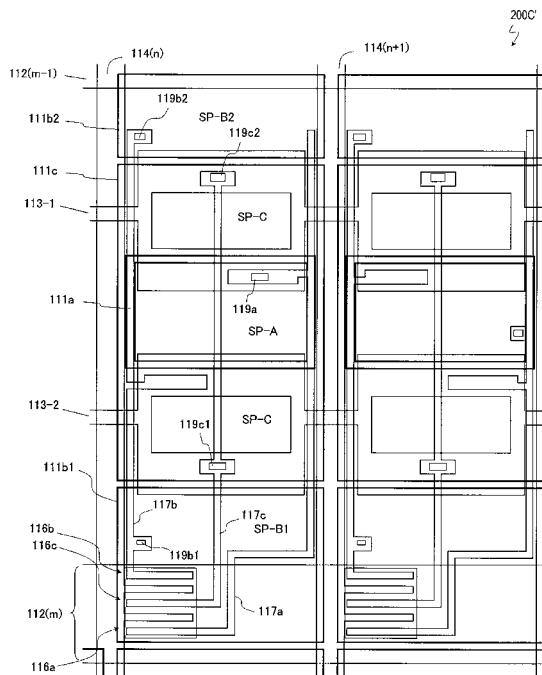
【図9】



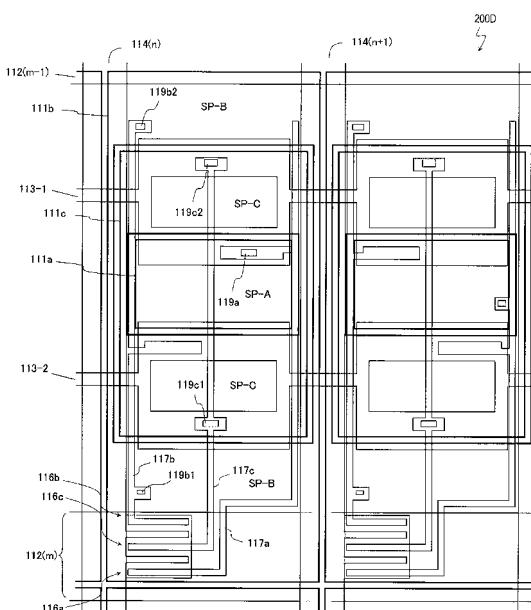
【図10】



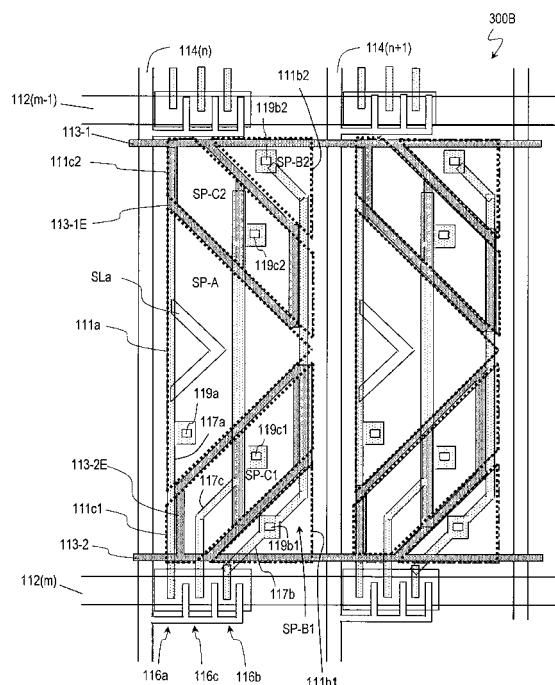
【図11】



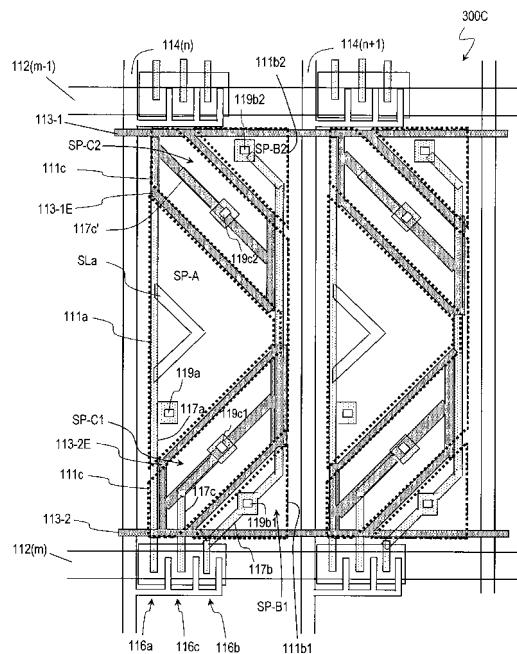
【図12】



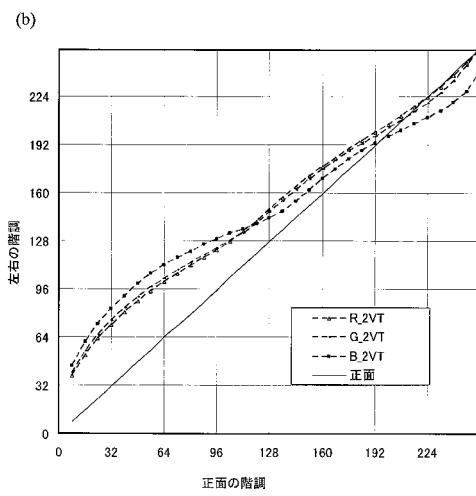
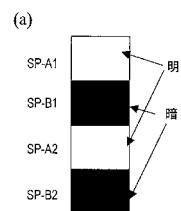
【図13】



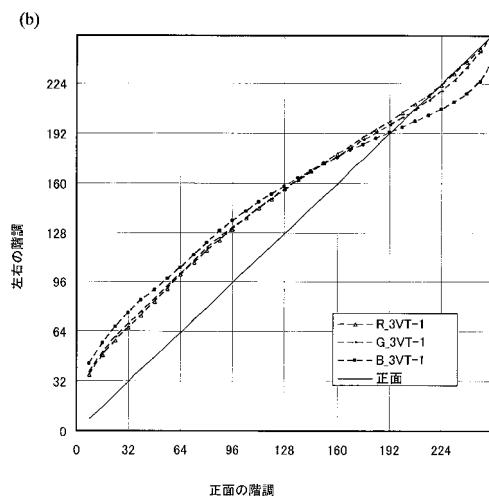
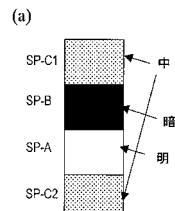
【図14】



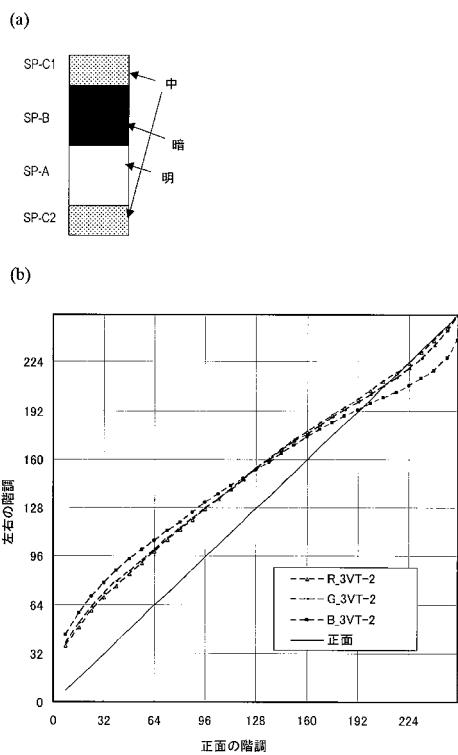
【図15】



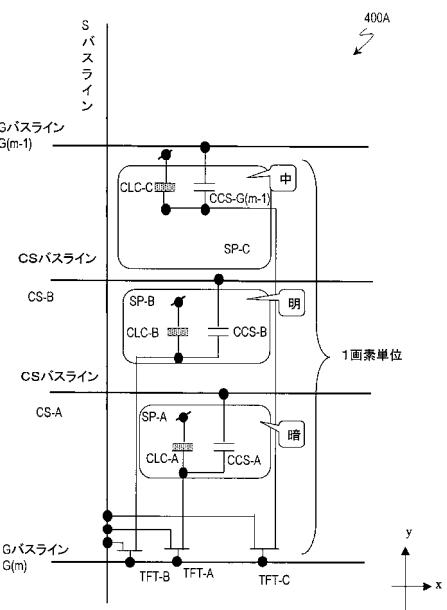
【 図 1 6 】



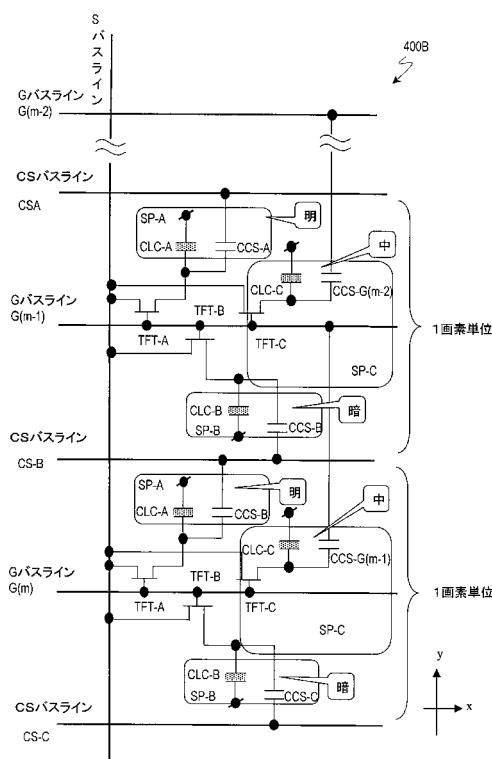
【図17】



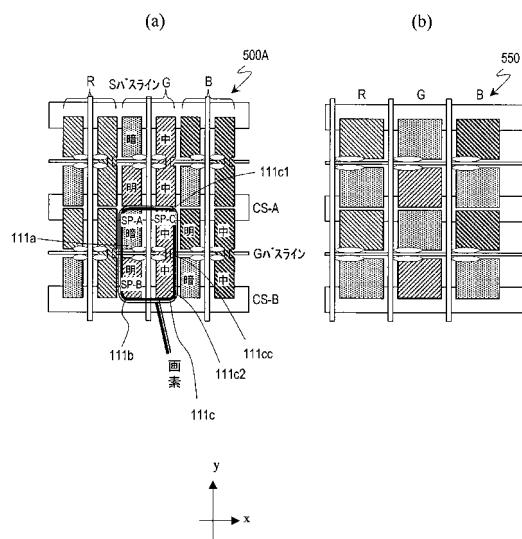
【図18】



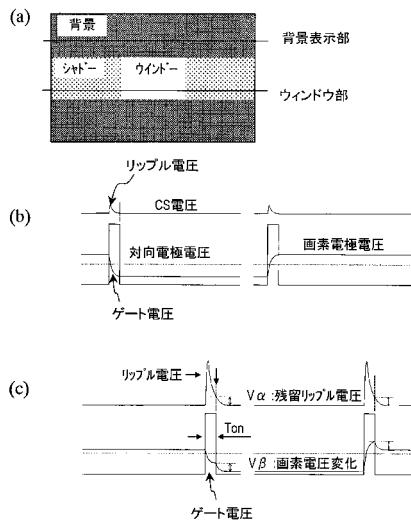
【図19】



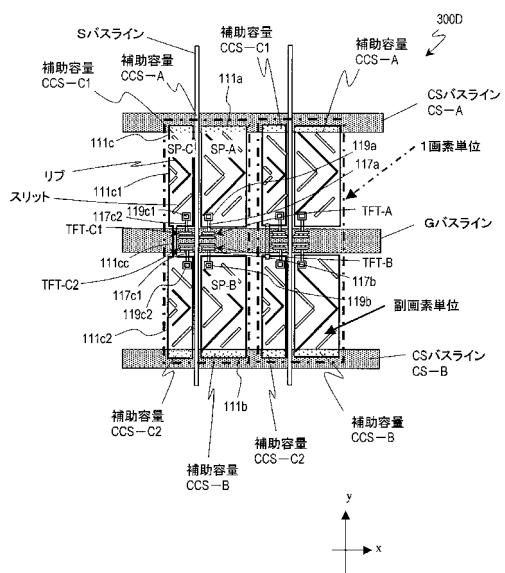
【図20】



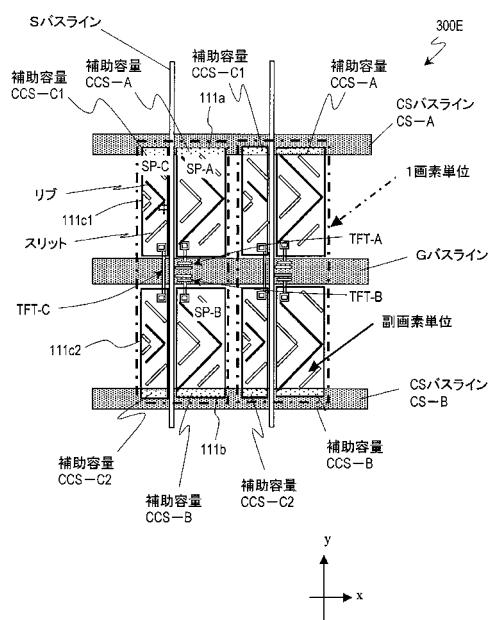
【図21】



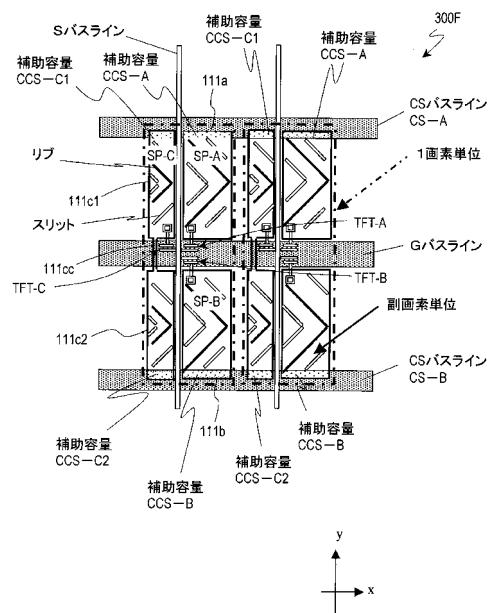
【図22】



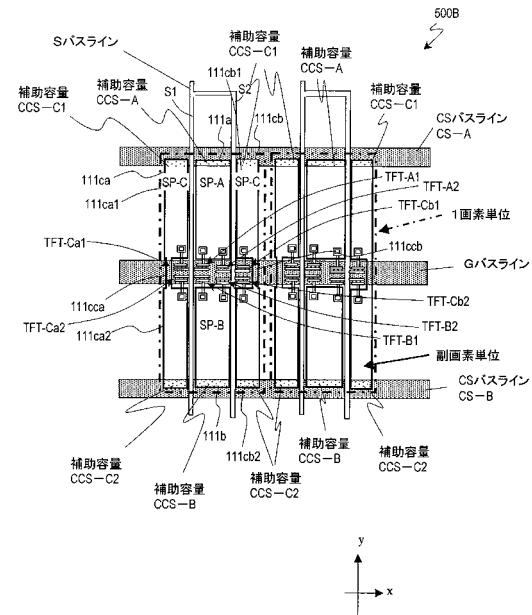
【図23】



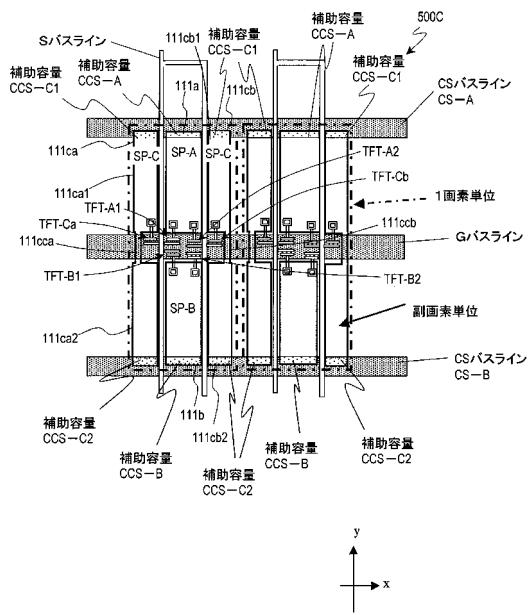
【図24】



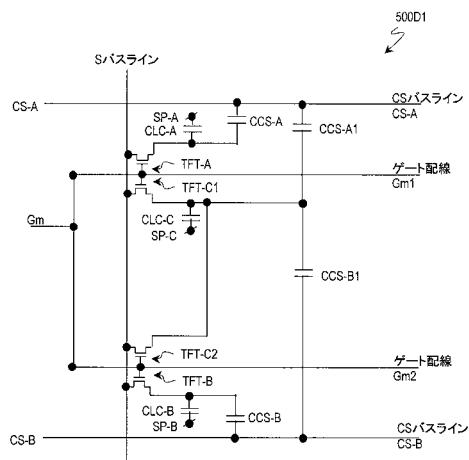
【図25】



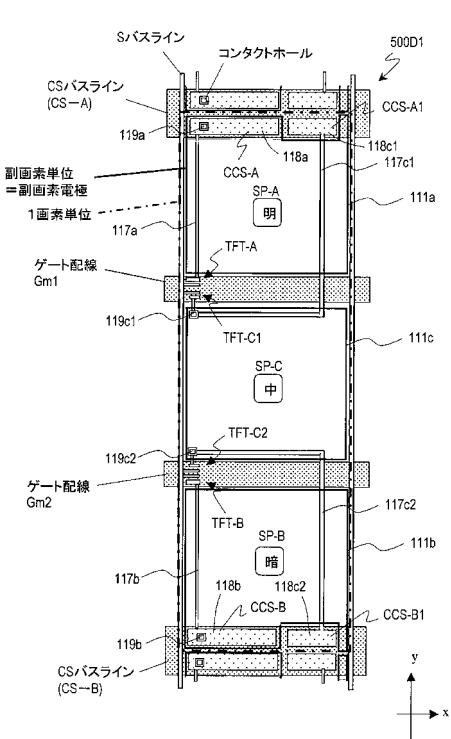
【図26】



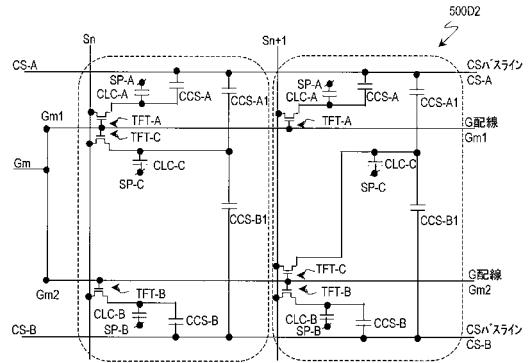
【図27】



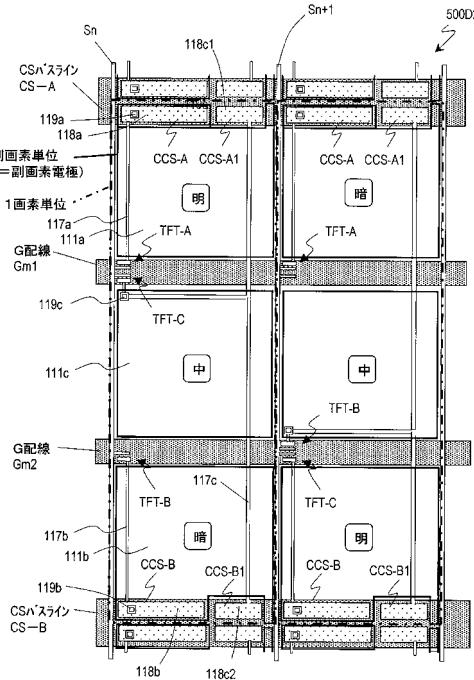
【図28】



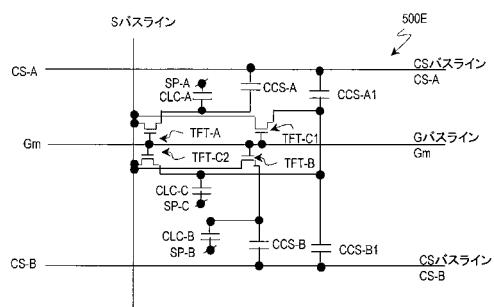
【図29】



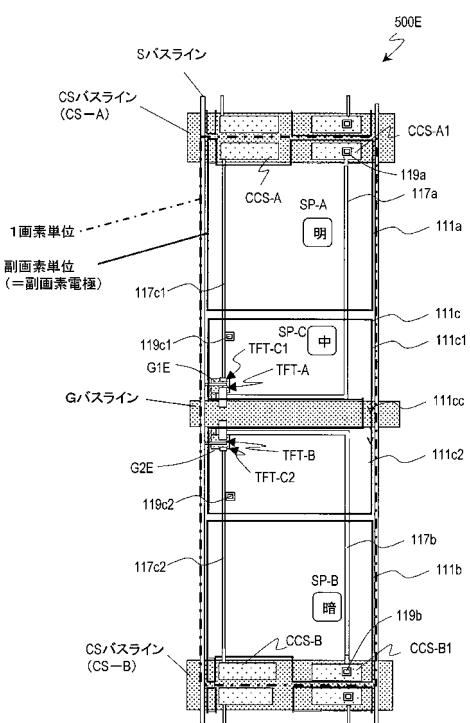
【図30】



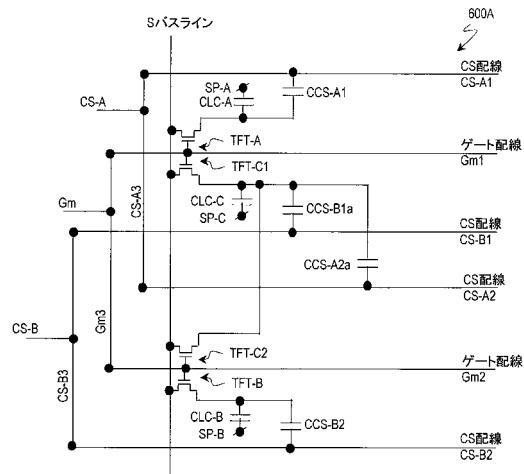
【図31】



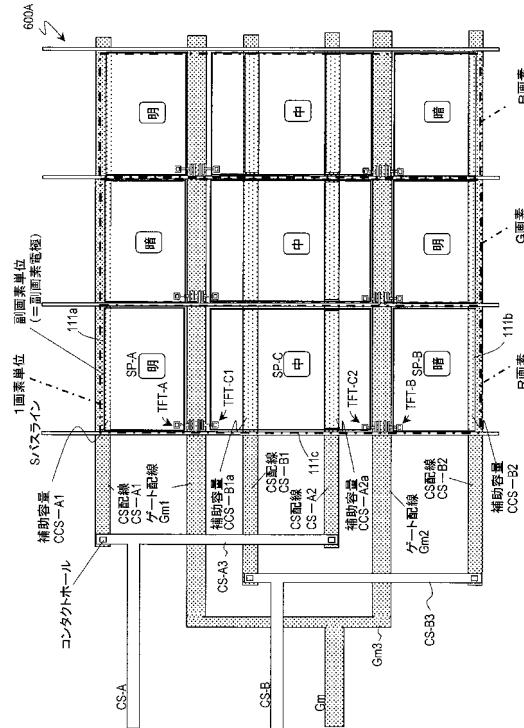
【図32】



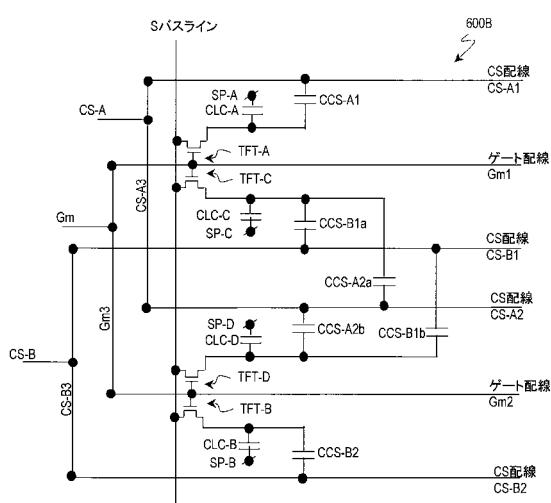
【図33】



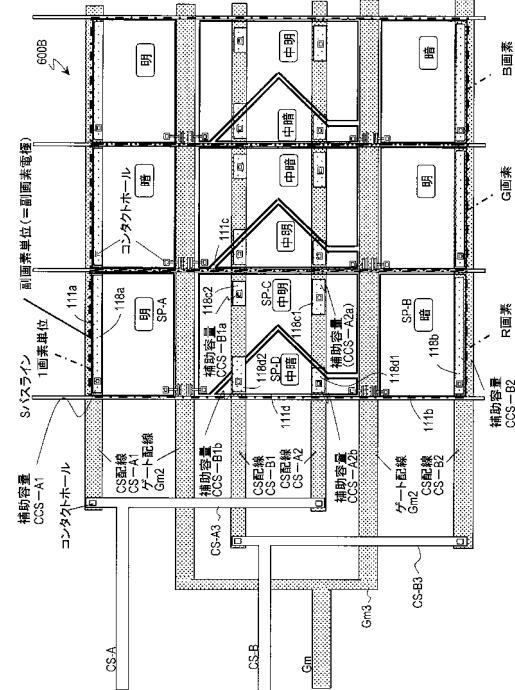
【図34】



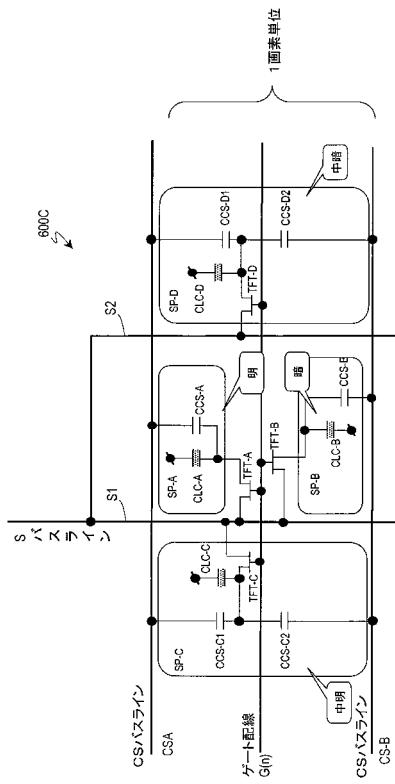
【図35】



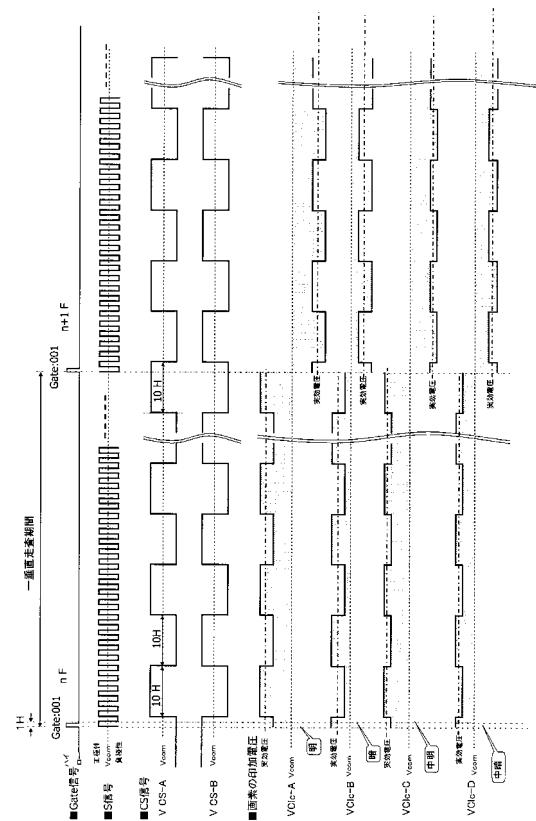
【図36】



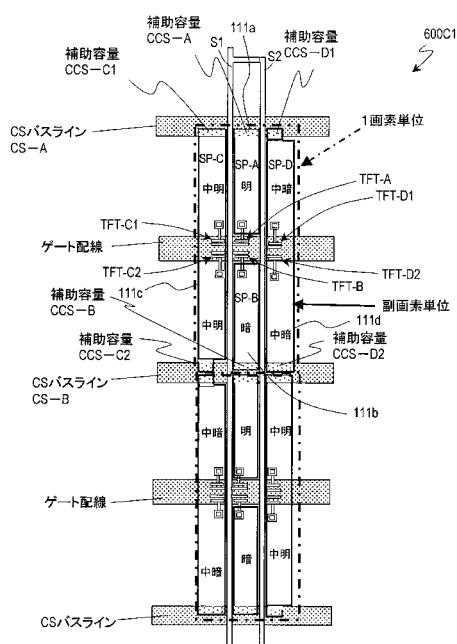
【図37】



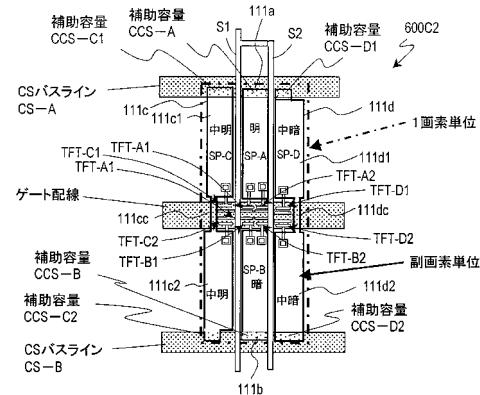
【図38】



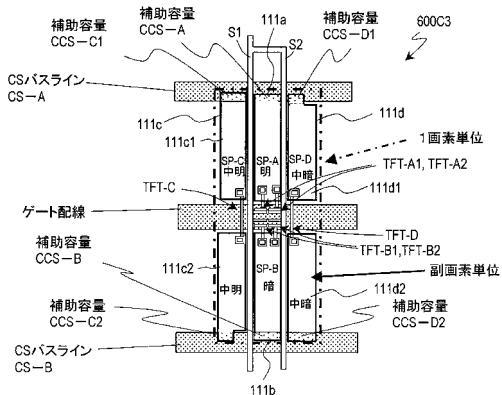
【図39】



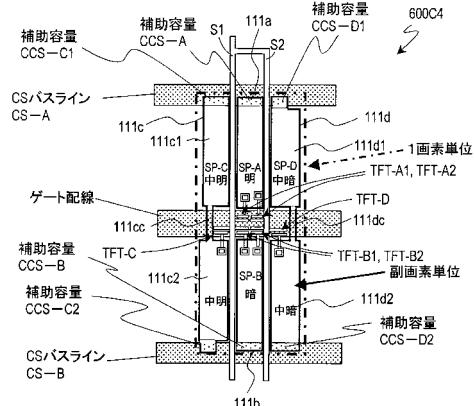
【図40】



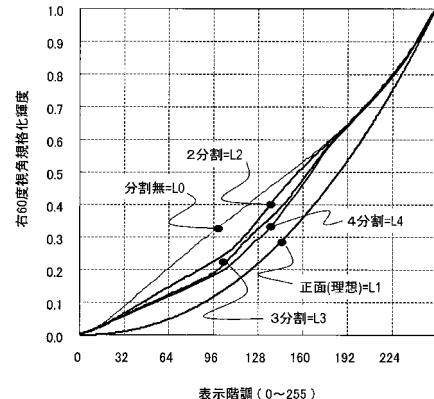
【図41】



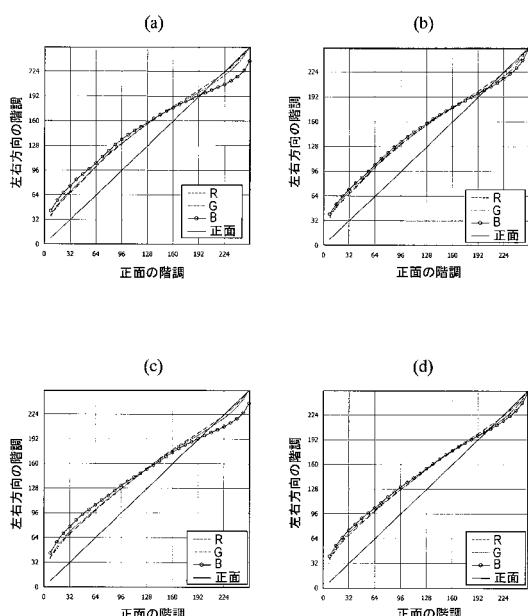
【図42】



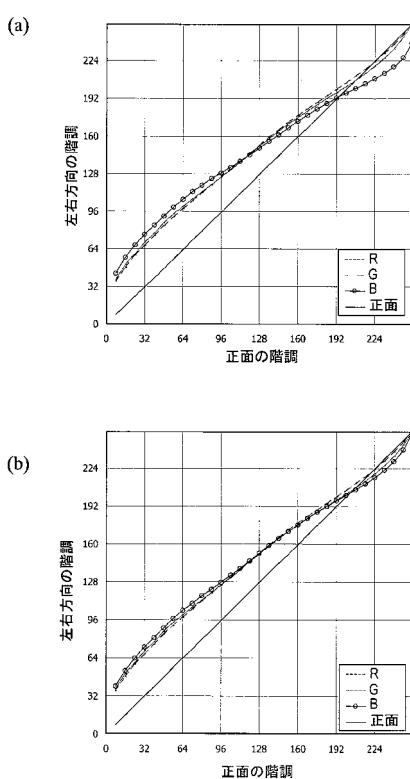
【図43】



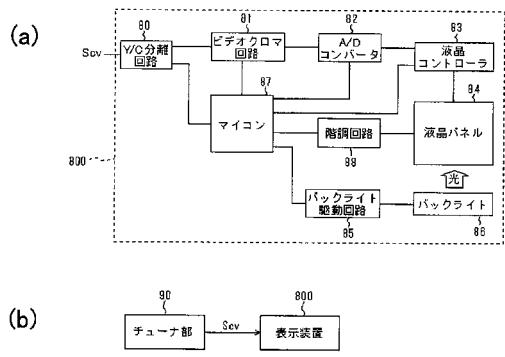
【図44】



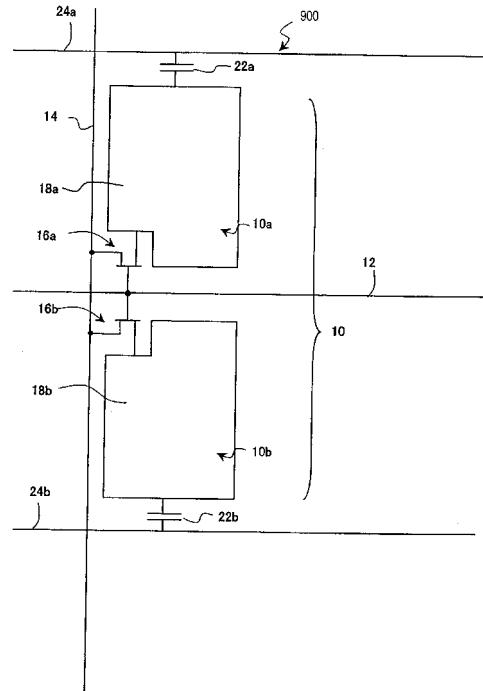
【図45】



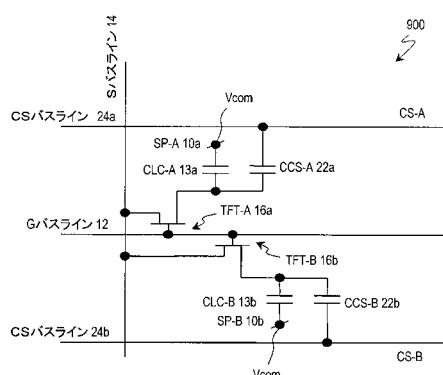
【図46】



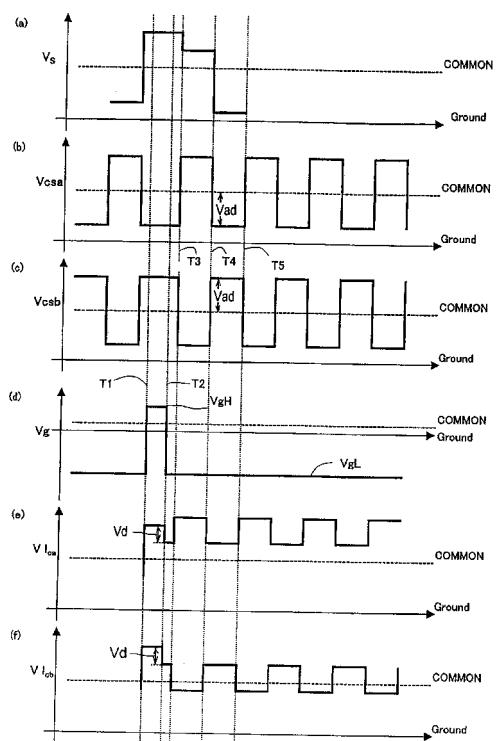
【図47】



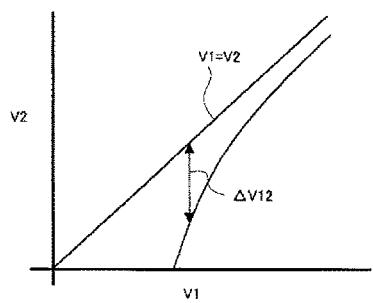
【図48】



【図49】



【図 5 0】



---

フロントページの続き

(51)Int.Cl.	F I				
<b>H 0 4 N</b>	<b>5/66</b>	<b>(2006.01)</b>	G 0 9 G	3/20	6 4 2 K
			G 0 9 G	3/20	6 4 1 P
			G 0 9 G	3/20	6 2 4 B
			G 0 9 G	3/20	6 4 1 G
			G 0 9 G	3/20	6 4 1 K
			G 0 9 G	3/20	6 4 1 C
			G 0 9 G	3/20	6 2 4 C
			H 0 4 N	5/66	1 0 2 B

(72)発明者 下敷領 文一  
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72)発明者 津幡 俊英  
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72)発明者 武内 正典  
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72)発明者 北山 雅江  
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72)発明者 逸見 郁未  
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72)発明者 正楽 明大  
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

審査官 福田 知喜

(56)参考文献 特開2004-062146(JP,A)  
特開2005-292397(JP,A)  
特開2005-189804(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F	1 / 1 3 3
G 0 2 F	1 / 1 3 6 8
G 0 2 F	1 / 1 3 4 3
G 0 9 G	3 / 2 0
G 0 9 G	3 / 3 6