



(12) 发明专利申请

(10) 申请公布号 CN 101809727 A

(43) 申请公布日 2010. 08. 18

(21) 申请号 200880109247. X

代理人 刘建

(22) 申请日 2008. 09. 26

(51) Int. Cl.

(30) 优先权数据

H01L 21/336 (2006. 01)

2007-255092 2007. 09. 28 JP

H01L 29/78 (2006. 01)

(85) PCT申请进入国家阶段日

2010. 03. 29

(86) PCT申请的申请数据

PCT/JP2008/068113 2008. 09. 26

(87) PCT申请的公布数据

W02009/041741 JA 2009. 04. 02

(71) 申请人 三洋电机株式会社

地址 日本国大阪府

申请人 三洋半导体株式会社

(72) 发明人 武田安弘 大竹诚治 菊地修一

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

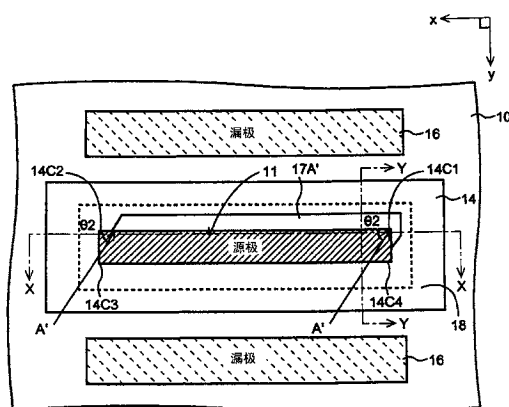
权利要求书 1 页 说明书 5 页 附图 12 页

(54) 发明名称

DMOS 晶体管及其制造方法

(57) 摘要

本发明提供一种 DMOS 晶体管及其制造方法。在本发明的 DMOS 晶体管中,通过斜向离子注入形成主体层时,能够降低漏电流,并且能够提高晶体管截止时的源极漏极间耐压。形成光致抗蚀层 (18) 之后,将光致抗蚀层 (18) 和栅电极 (14) 作为掩模,从 A' 箭头所示的第一方向向栅电极 (14) 的内侧的第一角部 (14C1) 进行第一离子注入。通过该第一离子注入,形成第一主体层 (17A')。第一主体层 (17A') 从第一角部 (14C1) 延伸到栅电极 (14) 的下方而形成,从而能够确保第一角部 (14C1) 的主体层 (17A') 的 P 型杂质浓度比现有例的晶体管高。



1. 一种 DMOS 晶体管的制造方法,所述 DMOS 晶体管具备:半导体基板;第一导电型的源极层,其形成在所述半导体基板的表面上;栅极绝缘膜,其形成在所述半导体基板的表面上;栅电极,其隔着所述栅极绝缘膜包围所述源极层并形成环状;第二导电型的主体层,其与所述源极层重叠,并且延伸到所述栅电极的下方的半导体基板的表面上;和第一导电型的漏极层,其与所述源极层对应地形成在所述半导体基板的表面上;该 DMOS 晶体管的制造方法的特征在于,

形成所述主体层的工序,包括将第二导电型杂质朝所述栅电极的内侧的角部向所述半导体基板的表面进行离子注入的工序。

2. 根据权利要求 1 所述的 DMOS 晶体管的制造方法,其特征在于,

使离子注入方向相对于与所述半导体基板的表面垂直的方向倾斜第一角度且相对于所述栅电极延伸的方向倾斜第二角度来进行所述离子注入,所述第一角度在 20° 以上且 45° 以下,所述第二角度在 15° 以上且 40° 以下或者在 50° 以上且 75° 以下。

3. 根据权利要求 1 或 2 所述的 DMOS 晶体管的制造方法,其特征在于,

所述源极层远离所述栅电极的内侧的角部而形成。

4. 根据权利要求 3 所述的 DMOS 晶体管的制造方法,其特征在于,

所述漏极层形成为使所述漏极层的端部与所述源极层的端部对齐。

5. 一种 DMOS 晶体管,其特征在于,具备:

半导体基板;

第一导电型的源极层,其形成在所述半导体基板的表面上;

栅极绝缘膜,其形成在所述半导体基板的表面上;

栅电极,其隔着所述栅极绝缘膜包围所述源极层并形成环状;

第二导电型的主体层,其与所述源极层重叠,并且延伸到所述栅电极的下方的半导体基板的表面;和

第一导电型的漏极层,其与所述源极层对应地形成在所述半导体基板的表面上;

所述主体层的杂质浓度在所述栅电极的内侧的角部降低,所述源极层远离所述角部而形成。

6. 根据权利要求 5 所述的 DMOS 晶体管,其特征在于,

所述漏极层的端部与远离所述栅电极的角部的所述源极层的端部对齐。

DMOS 晶体管及其制造方法

技术领域

[0001] 本发明涉及一种 DMOS 晶体管及其制造方法。

背景技术

[0002] DMOS 晶体管是双扩散且形成有源极层和成为沟道的主体层的 MOS 场效应型晶体管,作为电源电路或驱动电路等功率半导体元件而使用。

[0003] 近几年,根据电子设备的小型化、低耗电化的要求,期望 DMOS 晶体管的低导通电阻化。因此,使用微细加工技术来缩小晶体管的间距,从而增大每单位面积的晶体管数。另外,通过斜向离子注入技术形成以往通过热扩散形成的主体层,从而缩短晶体管的沟道长度,实现了低导通电阻化。

[0004] 以下,参照图 12 和图 13 说明 N 沟道型横型 DMOS 晶体管的结构与制造方法。图 12 是表示横型 DMOS 晶体管的结构俯视图,图 13 是图 12 的剖视图,图 13(A) 是沿图 12 的 X-X 线的剖视图,图 13(B) 是沿图 12 的 Y-Y 线的剖视图。

[0005] 在 N 型半导体基板 10(例如单晶硅基板)的表面上,形成有 N 型的源极层 11。源极层 11 由 N 型层 11A、比 N 型层 11A 浓度高的 N⁺ 型层 11B 构成。

[0006] 另外,在半导体基板 10 的表面上,与源极层 11 相邻地形成有栅极绝缘膜 12 和与栅极绝缘膜 12 连接的电场缓和用绝缘膜 13(LOCOS 膜),从该栅极绝缘膜 12 到电场缓和用绝缘膜 13 的一部分上形成有栅电极 14(例如由多晶硅膜构成)。该栅电极 14 形成环状地包围源极层 11,源极层 11 从环状的栅电极 14 的四边形的开口部分露出。另外,栅电极 14 的侧壁上形成有隔离膜 15(例如由氧化硅膜构成),使用该隔离膜 15 形成源极层 11 的高浓度 N⁺ 型层 11B。

[0007] 另外,半导体基板 10 的表面上形成有 N⁺ 型漏极层 16。漏极层 16 被配置成在其间夹着电场缓和用绝缘膜 13 且与源极层 11 相隔开。

[0008] 而且,形成有部分与源极层 11 重叠并且延伸到栅电极 14 的下方的半导体基板 10 的表面上 P 型的主体层 17。当施加到栅电极 14 上的电压为阈值电压以上时,该主体层 17 的表面反转为 N 型,形成源极层 11 与漏极层 16 之间的导电沟道。

[0009] 以下,说明主体层 17 的形成方法。形成光致抗蚀层 18,该光致抗蚀层 18 在栅电极 14 上具有端部,并覆盖电场缓和用绝缘膜 13 和漏极层 16。

[0010] 源极层 11 和与源极层 11 相邻的栅电极 14 的端部从光致抗蚀层 18 露出。而且,从图 12 的 A、B、C、D 箭头表示的四个方向进行 P 型杂质的斜向离子注入。即,将栅电极 14 和光致抗蚀层 18 作为掩模,从比垂直方向倾斜的方向向半导体基板 10 的表面入射离子束。

[0011] 由于通过这样的斜向离子注入,能够在栅电极 14 的下面的狭窄的区域中形成主体层 17,因此能够缩短晶体管的沟道长度,并且能够实现低导通电阻化。

[0012] 另外,例如,日本专利公开公报平 10-233508 号、2004-039773 号中记载了 DMOS 晶体管。

[0013] 进行上述的斜向离子注入时,由于栅电极 14 与光致抗蚀层 18 的遮蔽效应,很难向

栅电极 14 的内侧的角部注入离子,所以在该部分会引起主体层 17 的杂质浓度的降低。使用微细化技术形成 DMOS 晶体管时,提高栅电极 14 和光致抗蚀层 18 的高宽比时,该现象更显著。

[0014] 结果,在栅电极 14 的内侧的角部,会引起主体层 17 的杂质浓度局部降低而导致阈值电压的降低,存在该部分中源极层 11 与漏极层 16 之间的漏电流的增加、晶体管截止时的源极漏极间耐压的降低等问题。

发明内容

[0015] 本发明的 DMOS 晶体管的制造方法鉴于上述问题而实现,在 DMOS 晶体管的制造方法中,DMOS 晶体管具备:半导体基板;第一导电型的源极层,其形成在所述半导体基板的表面上;栅极绝缘膜,其形成在所述半导体基板的表面上;栅电极,其隔着所述栅极绝缘膜包围所述源极层并形成环状;第二导电型的主体层,其与所述源极层重叠,并且延伸到所述栅电极的下方的半导体基板的表面上;和第一导电型的漏极层,其与所述源极层对应地形成在所述半导体基板的表面上;该 DMOS 晶体管制造方法的特征在于,形成所述主体层的工序,包括将第二导电型杂质朝所述栅电极的内侧的角部向所述半导体基板的表面进行离子注入的工序。

[0016] 根据该 DMOS 晶体管的制造方法,由于形成所述主体层的工序包括将第二导电型杂质朝所述栅电极的内侧的角部向所述半导体基板的表面进行离子注入的工序,因此在所述角部,能够抑制所述主体层的杂质浓度局部降低。由此,能够降低漏电流,并且能够提高晶体管截止时的源极漏极间耐压。

[0017] 另外,本发明的 DMOS 晶体管的特征在于,具备:半导体基板;第一导电型的源极层,其形成在所述半导体基板的表面上;栅极绝缘膜,其形成在所述半导体基板的表面上;栅电极,其隔着所述栅极绝缘膜包围所述源极层并形成环状;第二导电型的主体层,其与所述源极层重叠,并且延伸到所述栅电极的下方的半导体基板的表面;和第一导电型的漏极层,其与所述源极层对应地形成在所述半导体基板的表面上;所述主体层的杂质浓度在所述栅电极的内侧的角部降低,所述源极层远离所述角部而形成。

[0018] 根据该 DMOS 晶体管,由于所述主体层的杂质浓度在所述栅电极的内侧的角部降低,并且所述源极层远离所述角部而形成,因此在所述角部,能够抑制所述主体层的杂质浓度局部降低,并且能够抑制阈值电压低的寄生晶体管的动作。由此,能够降低漏电流,并且能够提高晶体管截止时的源极漏极间耐压。另外,在图 12 中,用虚线箭头表示了角部的寄生晶体管引起的漏电流。

[0019] 根据本发明的 DMOS 晶体管及其制造方法,在通过斜向离子注入形成主体层时,能够降低源极层与漏极层间的漏电流,并且能够提高晶体管截止时的源极漏极间耐压。

附图说明

[0020] 图 1 是说明本发明的第 1 实施方式的 DMOS 晶体管及其制造方法的俯视图。

[0021] 图 2 是图 1 的 DMOS 晶体管的剖视图。

[0022] 图 3 是表示斜向离子注入的方向的图。

[0023] 图 4 是说明本发明的第 1 实施方式的 DMOS 晶体管及其制造方法的俯视图。

- [0024] 图 5 是图 3 的 DMOS 晶体管的剖视图。
- [0025] 图 6 是示意表示本发明的第 1 实施方式的 DMOS 晶体管截止时的能带状态的图。
- [0026] 图 7 是说明本发明的第 1 实施方式的 DMOS 晶体管及其制造方法的俯视图。
- [0027] 图 8 是说明本发明的第 1 实施方式的 DMOS 晶体管及其制造方法的俯视图。
- [0028] 图 9 是说明本发明的第 2 实施方式的 DMOS 晶体管及其制造方法的俯视图。
- [0029] 图 10 是图 9 的 DMOS 晶体管的剖视图。
- [0030] 图 11 是示意表示形成在第 2 实施方式的 DMOS 晶体管的角部中的寄生晶体管截止时的能带状态的图。
- [0031] 图 12 是说明现有例的 DMOS 晶体管及其制造方法的俯视图。
- [0032] 图 13 是图 12 的 DMOS 晶体管的剖视图。

具体实施方式

[第 1 实施方式]

[0034] 以下,说明第 1 实施方式的横型 DMOS 晶体管(以下称作 DMOS 晶体管)及其制造方法。图 1 是表示 DMOS 晶体管的结构俯视图,图 2 是图 1 的剖视图,图 2(A) 是沿图 1 的 X-X 线的剖视图,图 2(B) 是沿图 1 的 Y-Y 线的剖视图。另外,对图 1 和图 2 的相同构成部分附加相同的符号,省略其说明。

[0035] 本发明的 DMOS 晶体管的制造方法的特征在于形成主体层 17 的工序,其中,向栅电极的内侧的角部进行离子注入。即,如图 1、图 2 所示,形成光致抗蚀层 18 之后,将光致抗蚀层 18 和栅电极 14 作为掩模,从 A' 箭头表示的第一方向向栅电极 14 的内侧的第一角部 14C1 进行 P 型杂质(例如硼或 BF₂)的第一离子注入。通过该第一离子注入,形成 P 型的第一主体层 17A'。第一主体层 17A' 形成为与源极层 11 部分重叠,并从第一角部 14C1 延伸到栅电极 14 的下方,能够确保第一角部 14C1 的主体层 17A' 的 P 型杂质浓度比现有例的晶体管高。

[0036] 使离子注入方向相对于与半导体基板 10 的表面(主面)垂直的方向(图 3 的 z 方向)倾斜第一角度 θ_1 、相对于栅电极 14 延伸的纵长方向(图中的 x 方向)倾斜第二角度 θ_2 ,来进行该第一离子注入(参照图 1、图 2、图 3)。

[0037] 从抑制沟道效应方面考虑,优选第一角度 θ_1 在 20° 以上且 45° 以下($20^\circ \leq \theta_1 \leq 45^\circ$),第二角度 θ_2 在 15° 以上且 40° 以下($15^\circ \leq \theta_2 \leq 40^\circ$)或者在 50° 以上且 75° 以下($50^\circ \leq \theta_2 \leq 75^\circ$)。从抑制沟道效应方面考虑,更优选栅电极 14 的纵长方向(x 方向)或宽度方向(与 x 方向垂直的 y 方向)与在(110)面上具有定位边(orientation flat)的半导体基板 10(单晶硅薄片)的 $\langle 110 \rangle$ 方向一致。

[0038] 另外,第一离子注入的剂量、加速能量可考虑晶体管的阈值等特性而决定,典型的情况(离子种类使用硼,栅极绝缘膜 12 的膜厚为 7nm,阈值为 1.0V)下,剂量是 $4 \times 10^{12} \sim 5 \times 10^{12}/\text{cm}^2$,加速能量是 70keV。

[0039] 另一方面,在该第一离子注入中,由于光致抗蚀层 18 和栅电极 14 的遮蔽效应,与第一角部 14C1 相邻的第二角部 14C2、相反侧的第三角部 14C3、以及第四角部 14C4 中不会被注入离子。因此,进行接下来的第二离子注入。即,如图 4 和图 5 所示,在旋转半导体基板 10(晶片)之后,以与第一离子注入相同的条件进行第二离子注入。另外,图 4 是表示 DMOS

晶体管的结构的俯视图,图 5 是图 4 的剖视图,图 5(A) 是沿图 4 的 X-X 线的剖视图,图 5(B) 是沿图 4 的 Y-Y 线的剖视图。

[0040] 从 B' 的箭头表示的第二方向向栅电极 14 的内侧的第二角部 14C2 进行第二离子注入。通过该第二离子注入,形成第 2 主体层 17B'。第 2 主体层 17B' 从第二角部 14C2 延伸到栅电极 14 的下方而形成,从而能够确保第二角部 14C2 的第二主体层 17B' 的 P 型杂质浓度比现有例的晶体管高。此时的离子注入的第一角度 θ_1 与第二角度 θ_2 优选与第一离子注入相等的角度。

[0041] 同样,如图 7 所示,从 C' 的箭头表示的第三方向向第三角部 14C3 进行第三离子注入,形成第三主体层 17C'。另外,同样如图 8 所示,从 D' 的箭头表示的第四方向向第四角部 14C4 进行第四离子注入,形成第四主体层 17D'。这样,向栅电极 14 的内侧的四个角部进行四次离子注入,由第一~第四主体层 17A' ~ 17D' 构成主体层 17。由此,能够确保四个角部的主体层 17 的杂质浓度比现有例的晶体管高,因此能够降低源极层 11 与漏极层 16 间的漏电流,并且能够提高晶体管截止时的源极漏极间耐压。

[0042] 另外,虽然省略了图示,但是形成主体层 17 之后,去除光致抗蚀层 18,之后在整个面上形成层间绝缘膜。而且,在源极层 11、栅电极 14、漏极层 16 上的层间绝缘膜上分别形成接触孔,经过各自的接触孔形成与源极层 11、栅电极 14、漏极层 16 接触的布线。

[0043] [第 2 实施方式]

[0044] 在如上所述的第 1 实施方式中,虽然能够使栅电极 14 的内侧的角部的主体层 17 的杂质浓度比现有例高,但是存在以下的问题。对此,参照图 6 进行说明。图 6 是示意表示 DMOS 晶体管截止时的能带状态的图。用实线表示仅通过一次离子注入形成主体层 17 的角部的寄生晶体管的能带状态,用虚线表示通过两次离子注入形成主体层 17 的正常部的晶体管。设每次离子注入的剂量相同,则角部的主体层 17 的杂质浓度是正常部的 1/2。其结果,与正常部的晶体管相比,角部的寄生晶体管其阈值电压低。将栅极绝缘膜 12 的膜厚设为 7nm 时,用于避免角部中的漏电流而必须的主体层 17 的杂质浓度在角部中是 10 的 17 次方的后半 /cm⁻³,在正常部中是 10 的 18 次方量级 /cm⁻³ 左右。由于此时的正常部的阈值电压超过 1V,因此低阈值电压化是有限的。

[0045] 因此,在本实施方式中,如图 9 和图 10 所示,源极层 11 远离因斜向离子注入而引起主体层 17 的杂质浓度的降低的第一~第四角部 14C1 ~ 14C4 而形成。即,源极层 11 远离第一~第四角部 14C1 ~ 14C4,后退到由栅电极 14 包围的区域的内侧。

[0046] 另外,图 9 是表示 DMOS 晶体管的结构俯视图,图 10 是图 9 的剖视图,图 10(A) 是沿图 9 的 X-X 线的剖视图,图 10(A) 是沿图 9 的 Y-Y 线的剖视图。另外,图 9 和图 10 只表示了对应于向第一角部 14C1 的第一离子注入的构成。第一离子注入之后,与第 1 实施方式同样还进行第二~第四离子注入。

[0047] 源极层 11 与第一~第四角部 14C1 ~ 14C4 之间的相隔距离,根据栅电极 14、光致抗蚀膜 18 的厚度、它们的高宽比而不同,典型情况下优选为 1 ~ 2 μm 。

[0048] 图 11 示意表示在第 2 实施方式中形成在 DMOS 晶体管的角部中的寄生晶体管截止时的能带状态。如图 11 所示,由于与源极层 11 相邻的主体层 17 的杂质浓度与正常部相同,因此主体层 17 相对于源极层 11 的能量势垒与正常部相同。另外,由于栅电极 14 不在包括该区域的主体层 17 的源极层 11 的上部,因此在该区域中不会形成反转层。其结果,能够完

全抑制角部的寄生晶体管的动作。因此,当栅极绝缘膜 12 的膜厚为 7nm 时,能够将正常部的杂质浓度降低到 10^{17} 次方量级 $//\text{cm}^{-3}$ 。由此,能够将 DMOS 晶体管的阈值电压设定在 1V 以下,从而能够进一步实现低阈值电压化、低导通电阻化。

[0049] 另外,如图 9 所示,在上述构成中,优选与源极层 11 对应地形成的漏极层 16 的端部和离开栅电极 16 的角部的源极层 11 的端部对齐。俯视下,源极层 11 与漏极层 16 是四边形。由此,由于源极层 11 与漏极层 16 的宽度相同,因此能够防止晶体管导通时流动的源极漏极间电流集中在栅电极 16 的角部,并且能够提高针对电流集中所引起的晶体管的破坏(例如静电破坏)的强度和针对热载流子的可靠性等。

[0050] 另外,本发明并不仅限于上述实施方式,显然,在不超出本发明的宗旨的范围内能够进行变更。例如,在第 1 和第 2 实施方式中,形成源极层 11 之后进行了用于形成主体层 17 的斜向离子注入,但是也可以在形成栅电极 14 后形成源极层 11 之前进行。

[0051] 另外,在第 1 和第 2 实施方式中,N 沟道型 DMOS 晶体管形成在 N 半导体基板 10 的表面上,但是也可以在 P 型半导体基板上形成 N 型外延半导体层,将 N 沟道型 DMOS 晶体管形成在该外延半导体层的表面上。

[0052] 另外,在第 1 和第 2 实施方式中,说明了 N 沟道型 DMOS 晶体管,但是通过将源极层 11、漏极层 16、主体层 17 的导电型变更为相反导电型,还能将本发明应用于 P 沟道型 DMOS 晶体管。

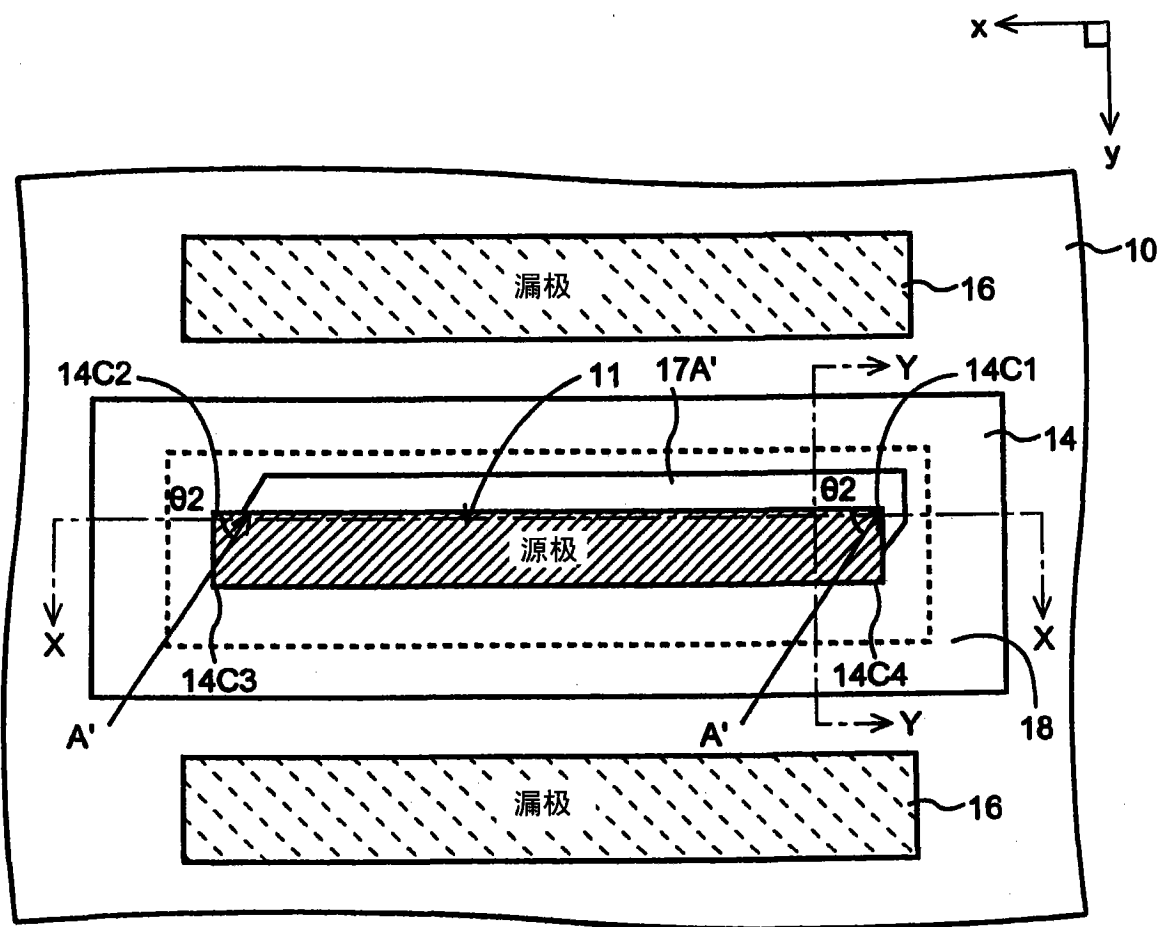


图 1

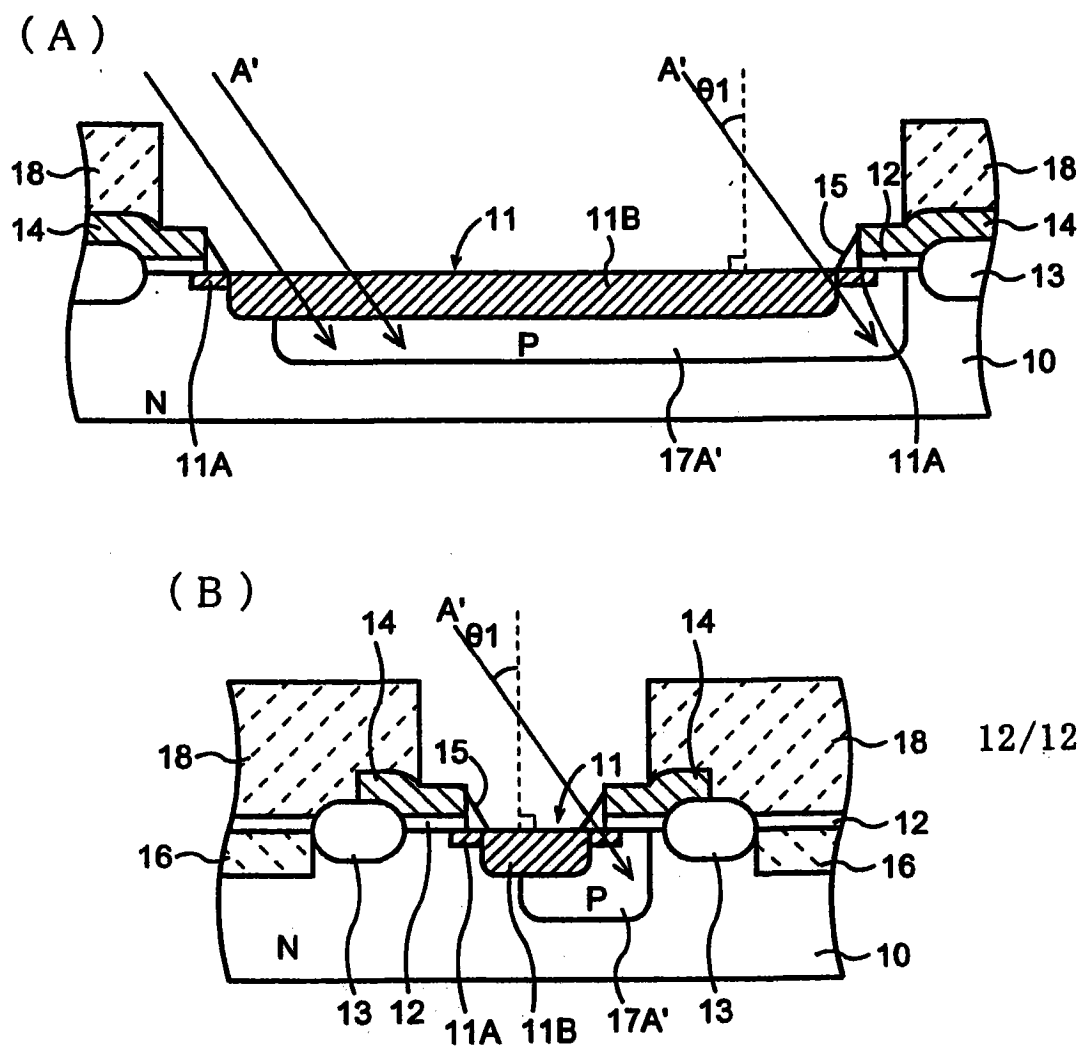


图 2

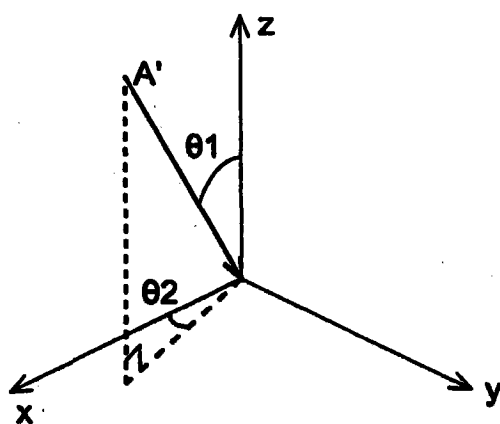


图 3

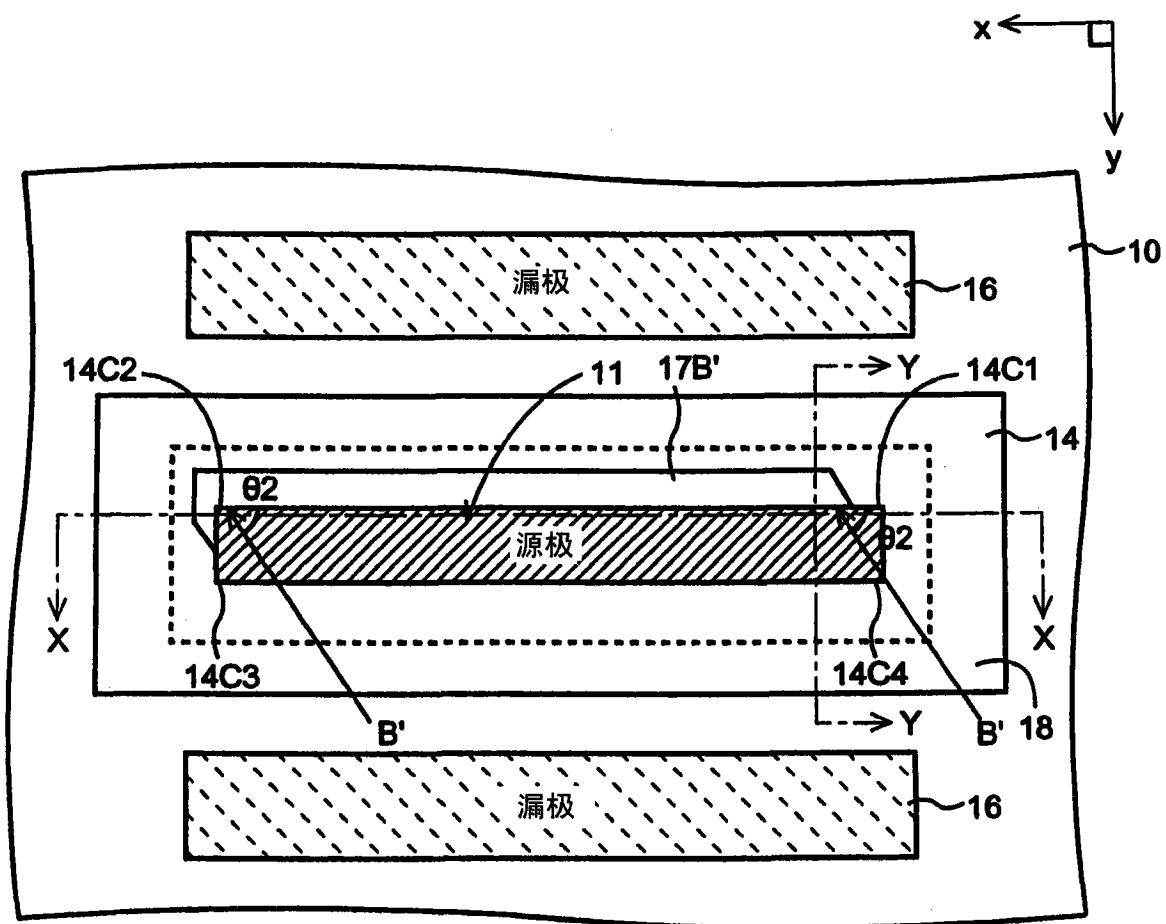


图 4

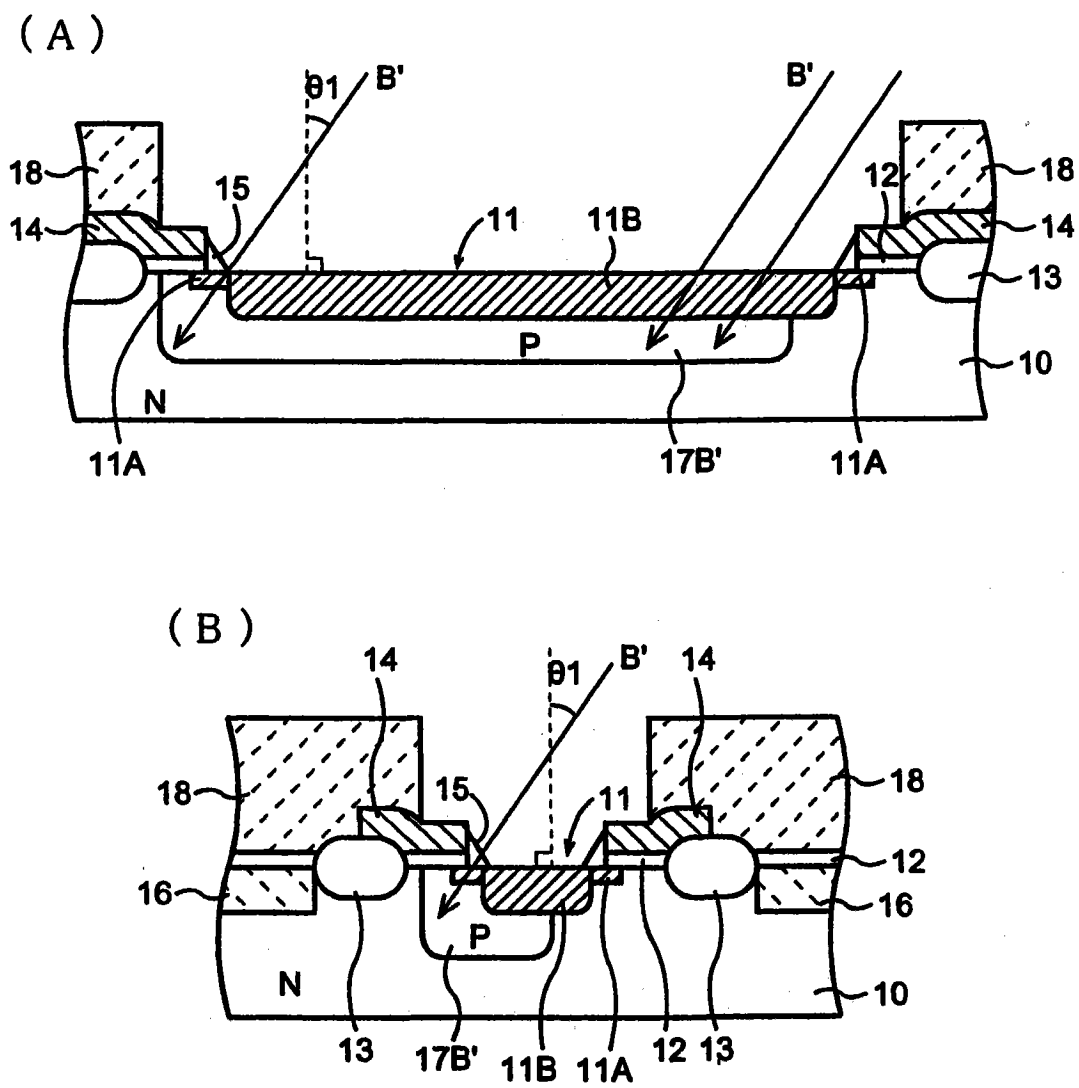


图 5

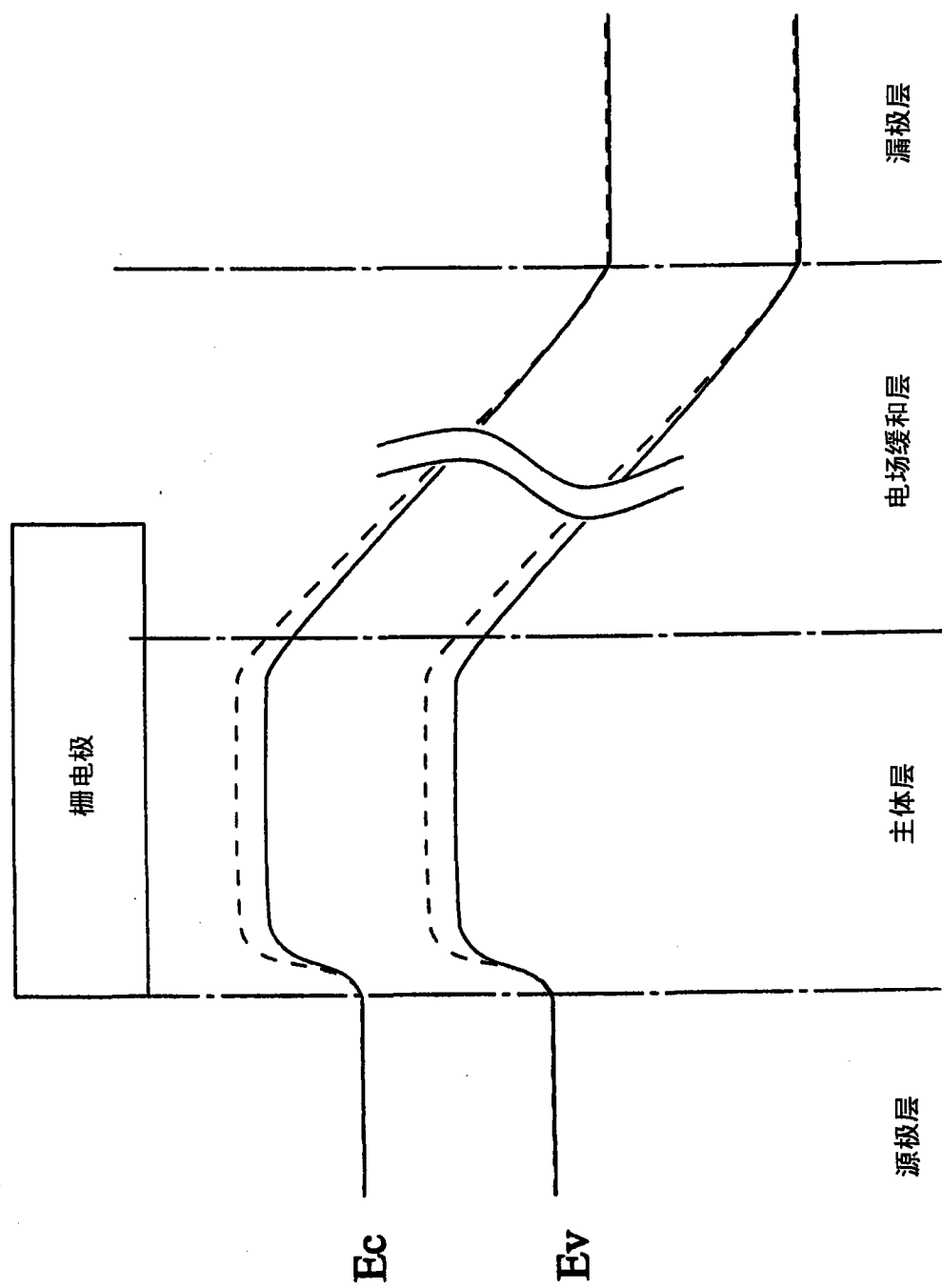


图 6

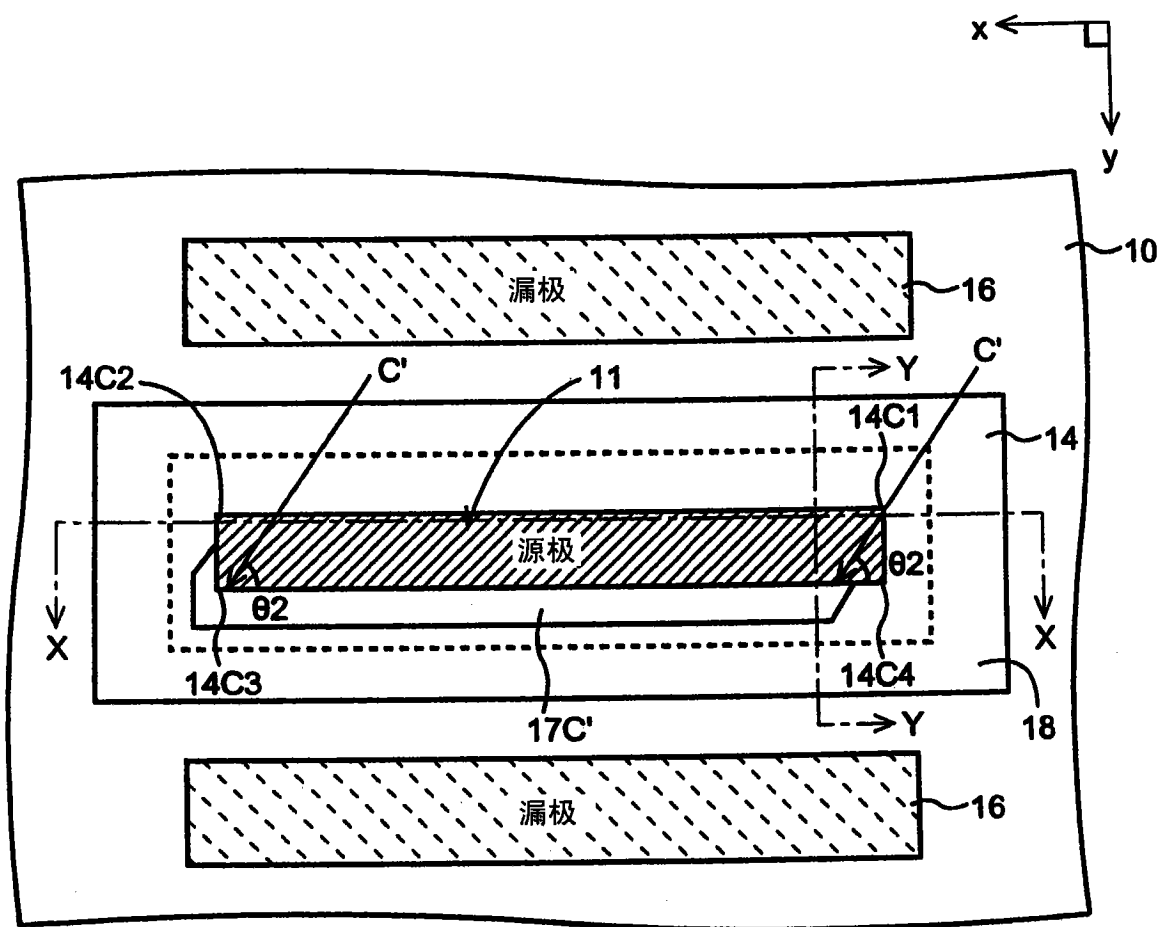


图 7

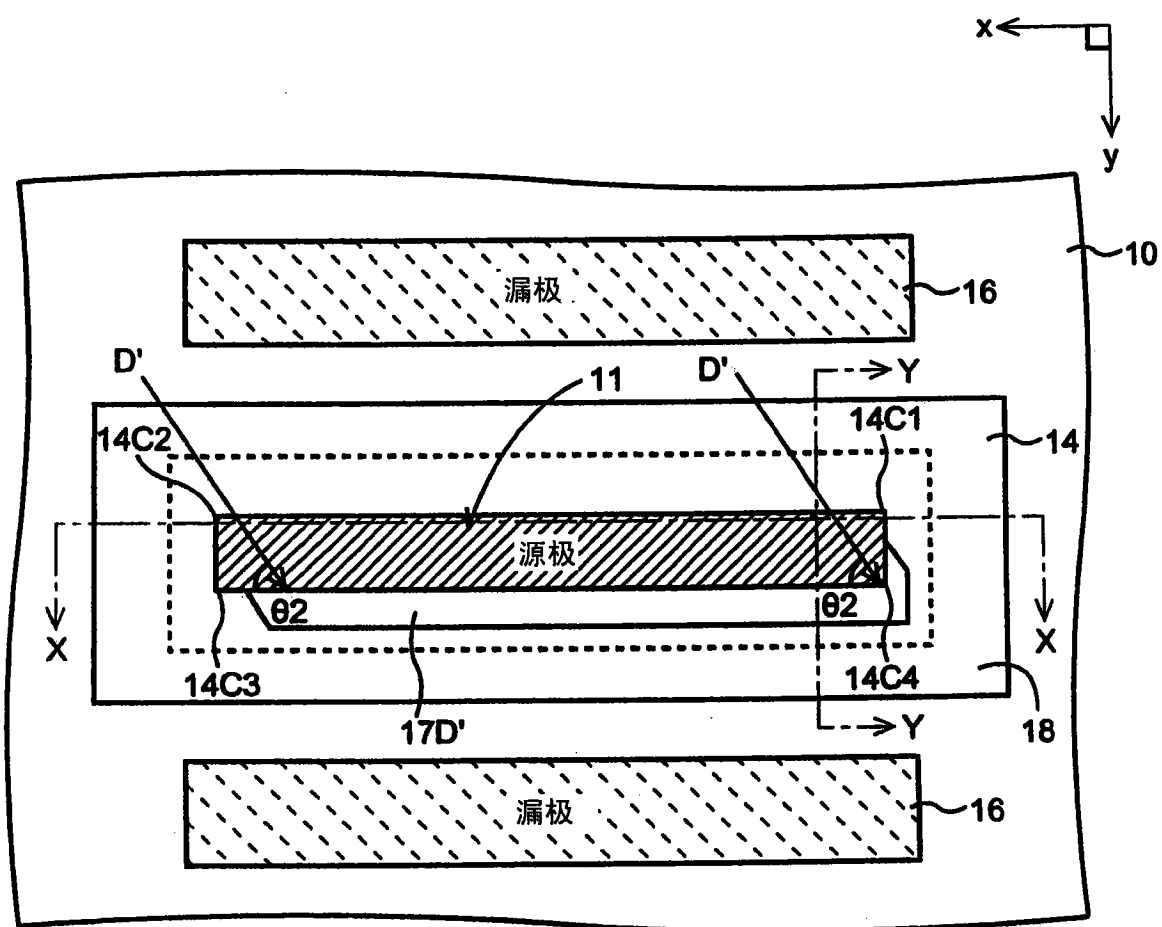


图 8

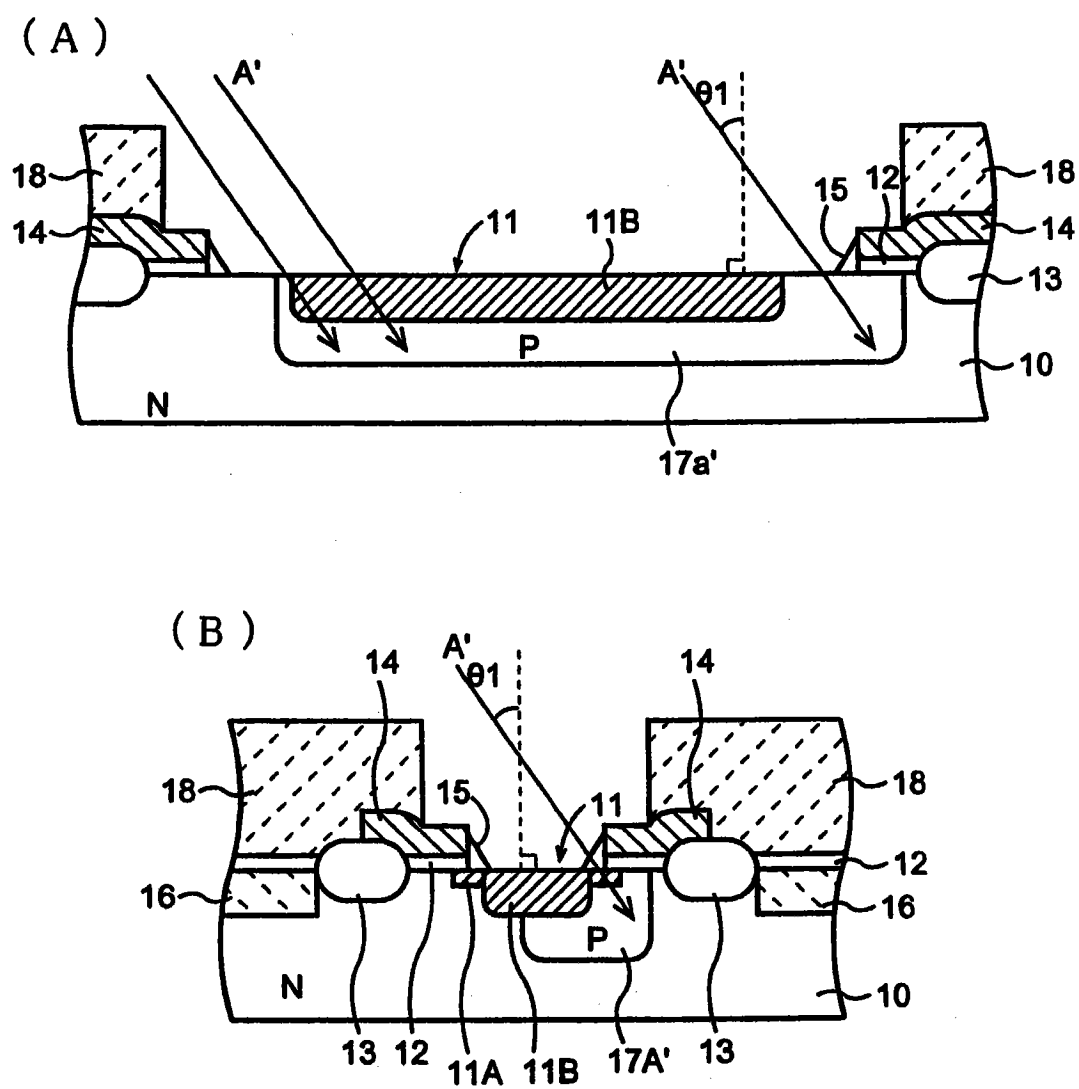


图 10

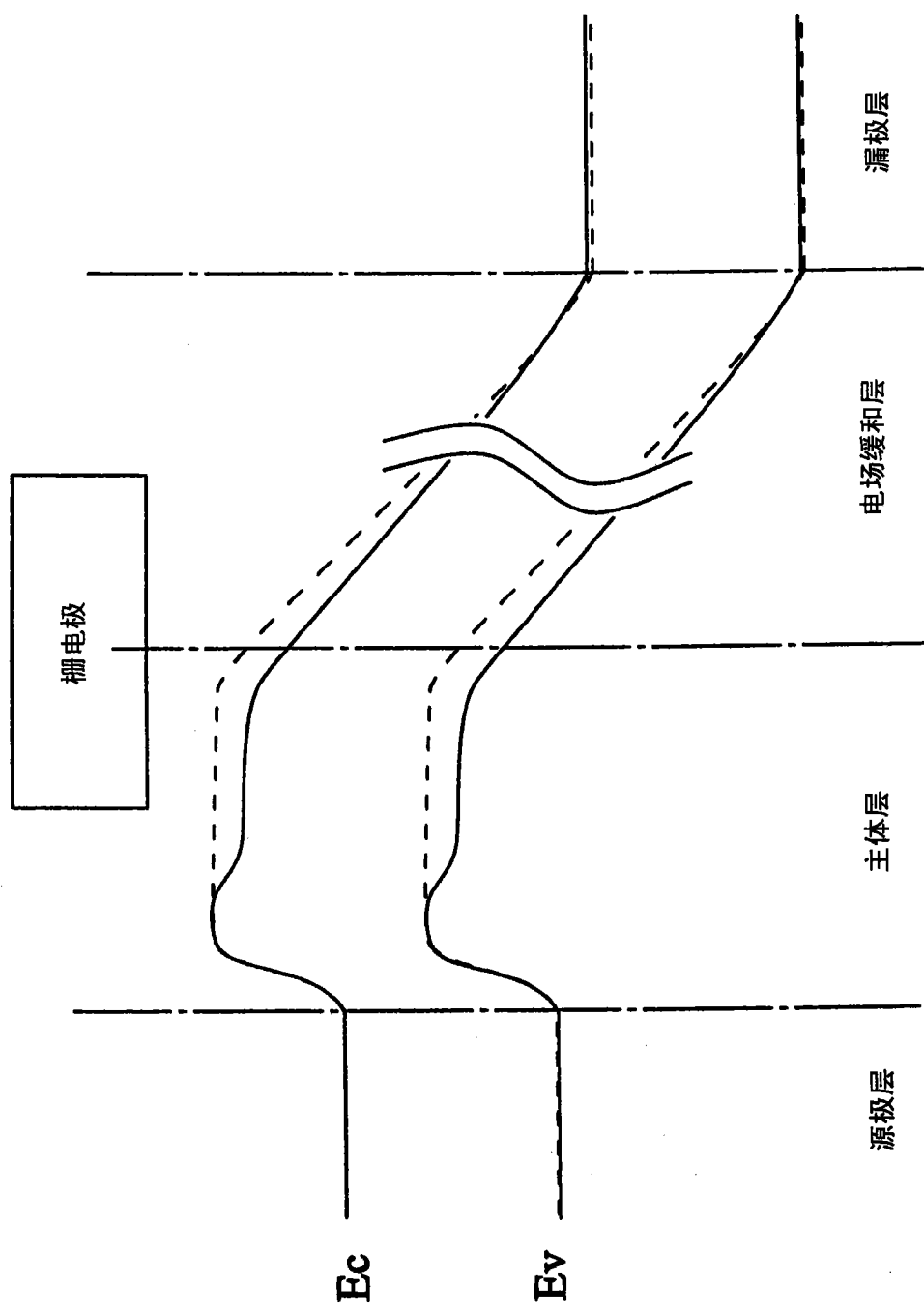


图 11

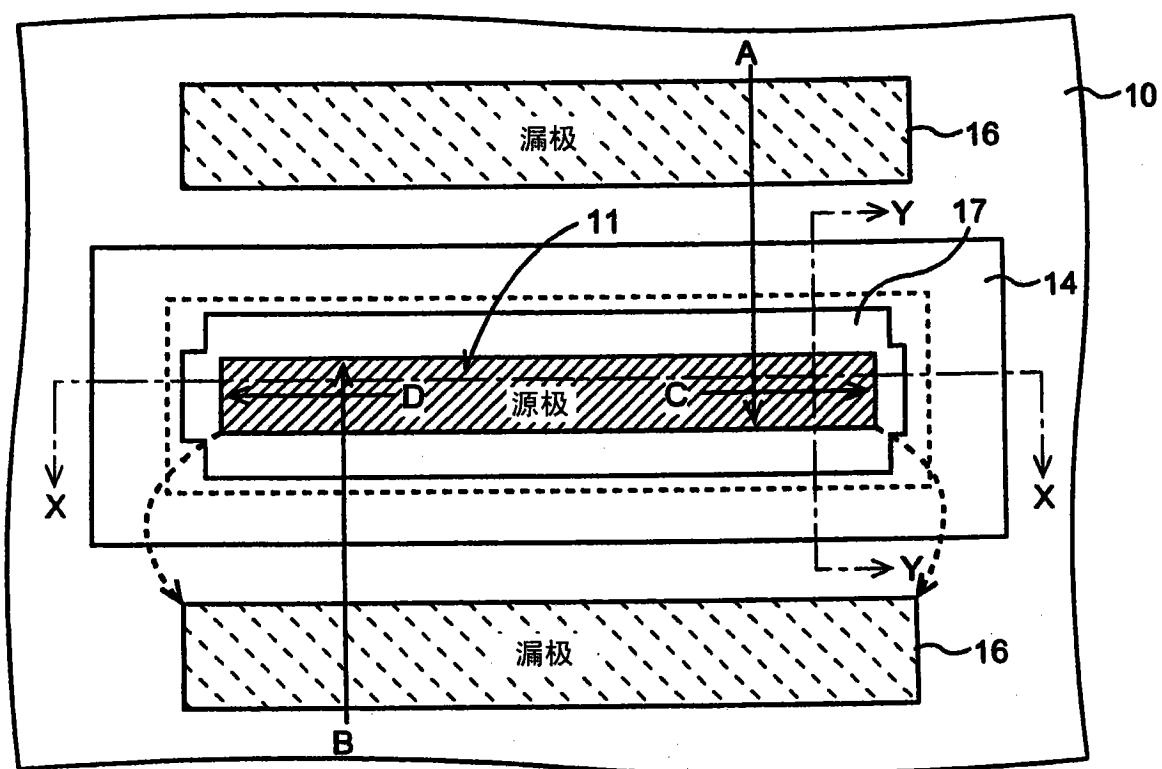


图 12

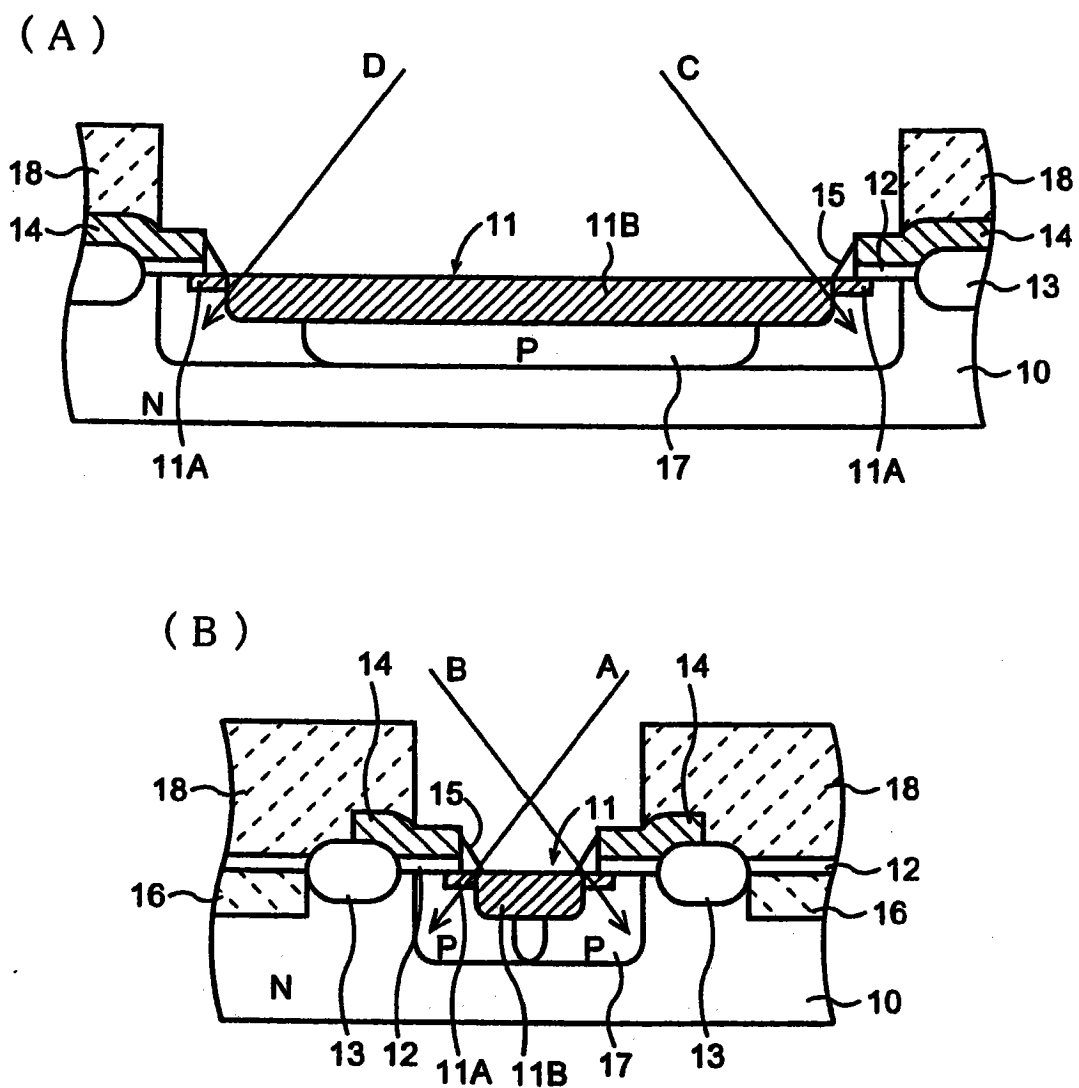


图 13