

公告本

293908

申請日期	84 年 12 月 1 日
案 號	84112836
類 別	G11C 14/00

A4
C4

293908

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體記憶體
	英 文	
二、發明 人	姓 名	(1) 竹內幹 (2) 松野勝己 (3) 梶谷一彦
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國東京都小平市上水本町五-一六-三- 一
	住、居所	(2) 日本國東京都国分寺市東恋ヶ窪三-一-三 日立第二協心寮 (3) 日本國埼玉縣入間市下谷ヶ貫九〇五-六
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
	代 表 人 姓 名	(1) 金井務

293908

申請日期	84 年 12 月 1 日
案 號	84112836
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 新型名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 永島靖 (5) 長谷川雅俊
	國 籍	(4) 日本 (5) 日本 (4) 日本國東京都羽村市小作台四-七-五 ヴェルドミール羽村二〇五
	住、居所	(5) 日本國東京都青梅市野上六五七-五若草寮二 〇七
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 1994 年 12 月 20 日 06-316295 ☒無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

〔產業上之利用領域〕

本發明係有關使用強介電質電容器之非揮發性記憶體，尤其有關資訊之讀出及重寫之任何情況時，也不會發生強電介質電容器疲勞之高可靠性非揮發性記憶體。

〔習知技術〕

使用強電介質之記憶體，電鐵性隨機存取記憶體(F E R A M)，係在強電介質之極化方向進行記憶之非揮發性記憶體。但是，習知之強電介質記憶體，係寫入資訊時為當然，在讀出資訊時極化也會反相，而因該時強電介質膜會疲勞，所以，資訊之重寫及讀出時之容許次數，為例如，較動態隨意存取記憶體，會有明顯地受到限制之問題。又，因極化反相需要一定之時間，其分量其動作會有變慢之問題。

做為解決分極反相引起之強電介質膜之劣化，及讀出速度降低之問題之方法，在日本特開平3-283176號公報，提案有下列方法。亦即，如圖15之陣列構成所示，在通常之動作時將板線例如成為V c c而做為D R A M使用，而在電源關斷之前以F E R A M寫入動作做為非揮發資訊儲存。若將板線成為V c c時，對於儲存部之電位O或V c c任何情形時，資訊都不會反相，所以，可以避免強電介質電容器之劣化問題，而讀出速度也不會降低。接著，將電源O N時，由於F E R A M動作讀出非揮發性資訊時，實效上可做為非揮發性記憶體發生功能

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

〔發明所欲解決之問題〕

然而，在上述 D R A M，F E R A M 兩用方式時，從揮發資訊成為非揮發性資訊之變換動作有複雜之問題存在。亦即，對於所有記憶分格 (memory cell)，首先，以 D R A M 動作讀出資訊之後，對應於其資訊必須以 F E R A M 動作做為非揮發性資訊儲存。尤其，由於意外之事故，電源變成關斷時，欲將以上之動作迅速地結束變換動作為非常困難之事。於上述方式，做為 D R A M 使用之期間中，強電介質之極化都整齊於 1 個方向，所以，隨著意外之電源關斷時，所有記憶資訊將全部消失。

本發明之目的，係改善此項問題，沒有通常動作中之極化反相引起之強電介質電容器之劣化，且，即使為意外之電源關掉時，最新之資訊可做為非揮發性資訊受到保持之高積體，高可靠性之非發揮記憶體 (強電介質記憶體)。

〔解決問題之手段〕

由串聯連接之 2 個電容器，與將其連接點做為源極或漏極領域一方之 M O S 電晶體，來構成記憶分格 (圖 1)。
該 2 個電容器之中，將至少 1 個使用強介電質電容器。
2 個電容器之板電極為分別固定為電位 V_{cc} 及 $0V$ ，至少電位 V_{cc} 側為連接於強電介質電容器之板電極。通常

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

動作中係將上述連接點做為儲存結節之 D R A M 動作。電源 O N 時則將 V c c 側之板從 O V 升壓到 V c c 時所產生之上述連接點之電位變動量，來檢測在電源 O N 前做為強電介質電容器之極化方向所保持之資訊。電源 O F F 時，則將 V c c 側之板拉下到 O V，將做為儲存電位之揮發資訊，變換為極化方向之非揮發資訊。

〔作用〕

在通常動作中，將成為兼有 V c c 板之電容器與 O V 電容器之 D R A M 發生作用。因此，即使做為電容器而使用強介電質電容器，對於儲存電位 O V 或 V c c，強電介質膜之極化方向也不反相，而沒有強電介質之劣化。若欲將電源 O F F 時，只對於記憶體陣列將共同之 V c c 側之板拉下到 O V 而已，可一併地進行從揮發資訊變換為非揮發資訊之動作。因此，即使對於意外之電源關斷，也以高可靠性地進行變換動作。並且，不必將板做為板線加以分割，所以，可實現高積體之非揮發性記憶體。亦即，若依據本發明，就可獲得高積體，高可靠性之非揮發性記憶體。

〔實施例〕

圖 1 係表示強電介質記憶體之分格陣列構成之本發明之一例。記憶分格，例如 M C 1，1 係由 2 個電容器 C P 1，1 及 C F 1，1，換接場效電晶體 S W 1，1 所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

構成。於圖1，CP1，1係常電介質做為絕緣膜之電容器，CF1，1為以強電介質做為絕緣膜之強電介質電容器。常電介質電容器CP1，1之板PL0，係與其他之記憶分格之常電介質電容器之板做為共用接地。由以上之記憶分格所構成之陣列構成，係與為人所知曉之動態隨意存取記憶體(DRAM)者相同。亦即，記憶分格例如MC1，1，係位元線對例如連接於DL1，DB1之一方，開關例如SW1，1之控制，係由與位元線直交之字線例如由WL1進行。位元線對DL1，DB1，係等待時例如由預充電電路例如由PCC1預充電為HVD之電位。在讀出動作時則由讀出放大器例如由SA1來檢測，放大流出於DL1，DB1之記憶分格之記憶資訊。此被放大之記憶資訊係由Y選擇線例如由YS1而再輸出於IO線。寫入動作，係與讀出動作相反之路徑進行。

圖2係於圖1之分格陣列，表示在電源ON時從非揮發資訊之變換動作之動作波形。若對於本發明之強電介質記憶體供給電源電壓時，則除了板之記憶體內部之電源線，控制線就設定於所定之電位。接著，開始使用本發明之強電介質記憶體，而讀出非揮發資訊時，就輸入重叫開始指令。開始指令係將檢測電源電壓達到一定值以上而發生於記憶體內部也可以，而從外部給與也可以。接受開始指令，板線PL1係字線皆位於低位準之狀態下，例如升壓到高位準例如電源電位Vcc。此結果，經由記憶體MCj，i(j，i=1，2，……)之強電介質電容器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

，而從儲存部 $S T j, i$ 之電位從 $V_{ss} (0V)$ 升壓。此時之升壓量係，以電源 OFF 前做為非揮發資訊所保持之強電介質電容器之極化方向而異。亦即，強電介質電容器之極化方向，若是將 $PL1$ 對於 $S T j, i$ 施加高電壓時之方向時，不會發生由於板線 $PL1$ 升壓而引起極化之反相。另一方面，強電介質電容器之極化方向，若是將 $PL1$ 對於 $S T j, i$ 施加低電壓時之方向時，由於板線 $PL1$ 升壓而發生極化之反相。若極化相反時，因強電介質電容器之實效電容會變大，所以， $S T j, i$ 之升壓量會變更大。像這樣，對於所有記憶分格，在 $PL1$ 升壓後之 $S T j, i$ ，就依據非揮發資訊保持 2 值之任一電位。接著，與 $DRAM$ 之讀出動作同樣地，檢測上述 $S T j, i$ 之電位，而若放大為 V_{ss} 或 V_{cc} 時，就結束從非揮發資訊變換為揮發資訊之動作。為此，首先將控制線 PC 變成低位準，而位元線對 $DLi, DBi (i = 1, 2, \dots)$ 將成為浮動狀態。接著，將字線 $WL1$ 變成高位準例如 V_{ch} 之位準時，位元線 DLi 之電位就依 STi, i 之電位而發生變化。若設計成相補位元線 DBi 之電位，對應於 $ST1, i$ 之上述 2 值電位而變成位於 DLi 所發生之電位中間時，就藉使各位元線對之讀出放大器啟動，即可檢測出 $ST1, i$ 之電位究竟位於上述 2 值之那一個。讀出放大器之動作，係將讀出放大器控制線， PP 及 PN ，分別設定於 V_{cc} 及 V_{ss} 進行。為了令 DBi 產生所需之參照電位，只要具有由適當電容量的常電介質電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

容器與換接電晶體所成之仿真分格即可。或者如圖 2 所示，將強電介質電容器之實效電容量，與常電介質電容器之電容量做適當之設計在 P L 1 升壓時，使極化會反相時之 S T 1，i 電位變成 $V_{cc} / 2$ 以上，而極化不會相反時之 S T 1，i 電位變成 $V_{cc} / 2$ 以下，而使在 D B i 發生 $V_{cc} / 2$ 之電位即可。對於 S T j，i 之電位之 V_{cc} 或 V_{ss} 之上述放大動作，藉由依序選擇 W L j 而對於所有之記憶分格進行的話，就可結束從非揮發資訊變換為揮發資訊之動作。

圖 3 係表示將圖 3 所示之記憶體陣列做為 D R A M 動作之通常使用時之動作波形。通常使用時，P L O 設定為 O V，而 P L 1 設定成 V_{cc} 。若欲進行讀出動作時，將 P C 變成低位準而將位元線對 D L i，D B i 例如將 H D V 變成 $V_{cc} / 2$ 之浮動狀態之後，將所期之字線 W L x 變成高位準。S T x，i 之電位依據成 V_{cc} 或 O V，而在 D L i 與 D B i 發生電位，若分別將讀出放大器控制線 P P 及 P N 變成 V_{cc} 或 O V 時，讀出放大器就動作，而就檢測，放大資訊。在此，因將 Y 選擇線 Y S y 變成高位準，就可將讀出記憶分格 M C x，i 之資訊讀出於 I O 線。按，若欲進行資訊之改寫時，則將 Y S y 變成高位準之狀態下，給與 I O 線改寫資料，而反相讀出放大器就可。若將 Y S y 復原為低位準之後，將 W L x 返回低位準，而若將 P P，P N，P C 返回所定之值時，就重新在 M C x，i 寫入，而結束一系列之讀出或改寫動作。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

圖 4 係表示，電源 OFF 時之揮發資訊對於非揮發資訊之回避（變換）動作之動作波形，若檢測出供給給記憶體之電源電壓降低到一定值以下時，就將 PL1 從 V_{cc} 降低到 V_{ss} 。此時，字線 WL1 等之電位必須是 0V。隨著 PL1 之降壓，其為 V_{cc} 或 V_{ss} 之 STj, i 之儲存電位就會降低。若 STj, i 為 V_{cc} 之電位時，由於常電介質電容器之作用，PL1 就從 V_{cc} 變成到 V_{ss} 時，STj, i 將安定於 V_{cc} 與 V_{ss} 之中間電位。因 PL1 已變成 V_{ss} ，所以在強電介質電容器，將施加圖 3 所說明之與通常動作時相反方向之電場，而其極化方向會反相。另一方面，若 STj, i 位於 V_{ss} 電位時，由於記憶分格之作用，STj, i 係只在電晶體之閾限電壓從 V_{ss} 降低之值受到箝位。此時，多電介質電容器之極化方向，係與圖 3 所說明之通常動作時相同。像這樣，由於在所有之記憶分格將共用之板 PL1 從 V_{cc} 降壓到 V_{ss} ，而將做為 STj, i 之揮發資訊，可整批地變換成做為強電介質電容器之極化方向之非揮發資訊。

以上，從圖 1 至 4 所說明之本發明之實施例，在通常使用時在資訊讀出時，或改寫資訊時，因強電介質電容器之極化方向都不改變，所以，沒有強電介質電容器膜之疲勞，而具有高可靠性之非揮發性記憶體之效果。又，若只要將構成爲電源 OFF 時將 PL1 電位拉下到 V_{ss} ，就具有將記憶資訊做為非揮發資訊加以儲存。亦即，即使由於意外之事故而電源被關斷時，也具有可迅速地進行回避

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(8)

動作之高可靠性之非揮發記憶體。

圖 5 係表示從圖 1 到 4 所說明之本發明之半導體記憶體之記憶分格剖面構造。如圖 1 所說明，記憶分格係包含將強電介質電容器連接成 2 個串聯之構成，或將強電介質電容器與常電介質電容器連接成串聯之構成。爲了實現此項，本發明之實施例，係依序下部板，強電介質膜或高電介質膜，儲存電極，強電介質膜或高電介質膜，上部板加以積體。儲存電極係使用插頭在 MOS 電晶體之源極或漏極領域之一方以電氣方式連接。該源極或漏極領域之他方，則連接位元線。爲了盡量取大的電容器面積，電容器係形成於位元線之上部。上部或下部板之電位，係若將多電介質電容器積體 2 個構造時，將一方固定爲 V_{cc} ，而將他方固定爲 V_{ss} 。若是強電介質電容器與常電介質電容器之積體構造時，將強電介質膜接觸側之板電位固定爲 V_{cc} ，將接觸於常電介質膜側之板電位固定爲 V_{ss} 。若依據本發明之實施例，欲實現從圖 1 到 4 所說明之本發明之半導體記憶體所需之記憶分格構造，以小面積就可實現，而可獲得高積體且高可靠性之非揮發性記憶體。

圖 6 係表示與圖 5 相異之記憶分格剖面構造之本發明之一實施例。形成了 2 層儲存電極，電容器部係依儲存電極，強電介質膜或高電介質膜，中間部板，強電介質膜或高電介質膜，儲存電極，強電介質膜或高電介質膜，上部板之順序積體。上述 2 層之儲存電極及 MOS 電晶體之源極或漏極領域之一方，係使用插頭，以電氣方式連接。而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

在該源極或漏極領域之他方，則連接位元線。板電位之給與方法，係與圖 5 之情況相同。若依據本發明之實施例，具有可將由中間部板與儲存電極所成之電容器面積，於圖 5 之下部板與儲存電極所成電容器之面積擴充到約 2 倍之益處。因此，具有容易將串聯連接之 2 個電容器之電容量值及其比數，在小面積設計成最佳值之益處。

圖 7 係表示另外記憶分格剖面構造之本發明一實施例。於圖 7，將儲存電極及上部板成為 2 層。若依據本發明之實施例，具有可將由上部板與儲存電極所成之電容器之面積，較圖 5 之情況擴充之益處。因此，具有容易將連接成串聯之 2 個電容器之電容量值及其比數在小面積內設計為最佳值之益處。

圖 8 係表示另外記憶分格剖面構造之本發明一實施例。將儲存電極做成 2 層，而在上層之上面及下層之下面形成一方之電容器，而在其間之領域形成另一方之電容器。若依據本發明之實施例，具有可將 2 個電容器之面積，都可較圖 5 之情況擴充之益處。因此，具有容易將連接成串聯之 2 個電容器之電容量值及其比數在小面積內設計為最佳值之益處。

以上，若依據由圖 1 到圖 8 所示之本發明之半導體記憶體，在通常動作時，做為板電位 V_{cc} 之 DRAM 動作所以，可獲得讀出及寫入時之強電介質沒有疲勞，而高可靠性之記憶體。並且，電源 OFF 時，只要將板電位降低時 0 V，就可將 DRAM 動作時之揮發資訊，變換成做為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

強電介質膜之極化方向之非揮發資訊。因此，可獲得即使在意外之電源OFF時，也可保持資訊之高可靠性之非揮發記憶體。並且，不必將板分割，由於可在記憶體陣列內共用化，所以，可將記憶分格變小，而獲得高積體之記憶體。

茲就本發明之半導體記憶體，從電源ON到OFF時，由使用者來說甚為簡便之方法，且，控制成高可靠性之方法說明如下。按，下面所說明之控制方法之一部分或全部，也可適用於將強電介質記憶模態與DRAM模態在晶片內切換之其他半導體記憶體。

(實施例2)

圖9係用來說明本發明半導體記憶體之電源投入步驟及電源關斷步驟之本發明一實施例。

投入電源時，將做為強電介質膜之極化方向之非揮發資訊，需要變換為做為儲存電位之重叫動作。此動作係，例如，由在圖2所說明之方法進行，但是，做為指示開始此一系列動作之方法，在圖9，表示做為下達指令之方法，與檢測電源ON之方法。指令下達方式，係由於下達指令，板電壓將從OV升壓到Vcc。與DRAM同樣，在執行仿真周期之後，就開始重叫動作。由圖2即可曉得，重叫動作係由DRAM之更新動作即可執行。因此，投入電源後之最初之更新動作(自行更新，CBR更新等)8，將自動地變成更新動作。但是，如圖2之動作所示，在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

板電壓升壓後，在記憶分格內部係已完成從非揮發資訊變換為非揮發資訊之動作。亦即，極化係在一個方向整齊，而對應於儲存電壓「1」，「0」而產生電位差。上述重叫動作必須在做為儲存電位之資訊由於漏極電流而消失之前，迅速地進行。又，其他之注意事項係有時位元線之預充電電位為在重叫動作時與D R A M動作時會變成相異之設計。亦即，在圖2之例，強電介質電容器與常電介質電容器之電容量比設計成D R A M之預充電電位之 $V_{cc}/2$ 位準，位於重叫動作時之「1」，「0」信號之中間。但是，有時這種設計變成困難之情形發生，此際，係例如，必須限於重叫動作時使仿真分格活性化。

對於指令下達之方式，在電源檢測方式，係檢測電源投入而進行從板電壓之升壓到重叫動作之步驟。成為重叫動作之更新動作，並非由從外部之信號進行，而依據因投入電源所產生之信號，在一系列之電源投入步驟之中，自動地進行也可以。在上述之電源投入步驟之後，本發明之半導體記憶體，係也可以與通常之D R A M同樣地使用。

另一方面，開斷電源時，如圖4所示，在儲存電位降低到0 V之前，必須將板降低到0 V。其所需之步驟，係有指令下達方式與電源檢測方式。指令下達方式係由於下達指令而板電位將被拉下到0 V。由圖4之電源關斷時之動作波形就曉得，將板電位拉下到0 V之高位準側之儲存電位，係盡量靠近 V_{cc} 較佳。因而，對於所有記憶分格，在下達指令之前，進行更新動作。另一方面，電源檢測

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

方式係檢測電源電壓降低到一定值以下，將板電位拉下到 0 V。在電源 OFF 之前，進行更新動作，仍與指令下達方式相同。電源檢測方式也可對應意外之電源 OFF 情況。但是，若在讀出動作之途中進行板電位之拉下時，因儲存電位不依據記憶資訊而大致位於 $V_{cc} / 2$ 之位準，所以不能正確地進行非揮發資訊之變換。爲了防止此種錯誤動作，可利用在 DRAM 所使用之 RAS 過時 (time-out) 功能。亦即，若檢測出電源電壓降低到一定值以下時，將 RAS 彩條信號 (bar signal) 及 CAS 彩條信號做爲高位準而使其變成備用狀態。此時，係處於讀出動作中，即使 RAS 彩條信號較規格所規定之值爲短之期間復原爲高位準時，也由於 RAS 過時功能，以 RAS 系之一系列動作，亦即，以讀出放大器檢測，放大記憶資訊，而進行到將字線變成非活性化之動作。此 RAS 系在動作之期間，表示其標記 (flag) 例如變成高位準，而使其不要進行板電位板之電位拉下。若 RAS 系結束動作，而上述標記變成低位準時，則板電位將被拉下到 0 V。若依據此方式，即使發生意外之電源 OFF 時，也可進行變換爲非揮發資訊。

若將上述，將圖 9 之電源投入時及關斷時之幾種步驟做適當組合時，可將本發明之半導體記憶體，從電源 ON 到 OFF，由使用者而言爲簡便之方法，且，高可靠性地加以控制。

圖 10 係表示執行圖 9 之步驟所需之控制電路之方塊

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

圖。如該圖例 1 所示，電源投入時及關斷時之指令，為可從外部給與之時鐘及位址生成。時鐘也可用與 D R A M 同樣之信號 (R A S 彩條信號，C A S 彩條信號等)。另一方面，檢測電源狀態之電路，係如例 2 所示，依據 V c c 及參照電壓來生成動作開始控制信號及結束控制信號。或，如例 3 所示，只從 V c c 生成上述控制信號。動作開始控制信號將直接做為板電壓 O N 信號。另一方面，動作結束控制信號，係將 R A S 過時完成信號之 A N D 邏輯變成板電壓 O F F 信號。此係，因為要對應如上述之意外電源 O F F 所需者。若依據本發明之實施例，由組合與 D R A M 相同之外部信號，即可將本發明之半導體記憶體之電源 O N 及 O F F 以高可靠性地控制。

圖 1 1 係表示板電壓 O F F 電路之一構成例之本發明之實施例。為了抑制對於板電位 V s s 之放電電流之尖峰值，由板電壓 O F F 信號從單位墊 (mat) 1 依序給與時間差例如進行到墊 6 4 為止之放電。在此，所謂墊係由位於附近領域之複數記憶體陣列所成之單位區塊。若依據本發明之實施例，可將電源關斷時之放電電流之尖峰值抑制為小，而可安定地進行電源關斷步驟。

圖 1 2 係表示，將於習知 D R A M 而由自行更新動作所進行之資訊保持，於本發明之半導體記憶體以更低消費電流進行方法之本發明一實施例。於習知之 D R A M，係進入 C B R 周期 (將 C A S 彩條較 R A S 彩條先下降來加以起動) 之後，若保持 1 0 0 μ s e c 以上之狀態時，就

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

開始自行更新動作。藉此，就可在 $100\mu A$ 之低消費電流保持資訊。將 R A S 信號回復高位準後，若對於所有之記憶分格進行更新動作時，即可重新開始通常動作。於本發明之半導體記憶體，由下列方法，由使用者而言，與習知 D R A M 完全相同之指令，可更加降低消費電流。亦即，若進入自行更新模態之後，將板電壓降低到 $0V$ 。並且，停止指令受理部分以外之所有之電路動作。因將板電壓降低到 $0V$ ，因做為儲存電位之揮發資訊變換為做為極化方向之非揮發資訊，所以，此後，不必定期地進行為了保持資訊所需之更新動作。因此，在此等待狀態所消費之電流，係只有指令受理部分之周邊電路而已，而可將資訊保持電流較抑制到 2 位數低之 $1\mu A$ 程度。若欲重新開始通常動作時，係與習知 D R A M 同樣，將 R A S 彩條回復到高位準之後，對於所有之記憶分格進行更新就可。但是，將 R A S 彩條回復到高位準時，在記憶體內部為起動周邊電路，而板電壓將回復為 V_{cc} 。若依據本發明之實施例，就與習知之 D R A M 之自行更新動作完全相同之步驟，就可實現資訊保持電流之極小等待狀態。

以上，將本發明之半導體記憶體，從電源 O N 到 O F F 為止，由使用者而言為簡便之方法，且以高可靠性進行控制之方法做了說明。接著，就從電源 O N 到 O F F 之一系列動作，更具體之一例如說明如下。

圖 1 3 係表示使用與 D R A M 相同之指令，來控制本發明半導體記憶體方法之一實施例。首先，電源 O N 後之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

重叫動作係電源 O N 後，由最初之 R A S - only 更新指令執行。亦即，電源 O N 後，與通常之 D R A M 同樣，首先執行仿真周期（不選擇字線之更新等）。而檢測此際之 R A S 彩條信號之低位準之最初變化，而板電位將升壓到 V c c 。若結束仿真周期時，板電位就安定而變成 V c c 之位準。接著，就欲重叫之記憶分格，進行位址指定之 R A S - only 更新動作。如圖 2 所示，與 D R A M 之更新動作相同之方法進行重叫動作，所以，由上述 R A S - only 更新動作，非揮發資訊將變換成做為儲存電位之揮發資訊。若位元線預充電位與重叫動作時與 D R A M 時為相異時，若結束重叫動作之後，就給與重叫結束信號，將預充電變化為 D R A M 用。或，若在重叫動作時，使用仿真分格時，藉重叫結束信號將此變成不活性。重叫結束信號係例如由仿真位址指定之 R A S - only 更新命令給與。

在上述重叫動作結束後，將變成通常之 D R A M 動作。若欲將電源 O F F 時，必須將做為 D R A M 之揮發資訊變換為強電介質極化方向之非揮發資訊。如圖 4 所示，於本發明之半導體記憶體，只要將板電位降低到 0 V，即可進行變換動作。在圖 1 3 係有意地欲將電源 O F F 時就由指令進行變換動作，若意外之電源 O F F 時，則由電源狀態檢測電路進行變換動作。若有意地欲將電源 O F F 時之指令係給與自行更新指令。本發明半導體記憶體之自行更新指令，係與定期地進行所有記憶分格之更新動作之通常

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

D R A M 之情形相異，而是只將板電位降低到 O V 之處理。藉此，揮發資訊將被變換為非揮發資訊，而就不必再進行更新動作。在此狀態下，若將電源 O F F 時資訊將被保存。或，如圖 1 2 所說明，只啓動指令受理部分之周邊電路，而解除自行更新之後，使其能夠立即進行重叫動作也可以。即使在通常 D R A M，在解除自行更新後，按照規格規定進行更新動作，同樣之動作，在本發明之半導體記憶體將變成重叫動作。另一方面，對於意外之電源關斷，電源狀態電路就會動作。亦即，若電源電壓降低到一定值以下時，首先，將 R A S 彩條信號，C A S 彩條信號變成高位準而做為備用狀態。電源 O F F 假如為讀出動作中，而處於低位準之 R A S 彩條信號較規格所規定之時間為快地回復到高位準時，也由 R A S 過時功能，來完成 R A S 系之一系列動作。並且，表示 R A S 系動作結束信號之後，將板電位降低到 O V。像這樣，因裝設了 R A S 過時功能，欲將板電位降低到 O V 時，因字線一定變成低位準，所以，可毫無錯誤地進行變換為非揮發資訊。若依據本發明之實施例，即可獲得與 D R A M 同樣使用之高可靠性之非揮發性記憶體。

圖 1 4 係表示依照圖 1 3 之控制方法，給與板電位所需之具體構成例之本發明一實施例。正反電路 F P 之結節 S P 之電位為高位準時，板電位將變成 V c c，而低位準時，板電壓電位將變成 O V。S P 之電位，係由如圖 1 3 所示方法，而控制成如下。首先，電源 O F F 時，S P 將

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

變成低位準，而 S P B 將變成高位準。此係由於正反電路之 n 通道 M O S 電晶體及 p 通道 M O S 電晶體之大小設計成不均衡，與在電源升起之初期，電源狀態檢測電路輸出低位準，其結果，M 1 變成 O N 狀態，而 M 3 變成 O F F 狀態所致。因 S P 位於低位準，所以，電源 O F F 即後，板電位為 O V。電源 O N 後若降低 R A S 彩條信號時，M 3 就暫時性地 O N，而 S P B 為變成低位準，亦即，S P 將變化成高位準。此結果，板電位將被升壓為 V c c。並且，非揮發性資訊，將被變換為揮發資訊。其後，在重叫動作時或通常之 D R A M 動作時，雖然也時常降低 R A S 彩條信號，但是，只有對於 S P B 再寫入 O V 而已，而板電位為沒有變化。按，由於 R A S 彩條信號與其反相信號之 O R 邏輯，對應於 R A S 彩條信號之降低而發生脈衝。延遲電路係 R A S 彩條信號為被保持通常低位準之時間且 F P F P 之改寫所需之時間，亦即，1 0 0 n s e c 程度較佳。在電源 O F F 時，則如圖 1 3 所說明，給與自行更新指令。做為自行更新信號，首先，由 C B R 周期若降低 R A S 彩條信號時，則 M 3 將再暫時性地（大約 1 0 0 n s e c 之間）變成 O N。但是，在 1 0 0 n s e c 後，就發生自行更新開始信號，此次，M 2 將 O N。並且，S P 將變化為低位準，而板電位將被拉下到 O V。或意外之電源 O F F 時，若電源電壓降低到一定位準以下時，電源狀態檢測電路之輸出將變化為低位準。若 R A S 系動作時，等待其結束而 M 1 會變成 O N。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

此結果，S P 為變化成低位準，而板電位將被拉下到 O V。
按，M 1，M 2 及 M 3，係設計成能夠將正反電路 F P 充分反相之大小。若依據本發明之實施例，依據圖 1 3 之步驟，就可控制板電位，而可獲得能夠與 D R A M 同樣使用之高可靠性之非揮發性記憶體。

〔發明之效果〕

若依據本發明，就可獲得緩和讀出及寫入動作所引起之強電介質電容器之劣化，又，對於意外之電源 O F F 也可安定地保持非揮發資訊，而高可靠性之非揮發性記憶體。

圖式之簡單說明

圖 1 係本發明半導體記憶體之記憶體陣列構成。

圖 2 係圖 1 之記憶體投入電源時之動作波形。

圖 3 係圖 1 之記憶體通常動作時之動作波形。

圖 4 係圖 1 之記憶體電源關斷時之動作波形。

圖 5 係圖 1 之記憶體分格之剖面圖之一例。

圖 6 係圖 1 之記憶體分格之剖面圖之一例。

圖 7 係圖 1 之記憶體分格之剖面圖之一例。

圖 8 係圖 1 之記憶體分格之剖面圖之一例。

圖 9 係本發明半導體記憶體之電源投入及關斷步驟。

圖 1 0 係使用於圖 9 之控制電路之方塊圖。

圖 1 1 係關斷電源時將板電位降低到 O V 之電路例。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

圖 1 2 係本發明半導體記憶體之資訊保持動作。

圖 1 3 係能夠與 D R A M 相同使用之本發明半導體記憶體之控制方法例。

圖 1 4 係本發明半導體記憶體較佳之板電位控制電路例。

圖 1 5 係習知強電介質記憶體。

[符號之說明]

D L i …… 位元線， D B i …… 補助位元線，
W L i …… 字線， M C i , j …… 記憶分格，
S T i , j …… 儲存結節， P L O …… 板，
P L 1 …… V c c 板， P L 1 …… V c c 板，
P C …… 預充電信號線， H V D …… 預充電電位，
P P , P N …… 讀出放大器驅動線，
I O …… 輸出入線， Y S i …… Y 選擇線， F P …… 板電
位設定用暫存器， M i …… M O S 電晶體， V c c …… 電
源電壓， V c h …… 升壓電壓。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

半導體記憶體

本發明係提供一種使用強電介質電容器之高積體，高可靠性之非揮發性記憶體為其目的。

本發明之構成係將串聯之連接強電介質電容器(F C)與常電介質電容器(P C)之連接點做為儲存結節，將F C側板做為V c c，將P C側板做為O V之D R A M使其發生動作。若電源關斷時，使F C側板迅速地降低到O V。

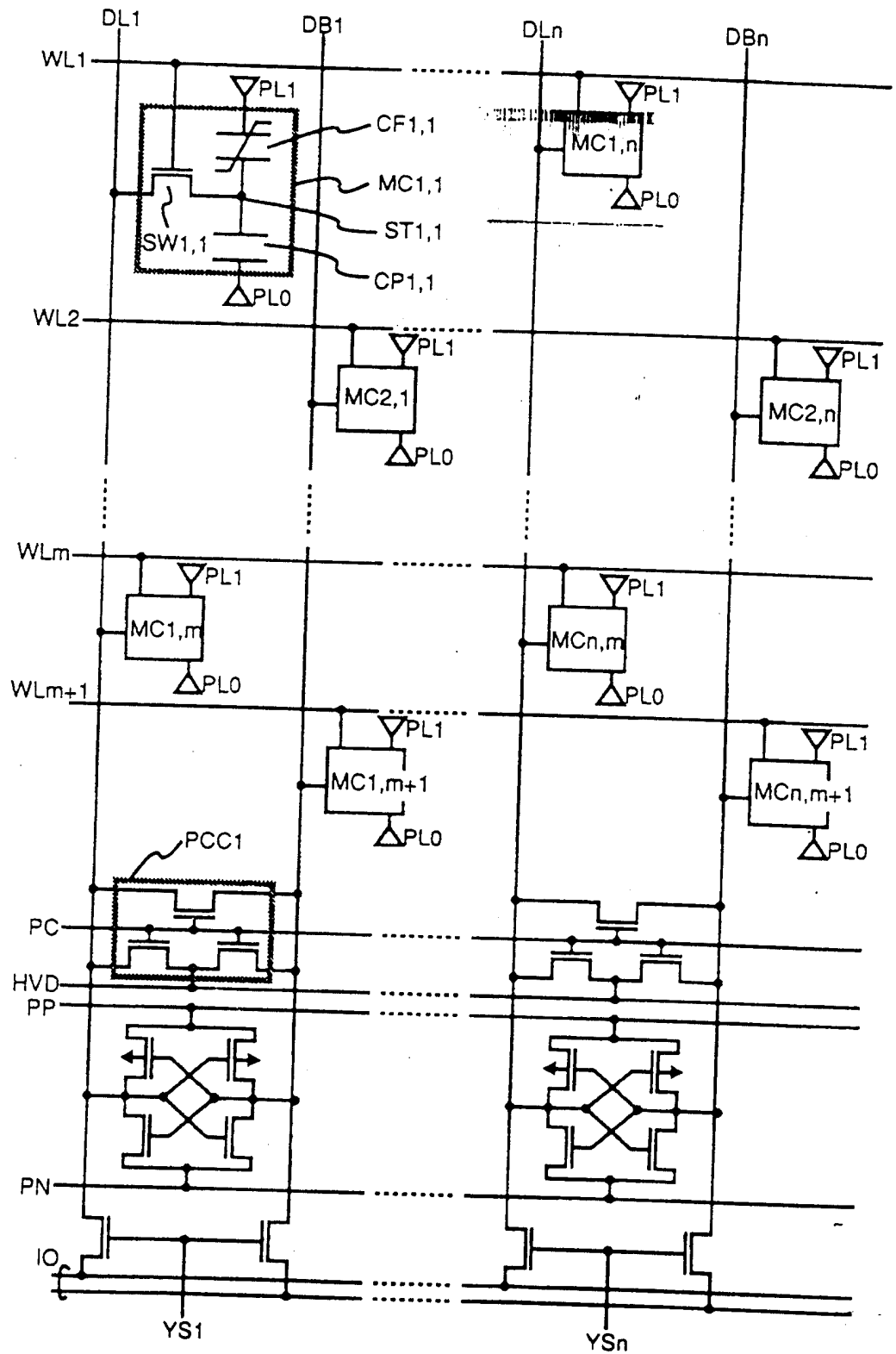
本發明之效果係在通常動作中，無論對於儲存電位V c c及O V之任一，強電介質膜之分極作用並不會反相，而可減低讀出資訊時及寫入資訊時之強電介質電容器之劣化。又，只要將F C側板拉下到O V，就可整批地將做為D R A M之揮發資訊可變換為非揮發資訊，所以，遭遇到意料之外之電源關斷時，也可安定地保持資訊。

(請先閱讀背面之注意事項再填寫本頁各欄)

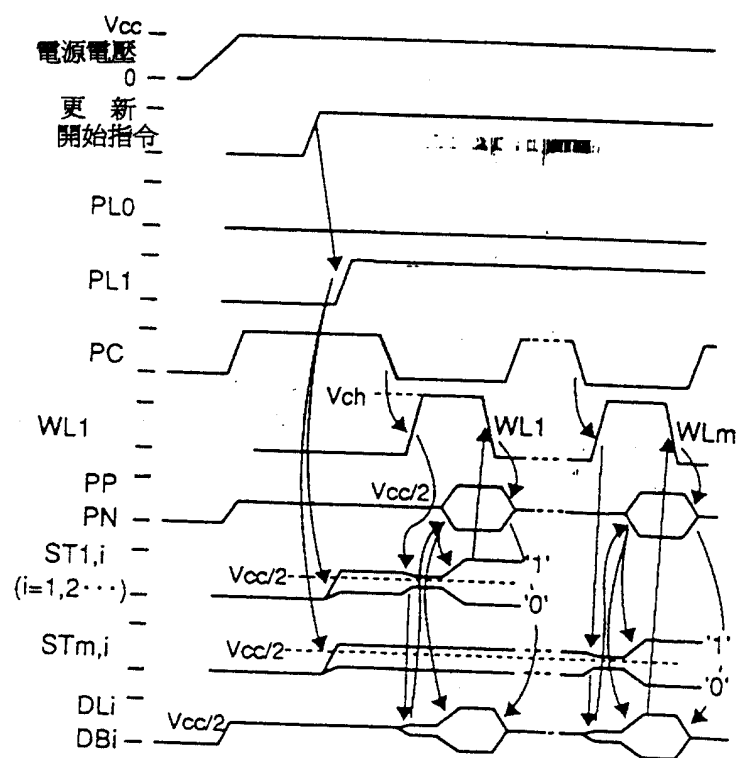
英文發明摘要(發明之名稱：

84112036

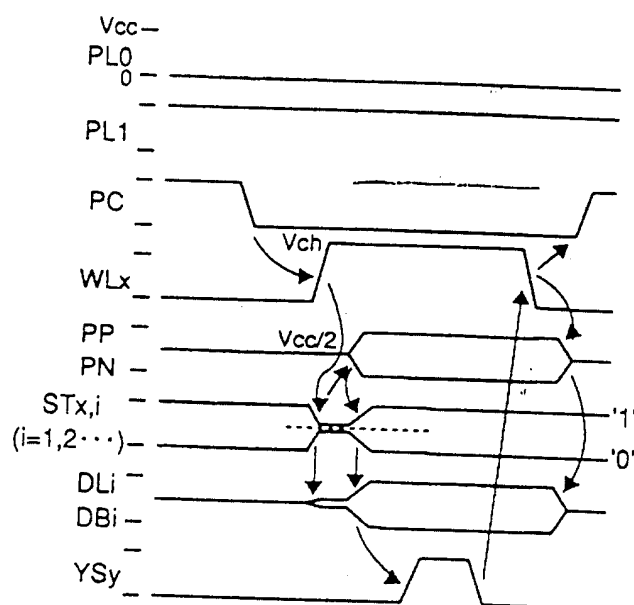
724325



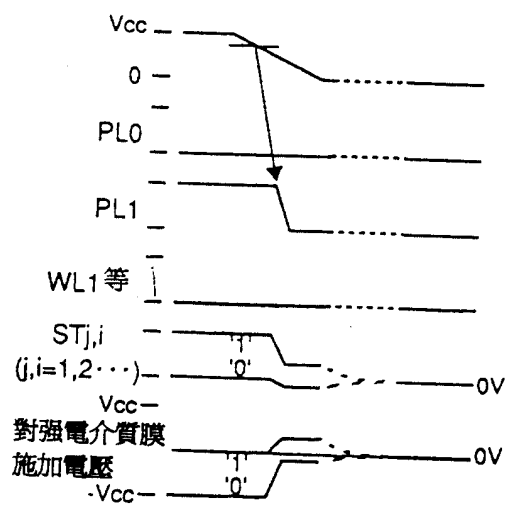
第 1 圖



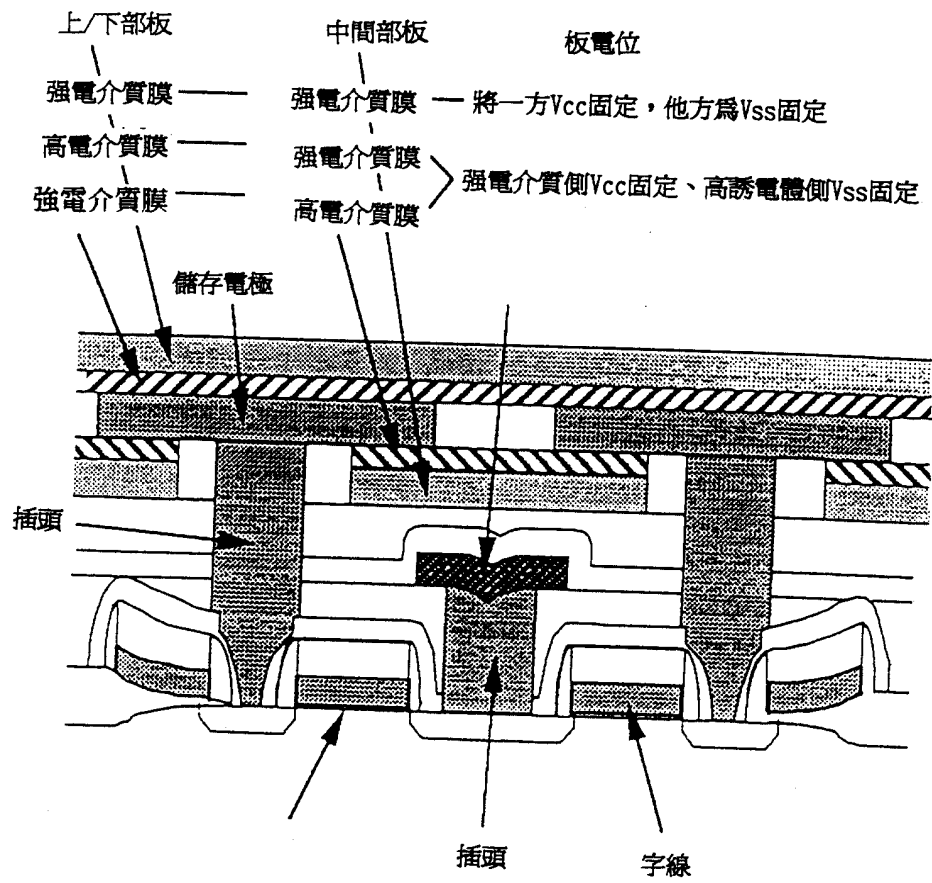
第 2 圖



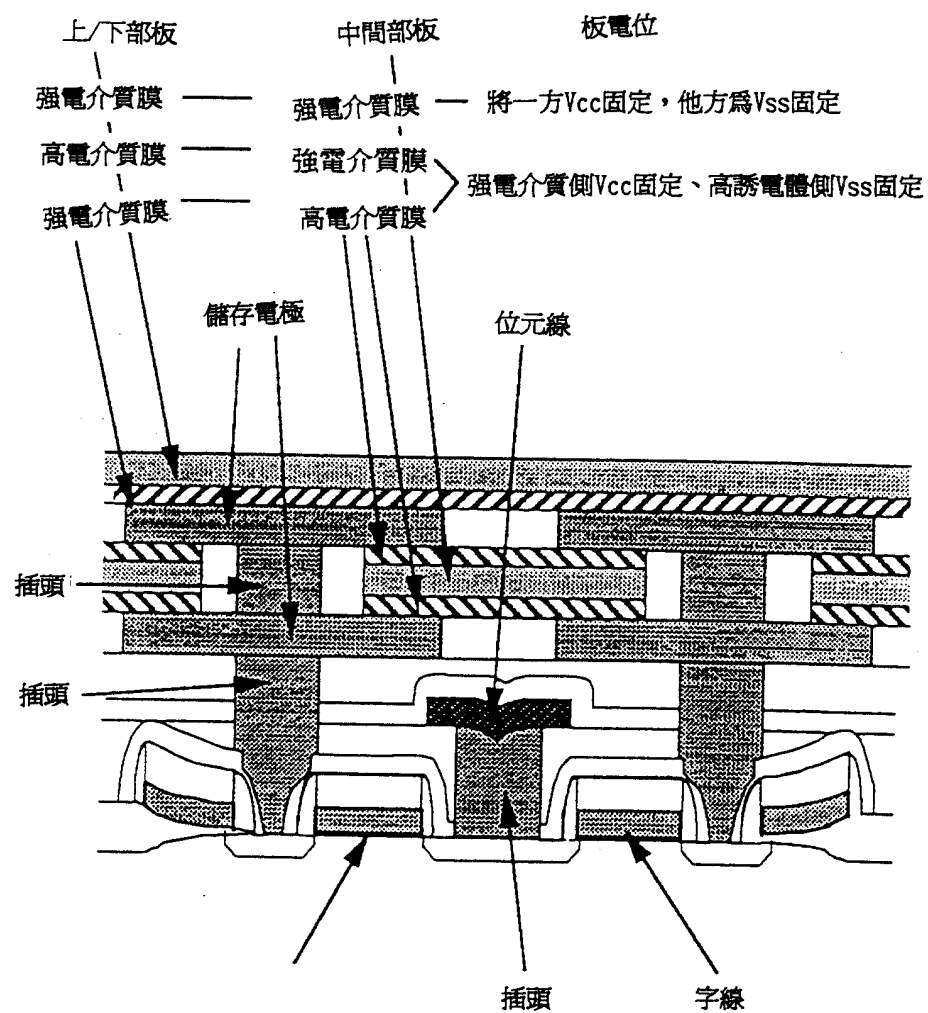
第 3 圖



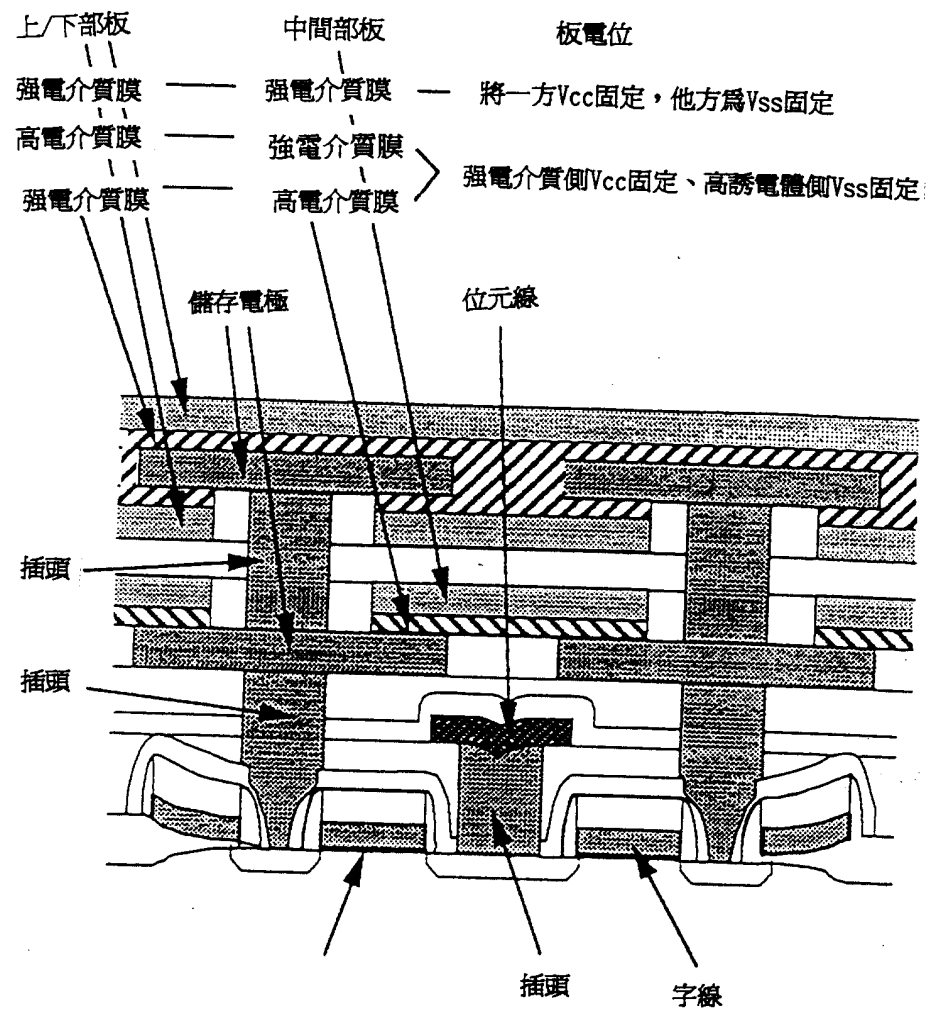
第 4 圖



第 5 圖



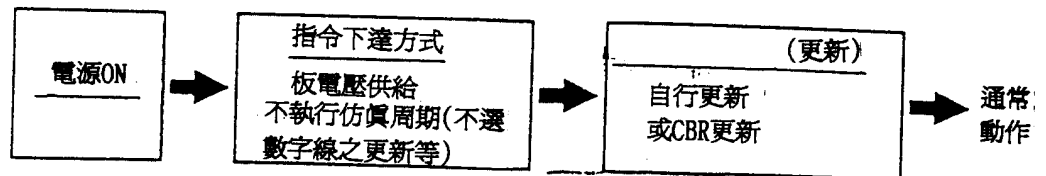
第 6 圖



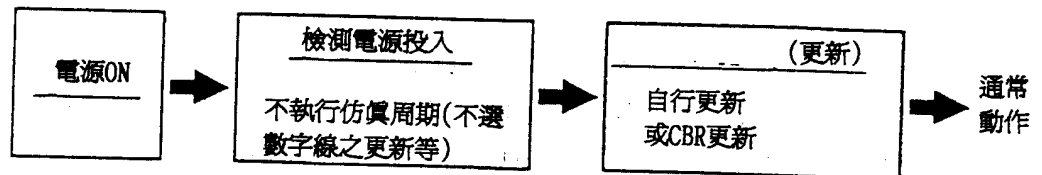
第 7 圖

電源投入程序

(1) 指令下達方式

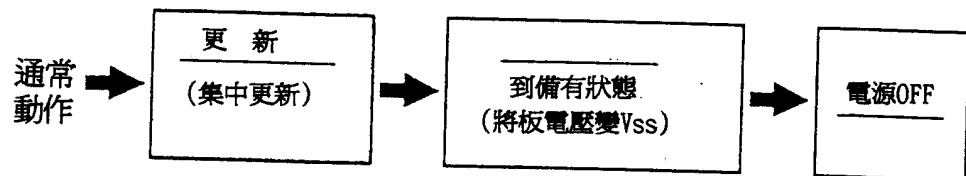


(2) 電源檢測方式

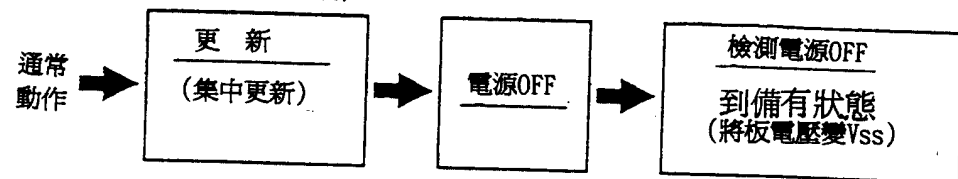


電源切斷程序

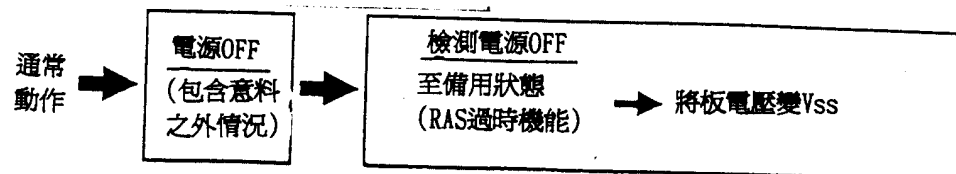
(1) 指令下達方式



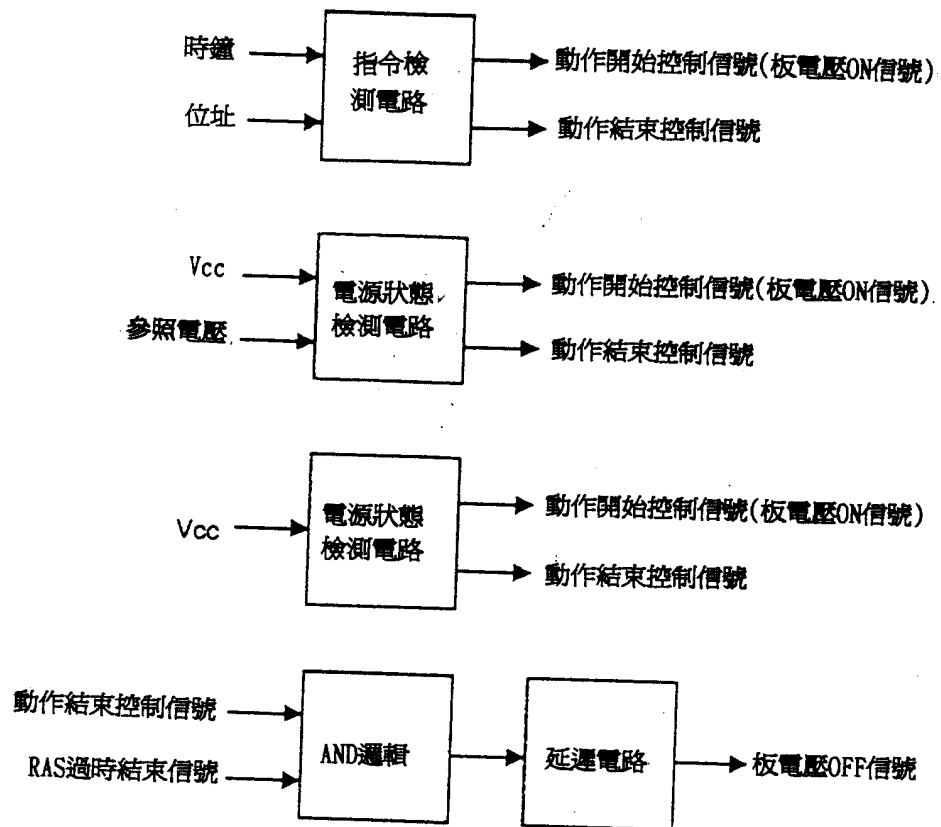
(2) 電源檢測方式(通常控制)



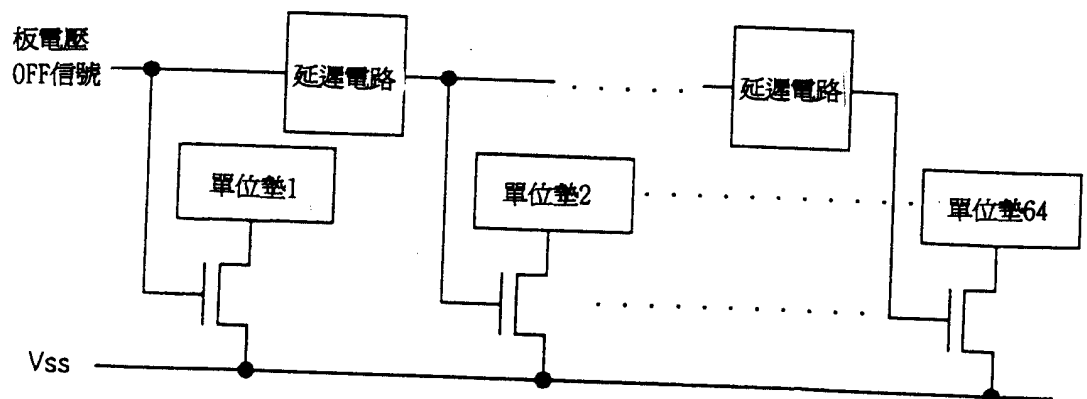
(3) 電源檢測方式(非穩定控制)



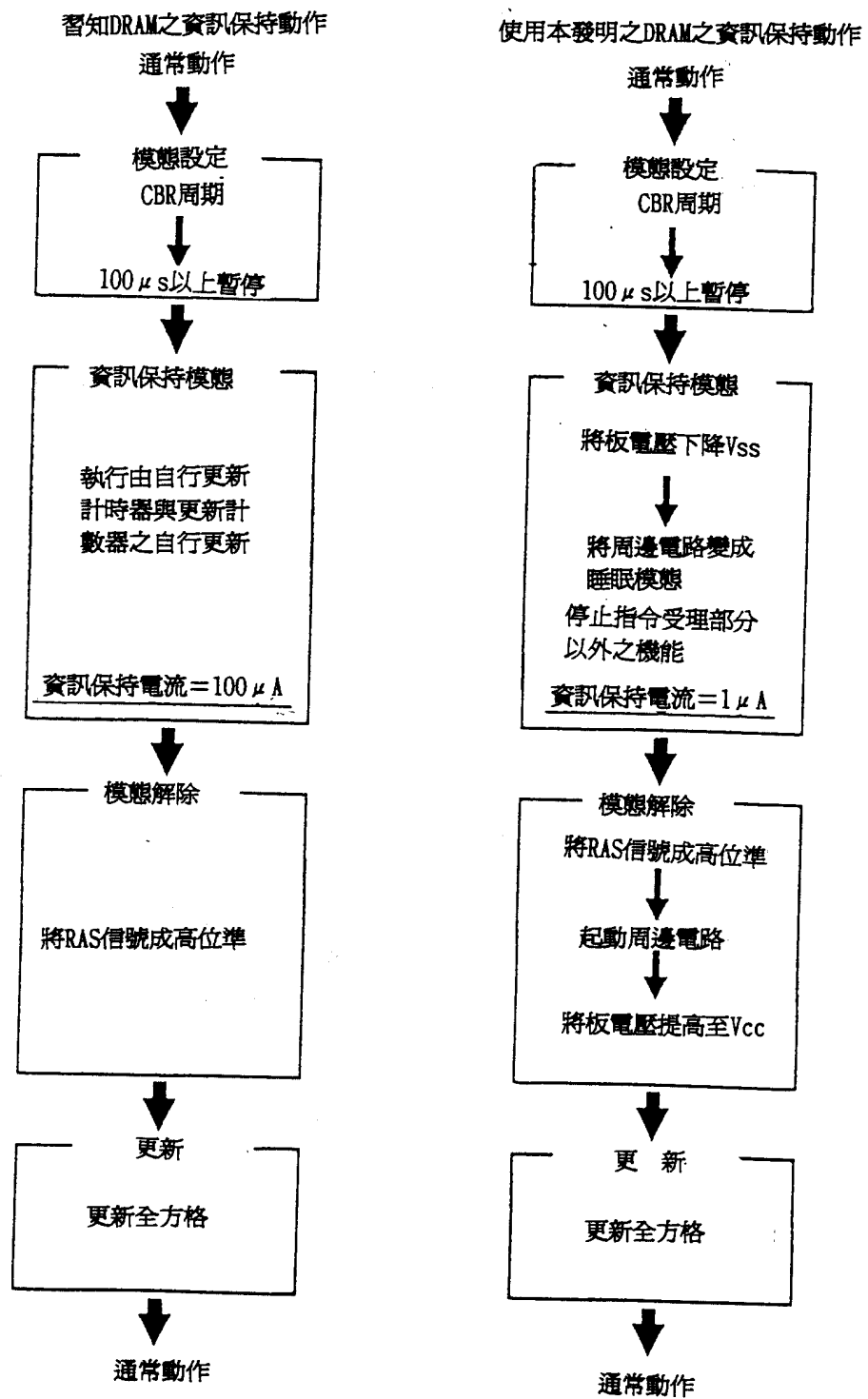
第 9 圖



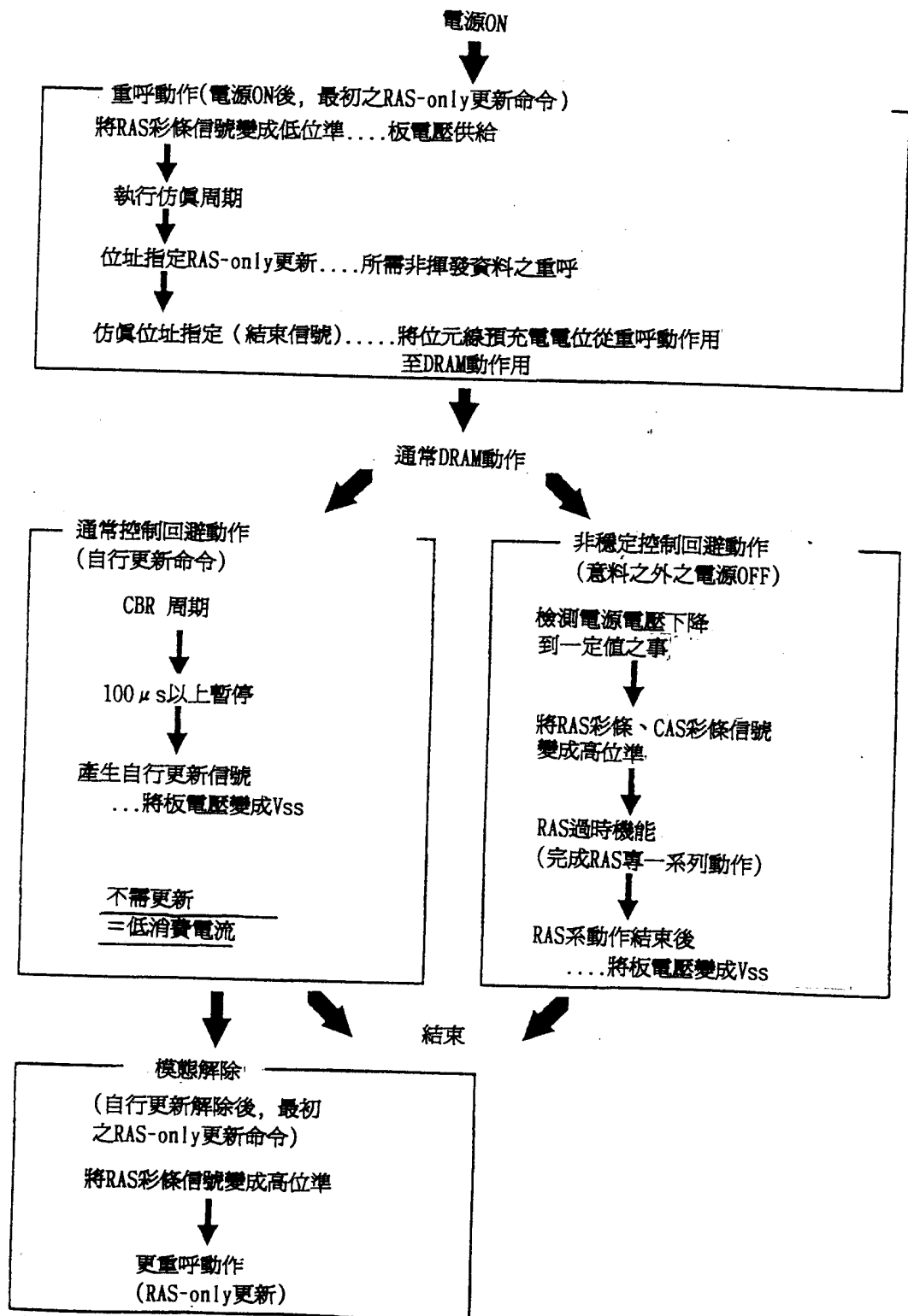
第10圖



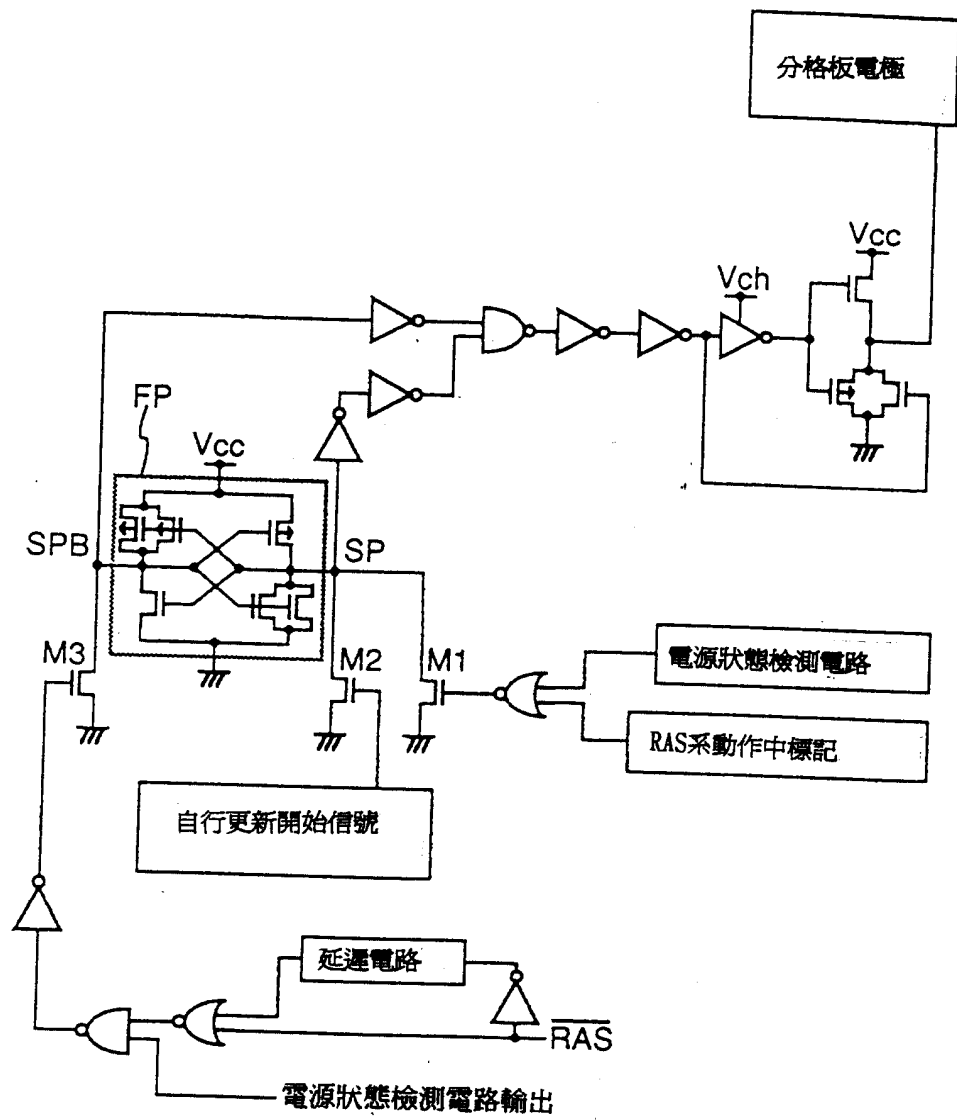
第11圖



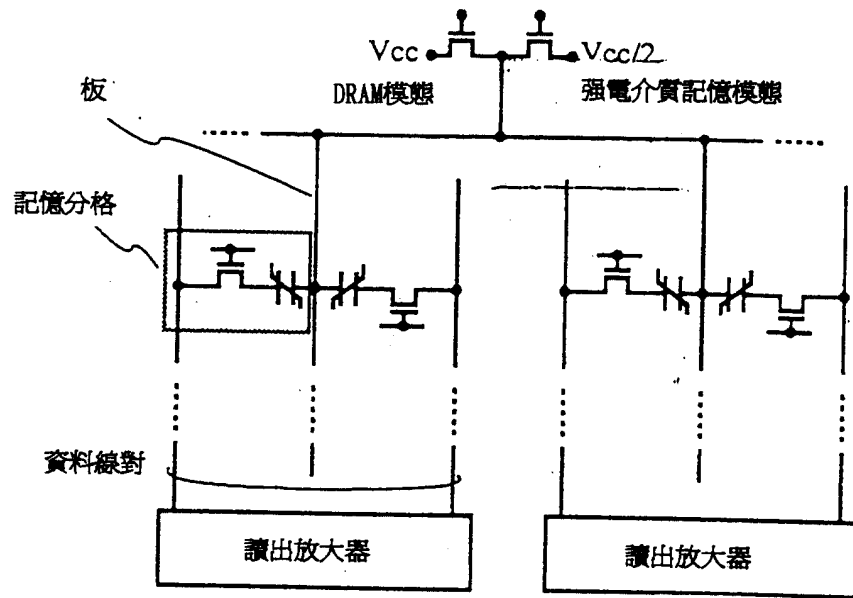
第12圖



第13圖



第14圖



第15圖

六、申請專利範圍

附件

第 84112836 號 專利 申請 案

中文 申請 專利 範圍 修正 本

民國 85 年 7 月 修正

1. 一種半導體記憶體，係其複數之記憶體分格，係以矩陣狀被配置於彼此交叉之複數的位元線與複數文字線之規定交點上；而此記憶體分格係分別具有：一端有板電極而另一端之儲存電極彼此連結之第 1 及第 2 電容器，及將源極或漏極之其中一方連接於該儲存電極上之場效電晶體者；其特徵為：

上述第 1 電容器係將強電介質作為絕緣膜使用之強電介質電容器；

電源電位被供給至上述第 1 電容器之板電極（P L 1），而上述第 2 電容器之板電極（P L 0）經常被供給接地電位。

2. 如申請專利範圍第 1 項所述之半導體記憶體，其中具有一手段，係利用將結束信號給予上述半導體記憶體，而使上述第 1 電容器之板電極之電位，從上述電源電位成為上述接地電位。

3. 如申請專利範圍第 1 項所述之半導體記憶體，其中具有當將結束信號給予上述半導體記憶體時，如發生指定上述複數字線中任何一個活性化之信號時，將該字線活性化之後繼續再變成不活性化為止之一系列之通常動作，在該一系列之動作終了後，使上述第 1 電容器之板電極之電位，從上述電源電位成為上述接地電位之手段。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

錄

經濟部中央標準局員工消費合作社印製

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

4. 如申請專利範圍第2或3項所述之半導體記憶體，其中上述結束信號，係當檢測出從上述半導體記憶體之外部所供給，而成為上述電源電位之電源電壓低於規定之電壓以下時，使在上述半導體記憶體內部產生。

5. 如申請專利範圍第2或3項所述之半導體記憶體，其中上述結束信號，係由與動態隨機存取記憶體之自行更新信號相同之外部信號所給予。

6. 如申請專利範圍第2或3項所述之半導體記憶體，其中上述半導體記憶體，係被分割成上述複數之記憶體分格所構成之複數的單位墊；

而在各單位墊內，上述複數記憶體分格之第1電容器之板電極，係被連接成共通者；

使上述第1電容器之板電極之電位從上述電源電位至上述接地電位之動作，係將上述複數之單位墊，錯開時間以每個來進行者。

7. 如申請專利範圍第1項之半導體記憶體，其中藉由將開始信號給予上述半導體記憶體，而開始上述電源電位對上述第1電容器之板電極的供給。

8. 如申請專利範圍第7項之半導體記憶體，其中上述開始信號，係檢知供給上述半導體記憶體之電源電壓達到一定值以上，而在上述半導體記憶體內部產生。

9. 如申請專利範圍第2或3項所述之半導體記憶體，其中上述半導體記憶體，更具有指定對上述第1電容器之板電極之電源電位之供給或停止之暫存器。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

六、申請專利範圍

1 0 . 如申請專利範圍第 4 項之半導體記憶體，其中上述半導體記憶體，更具有指定對上述第 1 電容器之板電極之電源電位之供給或停止之暫存器。

1 1 . 如申請專利範圍第 5 項之半導體記憶體，其中上述半導體記憶體，更具有指定對上述第 1 電容器之板電極供給或停止電源電位所用之暫存器。

1 2 . 如申請專利範圍第 6 項之半導體記憶體，其中上述半導體記憶體，更具有指定對上述第 1 電容器之板電極供給或停止電源電位所用之暫存器。

1 3 . 如申請專利範圍第 7 或 8 項所述之半導體記憶體，其中上述半導體記憶體，更具有指定對上述第 1 電容器之板電極供給或停止電源電位所用之暫存器。

1 4 . 如申請專利範圍第 1 項之半導體記憶體，其中上述第 1 及第 2 電容器之儲存電極所記憶之資料，具有從上述電源電位起至上述接地電位之間之電位。

1 5 . 如申請專利範圍第 7 項之半導體記憶體，其中上述開始信號，係在上述第 1 電容器之板電極之電位為上述電源電位時，被與動態隨機存取記憶體之 R A S 信號相同之外部信號所給予。

1 6 . 如申請專利範圍第 1 項之半導體記憶體，其中上述第 2 電容器係將常電介質作為絕緣膜來使用之常電介質電容器。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄