



# (12) 发明专利

(10) 授权公告号 CN 110911552 B

(45) 授权公告日 2023. 09. 29

(21) 申请号 201910880175.9  
 (22) 申请日 2019.09.18  
 (65) 同一申请的已公布的文献号  
 申请公布号 CN 110911552 A  
 (43) 申请公布日 2020.03.24  
 (30) 优先权数据  
 16/133,955 2018.09.18 US  
 (73) 专利权人 台湾积体电路制造股份有限公司  
 地址 中国台湾新竹市  
 (72) 发明人 杨毅 沈冬娜 王郁仁  
 (74) 专利代理机构 隆天知识产权代理有限公司  
 72003  
 专利代理师 张福根 付文川

(51) Int. Cl.  
*H10N 50/01* (2023.01)  
*H01L 21/027* (2006.01)  
 (56) 对比文件  
 US 2012326250 A1, 2012.12.27  
 CN 102142399 A, 2011.08.03  
 CN 107437581 A, 2017.12.05  
 US 10069064 B1, 2018.09.04  
 US 8313959 B1, 2012.11.20  
 US 9502640 B1, 2016.11.22  
 US 2011189796 A1, 2011.08.04  
 审查员 许晓燕

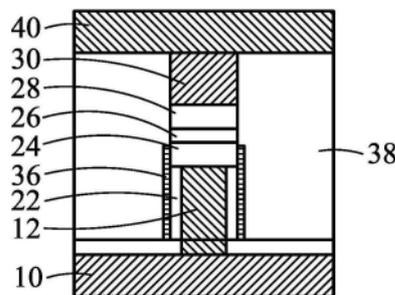
权利要求书3页 说明书6页 附图3页

## (54) 发明名称

磁性穿隧界面结构与其制造方法

## (57) 摘要

一导电通路层沉积于一底电极上,接着导电通路层被图案化并修整以在底电极上形成次20nm的一导电通路。导电通路以一第一介电层封装,第一介电层被平坦化以暴露导电通路的一项表面。一磁性穿隧界面堆叠沉积于封装的导电通路上,其中磁性穿隧界面堆叠包括至少一固定层(pinned layer)、一阻挡层及一自由层。一项电极层沉积于磁性穿隧界面堆叠上,且被图案化并修整以形成一次30nm的硬掩模。将磁性穿隧界面堆叠使用硬掩模蚀刻以形成一磁性穿隧界面装置并将磁性穿隧界面堆叠过蚀刻至第一介电层中,但不蚀刻至底电极中,其中金属再沉积材料形成在磁性穿隧界面装置下的第一介电层的侧壁上,而不形成在磁性穿隧界面装置的阻挡层的侧壁上。



1. 一种磁性穿隧接面结构的制造方法,包含:

在底电极上沉积导电通路层;

将所述导电通路层图案化,接着修整所述导电通路层以在所述底电极上形成宽度次20nm的导电通路;

以第一介电层封装所述导电通路并将所述第一介电层平坦化以暴露所述导电通路的顶表面;

在封装的所述导电通路上沉积磁性穿隧接面堆叠,其中所述磁性穿隧接面堆叠包括至少一固定层、在所述固定层上的阻挡层及在所述阻挡层上的自由层;

在所述磁性穿隧接面堆叠上沉积顶电极层;

将所述顶电极层图案化,接着修整所述顶电极层以形成宽度次30nm的硬掩模;以及

使用所述硬掩模将所述磁性穿隧接面堆叠蚀刻以形成磁性穿隧接面装置并将所述磁性穿隧接面堆叠过蚀刻至所述第一介电层中,但不蚀刻至所述底电极中,其中金属再沉积材料形成在所述磁性穿隧接面装置下的所述第一介电层的侧壁上,而不形成在所述磁性穿隧接面装置的阻挡层的侧壁上。

2. 如权利要求1所述的磁性穿隧接面结构的制造方法,其中所述底电极、所述导电通路层与所述顶电极层包括Ta、TaN、Ti、TiN、W、Cu、Mg、Ru、Cr、Co、Fe、Ni、Pt、Ir、Mo或其组合,且所述底电极、所述导电通路层与所述顶电极层的厚度介于80至150nm。

3. 如权利要求1所述的磁性穿隧接面结构的制造方法,其中将所述导电通路层图案化包括:

在所述导电通路层上沉积有机或介电的抗反射涂层至厚度大于或等于20nm,所述抗反射涂层包括SiN、SiON或SiCOH;

在所述抗反射涂层上旋转涂布光致抗蚀剂层;

将所述光致抗蚀剂层图案化以形成宽度介于70至80nm、高度大于或等于200nm的光致抗蚀剂图案;及

将所述抗反射涂层与所述导电通路层以纯氩电浆通过离子束蚀刻或反应离子蚀刻进行物理性蚀刻,以形成高度大于或等于100nm、宽度介于50至100nm的金属柱。

4. 如权利要求1所述的磁性穿隧接面结构的制造方法,其中修整所述导电通路层包括相对于所述导电通路层的顶表面的法线70~90°的角度,以射频功率为500~1000W持续100~500秒进行原位或非原位离子束蚀刻修整,其中修整的所述导电通路的图案尺寸为10~20nm。

5. 如权利要求4所述的磁性穿隧接面结构的制造方法,其中所述离子束蚀刻修整的垂直蚀刻速率小于或等于5Å/sec,所述导电通路的高度与所沉积的所述导电通路层的高度相同,或所述导电通路的高度较所沉积的所述导电通路层的高度少5nm以下。

6. 如权利要求1所述的磁性穿隧接面结构的制造方法,其中以所述第一介电层封装所述导电通路包括将厚度大于或等于100nm的SiO<sub>2</sub>、SiN、SiON、SiC或SiCN进行原位或非原位沉积。

7. 如权利要求1所述的磁性穿隧接面结构的制造方法,其中将所述顶电极层图案化包括:

在所述顶电极层上沉积有机或介电的抗反射涂层至厚度大于或等于20nm,所述抗反射

涂层包括SiN、SiON或SiCOH;

在所述抗反射涂层上旋转涂布光致抗蚀剂层;

将所述光致抗蚀剂层图案化以形成宽度介于70至80nm、高度大于或等于200nm的光致抗蚀剂图案;及

将所述抗反射涂层与所述顶电极层以纯氩电浆通过离子束蚀刻或反应离子蚀刻进行物理性蚀刻,以形成高度大于或等于100nm的宽度次30nm的所述硬掩模。

8.如权利要求1所述的磁性穿隧接面结构的制造方法,其中将所述磁性穿隧接面堆叠蚀刻与过蚀刻包括以纯氩通过离子束蚀刻或反应离子蚀刻进行物理性蚀刻、进行化学性反应离子蚀刻或进行物理性蚀刻与化学性反应离子蚀刻的组合。

9.如权利要求1所述的磁性穿隧接面结构的制造方法,其中所述顶电极层具有大于或等于100nm的沉积高度,且在将所述磁性穿隧接面堆叠蚀刻与过蚀刻后,所述硬掩模的高度大于或等于50nm。

10.如权利要求1所述的磁性穿隧接面结构的制造方法,其中在将所述磁性穿隧接面堆叠蚀刻与过蚀刻后,还包括:

以第二介电层封装所述磁性穿隧接面装置;

将所述第二介电层的顶表面平滑化并暴露所述硬掩模的顶表面;及

沉积顶金属层以接触所述硬掩模。

11.一种磁性穿隧接面结构的制造方法,包括:

在底电极上沉积导电通路层;

将所述导电通路层图案化,接着修整所述导电通路层以在所述底电极上形成高度大于或等于50nm的宽度次20nm的导电通路;

以第一介电层封装所述导电通路并将所述第一介电层平坦化以暴露所述导电通路的顶表面;

在封装的所述导电通路上沉积磁性穿隧接面堆叠,其中所述磁性穿隧接面堆叠包括至少一固定层、在所述固定层上的阻挡层及在所述阻挡层上的自由层;

在所述磁性穿隧接面堆叠上沉积顶电极层;

将所述顶电极层图案化,接着修整所述顶电极层以形成宽度次30nm的硬掩模;以及

使用所述硬掩模将所述磁性穿隧接面堆叠蚀刻以形成磁性穿隧接面装置并将所述磁性穿隧接面堆叠过蚀刻至所述第一介电层中,但不蚀刻至所述底电极中,其中金属再沉积材料形成在所述磁性穿隧接面装置下的所述第一介电层的侧壁上,而不形成在所述磁性穿隧接面装置的阻挡层的侧壁上。

12.如权利要求11所述的磁性穿隧接面结构的制造方法,其中所述底电极、所述导电通路层与所述顶电极层包括Ta、Ta<sub>2</sub>N<sub>5</sub>、Ti、TiN、W、Cu、Mg、Ru、Cr、Co、Fe、Ni、Pt、Ir、Mo或其组合,且所述底电极、所述导电通路层与所述顶电极层的厚度介于80至150nm。

13.如权利要求11所述的磁性穿隧接面结构的制造方法,其中将所述导电通路层图案化包括:

在所述导电通路层上沉积有机或介电的抗反射涂层至厚度大于或等于20nm,所述抗反射涂层包括SiN、SiON或SiCOH;

在所述抗反射涂层上旋转涂布光致抗蚀剂层;

将所述光致抗蚀剂层图案化以形成宽度介于70至80nm、高度大于或等于200nm的光致抗蚀剂图案;及

将所述抗反射涂层与所述导电通路层以纯氩电浆通过离子束蚀刻或反应离子蚀刻进行物理性蚀刻,以形成高度大于或等于100nm、宽度介于50至100nm的金属柱。

14. 如权利要求11所述的磁性穿隧接面结构的制造方法,其中修整所述导电通路层包括相对于所述导电通路层的顶表面的法线70~90°的角度,以射频功率为500~1000W持续100~500秒进行原位或非原位离子束蚀刻修整,其中修整的所述导电通路的图案尺寸为10~20nm。

15. 如权利要求14所述的磁性穿隧接面结构的制造方法,其中所述离子束蚀刻修整的垂直蚀刻速率小于或等于5Å/sec,所述导电通路的高度与所沉积的所述导电通路层的高度相同,或所述导电通路的高度较所沉积的所述导电通路层的高度少5nm以下。

16. 如权利要求11所述的磁性穿隧接面结构的制造方法,其中以所述第一介电层封装所述导电通路包括将厚度大于或等于100nm的SiO<sub>2</sub>、SiN、SiON、SiC或SiCN进行原位或非原位沉积。

17. 如权利要求11所述的磁性穿隧接面结构的制造方法,其中将所述顶电极层图案化包括:

在所述顶电极层上沉积有机或介电的抗反射涂层至厚度大于或等于20nm,所述抗反射涂层包括SiN、SiON或SiCOH;

在所述抗反射涂层上旋转涂布光致抗蚀剂层;

将所述光致抗蚀剂层图案化以形成宽度介于70至80nm、高度大于或等于200nm的光致抗蚀剂图案;及

将所述抗反射涂层与所述顶电极层以纯氩电浆通过离子束蚀刻或反应离子蚀刻进行物理性蚀刻,以形成高度大于或等于100nm的宽度次30nm的所述硬掩模。

18. 如权利要求11所述的磁性穿隧接面结构的制造方法,其中将所述磁性穿隧接面堆叠蚀刻与过蚀刻包括以纯氩通过离子束蚀刻或反应离子蚀刻进行物理性蚀刻、进行化学性反应离子蚀刻或物理性离子束蚀刻、反应离子蚀刻与化学性反应离子蚀刻的组合。

19. 如权利要求11所述的磁性穿隧接面结构的制造方法,其中所述顶电极层具有大于或等于100nm的沉积高度,且在将所述磁性穿隧接面堆叠蚀刻与过蚀刻后,所述硬掩模的高度大于或等于50nm。

20. 一种磁性穿隧接面,包括:

宽度次30nm的磁性穿隧接面装置,位于宽度次20nm的导电通路上,所述宽度次20nm的导电通路由介电层所封装;

底电极,位于所述宽度次20nm的导电通路下;

顶电极,覆盖并接触所述磁性穿隧接面装置;以及

金属再沉积材料,位于所述磁性穿隧接面装置下的所述介电层的侧壁上,而不位于所述磁性穿隧接面装置的阻挡层的侧壁上。

## 磁性穿隧接面结构与其制造方法

### 技术领域

[0001] 本公开实施例是有关于磁性穿隧接面(magnetic tunneling junctions,MTJ)的一般领域,且特别是有关于用于形成磁性穿隧接面结构的蚀刻方法。

### 背景技术

[0002] 磁阻随机存取记忆体(magnetoresistive random-access memory,MRAM)装置的制造通常涉及一系列处理步骤,在这些处理步骤期间沉积多层金属和介电质,接着将其图案化以形成磁阻堆叠以及用于电连接的电极。为了在每个磁阻随机存取记忆体装置中定义磁性穿隧接面(MTJ),通常涉及精确的图案化步骤,包含光刻和反应离子蚀刻(reactive ion etching,RIE)、离子束蚀刻(ion beam etching,IBE)或它们的组合。在反应离子蚀刻期间,高能离子在未被光致抗蚀剂遮蔽的区域中垂直移除材料,将一个磁性穿隧接面单元与另一个磁性穿隧接面单元分离。然而,高能离子也可与未移除的材料、氧气、水分和其他化学物质侧向反应,导致侧壁损坏并降低装置性能。

[0003] 为了解决这个问题,已经应用例如离子束蚀刻的纯物理性蚀刻技术来蚀刻磁性穿隧接面堆叠。然而,由于非挥发的天性,磁性穿隧接面和底电极中的离子束蚀刻的导电材料可再沉积至穿隧障碍(tunnel barrier)中,导致装置短路。解决此问题的一种方法是大幅度地蚀刻磁性穿隧接面,使得再沉积可被限制在穿隧障碍下方,而不会产生短路路径。然而,必须满足两个先决条件才能执行此方法。第一个先决条件是磁性穿隧接面必须建立在比磁性穿隧接面更薄的大高度通路(via)之上,使得足够的过蚀刻不会引起底电极的再沉积,底电极通常比磁性穿隧接面宽。第二个先决条件是金属硬掩模(其也作为磁性穿隧接面的顶电极)必须够厚,以在非选择的物理性过蚀刻大量消耗之后留下足够的残留物。这些考量对光刻制程提出了挑战,因为这两种情况都需要非常厚的光致抗蚀剂,其图案容易崩塌,特别是当尺寸下降到次30nm时。需要一种新方法以充分利用这种技术的好处。

[0004] 数个参考文献教导了过蚀刻以形成磁性穿隧接面,包含美国专利申请公开号2018/0040668(Park et al.)和2017/0125668(Paranipe et al.)。其他参考文献教导了较宽的金属层上的薄通路,例如美国专利号8,324,698(Zhong et al.)。这些参考文献皆与本公开实施例内容不同。

### 发明内容

[0005] 本公开实施例的目的是提供一种形成磁性穿隧接面结构的改进方法。

[0006] 本公开实施例的又一个目的是提供一种使用物理性过蚀刻形成磁性穿隧接面装置的方法,以避免化学损坏和物理短路。

[0007] 本公开实施例的另一个目的是提供一种磁性穿隧接面装置的形成方法,其使用物理性过蚀刻至在底电极上封装金属通路的介电层,以避免化学损坏和物理短路。

[0008] 根据本公开实施例的目的,实现一种用于蚀刻磁性穿隧接面(MTJ)结构的方法。一导电通路层沉积于一底电极上,接着导电通路层被图案化并修整以在底电极上形成次20nm

的一导电通路。导电通路以一第一介电层封装,第一介电层被平坦化以暴露导电通路的一项表面。一磁性穿隧界面堆叠沉积于封装的导电通路上,其中磁性穿隧界面堆叠包括至少一固定层(pinned layer)、在固定层上的一阻挡层及在阻挡层上的一自由层。一顶电极层沉积于磁性穿隧界面堆叠上。顶电极层被图案化并修整以形成一次30nm的硬掩模。将磁性穿隧界面堆叠使用硬掩模蚀刻以形成一磁性穿隧界面装置并将磁性穿隧界面堆叠过蚀刻至第一介电层中,但不蚀刻至底电极中,其中金属再沉积材料形成在磁性穿隧界面装置下的第一介电层的侧壁上,而不形成在磁性穿隧界面装置的阻挡层的侧壁上。

### 附图说明

- [0009] 在形成此说明书的材料部分的所附图式中,绘示出:
- [0010] 图1至图8以剖面示意本公开实施例中的一实施例中的步骤。
- [0011] 其中,附图标记说明如下:
- [0012] 10~底电极
- [0013] 12~金属层
- [0014] 14~抗反射涂层
- [0015] 16~图案
- [0016] 22~介电材料
- [0017] 24~固定层
- [0018] 26~穿隧阻挡层
- [0019] 28~自由层
- [0020] 30~顶电极
- [0021] 32~抗反射涂层
- [0022] 34~光致抗蚀剂图案
- [0023] 36~金属再沉积
- [0024] 38~第二介电层
- [0025] 40~顶部金属沉积
- [0026] d1、d2、d3、d4、d5~尺寸
- [0027] h1、h2、h9~厚度
- [0028] h3、h4、h5、h6、h8、h10、h11~高度
- [0029]  $\theta$ 1~角度

### 具体实施方式

[0030] 在本公开实施例的制程中,已显示由于在物理性蚀刻下光致抗蚀剂和金属之间的超高选择性,可以单独使用光致抗蚀剂掩模来定义一次30nm的金属通路(via)和高度大于100nm的硬掩模。当需要磁性穿隧界面过蚀刻以减少金属再沉积和相关的装置电短路时,这将大幅地增加制程余裕(process margin)。

[0031] 在典型的制程中,在蚀刻下方的金属通路之前,使用光致抗蚀剂通过化学反应离子蚀刻来定义介电的硬掩模或介电/金属复合的硬掩模。在第一步骤中可使用快速蚀刻硬掩模但缓慢消耗光致抗蚀剂的化学电浆物质。接着,使用其他化学电浆物质定义金属通路,

其快速蚀刻金属但缓慢消耗硬掩模。通过这样做,可获得比单独使用光致抗蚀剂更大高度的金属通路。然而,无论使用何种化学物质,光致抗蚀剂总是在化学反应离子蚀刻下快速消耗,因此当柱体尺寸下降到约30nm或更低时,限制了金属通路的高度为低于50nm。

[0032] 在本公开实施例的制程中,不需要介电的硬掩模,因为光致抗蚀剂在物理性蚀刻下的缓慢蚀刻速率而非常缓慢地消耗。单独使用光致抗蚀剂掩模,由于其比一般化学反应离子蚀刻更好的选择性,可应用物理性蚀刻(例如,纯氩反应离子蚀刻或离子束蚀刻)将通路和硬掩模金属图案化。之后,在高角度离子束蚀刻修整(trimming)的辅助下,制造出次20nm的通路和高于100nm的高度、次30nm的金属硬掩模,使其可大幅地过蚀刻次30nm的磁性穿隧界面,而不会在穿隧屏障上产生化学损伤和再沉积。

[0033] 现参照图1至图8,将详细描述本公开实施例的新颖方法。现更具体地参照图1,其示出形成在一基板(未绘示)上的一底电极10。现在,将用于形成一通路的金属层12沉积在底电极10上,金属层12例如为Ta、TaN、Ti、TiN、W、Cu、Mg、Ru、Cr、Co、Fe、Ni、Pt、Ir、Mo或其组合(例如,TiN/Co/Ir、TiN/TiN/Ir等),且其厚度 $h_1$ 介于80至150nm,较佳大于或等于100nm,底电极10可由类似的材料所制成。接着,将有机或介电的一抗反射涂层14沉积至金属层12之上,抗反射涂层14例如为厚度 $h_2$ 大于或等于20nm的SiN、SiON或SiCOH。较佳地使用介电的抗反射涂层,因为其更有效地减少光反射。此外,介电的抗反射涂层可作为蚀刻的硬掩模,因此不需要额外的硬掩模。旋转涂布光致抗蚀剂并通过248nm的光刻将光致抗蚀剂图案化,形成尺寸 $d_1$ 介于约70至80nm且高度 $h_3$ 大于或等于200nm的图案16。

[0034] 如图2所示,抗反射涂层14与金属层12通过例如纯氩反应离子蚀刻(RIE)或离子束蚀刻(IBE)进行物理性蚀刻。如下表1所示,若以Ta作为通路材料,则光致抗蚀剂与Ta的蚀刻速率比为1.6:1,小于当使用 $CF_4$ 为反应离子蚀刻时的蚀刻速率比2.4:1。当金属材料是TiN时,光致抗蚀剂与TiN的蚀刻速率比为1.7:1,远小于使用 $CF_4$ 为反应离子蚀刻的蚀刻速率比4.5:1。

[0035] 表1: $CF_4$  RIE与Ar RIE/IBE的选择性比较

电浆种类	选择性 (光致抗蚀剂:Ta的蚀刻速率)	选择性 (光致抗蚀剂:TiN的蚀刻速率)
CF <sub>4</sub>	2.4:1	4.5:1
Ar	1.6:1	1.7:1

[0037] 在两种情况下,这些与金属相比相对慢的光致抗蚀剂蚀刻速率允许制造出高度大于或等于100nm、尺寸 $d_2$ 介于50至100nm的金属柱。光致抗蚀剂的蚀刻速率至多为底下金属蚀刻速率的两倍。根据金属层12的厚度,可部分地消耗抗反射涂层14。余留高度 $h_4$ 大于或等于15nm的抗反射涂层。

[0038] 现在,将相对于表面法线的角度 $\theta_1$ 在70~90°范围内的一高角度离子束蚀刻修整(trimming) 20施加于金属柱上。金属图案水平地缩减。得到的通路尺寸 $d_3$ 的范围介于10至20nm,这取决于离子束蚀刻的条件,例如射频(RF) (500~1000W) 和时间(100~1000秒)。在此,当金属通路由惰性金属制成时,使用非原位(ex-situ)离子束蚀刻修整,而对于易于在空气中氧化的金属需要使用原位(in-situ)离子束蚀刻修整。由于顶部余留的介电质(又称

为抗反射涂层)14的保护和离子束蚀刻在如此大角度下的极低垂直蚀刻速率( $\leq 5\text{\AA}/\text{sec}$ ),如图3所示,在此步骤之后,余留的通路高度 $h_5$ 与沉积的高度 $h_1$ 相同或少沉积的高度5nm以下。

[0039] 接着,参照图4,沉积一介电材料22以封装通路12,介电材料22例如为厚度大于或等于100nm的 $\text{SiO}_2$ 、 $\text{SiN}$ 、 $\text{SiON}$ 、 $\text{SiC}$ 或 $\text{SiCN}$ 。在此,当金属通路由惰性金属制成时,使用非原位封装,而对于易于在空气中氧化的金属需要使用原位封装。施加化学机械研磨(chemical mechanical polishing, CMP)以使表面平滑以及暴露下方的金属通路,余留的通路高度 $h_6$ 大于或等于80nm。应该注意的是,这些介电包围的小尺寸通路使得后续磁性穿隧接面过蚀刻成为可能,而不用蚀刻底电极。

[0040] 现在,将多层沉积在封装的通路以形成磁性穿隧接面。举例来说,沉积固定层(pinned layer)24、穿隧阻挡层26和自由层28。可以存在一个或多个固定层、阻挡层及/或自由层。磁性穿隧接面的多层的高度 $h_8$ 为10~30nm。在磁性穿隧接面的多层上沉积一顶电极30,顶电极30由与通路类似的材料制成,其厚度 $h_9$ 大于或等于100nm。在顶电极30上沉积一第二抗反射涂层32,接着进行光致抗蚀剂涂布、曝光和显影,以形成尺寸 $d_1$ 介于约70至80nm、高度 $h_3$ 大于或等于200nm的光致抗蚀剂图案34。

[0041] 顶电极30如图6所示进行物理性蚀刻并修整。硬掩模蚀刻和修整可使用与较早的金属通路蚀刻相同的条件,例如气体种类/射频和偏压(bias)功率/角度。然而,应该注意是,为了修整或最佳化硬掩模的粗糙度以改善部件尺寸的均匀性和装置性能,可以使用不同的蚀刻条件。得到的金属硬掩模/顶电极30的尺寸 $d_4$ 约为30nm,高度 $h_{10}$ 大于或等于100nm。

[0042] 可通过与具有相同或不同蚀刻条件的硬掩模相同类型的物理性蚀刻来蚀刻磁性穿隧接面堆叠24/26/28。磁性穿隧接面堆叠也可通过化学性反应离子蚀刻或物理性离子束蚀刻、反应离子蚀刻与化学性反应离子蚀刻的组合来蚀刻。在对磁性穿隧接面进行大幅的物理性过蚀刻后,蚀刻到介电的封装层22,但并非一直到下方的底电极10,所有金属再沉积36都被限制在穿隧阻挡层26下方。此外,没有来自底电极10的金属再沉积,因为底电极10如图7所示仍然被介电的封装层22所覆盖。并且,由于通路宽度小于磁性穿隧接面宽度 $d_5$ ,因此不会蚀刻磁性穿隧接面堆叠下方的次20nm的通路12。重要的是,余留的金属硬掩模30的余留高度 $h_{11}$ 大于50nm。这为后续的步骤留下足够的制程余裕。

[0043] 如图8所示,沉积一第二介电层38以封装通路12、磁性穿隧接面堆叠24/26/28与顶电极30。施加化学机械研磨和表面溅射(sputtering)以使表面平滑并暴露顶电极,接着进行顶部金属沉积40。

[0044] 综上所述,本公开的制程仅使用光致抗蚀剂掩模以对通路和磁性穿隧接面下方和上方的硬掩模金属进行物理性蚀刻。由于与一般反应离子蚀刻相比,这种类型的蚀刻具有更好的选择性,可以实现次60nm的金属硬掩模和高度大于100nm的通路。之后,在高角度离子束蚀刻修整的辅助下,可以将部件尺寸减小至次30nm,而不会显著降低通路高度。这将大幅地增加制程余裕,并通过磁性穿隧接面的过蚀刻减少金属再沉积。应该注意的是,这是一种低成本技术,因为实现了这一点,而不需要昂贵的浸入式193nm或极紫外(extreme ultraviolet, EUV)光刻或复杂的硬掩模堆叠。本公开实施例的制程将用于尺寸小于60nm的磁阻随机存取记忆体(MRAM)晶片,因为与化学损坏的侧壁相关的问题和来自底电极的再沉

积对于较小尺寸的磁阻随机存取记忆体晶片变得非常严重。

[0045] 根据本公开实施例,提出一种磁性穿隧界面结构的制造方法。此制造方法包含在一底电极上沉积一导电通路层。此制造方法也包含将导电通路层图案化,接着修整导电通路层以在底电极上形成次20nm的一导电通路。此制造方法还包含以一第一介电层封装导电通路并将第一介电层平坦化以暴露导电通路的一顶表面。此制造方法包含在封装的导电通路上沉积一磁性穿隧界面堆叠。磁性穿隧界面堆叠包括至少一固定层、在固定层上的一阻挡层及在阻挡层上的一自由层。此制造方法也包含在磁性穿隧界面堆叠上沉积一顶电极层。此制造方法还包含将顶电极层图案化,接着修整顶电极层以形成次30nm的一硬掩模。此制造方法包含使用硬掩模将磁性穿隧界面堆叠蚀刻以形成一磁性穿隧界面装置并将磁性穿隧界面堆叠过蚀刻至第一介电层中,但不蚀刻至底电极中。金属再沉积材料形成在磁性穿隧界面装置下的第一介电层的侧壁上,而不形成在磁性穿隧界面装置的阻挡层的侧壁上。

[0046] 在一些实施例中,底电极、导电通路层与顶电极层包括Ta、Ta<sub>2</sub>N<sub>5</sub>、Ti、TiN、W、Cu、Mg、Ru、Cr、Co、Fe、Ni、Pt、Ir、Mo或其组合,且底电极、导电通路层与顶电极层的厚度介于80至150nm,较佳大于或等于100nm。

[0047] 在一些实施例中,将导电通路层图案化的步骤包括在导电通道层上沉积有机或介电的一抗反射涂层至厚度大于或等于20nm,抗反射涂层包括SiN、SiON或SiCOH。将导电通路层图案化的步骤也包括在抗反射涂层上旋转涂布一光致抗蚀剂层。将导电通路层图案化的步骤还包括将光致抗蚀剂层图案化以形成宽度介于70至80nm、高度大于或等于200nm的光致抗蚀剂图案。将导电通路层图案化的步骤包括将抗反射涂层与导电通路层以纯氩电浆通过离子束蚀刻或反应离子蚀刻进行物理性蚀刻,以形成高度大于或等于100nm、宽度介于50至100nm的金属柱。

[0048] 在一些实施例中,修整导电通路层包括相对于导电通路层的一顶表面的法线70~90°的角度,以射频(RF)功率为500~1000W持续100~500秒进行原位(in-situ)或非原位(ex-situ)离子束蚀刻修整,其中修整的导电通路的一图案尺寸为10~20nm。

[0049] 在一些实施例中,离子束蚀刻修整的垂直蚀刻速率小于或等于5Å/sec,导电通路的高度与所沉积的导电通路层的高度相同,或导电通路的高度较所沉积导电通路层的高度少5nm以下。

[0050] 在一些实施例中,以第一介电层封装导电通路包括将厚度大于或等于100nm的SiO<sub>2</sub>、SiN、SiON、SiC或SiCN进行原位或非原位沉积。

[0051] 在一些实施例中,将顶电极层图案化的步骤包括在顶电极层上沉积有机或介电的一抗反射涂层至厚度大于或等于20nm,抗反射涂层包括SiN、SiON或SiCOH。将顶电极层图案化的步骤也包括在抗反射涂层上旋转涂布一光致抗蚀剂层。将顶电极层图案化的步骤还包括将光致抗蚀剂层图案化以形成尺寸介于70至80nm、高度大于或等于200nm的光致抗蚀剂图案。将顶电极层图案化的步骤包括将抗反射涂层与顶电极层以纯氩电浆通过离子束蚀刻或反应离子蚀刻进行物理性蚀刻,以形成高度大于或等于100nm的次30nm的硬掩模。

[0052] 在一些实施例中,将磁性穿隧界面堆叠蚀刻与过蚀刻包括以纯氩通过离子束蚀刻或反应离子蚀刻进行物理性蚀刻、进行化学性反应离子蚀刻或物理性离子束蚀刻、反应离子蚀刻与化学性反应离子蚀刻的组合。

[0053] 在一些实施例中,顶电极层具有大于或等于100nm的一沉积高度,且在将磁性穿隧界面堆叠蚀刻与过蚀刻后,硬掩模的高度大于或等于50nm。

[0054] 在一些实施例中,在将磁性穿隧界面堆叠蚀刻与过蚀刻后,此制造方法还包含以一第二介电层封装磁性穿隧界面装置。此制造方法还包含将第二介电层的一项表面平滑化并暴露硬掩模的一项表面。此制造方法也包含沉积一项金属层以接触硬掩模。

[0055] 根据本公开实施例,提出一种磁性穿隧界面结构的制造方法。此制造方法包含在一底电极上沉积一导电通路层。此制造方法也包含将导电通路层图案化,接着修整导电通路层以在底电极上形成高度大于或等于50nm的次20nm的一导电通路。此制造方法还包含以一第一介电层封装导电通路并将第一介电层平坦化以暴露导电通路的一项表面。此制造方法包含在封装的导电通路上沉积一磁性穿隧界面堆叠。磁性穿隧界面堆叠包括至少一固定层、在固定层上的一阻挡层及在阻挡层上的一自由层。此制造方法也包含在磁性穿隧界面堆叠上沉积一项电极层。此制造方法还包含将顶电极层图案化,接着修整顶电极层以形成次30nm的一硬掩模。此制造方法包含使用硬掩模将磁性穿隧界面堆叠蚀刻以形成一磁性穿隧界面装置并将磁性穿隧界面堆叠过蚀刻至第一介电层中,但不蚀刻至底电极中。金属再沉积材料形成在磁性穿隧界面装置下的第一介电层的侧壁上,而不形成在磁性穿隧界面装置的阻挡层的侧壁上。

[0056] 根据本公开实施例,提出一种磁性穿隧界面。此磁性穿隧界面包括一次30nm的磁性穿隧界面装置,次30nm的磁性穿隧界面装置位于一次20nm的导电通路上,次20nm的导电通路由一介电层所封装。此磁性穿隧界面也包括一底电极,底电极位于次20nm的导电通路下。此磁性穿隧界面还包括一项电极,顶电极覆盖并接触磁性穿隧界面装置。

[0057] 尽管已经说明本公开的较佳实施例,并且已经详细描述了此形式,本领域技术人员将容易理解,在不脱离本公开的精神或所附的权利要求的情况下,可在其中进行各种修改。

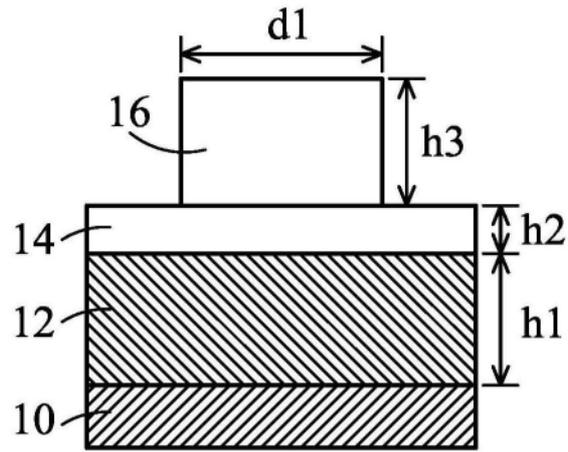


图1

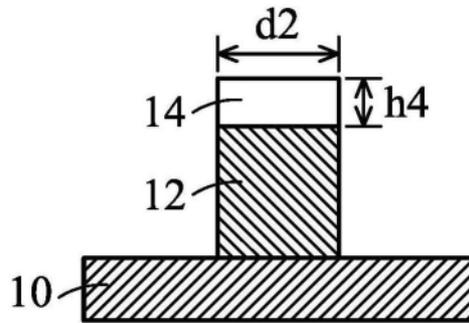


图2

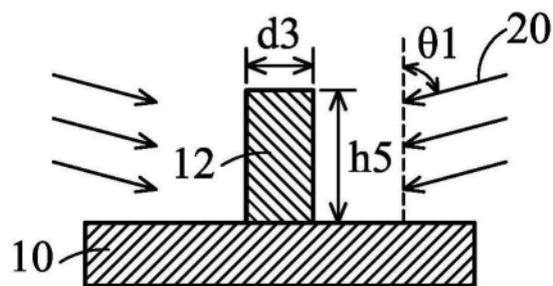


图3

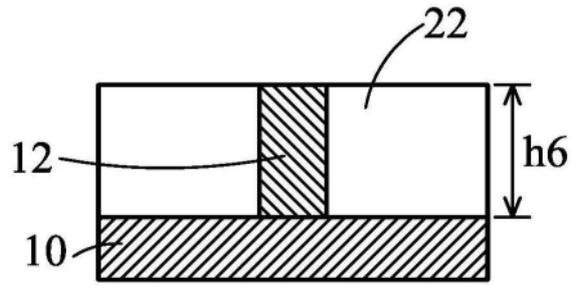


图4

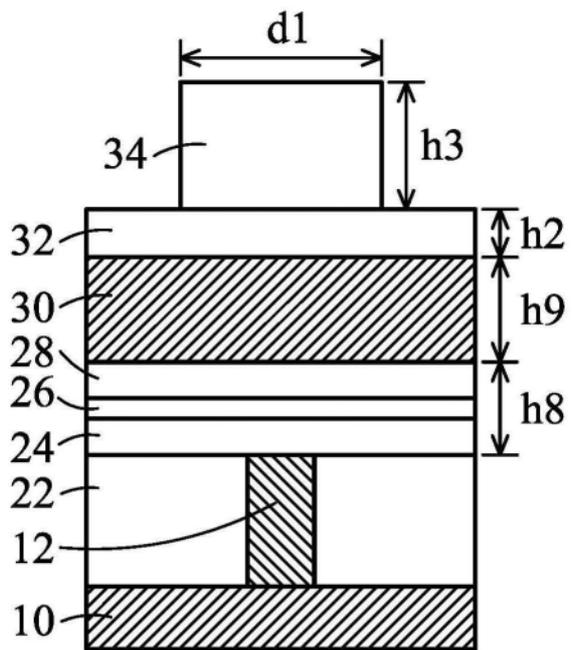


图5

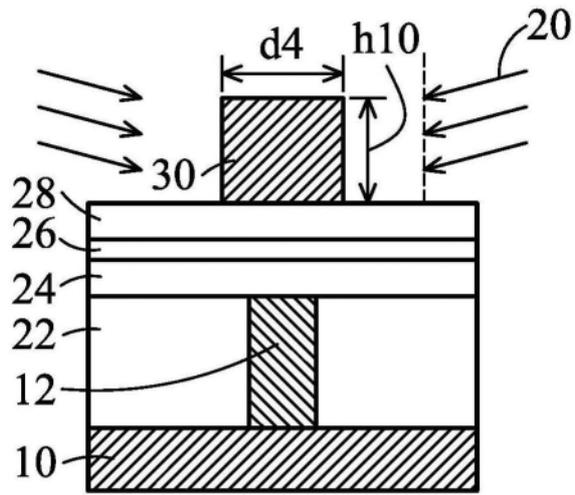


图6

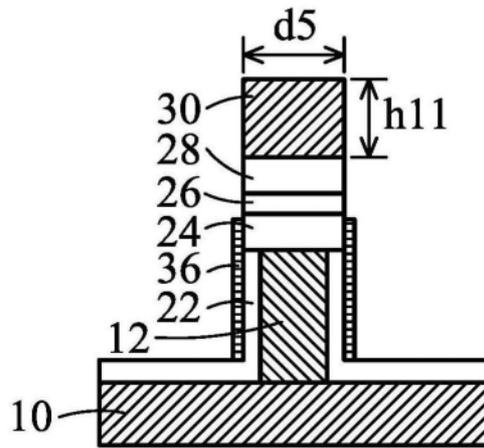


图7

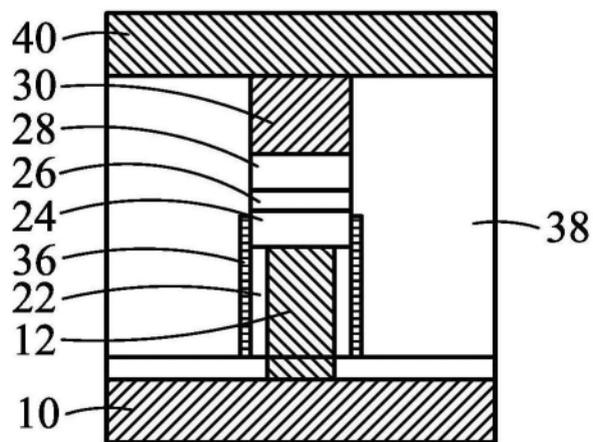


图8