

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6570954号  
(P6570954)

(45) 発行日 令和1年9月4日(2019.9.4)

(24) 登録日 令和1年8月16日(2019.8.16)

(51) Int.Cl.	F I
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 L
HO 1 L 27/04 (2006.01)	HO 1 L 25/00 B
HO 1 L 25/00 (2006.01)	HO 1 L 25/04 Z
HO 1 L 25/04 (2014.01)	HO 1 L 27/04 E
HO 1 L 25/18 (2006.01)	HO 1 F 38/14

請求項の数 17 (全 25 頁) 最終頁に続く

(21) 出願番号 特願2015-195099 (P2015-195099)	(73) 特許権者 899000079 学校法人慶應義塾 東京都港区三田2丁目15番45号
(22) 出願日 平成27年9月30日(2015.9.30)	
(65) 公開番号 特開2017-69456 (P2017-69456A)	(74) 代理人 100094525 弁理士 土井 健二
(43) 公開日 平成29年4月6日(2017.4.6)	(74) 代理人 100094514 弁理士 林 恒徳
審査請求日 平成30年7月10日(2018.7.10)	(74) 代理人 100105337 弁理士 眞鍋 潔
(出願人による申告)平成27年度、国立研究開発法人科学技術振興機構、戦略的創造研究推進事業(ACCEL)の研究課題「近接場結合集積技術による革新的情報処理システムの実現と応用展開」における、研究題目「近接場結合集積技術ならびに高効率情報処理システムの研究開発」に係る委託研究、産業技術力強化法第19条の適用を受ける特許出願	(72) 発明者 黒田 忠広 神奈川県横浜市港北区日吉3丁目14番1号 慶應義塾大学理工学部内
	審査官 市川 武宜

最終頁に続く

(54) 【発明の名称】 半導体チップ及びマルチチップモジュール

(57) 【特許請求の範囲】

【請求項1】

半導体基体と、

前記半導体基体上に多層配線構造を利用して形成されたコイル面が前記半導体基体の主平面と平行な積層ソレノイドコイルと

を有し、

前記積層ソレノイドコイルは、前記半導体基体の少なくとも一つの側端面に沿って形成されており、

前記積層ソレノイドコイルの前記側端面側の辺における積層方向から見て整列している位置における配線密度が、他の3つの辺における積層方向から見て整列している位置における配線密度より高いことを特徴とする半導体チップ。

10

【請求項2】

前記積層ソレノイドコイルの少なくとも一辺が、前記半導体基体の前記側端面から9.5 μm以内の範囲に設けられていることを特徴とする請求項1に記載の半導体チップ。

【請求項3】

前記積層ソレノイドコイルの少なくとも一辺が、前記半導体基体の前記側端面から5 μm以内の範囲に設けられていることを特徴とする請求項2に記載の半導体チップ。

【請求項4】

前記積層ソレノイドコイルの各層の前記側端面側の一辺が、前記積層ソレノイドコイルの積層方向から見て整列していることを特徴とする請求項1乃至請求項3のいずれか1項

20

に記載の半導体チップ。

【請求項 5】

前記積層ソレノイドコイルの各層の前記側端面側の一边以外の少なくとも 1 辺が、スパイラルになっていることを特徴とする請求項 4 に記載の半導体チップ。

【請求項 6】

前記積層ソレノイドコイルの各層の前記側端面側の一边の幅が、他の辺の幅より細いことを特徴とする請求項 4 または請求項 5 に記載の半導体チップ。

【請求項 7】

前記積層ソレノイドコイルを水平方向に貫通するように電源配線或いは信号配線の少なくとも一方が設けられていることを特徴とする請求項 1 乃至請求項 6 のいずれか 1 項に記載の半導体チップ。

10

【請求項 8】

前記積層ソレノイドコイルの奇数巻き目のコイル要素が、相対的に外側に配置した第 1 の配線要素からなり、前記積層ソレノイドコイルの偶数巻き目のコイル要素が、前記側端面に配置された第 1 の配線要素と前記第 1 の配線要素の内側に配置した第 2 の配線要素からなることを特徴とする請求項 4 乃至請求項 7 のいずれか 1 項に記載の半導体チップ。

【請求項 9】

前記積層ソレノイドコイルの内部に、前記積層ソレノイドコイルと積層構造で巻かれた入子状積層ソレノイドコイルが配置されており、前記積層ソレノイドコイルと前記入子状積層ソレノイドコイルとが電氣的に直列接続していることを特徴とする請求項 4 乃至請求項 7 のいずれか 1 項に記載の半導体チップ。

20

【請求項 10】

前記積層ソレノイドコイルが、受信用積層ソレノイドコイルと送信用積層ソレノイドコイルが水平方向に配列された積層ソレノイドコイルであることを特徴とする請求項 4 乃至請求項 7 のいずれか 1 項に記載の半導体チップ。

【請求項 11】

前記積層ソレノイドコイルが、受信用積層ソレノイドコイルと送信用積層ソレノイドコイルが積層された積層ソレノイドコイルであることを特徴とする請求項 4 乃至請求項 7 のいずれか 1 項に記載の半導体チップ。

【請求項 12】

30

前記積層ソレノイドコイルが、前記半導体基体の少なくとも 2 つ以上の側端面に沿って設けられていることを特徴とする請求項 1 乃至請求項 11 のいずれか 1 項に記載の半導体チップ。

【請求項 13】

実装基板と、  
前記実装基板上に実装された第 1 の半導体チップと、  
前記実装基板上に実装された第 2 の半導体チップとを  
有し、

前記第 1 の半導体チップは、第 1 の半導体基体の少なくとも第 1 の側端面に沿って形成されたコイル面が前記第 1 の半導体基体の主平面と平行な積層ソレノイドコイルを備え、

40

前記第 2 の半導体チップは、第 2 の半導体基体の少なくとも第 1 の側端面に沿って形成されたコイル面が前記第 2 の半導体基体の主平面と平行な積層ソレノイドコイルを備え、

前記第 1 の半導体チップに設けた前記積層ソレノイドコイルと前記第 2 の半導体チップに設けた前記積層ソレノイドコイルとが互いに対向しており、

前記第 1 の半導体基体及び前記第 2 の半導体基体に設けた前記積層ソレノイドコイルの前記第 1 の側端面側の辺における積層方向から見て整列している位置における配線密度が、他の 3 つの辺における積層方向から見て整列している位置における配線密度より高いことを特徴とするマルチチップモジュール。

【請求項 14】

前記第 1 の半導体チップに設けた前記積層ソレノイドコイルの一边と前記第 2 の半導体

50

チップに設けた前記積層ソレノイドコイルの一辺とが、 $9.5\ \mu\text{m}$ 以内の間隔で対向していることを特徴とする請求項13に記載のマルチチップモジュール。

【請求項15】

前記第1の半導体チップに設けた前記積層ソレノイドコイルの積層方向の中心高さと同前記第2の半導体チップに設けた前記積層ソレノイドコイルの積層方向の中心高さが一致していることを特徴とする請求項14に記載のマルチチップモジュール。

【請求項16】

前記第1の半導体チップに設けた前記積層ソレノイドコイルの積層方向の中心高さと同前記第2の半導体チップに設けた前記積層ソレノイドコイルの積層方向の中心高さが $5\ \mu\text{m}$ 以内の距離でずれていることを特徴とする請求項14に記載のマルチチップモジュール。

【請求項17】

前記第1の半導体チップに設けた前記積層ソレノイドコイルが、前記第1の半導体基体の第2の側端面に沿っても設けられており、第3の半導体基体の少なくとも第1の側端面に沿って形成されたコイル面が前記第3の半導体基体の主平面と平行な積層ソレノイドコイルを備えた第3の半導体チップをその積層ソレノイドコイルが、前記第2の側端面に沿って設けられた前記積層ソレノイドコイルに対向するように、前記実装基板上に実装したことを特徴とする請求項13乃至請求項16のいずれか1項に記載のマルチチップモジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体チップ及びマルチチップモジュールに関するもので、例えば、互いに隣接する平面配置された半導体チップ間の信号伝送を非接触で行う半導体チップ及び半導体モジュールに関するものである。

【背景技術】

【0002】

従来、複数の半導体チップを1つのパッケージ内部に集積するマルチチップモジュールにおいては、マルチチップモジュールに実装した半導体チップ間信号伝送には、ワイヤボンディングやシリコンインタポーザにより接続して信号伝送を行っていた。

【0003】

図23は、従来のボンディングワイヤを用いた実装構造の説明図であり、パッケージ基板81に半導体チップ71<sub>1</sub>、71<sub>2</sub>を実装し、各半導体チップ71<sub>1</sub>、71<sub>2</sub>に設けたパッド72<sub>1</sub>、72<sub>2</sub>とパッケージ基板81に設けたパッド82とをボンディングワイヤ73<sub>1</sub>、73<sub>2</sub>で接続している。

【0004】

ボンディングワイヤを用いた実装構造は、実装面積と消費エネルギーを削減できるので、モバイル機器に多く用いられる。この実装方式の課題は、低いデータ転送速度である。即ち、接続できるボンディングワイヤの本数でデータ転送速度が制限されるという問題がある。

【0005】

一方、シリコンインタポーザを用いたSiP技術(例えば、非特許文献1 或いは非特許文献2 参照)は、チップ間のデータ転送を高速・低電力にできるという特長がある。図24は、従来のシリコンインタポーザを用いた実装構造の説明図である。パッケージ基板98にシリコンインタポーザ93を介して、半導体チップ91<sub>1</sub>、91<sub>2</sub>をフリップチップボンディングしている。シリコンインタポーザ93には、パッド94、ビア(TSV)95、配線96及びC4(Controlled Collapse Chip Connection)バンプ97が設けられている。

【0006】

半導体チップ91<sub>1</sub>と半導体チップ91<sub>2</sub>は、マイクロバンプ92<sub>1</sub>、92<sub>2</sub>、パッド94、ビア(TSV)95及び配線96を介して相互に接続される。また、半導体チップ

10

20

30

40

50

91<sub>1</sub>と半導体チップ91<sub>2</sub>は、パッド94、ビア(TSV)95及びC4バンプ97を介してパッケージ基板98に設けたパッド99に接続される。

【0007】

しかし、SiP技術の場合には、大きなシリコンインタポーザと微細なマイクロバンプおよびTSV(貫通Siビア)が必要になり、高い実装コストが課題となる。

【0008】

近年、このようなボンディングワイヤやシリコンインタポーザに起因する問題を解決するために、容量やコイルを用いた非接触で信号伝送を行う方法が提案されている。例えば、本発明者は、半導体チップのチップ上の配線により形成されるコイルを介して積層実装されるチップ間で誘導結合による通信を行うことを提案している(例えば、特許文献1或いは非特許文献3等参照)。

10

【0009】

これらの提案では、半導体チップ上に形成した送受信コイルにデータを重畳した信号電流を流し、その上或いは下に配置した半導体チップ上に形成した送受信コイルに誘導結合により誘起された電力を検出することで非接触な信号伝送を可能にしている。

【0010】

これらの技術を用いれば、複数のICチップ間でデータの授受を無線通信で行うことが可能になる。その結果、データ通信のワイヤーや大きなインタポーザが不要になるので、ワイヤボンディングの本数を削減できて、チップの積層枚数を増やすことができる。

【先行技術文献】

20

【特許文献】

【0011】

【特許文献1】特開2005-228981号公報

【特許文献2】国際公開第2009/113372号

【非特許文献】

【0012】

【非特許文献1】T. Dickson, et al., "An 8x10-Gb/s Source-Synchronous I/O System Based on High-Density Silicon Carrier Interconnects", Symposium on VLSI Circuits, pp. 80-81, June 2011

30

【非特許文献2】M. Lin, et al., "An extra low-power 1 Tbit/s bandwidth PLL/DLL-less eDRAM PHY using 0.3V low-swing IO for 2.5D CoWoS application", Symposium on VLSI Circuits, pp. C16-C17, June 2013

【非特許文献3】D. Mizoguchi et al., "A 1.2 Gb/s/pin Wireless Superconnect based on Inductive Inter-chip Signaling (IIS)", IEEE International Solid-State Circuits Conference (ISSCC'04), Dig. Tech. Papers, pp. 142-143, 517, Feb. 2004

40

【非特許文献4】日経エレクトロニクス pp.56-58 2015.08

【非特許文献5】M. Kumagai, et al., "Advanced dicing technology for semiconductor wafer-Stealth Dicing," International Symposium on Semiconductor Manufacturing, pp. 215-218, Sep. 2006.

【発明の概要】

【発明が解決しようとする課題】

50

## 【0013】

しかしながら、このような誘導結合により信号伝送を行う方法では、図23及び図24に示したような互いに隣接する平面配置された半導体チップ間の信号伝送を行うことが非常に困難である。即ち、互いに隣接する平面配置された半導体チップ間の信号伝送を行う場合、送受信コイルの発生する磁束の向きはコイル面に対して略垂直になるため、発生する磁束の向きが信号伝送方向と直交する方向になり、発生した磁束を有効に利用できないという問題がある。

## 【0014】

そこで、本発明者は、平面スパイラスコイルに関して、シミュレーションを行った。図25は、シミュレーションに用いた平面スパイラルコイルの平面図であり、最外郭径が70  $\mu\text{m}$ で巻数 $n$ が8巻とした。通信距離を現在のダイシング技術で可能な最短距離である $d = 3 \mu\text{m}$ とした場合、結合係数 $k$ は0.0733であり、結合の強さを示す相互インダクタンス $M$ は0.39 nHであった。通信を可能にするためには、1 nH程度の相互インダクタンス $M$ が必要であるので、この結果から見て、最外郭径が70  $\mu\text{m}$ 程度の平面スパイラスコイルでは信号伝達を行うことは実効的に不可能であることが判明した。

10

## 【0015】

信号伝送を確実にを行うためには、非常に大きな送受信コイルが必要になる。しかし、大きな送受信コイルを設けた場合には、送受信コイルの占有面積が増大するため、半導体チップの小型化が困難になる。また、半導体チップ内に設けた発振回路やRF通信のためのアンテナ回路等のコイルに対して、チップ間信号送信のために送受信コイルで発生する磁束がこれらの他のコイルに影響を与えるという問題がある。これらの理由により、特性劣化やチップマージンの悪化をもたらすことになる。

20

## 【0016】

そこで、これらの問題が解決するために、半導体チップの側端面近傍にコイル面が半導体チップの主面と略垂直になる送受信コイルを設けることが提案されている（例えば、特許文献2 或いは非特許文献4 参照）。

## 【0017】

しかし、上記の提案についてシミュレーションを行った結果、確実に安定した信号伝達は困難であることが判明した。図26は、シミュレーションに用いた多層配線構造を利用して形成したコイルの概略的斜視図であり、ここでは、最下層及び最上層の辺の長さを70  $\mu\text{m}$ とし、ビアに相当する縦の辺を3  $\mu\text{m}$ とし、巻数を8巻にしている。ここでも、通信距離を $d = 3 \mu\text{m}$ とした場合、結合係数は0.124であり、相互インダクタンス $M$ は0.13 nHであり、平面スパイラルコイルよりも相互インダクタンス $M$ は1/3程度になる。

30

## 【0018】

また、対向する半導体チップが高さ方向において、5  $\mu\text{m}$ 程度ずれた場合についても、シミュレーションした結果、結合係数は0.01となり、相互インダクタンス $M$ は0.01 nHであり、高さ方向の位置ずれがない場合に比べて1桁以上特性が低下することを見出した。即ち、この場合のコイルの形状は、縦方向の辺が多層配線構造の積層厚さに制限されるため、70  $\mu\text{m} \times 3 \mu\text{m}$ 等の非常に扁平なコイル面を有することになる。この場合、実装工程において、高さ方向の位置ずれが生じた場合、下辺を流れる電流と上限を流れる電流の方向が逆方向になるため、電流により発生する磁界が受信側で相殺される。したがって、このような構造のコイルを用いた場合には、確実に安定した信号伝達は困難である。

40

## 【0019】

したがって、半導体チップ及びマルチチップモジュールにおいて、発振回路やRF通信のためのアンテナ回路等の他のコイルに影響を与えることなく、互いに隣接する平面配置された半導体チップ間の信号伝送を誘導結合で行うことを目的とする。

## 【課題を解決するための手段】

## 【0020】

50

開示する一観点からは、半導体基体と、前記半導体基体上に多層配線構造を利用して形成されたコイル面が前記半導体基体の主平面と平行な積層ソレノイドコイルとを有し、前記積層ソレノイドコイルは、前記半導体基体の少なくとも一つの側端面に沿って形成されており、前記積層ソレノイドコイルの前記側端面側の辺における積層方向から見て整列している位置における配線密度が、他の3つの辺における積層方向から見て整列している位置における配線密度より高いことを特徴とする半導体チップが提供される。

【0021】

また、開示する他の観点からは、実装基板と、前記実装基板上に実装された第1の半導体チップと、前記実装基板上に実装された第2の半導体チップとを有し、前記第1の半導体チップは、第1の半導体基体の少なくとも第1の側端面に沿って形成されたコイル面が前記第1の半導体基体の主平面と平行な積層ソレノイドコイルを備え、前記第2の半導体チップは、第2の半導体基体の少なくとも第1の側端面に沿って形成されたコイル面が前記第2の半導体基体の主平面と平行な積層ソレノイドコイルを備え、前記第1の半導体チップに設けた前記積層ソレノイドコイルと前記第2の半導体チップに設けた前記積層ソレノイドコイルとが互いに対向しており、前記第1の半導体基体及び前記第2の半導体基体に設けた前記積層ソレノイドコイルの前記第1の側端面側の辺における積層方向から見て整列している位置における配線密度が、他の3つの辺における積層方向から見て整列している位置における配線密度より高いことを特徴とするマルチチップモジュールが提供される。

【発明の効果】

【0022】

開示の半導体チップ及びマルチチップモジュールによれば、発振回路やRF通信のためのアンテナ回路等の他のコイルに影響を与えることなく、互いに隣接する平面配置された半導体チップ間の信号伝送を誘導結合で行うことが可能になる。

【図面の簡単な説明】

【0023】

【図1】本発明の実施の形態の半導体チップ及びマルチチップモジュールの概念的構成図である。

【図2】電界シミュレーションの結果の説明図である。

【図3】本発明の実施例1の半導体チップに設けた積層ソレノイドコイルの概略的斜視図である。

【図4】積層ソレノイドコイルの層構成の説明図である。

【図5】シミュレーションに用いた送受信コイルの説明図である。

【図6】送受信回路の説明図である。

【図7】信号波形の説明図である。

【図8】本発明の実施例2の半導体チップに用いる積層ソレノイドコイルの層構成の説明図である。

【図9】本発明の実施例3の半導体チップに用いる積層ソレノイドコイルの層構成の説明図である。

【図10】本発明の実施例4の半導体チップに用いる積層ソレノイドコイルの層構成の説明図である。

【図11】本発明の実施例5のシミュレーションに用いた送受信コイルの説明図である。

【図12】本発明の実施例6のマルチチップモジュールに用いる積層ソレノイドコイルの斜視図である。

【図13】本発明の実施例6のマルチチップモジュールの説明図である。

【図14】本発明の実施例7のマルチチップモジュールの説明図である。

【図15】本発明の実施例8のマルチチップモジュールの実装構造の説明図である。

【図16】本発明の実施例8のマルチチップモジュールに用いる送受信回路の説明図である。

【図17】信号波形の説明図である。

【図18】BERとタイミングの相関の説明図である。

【図19】BERとコイル間隔の相関の説明図である。

【図20】転送速度及び消費電力の説明図である。

【図21】データ転送の面積効率及び電力効率の説明図である。

【図22】本発明の実施例9のマルチチップモジュールの平面図である。

【図23】従来のボンディングワイヤを用いた実装構造の説明図である。

【図24】従来のシリコンインタポーザを用いた実装構造の説明図である。

【図25】シミュレーションに用いた平面スパイラルコイルの平面図である。

【図26】シミュレーションに用いた多層配線構造を利用して形成したコイルの概略的斜視図である。

10

【発明を実施するための形態】

【0024】

ここで、図1及び図2を参照して、本発明の実施の形態を説明する。図1は、本発明の実施の形態の半導体チップ及びマルチチップモジュールの概念的構成図であり、図1(a)は半導体チップの概念的構成図であり、図1(b)はマルチチップモジュールの概念的構成図である。図1(a)に示すように、本発明の実施の形態の半導体チップ10は、半導体基体(semiconductor body)上に多層配線構造を利用して形成されたコイル面が半導体基体の主平面と平行な積層ソレノイドコイル11を備えている。この積層ソレノイドコイル11は、半導体基体の少なくとも一つの側端面に沿って形成されている。この場合、積層ソレノイドコイル11は、半導体基体の側端面から7 $\mu$ m以内の範囲に設けられていることが望ましい。なお、半導体基体とは、半導体基板、エピタキシャル層を形成した半導体基板、或いは、半導体基板を除去したエピタキシャル層等を意味する。

20

【0025】

また、図1(b)に示すように、本発明の実施の形態のマルチチップモジュールは、半導体基体の少なくとも第1の側端面に沿って形成された積層ソレノイドコイル11<sub>1</sub>を備えた第1の半導体チップ10<sub>1</sub>と、半導体基体の少なくとも第1の側端面に沿って形成された積層ソレノイドコイル11<sub>2</sub>を備えた第2の半導体チップ10<sub>2</sub>とを実装基板20上に実装し、ボンディングワイヤ22<sub>1</sub>、22<sub>2</sub>により電氣的にする。この時、第1の半導体チップ10<sub>1</sub>に設けた積層ソレノイドコイル11<sub>1</sub>と第2の半導体チップ10<sub>2</sub>に設けた積層ソレノイドコイル11<sub>2</sub>とが互いに対向するように配置する。

30

【0026】

上述のシミュレーションを行った結果、コイルを積層ソレノイドコイル11<sub>1</sub>、11<sub>2</sub>とし、この積層ソレノイドコイル11<sub>1</sub>、11<sub>2</sub>を半導体基体10<sub>1</sub>、10<sub>2</sub>の側端面に沿って、即ち、ダイシングラインに近接して配置することにより、誘導結合によりチップ間送受信が可能であることを見出した。従来の半導体装置の製造工程では、ダイシングラインの近傍には、積層ソレノイドコイル11<sub>1</sub>、11<sub>2</sub>を設けることは、ダイシングの精度により実質的に不可能であった。

【0027】

しかし、近年の技術向上により、精度良くダイシングを行うことが可能になった。例えば、Laser ablationを用いることでクラックを発生せずにダイシングできるようになり(例えば、非特許文献5参照)、ダイシングラインの近傍に積層ソレノイドコイルを設けてもダイシング工程で破壊されることがなく、メタル配線をチップ端から1 $\mu$ mに置くことができるようになった。また、2つの半導体チップ10<sub>1</sub>、10<sub>2</sub>を1 $\mu$ m間隔でダイボンドすることも現在の量産技術で可能であり、したがって、コイル間隔xをx<sub>3</sub> $\mu$ mにできる。そこで、本発明者は、発想の転換で従来は実質的に不可能と考えられていたダイシングラインの近傍に積層ソレノイドコイルを設けることを思い至った。

40

【0028】

図2は電界シミュレーション結果の説明図である。図2(a)は、従来の半導体チップ

50

を積層した場合の垂直方向の磁界結合の状況の説明図であり、上下のコイル間で磁界結合していることが確認された。一方、図2(b)に示すように、半導体チップを水平方向に隣接して配置した場合には、互いに対向する1辺で磁界結合していることが分かった。

【0029】

即ち、半導体チップの多層配線を巻いて作った空芯の正方形コイルは、4辺の周囲に磁界を作る。コイルが垂直方向に重なった場合は図2(a)に示すように4辺で磁界結合するが、コイルが水平方向に隣接した場合は図2(b)に示すように対向する1辺で磁界結合する。

【0030】

コイルが水平方向に隣接した場合はコイルが垂直方向に重なった場合に比べて相互インダクタンスMは1/4程度に小さくなる。しかし、巻き数を増やしたり或いは巻き方の工夫でMの不足分を補うことが可能である。上述の非特許文献4に示されているように、これまで垂直方向にしか強く結合しないと考えられていたが、水平方向にも相当程度に結合し活用できることを発見した。

【0031】

そこで、本発明者は、相互インダクタンスMを増大するコイルの巻き方を考案した。相互インダクタンスMはコイルの巻き数(n)のおよそ1.7乗に比例して増えるので、積層方向にソレノイドに巻き、さらに必要に応じて平面方向にスパイラルに巻いて巻き数を増やせば良いとの結論に至った。即ち、受信信号は送信コイルの電流変化( $dI/dt$ )と相互インダクタンスMの積で決まるので、相互インダクタンスMをコイルの巻き方で大きくくすることにより、受信信号を大きくすることができる。

【0032】

スパイラルに巻く場合には、各コイルの対向する辺は互いに離れるので、2つのコイルが対向する辺ではコイルの線幅を細くして通信距離の増分を抑える。他の3辺は相互インダクタンスMにほとんど影響しないので、線幅を太くしてコイル全体の寄生抵抗を小さく抑える。また、半導体チップの端にはコイル以外の配線はないので、半導体チップの互いに対向する辺では配線リソースを全て使い切るが、他の3辺では電源線や信号線が交差できるように必要な配線リソースを残して良い。

【0033】

シミュレーションの結果、相互インダクタンスが1nH程度であれば、十分にデータ通信でき、水平方向の距離dはコイル直径の1/12程度まで通信でき、横方向にはコイル直径に対して1/10程度ずれても通信できるのでコイルのサイズを80 $\mu$ m角にすると、水平方向の距離を7 $\mu$ m程度にしても通信が可能になる。なお、後述するように、他のシミュレーションからは、コイル対向辺の半導体チップの側端面からの距離を9.5 $\mu$ m以内にすれば通信は、可能である。

【0034】

近年、レーザを用いてクラックを生じることなくダイニングできるようになり、メタル配線をチップ端から1 $\mu$ mに配置することができていることが報告されている(例えば、非特許文献3参照)。また、2つの半導体チップを1 $\mu$ m~3 $\mu$ m間隔でダイボンドすることも可能である。したがって、積層ソレノイドコイルの水平距離が5 $\mu$ m以内になるようにチップを実装できるので、今回のシミュレーションにおける設定条件には何らの問題もない。

【0035】

また、後述するように、 $D = 40\mu\text{m}$ 、 $d = 3\mu\text{m}$ で65nm-CMOS技術でシミュレーションを行うと、単位面積当りのデータ転送速度は3.2Tb/s/mm<sup>2</sup>となる。また、単位データ転送速度当りの消費電力(電力効率(Tb/s/W=(pJ/b)))は、コイル間隔dを3 $\mu$ m~5 $\mu$ mにすることにより、大幅に向上することができる。因みに、 $D = 40\mu\text{m}$ 、 $d = 3\mu\text{m}$ で65nm-CMOS技術でシミュレーションを行うと、単位データ転送速度当りの電力効率は、2.3Tb/s/W(=0.43(pJ/b))となる。

10

20

30

40

50

## 【0036】

上述の平面スパイラルコイルの場合には、対向する辺の間隔が巻き込むことにより内側に配置されて辺同士の間隔が内側になるほど大きくなるため、大きな相互インダクタンスは得られない。一方、本発明の場合には、同じ巻き数であっても、対向する各辺の間隔は同じであるので、上述のように巻き数  $n$  を増やすと相互インダクタンス  $M$  は理想的には  $n$  の 1.7 乗 (1.6 乗 ~ 1.8 乗) に比例して増える。因みに、積層ソレノイドコイルの一边を  $70 \mu\text{m}$  とし、8 巻した場合に、通信距離  $d = 3 \mu\text{m}$  にすると、結合係数は 0.184 となり、相互インダクタンス  $M$  は  $1.16 \text{ nH}$  となり、水平スパイラスコイル或いは特許文献 1 に示されたコイルに比べて大幅な改善が得られた。

## 【0037】

また、高さ方向のズレを  $5 \mu\text{m}$  にした場合にも、結合係数は 0.112 であり、相互インダクタンスは  $0.71 \text{ nH}$  であり、多少は低下するものの、特許文献 2 に示されたコイルのように一桁以上の大幅な低下は見られなかった。このように、本発明の実施の形態では積層ソレノイドコイルを用いているので、水平でなくても十分な強度で磁界結合する。したがって、実装における高さ方向の制約は小さく、チップの実装の難易度は従来とほとんど変わらない。

## 【0038】

また、積層ソレノイドコイルの各層の側端面側の一边が、積層ソレノイドコイルの積層方向から見て整列していることが望ましい。このようにすることによって、互いに対向する全ての辺の間隔を一定にすることができる。

## 【0039】

また、積層ソレノイドコイルの各層の側端面側の一边の幅を、他の辺の幅より細くすることが望ましい。相互インダクタンス  $M$  を大きくするためには、互いに対向するチップ間で対向する辺の線幅を細くして、対向辺間の距離があまり離れないようにしたい。しかし、線幅を細くすると寄生抵抗が増えて、送信コイルに大きな電流を流せなくなり送信電流の変化が小さくなったり、受信コイルの帯域が狭くなって高速通信ができなくなる。一方、対向辺に直角の辺は、互いに対向する対向辺間の相互インダクタンス  $M$  に大きな影響を与えない。さらに、同じコイルにおける対向辺に対向する辺は、対向辺から遠ざかる方向に太くても相互インダクタンス  $M$  に大きな影響を与えない。したがって、互いに対向するチップ間で対向する辺の線幅を細くし、その他の辺の線幅を太くすることにより、コイル全体の抵抗値を上げずに、相互インダクタンス  $M$  を大きくすることが可能になる。

## 【0040】

また、積層ソレノイドコイルの側端面側の辺における配線密度が、他の 3 つの辺における配線密度より高くすることが望ましい。積層ソレノイドコイルの側端面側の辺における配線密度を、他の 3 つの辺における配線密度より高くすることにより相互インダクタンス  $M$  を大きくすることができる。また、配線密度が低い辺の方向を貫通するように電源配線或いは信号配線の少なくとも一方を設けることが可能になる。

## 【0041】

そのような巻き方の一例としては、積層ソレノイドコイルの奇数巻き目のコイル要素が、相対的に外側に配置した第 1 の配線要素からなり、積層ソレノイドコイルの偶数巻き目のコイル要素が、側端面に配置された第 1 の配線要素と第 1 の配線要素の内側に配置した第 2 の配線要素からなるようにすることが挙げられる。

## 【0042】

また、積層ソレノイドコイルの内部に、積層ソレノイドコイルと入子状積層ソレノイドコイルを配置し、積層ソレノイドコイルと入子状積層ソレノイドコイルとが電氣的に直列接続するようにしても良い。このように、入子状積層ソレノイドコイルを組み込むことによって、相互インダクタンスを 3 倍程度大きくすることができる。その結果、通信距離を延ばすことができ、チップ間隔を広げることができる。或いは、より低電力・低エネルギーで通信することができる。

## 【0043】

10

20

30

40

50

積層ソレノイドコイルを、受信用積層ソレノイドコイルと送信用積層ソレノイドコイルが水平方向に配列された積層ソレノイドコイルとしても良い。或いは、積層ソレノイドコイルを、受信用積層ソレノイドコイルと送信用積層ソレノイドコイルを同じ位置に積層した積層ソレノイドコイルとしても良い。一般に多層配線構造の場合、上層の配線層ほど膜厚になる。したがって、厚い上部配線層で大きな電流が流れる送信用積層ソレノイドコイルを巻き、薄い下部配線層であまり大きな電流が流れない受信用積層ソレノイドコイルを巻く。この場合、対向する半導体チップ間で送信用積層ソレノイドコイルと受信用積層ソレノイドコイルの高さ方向の位置が異なり通信距離がチップ間距離よりも少し長くなるが、上述のシミュレーション結果から明らかなように問題は無い。

【0044】

或いは、一方の半導体チップでは、送信用積層ソレノイドコイル/受信用積層ソレノイドコイルの積層順とし、他方の半導体チップでは、受信用積層ソレノイドコイル/送信用積層ソレノイドコイルの積層順としても良い。この場合、対向する半導体チップ間で送信用積層ソレノイドコイルと受信用積層ソレノイドコイルの高さ方向の位置がほぼ一致し、通信距離がより短くなる。

【0045】

また、積層ソレノイドコイルは、半導体基体の少なくとも2つ以上の側端面に沿って設けても良い。この場合、一つの半導体チップに対して2つ以上の半導体チップを対向させて磁界結合により通信を行うことが可能になる。

【0046】

また、第1の半導体基体の少なくとも第1の側端面に沿って形成されたコイル面が第1の半導体基体の主面と平行な積層ソレノイドコイルを備えた第1の半導体チップと、第2の半導体基体の少なくとも第1の側端面に沿って形成されたコイル面が第2の半導体基体の主面と平行な積層ソレノイドコイルを備えた第2の半導体チップとを第1の半導体チップに設けた積層ソレノイドコイルと第2の半導体チップに設けた積層ソレノイドコイルとが互いに対向するように、実装基板上に実装することによって、磁界結合により相互通信を行うマルチチップモジュールを実現することができる。

【0047】

この場合、小さな積層ソレノイドコイルで安定した通信を行うためには、第1の半導体チップに設けた積層ソレノイドコイルの一辺と第2の半導体チップに設けた積層ソレノイドコイルの一辺とを7  $\mu\text{m}$ 以内、より好適には5  $\mu\text{m}$ 以内の間隔で対向させることが望ましい。

【0048】

また、小電流で安定した通信を行うためには、第1の半導体チップに設けた積層ソレノイドコイルの積層方向の中心位置と第2の半導体チップに設けた積層ソレノイドコイルの積層方向の中心位置を一致させることが望ましい。

【0049】

但し、第1の半導体チップに設けた積層ソレノイドコイルの積層方向の中心位置と第2の半導体チップに設けた積層ソレノイドコイルの積層方向の中心位置のずれが、5  $\mu\text{m}$ 以内であれば、安定した通信が可能である。

【0050】

また、第1の半導体チップに設けた積層ソレノイドコイルが、第1の半導体基体の第2の側端面に沿っても設けられており、第3の半導体基体の少なくとも第1の側端面に沿って形成されたコイル面が第3の半導体基体の主面と平行な積層ソレノイドコイルを備えた第3の半導体チップをその積層ソレノイドコイルが、第2の側端面に沿って設けられた積層ソレノイドコイルに対向するように実装基板上に実装することにより、3つ以上の半導体チップを搭載した磁界結合型のマルチチップモジュールを実現することができる。

【0051】

本発明の実施の形態によれば、接続方式をボンディングワイヤを用いた機械式から積層ソレノイドコイルを用いた電子式に換えることで、低コスト化、高速化、低エネルギー化を

10

20

30

40

50

実現することができる。また、磁界通信技術はAC接続なので、電源電圧の異なる異種チップを容易に接続できる。例えば、先端プロセスで製造されたCPUやFPGAと、IPライセンス料節約のため古い世代で製造されたMPUやI/Oチップを容易に接続することが可能になる。因みに、65nm-CMOS技術のパラメータでシミュレーションすると、通信速度は $3.2\text{ Tb/s/mm}^2$ になり、消費電力は $0.4\text{ pJ/b}$ になる。

#### 【0052】

また、受信信号は送信コイルの電流変化( $dI/dt$ )と相互インダクタンス $M$ の積で決まるが、送信回路を工夫して $dI/dt$ を大きくすることによっても、受信信号を大きくすることができる。例えば、コイルの1辺の長さ( $D$ )が $40\text{ }\mu\text{m}$ で2つのコイルの間隔( $x$ )が $3\text{ }\mu\text{m}$ の場合、最大 $9\text{ Gb/s/coil}$ のデータ通信ができる( $4.65\text{ Tb/s/mm}^2$ )。50 $\mu\text{m}$ ピッチのC4バンプを1レーン当たり4個(差動信号とVDD・GNDによるシールド)用いて $10\text{ Gb/s/link}$ で通信する場合( $333\text{ Gb/s/mm}^2$ )と比べると、チップ単位面積当たりの転送速度を14倍に高くできる。

10

#### 【0053】

また、磁界はコイル辺に沿ってその周囲360度に均一に発生するので、2つのコイル、即ち、半導体チップの高さが一致しなくても、線間距離さえ短ければデータ転送できる。マイクロバンプとしてCuピラーを用いれば半導体チップの高さを $\pm 1.5\text{ }\mu\text{m}$ の精度で実装できるので、線間距離を約 $4\text{ }\mu\text{m}$ にすることができる。この場合、シリコンインタポーザやマイクロバンプやTSVは必要なく、実装コストの追加はほとんどない。このように、接続方式を機械式から電子式に換えることで、ウェハー工程の技術進歩を活かして高速化・低電力化を追求することができる。

20

#### 【実施例1】

#### 【0054】

次に、図3乃至図7を参照して、本発明の実施例1の半導体チップを説明する。図3は、本発明の実施例1の半導体チップに設けた積層ソレノイドコイルの概略的斜視図であり、ここでは、9層の多層配線構造を利用して積層ソレノイドコイルを形成する。また、便宜的に他の半導体チップに設けた積層ソレノイドコイルと対向する辺をEastとし、その他の辺を順次、North, West, Southとする。

#### 【0055】

この積層ソレノイドコイルの巻き方をEast, North, West, Southの順番に下記の通りに表記する。なお、Mはメタルラインを表し、サフィックスは配線の層準を表す。

30

M8 (ポート)

M7 M8 M9 M8 (7巻き目)

M6 M6 M7 M6 (6巻き目)

M5 M6 M7 M6 (5巻き目)

M4 M4 M5 M4 (4巻き目)

M3 M4 M5 M4 (3巻き目)

M2 M2 M3 M2 (2巻き目)

M1 M2 M3 M2 (1巻き目)

40

#### 【0056】

ここで、巻き方をわかりやすくするために、外側配線をMで表し、内側配線をmで表し、プラグを「 $\cdot$ 」「 $\cdot$ 」で表し、同じ層準での接続を「-」で表す。また、1巻き目を除く奇数巻き目のEastの配線を「Mで表すと下記の通りになる。

- M8

‘ M7 M8 M9 M8

- M6 - m6 m7 m6

‘ M5 M6 M7 M6

- M4 - m4 m5 m4

‘ M3 M4 M5 M4

50

- M2 - m2 m3 m2  
M1 M2 M3 M2

したがって、North, West, Southの辺は、奇数巻き目では外側配線を用い、偶数巻き目では内側配線を用いることになる。

【0057】

図4は、積層ソレノイドコイルの層構成の説明図であり、図4(a)は平面図であり、図4(b)は図4(a)におけるa-a、b-b、c-cを結ぶ鎖線に沿った断面図である。図4(b)から明らかなように、Eastの辺は、7層全て存在し、且つ、積層方向から見て整列している。他のNorth, West, Southの各辺は、それぞれ偶数層か奇数層だけで巻き電源線や信号線が立体的に横切れるようにしている。このように、他の半導体チップに設けた積層ソレノイドコイルと対向するEastの辺は一番配線密度が高いため、平面スパイラルコイルに比べて結合係数及び相互インダクタンスMを大きくすることができる。

10

【0058】

図5は、シミュレーションに用いた送受信コイルの説明図であり、送信コイル及び受信コイルのサイズを80 $\mu$ m角の8巻コイルとし、コイル間隔を6.6 $\mu$ mとする。また、各設定値を下記の通りにする。

送信コイル：線幅2.5 $\mu$ m、線間隔0.5 $\mu$ m

受信コイル：線幅0.6 $\mu$ m、線間隔0.3 $\mu$ m

多層配線の厚さ：

M8の厚さ 0.9 $\mu$ m

M8とM7の間の厚さ 0.595 $\mu$ m

M7, M6, M5, M4, M3, M2の各厚さ 0.22 $\mu$ m

M7からM2の間の層間絶縁膜の各厚さ 0.175 $\mu$ m

M1の厚さ 0.18 $\mu$ m

M1と基板表面の間の厚さ 0.29 $\mu$ m

M1からM8までの高さ 3.83 $\mu$ m

なお、受信コイルは流れる電流が少ないので、細い配線を用いているが、図では同じ幅にしている。

20

【0059】

シミュレーションの結果では、結合係数は0.096であり、相互インダクタンスMは0.91nHであった。したがって、コイルのサイズを80 $\mu$ m角にすれば、6.6 $\mu$ mのコイル間隔でも通信が可能になる。

30

【0060】

図6は、送受信回路の説明図であり、左側が送信回路であり、右側が受信回路である。ここでは、送受信回路は0.18 $\mu$ m CMOSプロセスで製造した。通信実験には2Gb/s/LinkのPRBS<sup>27</sup>-1信号を用いた。

【0061】

図7は、信号波形の説明図である。図7(a)に示す波形の電圧 $V_{TXN}$ を印加すると、送信コイルに図7(b)に示す電流 $I_{TXP}$ が流れ磁界が発生する。この磁界により受信コイルには $V_{RX P}$ の電圧が信号として発生する。その結果、水平方向の距離dはコイル直径の1/12程度まで通信でき、横方向にはコイル直径に対して1/10程度ずれても通信可能であることが確認された。なお、図7(c)は、受信コイル側に発生する電圧を示している。

40

【実施例2】

【0062】

次に、図8を参照して、本発明の実施例2の半導体チップに用いる積層ソレノイドコイルを説明する。この積層ソレノイドコイルの巻き方をEast, North, West, Southの順番に下記の通りに表記する。

- M8 (port)

50

```

    ' M 7   M 8   M 7   M 8
-   M 6 - m 6   m 5   m 6
    ' M 5   M 6   M 5   M 6
-   M 4 - m 4   m 3   m 4
    ' M 3   M 4   M 3   M 4
-   M 2 - m 2   m 1   m 2
    M 1   M 2   M 1   M 2

```

この場合も、North, West, Southの辺は、偶数巻き目では内側配線を用いることになる。

#### 【0063】

図8は、本発明の実施例2の半導体チップに用いる積層ソレノイドコイルの層構成の説明図であり、図8(a)は平面図であり、図8(b)は図8(a)におけるa-a、b-b、c-cを結ぶ鎖線に沿った断面図である。図8(b)から明らかなように、Eastの辺は、7層全て存在し、且つ、積層方向から見て整列している。他のNorth, West, Southの各辺は、それぞれ偶数層か奇数層だけで巻き電源線や信号線が立体的に横切れるようにしている。このように、本発明の実施例2においても、他の半導体チップに設けた積層ソレノイドコイルと対向するEastの辺は一番配線密度が高いので、平面スパイラルコイルに比べて結合係数及び相互インダクタンスMを大きくすることができる。

#### 【実施例3】

#### 【0064】

次に、図9を参照して、本発明の実施例3の半導体チップに用いる積層ソレノイドコイルを説明する。この積層ソレノイドコイルの巻き方をEast, North, West, Southの順番に下記の通りに表記する。

```

    M 8 ( p o r t )
    ' M 7 - M 7   M 8   M 7
      M 6   m 5   m 6   m 5
    ' M 5 - M 5   M 6   M 5
      M 4   m 3   m 4   m 3
    ' M 3 - M 3   M 4   M 3
      M 2   m 1   m 2   m 1
    M 1 - M 1   M 2   M 1

```

この場合も、North, West, Southの辺は、偶数巻き目では内側配線を用いることになる。なお、「 $\text{---}$ 」は、2つのビアを介して2つ上の層準の配線に接続することを意味する。

#### 【0065】

図9は、本発明の実施例3の半導体チップに用いる積層ソレノイドコイルの層構成の説明図であり、図9(a)は平面図であり、図9(b)は図9(a)におけるa-a、b-b、c-cを結ぶ鎖線に沿った断面図である。図9(b)から明らかなように、Eastの辺は、7層全て存在し、且つ、積層方向から見て整列している。他のNorth, West, Southの各辺は、それぞれ偶数層か奇数層だけで巻き電源線や信号線が立体的に横切れるようにしている。このように、本発明の実施例3においても、他の半導体チップに設けた積層ソレノイドコイルと対向するEastの辺は一番配線密度が高いので、平面スパイラルコイルに比べて結合係数及び相互インダクタンスMを大きくすることができる。

#### 【実施例4】

#### 【0066】

次に、図10を参照して、本発明の実施例4の半導体チップに用いる積層ソレノイドコイルを説明する。この積層ソレノイドコイルの巻き方をEast, North, West, Southの順番に下記の通りに表記する。

M 8  
 M 7 M 8 M 8 M 8  
 M 6 M 6 M 6 M 6  
 M 5 M 5 M 5 M 5  
 M 4 M 4 M 4 M 4  
 M 3 M 3 M 4 M 4  
 M 2 M 2 M 2 M 3  
 M 1 M 1 M 2 M 2  
 【 0 0 6 7 】

図 10 は、本発明の実施例 4 の半導体チップに用いる積層ソレノイドコイルの層構成の説明図であり、図 10 ( a ) は平面図であり、図 10 ( b ) は図 10 ( a ) における a - a 、 b - b 、 c - c を結ぶ鎖線に沿った断面図である。図 10 ( b ) から明らかのように、East の辺は、7 層全て存在し、且つ、積層方向から見て整列している。但し、この場合には、M 1 と M 3 を利用した信号線が West からコイル内に入れるようにし、M 7 を利用した電源線・GND 線が North と South を貫通できるようにした。この実施例 4 においては、実施例 1 乃至実施例 3 に比べてビアの数を減らしているため、寄生抵抗が減るため通信を高速にできる。

【実施例 5】

【 0 0 6 8 】

次に、図 11 を参照して、本発明の実施例 5 の半導体チップに用いる積層ソレノイドコイルを説明する。この実施例 5 は実施例 1 に示した積層ソレノイドコイルの空芯内に同じ巻き方の小型の積層ソレノイドコイルを入子状に組み込んで、電氣的に直列接続したものである。この積層ソレノイドコイルの巻き方を East , North , West , South の順番に下記の通りに表記する。

M 8 ( ポート )

M 7 M 8 M 9 M 8 ( 7 巻き目 )

M 6 M 6 M 7 M 6 ( 6 巻き目 )

M 5 M 6 M 7 M 6 ( 5 巻き目 )

M 4 M 4 M 5 M 4 ( 4 巻き目 )

M 3 M 4 M 5 M 4 ( 3 巻き目 )

M 2 M 2 M 3 M 2 ( 2 巻き目 )

M 1 M 2 M 3 M 2 ( 1 巻き目 )

と巻きながら上った後、内側に入って、

( M 8 ) M 8 M 7 M 8

M 7 M 8 M 7 M 8 ( 7 巻き目 )

M 6 M 6 M 5 M 6 ( 6 巻き目 )

M 5 M 6 M 5 M 6 ( 5 巻き目 )

M 4 M 4 M 3 M 4 ( 4 巻き目 )

M 3 M 4 M 3 M 4 ( 3 巻き目 )

M 2 M 2 M 1 M 2 ( 2 巻き目 )

M 1 M 2 M 1 M 2 ( 1 巻き目 )

と巻きながら降りてくる。但し、実際の製造工程においては、当然の事ながら一層目から順に形成していく。

【 0 0 6 9 】

積層スパイラルコイルの巻き数  $n$  を増やすと相互インダクタンス  $M$  は理想的には  $n$  の 1 . 6 乗 ~ 1 . 8 乗に比例して増える。実施例 5 のように、多層配線構造の配線層数以上に巻くときに、コイルの内側に向かってスパイラルに巻いていくと、対向辺間の距離が離れて相互インダクタンス  $M$  の減少要因になる。そこで、対向辺の線幅を狭くして、対向辺間の距離があまり離れないようにしたい。ところが線幅を狭くすると、寄生抵抗が増えて、送信コイルに大きな電流を流せなくなり送信電流の変化が小さくなったり、受信コイルの

10

20

30

40

50

帯域が狭くなって高速通信ができなくなる。一方、対向辺に直角の辺（NorthとSouth）は、（直交方向の）対向辺間のMに大きな影響を与えない。さらにWestの辺は、対向辺（East）から遠ざかる方向に太くなくてもMに大きな影響を与えない。したがって、ここでは、Eastの線幅を他の辺の線幅の1/2にしており、その結果、コイル全体の抵抗値を上げずに、相互インダクタンスMを大きくすることができる。

#### 【0070】

図11は、シミュレーションに用いた送受信コイルの説明図であり、送信コイル及び受信コイル共に、最外郭のサイズを80 $\mu$ m角とし、16巻のコイルにしている。また、送信コイル及び受信コイル共に、対向辺の線幅を他の辺の線幅の1/2にしている。シミュレーション結果、対向辺の線幅を細くしたため、入子状積層ソレノイドコイル同士間の距離がそれ程変わらないため、結合係数は0.097であり、両者であまり変わらない。しかし、巻き数が2倍になったので相互インダクタンスMは2.89となり、実施例1の3.2倍に大きくなっている。したがって、実施例1に比べて、通信距離を延ばすことができ、チップ間隔を広げることができる。或いは、より低電力・低エネルギーで通信することができる。

10

#### 【0071】

なお、実施例2乃至実施例4に示した巻き方の積層ソレノイドコイルの場合にも、同じ巻き方の積層ソレノイドコイルを外側に設ける積層ソレノイドコイルの内部に入子状に設けても良い。或いは、外側の積層ソレノイドコイルと入子状に設ける積層ソレノイドコイルを互いに巻き方の異なる積層ソレノイドコイルとしても良い。また、入子状積層ソレノイドコイルを設けない場合にも、Eastの線幅を他の辺の線幅の1/2にしても良い。

20

#### 【実施例6】

#### 【0072】

次に、図12及び図13を参照して、本発明の実施例6のマルチチップモジュールを説明する。図12は、本発明の実施例6のマルチチップモジュールに用いる積層ソレノイドコイルの斜視図である。第1の半導体チップ及び第2の半導体チップにおいては、厚い上部配線層であるM8、M7、M6、M5で電流量の多い送信用コイルを巻き、薄い下部配線層であるM4、M3、M2、M1で電流量の少ない受信用コイルを巻く。ここでは、M7及びM8を利用して電源線を配置している。

#### 【0073】

図13は、本発明の実施例6のマルチチップモジュールの説明図であり、図4(b)の場合と同様に、各積層ソレノイドコイルにおけるa-a、b-b、c-cを結ぶ鎖線に沿った断面図である。図13に示すように、互いの送信コイルと受信コイルは積層方向における位置が異なり通信距離がチップ間距離よりも少し長くなる。しかし電磁界シミュレーションによると、 $D = 40\mu\text{m}$ 、 $d = 3\mu\text{m}$ の場合、4層の配線層でソレノイドに巻くと相互インダクタンスMは0.13nHになる。さらにスパイラルにも巻いて巻き数を4巻きから24巻に増やすと、Mは25倍増えて3.3nHになる。磁界結合通信に必要なMは典型的には1nH以上である。相互インダクタンスMは距離dのおよそ1/3乗に比例するので、逆算すると $D = 40\mu\text{m}$ で $d = 5\mu\text{m}$ の距離を接続できることになる。通信できる距離dはコイルのDに比例するので、 $d = D/8$ が設計の目安になる。

30

40

#### 【実施例7】

#### 【0074】

次に、図14を参照して、本発明の実施例7のマルチチップモジュールを説明する。図14は、本発明の実施例7のマルチチップモジュールの説明図であり、図4(b)の場合と同様に、各積層ソレノイドコイルにおけるa-a、b-b、c-cを結ぶ鎖線に沿った断面図である。図14に示すように、第1の半導体チップにおいては、厚い上部配線層であるM8、M7、M6、M5で送信用コイルを巻き、薄い下部配線層であるM4、M3、M2、M1で受信用コイルを巻く。一方、第2の半導体チップにおいては、上部配線層であるM8、M7、M6、M5で受信用コイルを巻き、下部配線層であるM4、M3、M2、M1で送信用コイルを巻く。この場合、送信コイルと受信コイルの積層方向の位

50

置がほぼ一致し、通信距離が実施例 6 よりも短くなる。

【実施例 8】

【0075】

次に、図 15 乃至図 21 を参照して、本発明の実施例 8 のマルチチップモジュールを説明する。図 15 は、本発明の実施例 8 のマルチチップモジュールの実装構造の説明図である。ここでは、半導体チップ 41<sub>1</sub>、41<sub>2</sub> に設ける積層ソレノイドコイル 42<sub>1</sub>、42<sub>2</sub> として、上記の実施例 7 の構造のコイルを用いる。パッド 52 を形成したパッケージ基板 51 に、半導体チップ 41<sub>1</sub>、41<sub>2</sub> を Cu ピラー 43<sub>1</sub>、43<sub>2</sub> を用いてフリップチップボンディングする。この時、半導体チップ 41<sub>1</sub>、41<sub>2</sub> に設けた積層ソレノイドコイル 42<sub>1</sub>、42<sub>2</sub> が互いに対向するように実装する。具体的には、テストチップを 0.18 μm CMOS プロセスで製造し、レーザアブレーションでダイシングを行った。

10

【0076】

図 16 は、本発明の実施例 8 のマルチチップモジュールに用いる送受信回路の説明図である。ここでは、送信コイルの  $dI/dt$  を大きくするために送信コイルを 2 つ用いた Turn-off transmit 方式の送信回路を用いる。

【0077】

図 17 は、信号波形の説明図であり、図 17 (a) に示すように、送信データ  $T_{xdata}$  に応じてそのいずれかを弓を引くようにゆっくりと NMOS をオンし、弓を放つように素早く NMOS をオフにする。図 17 (b) に示すように、NMOS をオンするときは、電流  $I_{Txp}$  の増大を妨げるようにコイルに誘導起電力が生じて、NMOS のドレイン電圧が低下し三極管領域で動作する。その結果、トランスコンダクタンス  $V_{Ds}$  が減少する。一方、NMOS をオフするときは、電流  $I_{Txp}$  の減少を妨げるようにコイルに誘導起電力が生じて、NMOS のドレイン電圧は上昇し飽和領域で動作する。その結果、トランスコンダクタンス  $V_{eff}$  が増大する。なお、図 17 (c) が受信側のコイルに発生する電圧である。

20

【0078】

即ち、図 6 に示した送受信回路のようにコイルに電流を流すときよりも、本方式のようにコイルの電流を切るときの方が、 $dI/dt$  を大きくできる。シミュレーションによると、図 6 に示した Hブリッジ回路に比べて  $dI/dt$  を 1.5 倍大きくできる。さらに、NMOS だけを用いるので、NMOS と PMOS の両方を使う Hブリッジ回路と比べてレイアウト面積を 1/3 に小さくできる。その結果、0.18 μm CMOS 技術を用いた場合でも送受信器を  $D = 40 \mu m$  のコイルの下に収納できる。また、PMOS における電圧降下分だけ ( $0.7 V_{DD}$ ) 電源電圧を下げることができ、さらにパルス駆動で定常電流を消費しないので、消費電力を 1/6 に削減できる。

30

【0079】

図 18 は、BER (ビットエラー率) とタイミングの相関の説明図である。通信実験には  $2 Gb/s/link$  の PRBS  $2^7 - 1$  信号を用いた。 $D = 40 \mu m$  のコイルを  $1 mm^2$  当たり 516 チャンネル形成し、得られた総通信帯域は  $1 Tb/s/mm^2$  であった。BER が  $10^{-12}$  になるタイミングマージンは  $0.65 - UI$  であった。

【0080】

図 19 は、BER とコイル間隔の相関の説明図であり、図 19 (a) は位置ずれがない場合であり、図 19 (b) は位置ずれがある場合の BER とコイル間隔の相関の説明図である。電源電圧が 1.4 V のとき、消費電力は送信器が 4.2 mW、受信器が 3.7 mW であり、合計 7.9 mW であった ( $4 pJ/b$ )。図 19 (a) に示すように、コイルのピッチ ( $p$ ) を変えたチャンネルを用い、専用マニピュレータを用いて通信距離 ( $x$ ) を変えながら通信実験を行った。その結果、ピッチは  $p = 1.1 D, 1.5 D, 2 D$  の全ての場合において  $BER < 10^{-12}$  で通信できた。また、通信距離は  $x = 5 \mu m (= 0.13 D)$  であった。また、図 19 (b) に示すように、位置ズレは  $y = 8 \mu m (= 0.2 D)$  まで通信可能であった。

40

【0081】

50

図20は、転送速度及び消費電力の説明図であり、図20(a)は転送速度を示すデータレートとチャネル領域の相関の説明図であり、図20(b)は、消費電力を示すデータレートとチャネル領域の相関の説明図である。実験結果を最先端の研究成果と比較すると、磁界結合を用いることでSiインタポーザ方式と比べ $1\text{mm}^2$ 当たりのチャネル数を15倍に高密度化し、通信速度を3倍( $1\text{Tb/s/mm}^2$ )に高めることができた。

【0082】

$0.18\mu\text{m}$  CMOSで製作した送受信回路は、転送速度がコイルの帯域( $9\text{Gbps/coil}$ )より低く、レイアウト面積がコイルの大きさ( $D=40\mu\text{m}$ )より小さいので、より微細なCMOS技術を用いれば、転送速度や消費電力を改善できる。例えば、 $65\text{nm}$  CMOS技術のパラメータでシミュレーションすると、図20(a)に示すように通信速度は $3.2\text{Tb/s/mm}^2$ になり、図20(b)に示すように、消費電力は $0.4\text{pJ/b}$ になる。

10

【0083】

磁界通信技術はAC接続なので、電源電圧の異なる異種チップを容易に接続できる。また、先端プロセスで製造されたCPUやFPGAと古いプロセスで製造されたMPUやI/Oチップを接続すれば、IPライセンス費や開発費を節約することができる。

【0084】

図21は、データ転送の面積効率及び電力効率の説明図であり、図21(a)はデータ転送の面積効率( $\text{Tb/s/mm}^2$ )の説明図であり、図21(b)は電力効率( $\text{Tb/s/W}=(\text{pJ/b})$ )の説明図である。ここでは、図16に示したヒステリシス差動コンパレータ受信器回路を用いて、 $65\text{nm}$  CMOS技術のパラメータでシミュレーションを行った。

20

【0085】

通信距離 $x=3\mu\text{m}$ で $D=40\mu\text{m}$ のコイルを用いた場合、図21(a)に示すように面積効率は $3.2\text{Tb/s/mm}^2$ であり、図21(b)に示すように電力効率は $2.3\text{Tb/s/W}(=0.43\text{pJ/b})$ となる。シリコンインタポーザを用いて $10\text{Gbps/link}$ で転送したときと比べると、面積効率を7倍高め、電力効率を10倍高めることができる。また、図21(a)及び(b)から明らかのように、通信距離 $x$ が $20\mu\text{m}$ の場合にも、通信は可能である。前述のように、2つの半導体チップを $1\mu\text{m}$ の間隔でダイボンディングすることが可能であるので、コイルの対向辺を半導体チップの側端面から $9.5\mu\text{m}(=(20\mu\text{m}-1\mu\text{m})/2)$ 以内に設ければ通信可能である。

30

【実施例9】

【0086】

次に、図22を参照して、本発明の実施例9のマルチチップモジュールを説明する。図22は、本発明の実施例9のマルチチップモジュールの平面図であり、第1の半導体チップ61<sub>1</sub>の2辺に沿って積層ソレノイドコイル62<sub>1</sub>、63<sub>1</sub>を配置し、各辺の積層ソレノイドコイル62<sub>1</sub>、63<sub>1</sub>に対向するように積層ソレノイドコイル62<sub>2</sub>、62<sub>3</sub>を設けた第2の半導体チップ61<sub>2</sub>及び第3の半導体チップ61<sub>3</sub>をパッケージ基板64上に実装する。

【0087】

40

この場合、第1の半導体チップ61<sub>1</sub>をコントロールチップとし、第2の半導体チップ61<sub>2</sub>及び第3の半導体チップ61<sub>3</sub>のメモリとしても良い。また、第1の半導体チップ61<sub>1</sub>の4辺に積層ソレノイドコイルを設け、4つの半導体チップを対向するように実装しても良い。さらには、第1の半導体チップ61<sub>1</sub>に対向して実装した例えば、第2の半導体チップ61<sub>2</sub>の他の辺にも積層ソレノイドコイル(63<sub>2</sub>)を設け、第6の半導体チップを対向するように実装しても良い。

【符号の説明】

【0088】

10, 10<sub>1</sub>, 10<sub>2</sub> 半導体チップ  
11, 11<sub>1</sub>, 11<sub>2</sub> 積層ソレノイドコイル

50

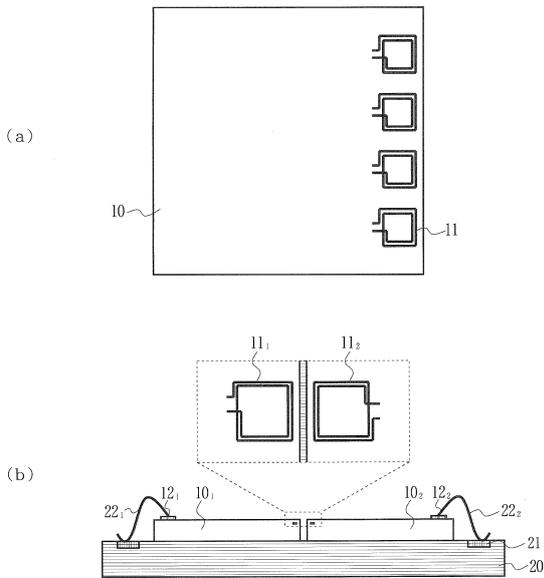
- 1 2<sub>1</sub> , 1 2<sub>2</sub> パッド
- 2 0 実装基板
- 2 1 パッド
- 2 2<sub>1</sub> , 2 2<sub>2</sub> ボンディングワイヤ
- 6 1<sub>1</sub> 第1の半導体チップ
- 6 1<sub>2</sub> 第2の半導体チップ
- 6 1<sub>3</sub> 第3の半導体チップ
- 6 2<sub>1</sub> , 6 2<sub>2</sub> , 6 2<sub>3</sub> , 6 3<sub>1</sub> 積層ソレノイドコイル
- 6 4 パッケージ基板
- 7 1<sub>1</sub> , 7 1<sub>2</sub> 半導体チップ
- 7 2<sub>1</sub> , 7 2<sub>2</sub> パッド
- 7 3<sub>1</sub> , 7 3<sub>2</sub> ボンディングワイヤ
- 8 1 パッケージ基板
- 8 2 パッド
- 9 1<sub>1</sub> , 9 1<sub>2</sub> 半導体チップ
- 9 2<sub>1</sub> , 9 2<sub>2</sub> マイクロバンプ
- 9 3 シリコンインタポーザ
- 9 4 パッド
- 9 5 ビア ( T S V )
- 9 6 配線
- 9 7 C 4 バンプ
- 9 8 パッケージ基板
- 9 9 パッド

10

20

【 図 1 】

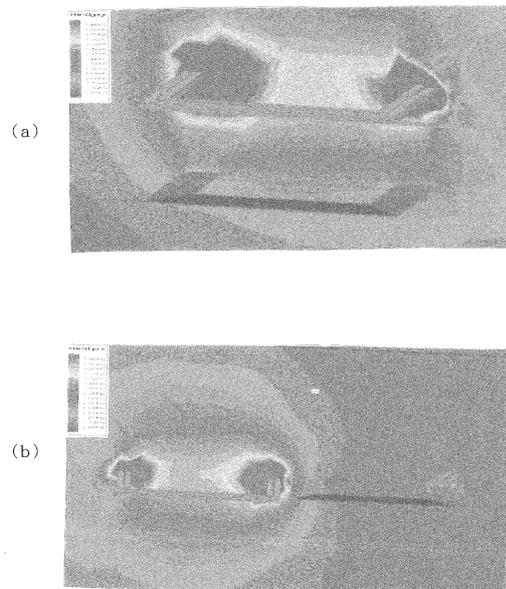
本発明の実施の形態の半導体チップ及びマルチチップモジュールの概念的構成図



10, 10<sub>1</sub>, 10<sub>2</sub>: 半導体チップ  
 11, 11<sub>1</sub>, 11<sub>2</sub>: 積層ソレノイドコイル  
 12<sub>1</sub>, 12<sub>2</sub>: パッド  
 20: 実装基板  
 21: パッド  
 22<sub>1</sub>, 22<sub>2</sub>: ボンディングワイヤ

【 図 2 】

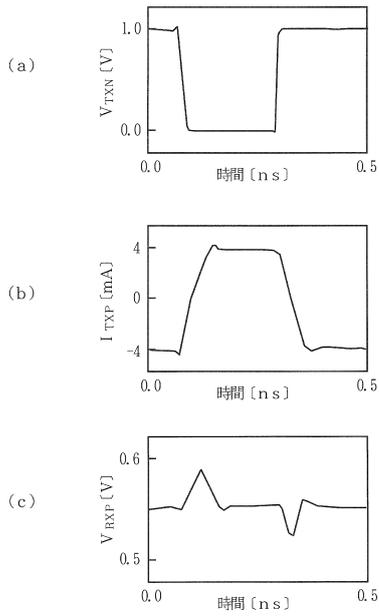
電界シミュレーション結果の説明図





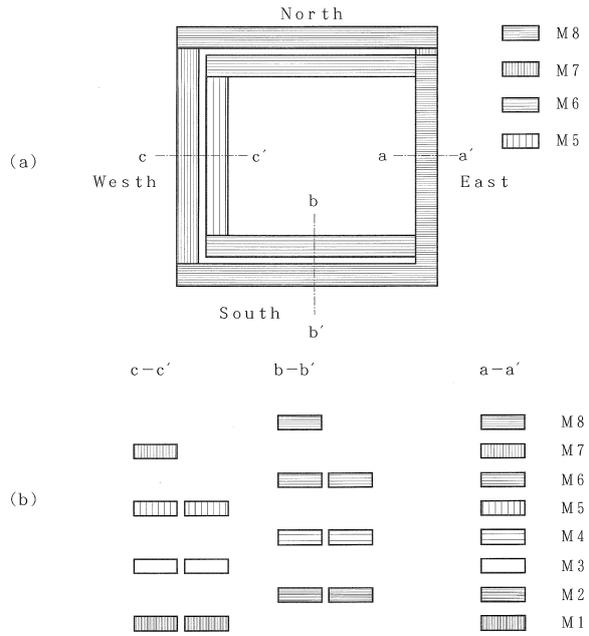
【図7】

信号波形の説明図



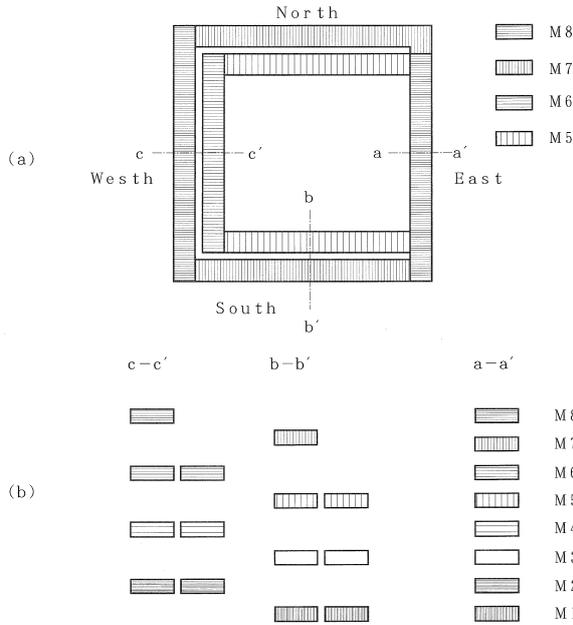
【図8】

本発明の実施例2の半導体チップに用いる積層ソレノイドコイルの層構成の説明図



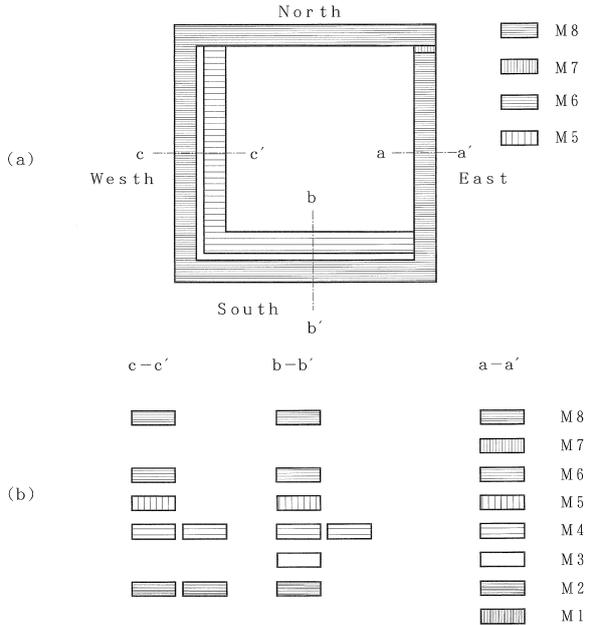
【図9】

本発明の実施例3の半導体チップに用いる積層ソレノイドコイルの層構成の説明図



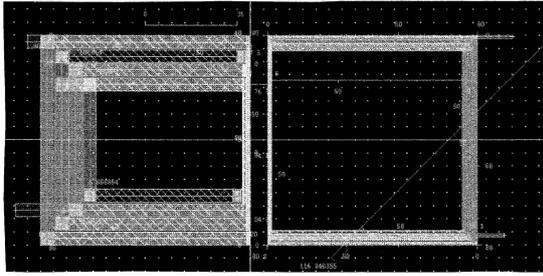
【図10】

本発明の実施例4の半導体チップに用いる積層ソレノイドコイルの層構成の説明図



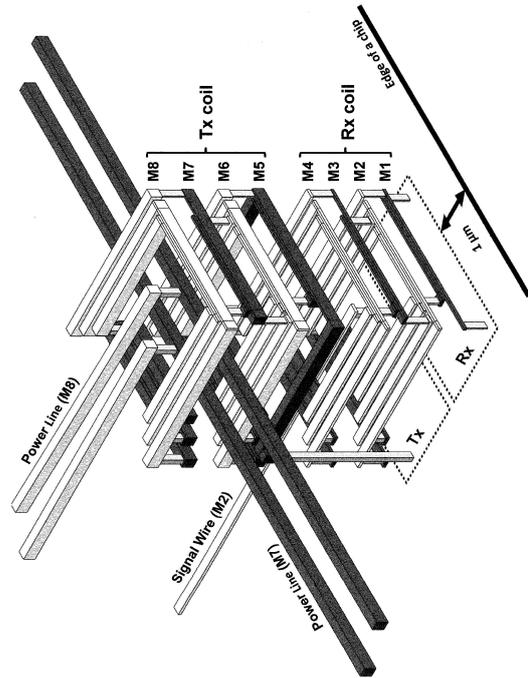
【図11】

本発明の実施例5のシミュレーションに用いた送受信コイルの説明図



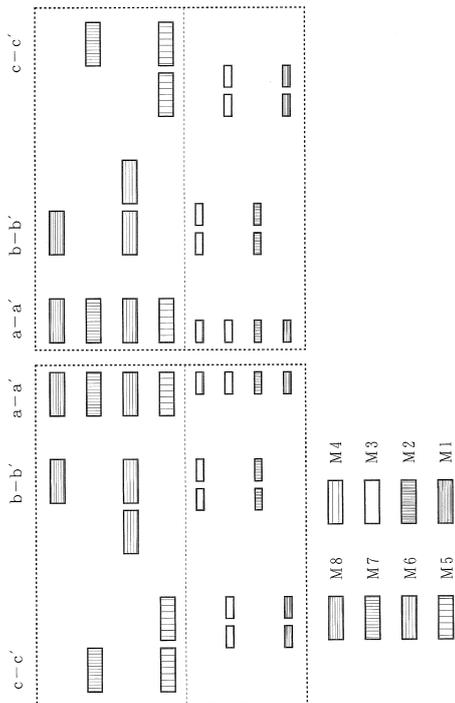
【図12】

本発明の実施例6のマルチチップモジュールに用いる積層ソレノイドコイルの斜視図



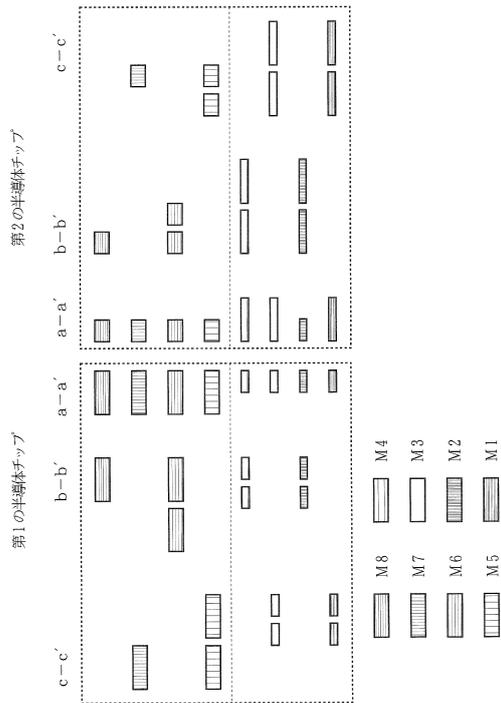
【図13】

本発明の実施例6のマルチチップモジュールの説明図



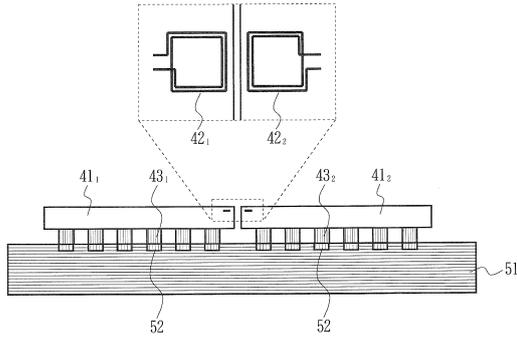
【図14】

本発明の実施例7のマルチチップモジュールの説明図



【図15】

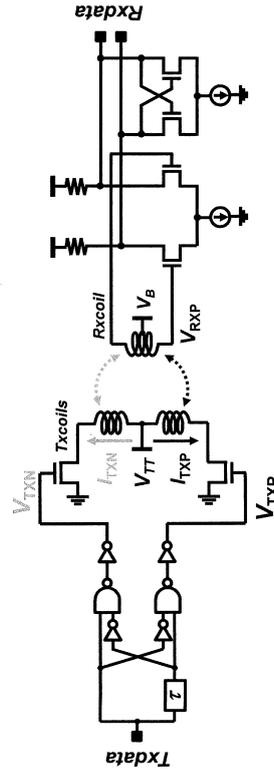
本発明の実施例8のマルチチップモジュールの平面図



41, 41<sub>2</sub>: 半導体チップ      51: パッケージ基板  
 42, 42<sub>2</sub>: 積層ソレノイドコイル      52: パッド  
 43, 43<sub>2</sub>: Cuピラー

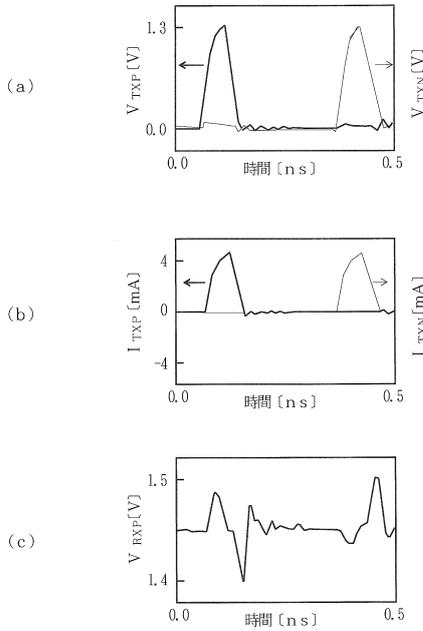
【図16】

本発明の実施例8のマルチチップモジュールに用いる送受信回路の説明図



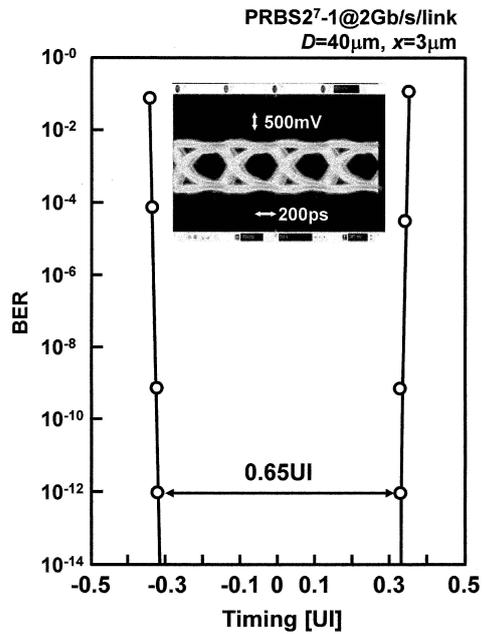
【図17】

信号波形の説明図



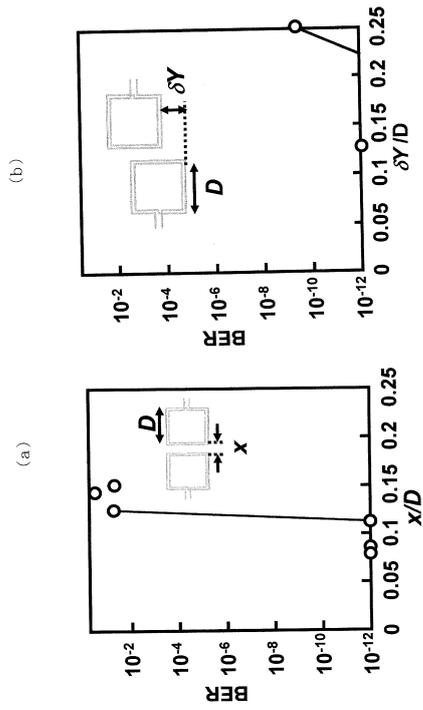
【図18】

BERとタイミングの相関の説明図



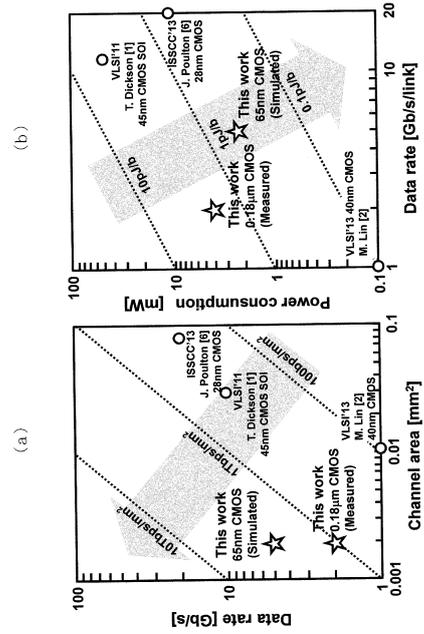
【図19】

BERとコイル間隔の相関の説明図



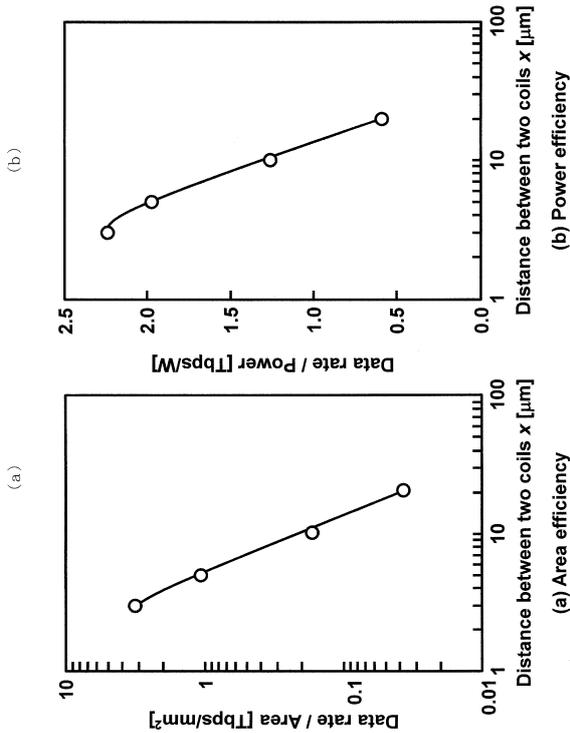
【図20】

転送速度及び消費電力の説明図



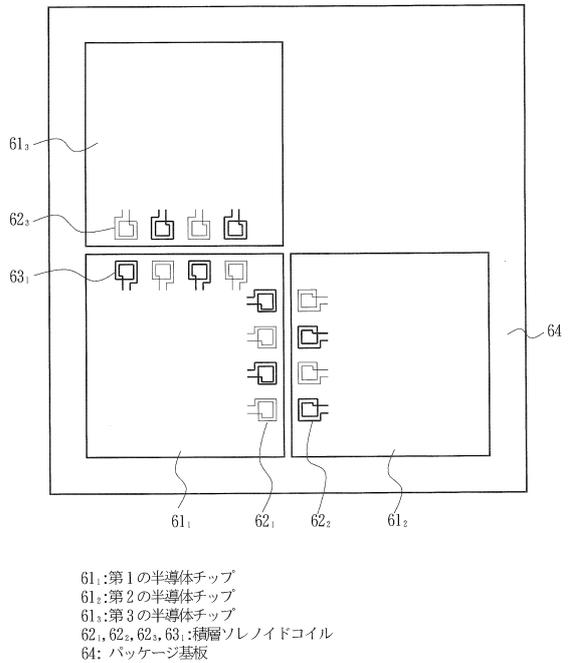
【図21】

データ転送の面積効率及び電力効率の説明図



【図22】

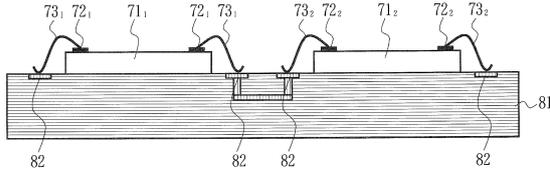
本発明の実施例9のマルチチップモジュールの平面図



- 61<sub>1</sub>: 第1の半導体チップ
- 61<sub>2</sub>: 第2の半導体チップ
- 61<sub>3</sub>: 第3の半導体チップ
- 62<sub>1</sub>, 62<sub>2</sub>, 62<sub>3</sub>, 63<sub>1</sub>, 63<sub>2</sub>, 63<sub>3</sub>: 積層ソレノイドコイル
- 64: パッケージ基板

【図23】

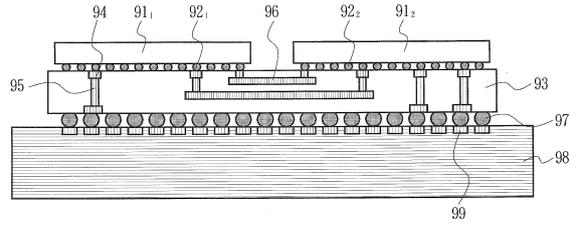
従来のボンディングワイヤを用いた実装構造の説明図



- 71<sub>1</sub>, 71<sub>2</sub>: 半導体チップ
- 72<sub>1</sub>, 72<sub>2</sub>: パッド
- 73<sub>1</sub>, 73<sub>2</sub>: ボンディングワイヤ
- 81: パッケージ基板
- 82: パッド

【図24】

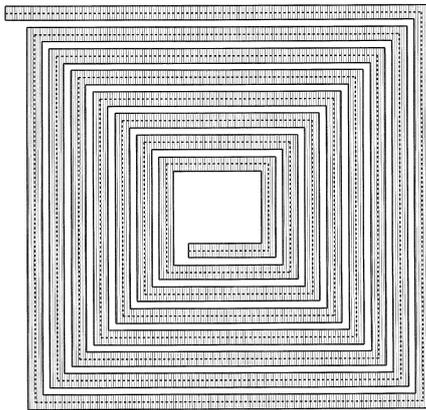
従来のシリコンインターポザを用いた実装構造の説明図



- 91, 91: 半導体チップ
- 92, 92: マイクロバンプ
- 93: シリコンインターポザ
- 94: パッド
- 95: ピア (TSV)
- 96: 配線
- 97: C4バンプ
- 98: パッケージ基板
- 99: パッド

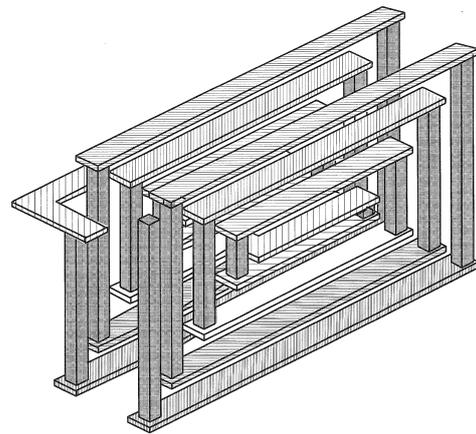
【図25】

シミュレーションに用いた平面スパイラルコイルの平面図



【図26】

シミュレーションに用いた多層配線構造を利用して形成したコイルの概念的斜視図



- M 8
- M 7
- M 6
- M 5
- M 4
- M 3
- M 2
- M 1
- ピア

---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 F 38/14 (2006.01)

(56)参考文献 国際公開第2009/113373(WO,A1)  
米国特許出願公開第2009/0134489(US,A1)  
特開2009-277842(JP,A)  
特開2009-272360(JP,A)  
特開2010-109112(JP,A)

(58)調査した分野(Int.Cl.,DB名)  
H 0 1 L 2 1 / 8 2 2  
H 0 1 F 3 8 / 1 4  
H 0 1 L 2 5 / 0 0  
H 0 1 L 2 5 / 0 4  
H 0 1 L 2 5 / 1 8  
H 0 1 L 2 7 / 0 4