

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5505922号
(P5505922)

(45) 発行日 平成26年5月28日 (2014. 5. 28)

(24) 登録日 平成26年3月28日 (2014. 3. 28)

(51) Int. Cl.		F I			
G 0 6 F	12/16	(2006.01)	G 0 6 F	12/16	3 1 0 A
G 1 1 C	16/02	(2006.01)	G 1 1 C	17/00	6 0 1 Q
			G 1 1 C	17/00	6 1 4

請求項の数 10 (全 12 頁)

(21) 出願番号	特願2008-198333 (P2008-198333)	(73) 特許権者	390019839
(22) 出願日	平成20年7月31日 (2008. 7. 31)		三星電子株式会社
(65) 公開番号	特開2009-37619 (P2009-37619A)		Samsung Electronics
(43) 公開日	平成21年2月19日 (2009. 2. 19)		Co., Ltd.
審査請求日	平成23年8月1日 (2011. 8. 1)		大韓民国京畿道水原市靈通区三星路129
(31) 優先権主張番号	10-2007-0078262		129, Samsung-ro, Yeon
(32) 優先日	平成19年8月3日 (2007. 8. 3)		gtong-gu, Suwon-si, G
(33) 優先権主張国	韓国 (KR)		yeonggi-do, Republic
前置審査		(74) 代理人	110000051
			特許業務法人共生国際特許事務所
		(72) 発明者	薛 峯 官
			大韓民国ソウル特別市松坡区風納洞142
			-109番地 102号
			最終頁に続く

(54) 【発明の名称】 メモリシステム及びその読み出し方法

(57) 【特許請求の範囲】

【請求項 1】

フラッシュメモリを含むメモリシステムの読み出し方法であって、
前記メモリシステムは、該フラッシュメモリを制御するメモリコントローラを備え、
前記メモリコントローラは、前記フラッシュメモリの第1ブロック内の特定ページから
 データを読み出し、
 前記フラッシュメモリの前記特定ページ毎の読み出し回数を、前記特定ページからデータを読み出す毎に増加させ、
前記メモリコントローラは、バッファメモリから成り前記読み出し回数を格納する格納
ユニットを含み、
 前記読み出し回数が基準値より大きい場合、前記フラッシュメモリの第1ブロックから前記フラッシュメモリの第2ブロックにデータをコピーバックし、
 前記第1ブロックからのデータは前記特定ページからのデータを含み、
 前記メモリシステムの電源がオフになる前に、前記読み出し回数を前記フラッシュメモリ内の格納ユニットに格納し、
前記フラッシュメモリの電源がパワーオン (power on) 時に前記データの
コピーバックが行なわれることを特徴とする読み出し方法。

【請求項 2】

前記読み出し回数の基準値はユーザによって設定されることを特徴とする請求項 1 に記載の読み出し方法。

【請求項 3】

前記コピーバック動作を完了した後、前記回数をリセットすることを更に含むことを特徴とする請求項 1 に記載の読み出し方法。

【請求項 4】

メモリシステムであって、

複数のページを有するフラッシュメモリと、

前記フラッシュメモリの動作を制御するためのメモリコントローラと、を備え、

前記メモリコントローラは、

前記フラッシュメモリの第 1 ブロック内の特定ページからデータを読み出し、前記フラッシュメモリの前記特定ページ毎の読み出し回数を、前記特定ページからデータを読み出す毎に増加させ、

前記メモリコントローラは、バッファメモリから成り前記読み出し回数を格納する格納ユニットを含み、

前記読み出し回数が基準値より大きい場合、前記フラッシュメモリの第 1 ブロックから前記フラッシュメモリの第 2 ブロック内にデータをコピーバックし、前記第 1 ブロックからのデータは前記特定ページのデータを含み、

前記メモリシステムの電源がオフになる前に、前記読み出し回数を前記フラッシュメモリ内の格納ユニットに格納し、

前記メモリコントローラは、前記フラッシュメモリの電源がパワーオン (power on) 時にコピーバック動作を実行することを特徴とするメモリシステム。

【請求項 5】

前記読み出し回数の基準値はユーザによって設定されることを特徴とする請求項 4 に記載のメモリシステム。

【請求項 6】

前記メモリコントローラは、前記コピーバック動作を完了した後、前記ページの読み出し回数をリセットすることを特徴とする請求項 4 に記載のメモリシステム。

【請求項 7】

前記フラッシュメモリ及び前記メモリコントローラはメモリカードに具現されることを特徴とする請求項 4 に記載のメモリシステム。

【請求項 8】

前記読み出し回数はラム内に格納されることを特徴とする請求項 4 に記載のメモリシステム。

【請求項 9】

前記メモリコントローラは、前記フラッシュメモリの電源がオフになる前に、前記ラムから前記フラッシュメモリ内に読み出し回数を格納することを特徴とする請求項 8 に記載のメモリシステム。

【請求項 10】

前記メモリコントローラは、前記フラッシュメモリの電源がオンになる場合、前記フラッシュメモリから前記ラム内に読み出し回数を格納することを特徴とする請求項 8 に記載のメモリシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリシステム及びその読み出し方法に係り、より詳細には、読み出しディスクバンスによるエラーを防ぐメモリシステム及びその読み出し方法に関する。

【背景技術】

【0002】

エラー検出及び訂正技術は、多様な原因によって損なわれるデータの効率的な復旧を提供する。例えば、メモリにデータを格納する過程で多様な原因によってデータが損なわれ、ソースから目的地にデータが伝送されるデータ伝送チャンネルの不安 (p e r t u r b

10

20

30

40

50

ations)によってデータが損なわれる。

【0003】

損なわれたデータを検出して訂正するための多様な方法が提案されている。よく知られたエラー検出技術には、RSコード(Reed-Solomon code)、ヘミングコード(Hemming code)、BCH(Bose-Chaudhuri-Hocquenghem)コード、CRC(Cyclic Redundancy code)コードなどがある。このようなコードを用いて損なわれたデータを検出して訂正することができる。

【0004】

不揮発性メモリ装置が使用される大部分の応用分野において、データは誤謬訂正コード(error correcting code: ECC)という値(以下、ECCデータという)と共にフラッシュメモリ装置に格納される。ECCデータは、フラッシュメモリ装置の読み出し動作時に発生するエラーを訂正するためにある。ECCデータを用いて訂正可能なビットエラー数は制限されている。読み出し動作時に生じるビットエラーは、よく知られたブロック代替(block replacement)のような別途の救済過程無しにエラー検出及び訂正技術を通して訂正できる。

10

【0005】

図1は、一般的なフラッシュメモリ装置を示すブロック図であり、図2は、図1に示したフラッシュメモリ装置の読み出し動作を説明するためのタイミング図である。

【0006】

20

一般に、フラッシュメモリ装置は、メモリセルアレイを含み、メモリセルアレイは、複数のメモリブロックを有する。図1には、メモリブロックBLK0、BLK1が示されている。メモリブロックBLK0は、ビットラインに各々連結されたストリング(又はNANDストリングと称する)を有する。各ストリングは、ストリング選択トランジスタSST、接地選択トランジスタGST、及び2つの選択トランジスタSST、GSTの間に直列連結されたメモリセル(又はメモリセルトランジスタ)MC0~MCn-1を含む。

【0007】

各選択トランジスタSST、GSTのゲートは、対応するストリング及び接地選択ラインSSL、GSLに各々連結される。メモリセルトランジスタMC0~MCn-1の制御ゲートは、対応するワードラインWL0~WLn-1に各々連結される。ビットラインBL0、BL1には、対応するページバッファPBが各々連結されている。

30

【0008】

読み出し動作時、図2に示すように、選択されたワードライン(例えば、WL0)は、0Vの電圧で駆動され、非選択のワードライン(例えば、WL1~WLn-1)は、読み出し電圧Vreadで各々駆動される。この時、ストリング及び接地選択ラインSSL、GSLは、読み出し電圧Vreadで各々駆動される。ページバッファPBは、対応するビットラインBL0、BL1に感知電流を供給する。

【0009】

ビットラインBL0~BLm-1の電圧は、選択されたワードラインに連結されたメモリセルのセル状態によって決定される。例えば、選択されたワードラインに連結されたメモリセルがオンセルである場合、ビットラインの電圧は、接地電圧になり低くなる。逆に、選択されたワードラインに連結されたメモリセルがオフセルである場合、ビットラインの電圧は、電源電圧になり高くなる。以後、ビットラインの電圧がセルデータとして対応するページバッファPBによって感知される。

40

【0010】

説明の便宜上、非選択のワードラインに連結されたメモリセルは、非選択されたメモリセルと称し、選択されたワードラインに連結されたメモリセルは、選択されたメモリセルと称する。

【0011】

先に説明した通り、選択されたメモリセルからセルデータを読むためには、非選択され

50

たメモリセルのワードラインには読み出し電圧 V_{read} が印加される。ここで、読み出し電圧 V_{read} は、オフ状態を有するメモリセルトランジスタをターンオンさせるに十分に高い電圧である。

【0012】

読み出し動作の間、非選択されたメモリセルトランジスタの制御ゲートには、読み出し電圧 V_{read} が印加される。非選択されたメモリセルトランジスタの基板（又はバルク）には、接地電圧が印加される。そして、非選択されたメモリセルトランジスタのドレインには、所定の電圧が印加される。このようなバイアス条件は、レベル差異を除けば、プログラム動作のバイアス条件と類似である。

【0013】

このようなバイアス条件下で、図3に示すように、読み出し動作の間、基板で非選択されたメモリセルトランジスタのフローティングゲートに電子が注入される可能性がある。即ち、オン状態（又は消去状態）を有する非選択されたメモリセルトランジスタが読み出し動作のバイアス条件下でソフトプログラムされることがあり、このような現象は、一般に、“読み出しディスタージャンプ（ $read\ disturbance$ ）”という。

【0014】

読み出しディスタージャンプによって、オン状態（又は消去状態）を有するメモリセルのしきい電圧が次第に増加する可能性がある。図4の点線で示した通り、オン状態を有するメモリセルのしきい電圧は、読み出し動作の反復によって更に増加する。これはオン状態を有するメモリセルがオフセルと判別される。即ち、読み出しディスタージャンプによるしきい電圧増加は、読み出しフェイル（ $fail$ ）を引き起こす可能性がある。

【0015】

先に説明した通り、読み出し動作時に生じるビットエラーは、よく知られたブロック代替のような別途の救済過程無しにエラー検出及び訂正技術を通して訂正できる。読み出し動作が反復的に行なわれることによって、読み出しフェイルが発生する確率は、図5に示すように、次第に増加する。エラーが訂正されたデータにおいて、次の読み出し動作時に更にエラーが発生する確率が高い。

【0016】

ビットエラー数が許される数を超過する場合、該当ブロックは、バッドブロック（ $bad\ block$ ）として処理される。そして、ブロック代替方式で知られた別途の救済方式を通して、読まれたデータを含むメモリブロックは、フラッシュメモリ装置に提供されている余分のメモリブロック（ $reserved\ memory\ block$ ）に代替される。ここで、バッドブロックは、プログラム及び消去動作の反復によってウェアアウト（ $wear\ out$ ）されたことによるものではなく、読み出しディスタージャンプにより引き起こされることである。従って、バッドブロックを消去してリサイクルすれば、バッドブロックを正常に再び使用することができる。

【0017】

先に説明した読み出しディスタージャンプによって、ブロック内で特定の幾つかのページのみを反復的に読む場合には、残りのページのデータが損なわれる問題が発生する。

【0018】

例えば、MP3プレーヤを通して、特定ページに格納された音楽ファイルのみを反復的に読む場合に、選択されない残りのページには継続的に読み出し電圧 V_{read} が印加されることによって読み出しディスタージャンプ現象が発生する可能性がある。しかしながら、選択された特定ページでは読み出しディスタージャンプ現象が発生しないため、選択されない残りのページで発生したビットエラーがあまり多くなると訂正できなくなる。

【発明の開示】

【発明が解決しようとする課題】

【0019】

そこで、本発明は上記従来の問題点に鑑みてなされたものであって、本発明の目的は、特定ページを反復して読む場合に読み出しディスタージャンプによって発生するビットエラ

10

20

30

40

50

ーを防ぐメモリシステム及びその読み出し方法を提供することにある。

【課題を解決するための手段】

【0020】

上記目的を達成するためになされた本発明によるメモリシステムの読み出し方法は、フラッシュメモリを含むメモリシステムの読み出し方法であって、前記メモリシステムは、該フラッシュメモリを制御するメモリコントローラを備え、前記メモリコントローラは、前記フラッシュメモリの第1ブロック内の特定ページからデータを読み出し、前記フラッシュメモリの前記特定ページ毎の読み出し回数を、前記特定ページからデータを読み出す毎に増加させ、前記メモリコントローラは、バッファメモリから成り前記読み出し回数を格納する格納ユニットを含み、前記読み出し回数が基準値より大きい場合、前記フラッシュメモリの第1ブロックから前記フラッシュメモリの第2ブロックにデータをコピーバックし、前記第1ブロックからのデータは前記特定ページからのデータを含み、前記メモリシステムの電源がオフになる前に、前記読み出し回数を前記フラッシュメモリ内に格納し、前記フラッシュメモリの電源がパワーオン(power on)時に前記データのコピーバックが行なわれることを特徴とする。

10

ー実施形態において、前記読み出し回数の基準値はユーザによって設定されることを特徴とする。

ー実施形態において、前記コピーバック動作を完了した後、前記回数をリセットすることを更に含む。

【0021】

20

上記目的を達成するためになされた本発明によるメモリシステムは、複数のページを有するフラッシュメモリと、前記フラッシュメモリの動作を制御するためのメモリコントローラと、を備え、前記メモリコントローラは、前記フラッシュメモリの第1ブロック内の特定ページからデータを読み出し、前記フラッシュメモリの前記特定ページ毎の読み出し回数を、前記特定ページからデータが読み出す毎に増加させ、前記メモリコントローラは、バッファメモリから成り前記読み出し回数を格納する格納ユニットを含み、前記読み出し回数が基準値より大きい場合、前記フラッシュメモリの第1ブロックから前記フラッシュメモリの第2ブロック内にデータをコピーバックし、前記第1ブロックからのデータは前記特定ページのデータを含み、前記メモリシステムの電源がオフになる前に、前記読み出し回数を前記フラッシュメモリの格納ユニットに格納し、前記メモリコントローラは、前記フラッシュメモリの電源がパワーオン(power on)時にコピーバック動作を実行することを特徴とする。

30

本発明の一実施形態において、前記フラッシュメモリ及び前記メモリコントローラはメモリカードに具現される。

ー実施形態において、前記読み出し回数はラム内に格納される。

ー実施形態において、前記メモリコントローラは、前記フラッシュメモリの電源がオフになる前に、前記ラムから前記フラッシュメモリ内に読み出し回数を格納する。

ー実施形態において、前記メモリコントローラは、前記フラッシュメモリの電源がオンになる場合、前記フラッシュメモリから前記ラム内に読み出し回数を格納する。

【0022】

40

(作用)

本発明によるメモリシステム及びその読み出し方法は、メインページに対する反復的な読み出し動作によって他のページで発生するビットエラーによる読み出しエラーを防ぐ。

【0023】

メインページに読み出し電圧が印加されるため、他のページと同様にメインページも読み出しディスターバンスによる影響を受けることがある。従って、本発明によるフラッシュメモリ読み出し方法は、メインページに対する読み出し回数が基準値以上であれば、メインページを含むブロック内のデータを他のブロックでコピーバックする。

【発明の効果】

【0024】

50

本発明によれば、フラッシュメモリの特定ページを反復して読む場合に、読み出しディスターバンスによって発生するエラーを防ぐ効果がある。

【発明を実施するための最良の形態】

【0025】

以下、本発明のメモリシステム及びその読み出し方法を実施するための最良の形態の具体例を、図面を参照しながら説明する。

【0026】

図6は、本発明によるメモリシステムを示すブロック図である。図6に示すように、本発明によるメモリシステム100は、ホスト110、メモリコントローラ120、及びフラッシュメモリ130を含む。

10

【0027】

図6において、メモリコントローラ120及びフラッシュメモリ130は、一つの格納装置内に含まれる。このような格納装置には、USBメモリ及びメモリカード(MMC(Multi-Media Card))、SDカード、xDカード、CFカード、SIMカード等)などのような移動式格納装置も含まれる。また、このような格納装置は、コンピュータ、ノートパソコン、デジタルカメラ、携帯電話、MP3プレーヤ、PMP(Portable Multimedia Player)、ゲーム機などのようなホスト110に接続されて使用される。

【0028】

本発明によるメモリシステム100は、ホスト110がフラッシュメモリ130の一つ又はそれ以上の特定ページ(以下、メインページという)のみを反復的に読む場合に、残りのページ(以下、ダミーページという)で発生するビットエラーを防ぐためである。

20

【0029】

本発明による実施形態でメインページpage_Kとメインページpage_Kの読み出し動作によってビットエラーが発生するダミーページpage_Lが示されている。

【0030】

このような問題は、MP3プレーヤでメインページの音楽ファイルを反復して聞く場合、又はゲーム機を使用してメインページに格納された娯楽プログラムを反復して使用する場合に主に発生する。

【0031】

メモリコントローラ120は、ホスト110の要請によって、フラッシュメモリ130のメインページpage_Kを反復して読む。

30

【0032】

この場合、メインページpage_Kの選択されたセルには、0Vが印加され、残りの選択されないセルにはVread電圧が印加される。即ち、メインページを持続的に読み出すことによって残りの非選択されたセルがソフトプログラムされる現象が発生する。

【0033】

ソフトプログラムによってビットエラーが発生すれば、ECC回路124はエラーを訂正する。しかしながら、ECC回路124のECCアルゴリズムによってビットエラーが訂正出来ない場合、本発明によるフラッシュメモリ読み出し方法は、ビットエラーが更に発生する以前にソフトプログラムが発生したブロックのデータを他のブロックにコピーバック(copy back)する。

40

【0034】

ここで、コピーバックとは、読み出しディスターバンス現象によって損なわれたページのデータを復旧するために、損なわれたページを含んだメモリブロックのデータを他のメモリブロックにコピーすることである。

【0035】

即ち、本発明によるフラッシュメモリ読み出し方法は、メインページに対する読み出し回数が基準値以上であれば、メインページを含むブロック内のデータを他のブロックにコピーバックする。基準値は、ユーザ(User)によって設定され、例えば、ユーザは基

50

準値を1000回に設定する。メインページに対する読み出し回数が1000回以上になる場合、本実施形態によるフラッシュメモリ読み出し方法はメインページを含むブロックのデータを他のブロックにコピーバックする。

【0036】

図6において、メインページpage_Kとダミーページpage_Lは、一つずつのみ示されているが、これより更に多くの数のページで構成できることは自明である。

【0037】

図6を参照すると、メモリコントローラ120は、ホストインタフェース121、フラッシュインタフェース(Flash Interface)122、中央処理装置(CPU)123、ECC(Error Correction Code)回路124、ROM125、及びRAM126を含む。メモリコントローラ120は、ホスト110からメインページpage_Kに対する読み出し要請が入力されれば、メインページpage_Kを選択し、メイン読み出し動作を実行する。

【0038】

メモリコントローラ120は、メインページpage_Kを読み出すごとにメインページpage_Kに対する読み出し回数をカウントする。カウントされた読み出し回数は、メモリコントローラ120の制御にตอบสนองしてRAM126に格納される。

【0039】

ホストインタフェース121は、ホスト110とインタフェースするように構成され、フラッシュインタフェース122は、フラッシュメモリ130とインタフェースするように構成される。中央処理装置123は、ホスト110の要請にตอบสนองしてフラッシュメモリ130の読み出し又は書き込み動作などを制御するように構成される。

【0040】

ECC回路124は、フラッシュメモリ130に転送されるデータ(メインデータ)を用いてECCデータを生成する。そのように生成されたECCデータは、フラッシュメモリ130のスペア領域(spare area)に格納される。ECC回路124は、フラッシュメモリ130から読まれたデータのエラーを検出する。もし、検出されたエラーが訂正範囲内であれば、ECC回路124は、検出されたエラーを訂正する。

【0041】

一方、ECC回路124は、メモリシステム100によって、フラッシュメモリ130内に位置することもあり、メモリコントローラ120外に位置することもある。

【0042】

ROM125はブートコード(Boot code)などのようなデータを格納し、RAM126は、バッファメモリとして使用される。RAM126は、フラッシュメモリ130から読まれたデータ又はホスト110から提供されるデータを臨時格納する。

【0043】

また、RAM126は、フラッシュ変換レイヤ(Flash Translation Layer)FTLを格納する。フラッシュ変換レイヤFTLは、中央処理装置123によって運用される。

【0044】

RAM126は、DRAM、SRAMなどで具現される。

【0045】

一方、RAM126は、読み出しエラー情報を管理することに必要なテーブル情報を格納することができる。このテーブル情報は、メタ(meta)データで、中央処理装置123制御下にフラッシュメモリ130のメタ領域にも格納される。このテーブル情報は、パワーオン(power on)時にメタ領域からRAM126にコピーされる。

【0046】

引き続き図6を参照すると、フラッシュメモリ130は、第1ブロック131と第2ブロック132とを含むセルアレイ、カウントレコーダ133及び制御ユニット134を含む。カウントレコーダ(Count Recorder)133は、フラッシュメモリ1

10

20

30

40

50

30のすべてのブロックに対するすべてのページの読み出し回数を格納する。制御ユニット134は、当業者によく知られた通り、ローデコーダ、コラムデコーダ、ページバッファ、ビットライン選択回路、及びデータバッファなどを含む。

【0047】

セルアレイは、複数のメモリブロックで構成される。図6で、複数のメモリブロックには、第1ブロック131と第2ブロック132が示されているが、更に多くの数のブロックで構成できることは自明である。

【0048】

第1ブロック131と第2ブロック132は、複数のページ（例えば、32 pages、64 pages）で構成され、各々のページは、一つのワードラインWLを共有する複数のメモリセル（例えば、512 B、2 KB）で構成される。NANDフラッシュメモリの場合に、消去動作は、メモリブロック単位に行なわれ、読み出し及び書き込み動作は、ページ単位に行なわれる。ここで、フラッシュメモリ130は、一つのメモリセルにシングルビットデータ（single bit data）を格納することもあり、マルチビットデータ（multi bit data）を格納することもある。

10

【0049】

メモリシステム100の電源がオフ（Off）になる前に、メモリコントローラ120は、RAM126に格納されたメインページpage_Kの読み出し回数をフラッシュメモリ130のカウントレコーダ133に格納する。

【0050】

20

メモリシステム100の電源がオン（On）になった場合、メモリコントローラ120は、フラッシュメモリ130のカウントレコーダ133に格納されたメインページpage_Kの読み出し回数をRAM126にローディングする。

【0051】

図7は、図6に示したメモリシステムの読み出し方法の一実施例を示す順序図である。図6及び図7に示すように、まず、メモリシステム100の電源がオン（On）されれば、メモリコントローラ120は、カウントレコーダ133に格納されたすべてのブロックのすべてのページに対する読み出し回数に関する情報をRAM126に格納する。

【0052】

ホスト110はフラッシュメモリのメインページpage_Kに対する読み出し要請をする。メモリコントローラ（図6参照）120は、ホストの読み出し要請に回答して、メインページpage_Kに対する読み出し動作を行なう（ステップ1）。

30

【0053】

メモリコントローラ120は、メインページpage_Kを読み出すごとにメインページpage_Kに対する読み出し回数を増加する（ステップ2）。

【0054】

メモリコントローラ120は、メインページpage_Kの読み出し回数と基準値とを比較する（ステップ3）。

【0055】

もし、メインページpage_Kの読み出し回数が基準値より大きければ、メモリコントローラ120は、メインページpage_Kを含む第1ブロック131のデータを第2ブロック132でコピーバックし、メインページpage_Kの読み出し回数をリセットする（ステップ4）。

40

【0056】

例えば、図6に示した第1ブロック131のメインページpage_Kに損傷が発生した場合に、本実施形態によるフラッシュメモリの読み出し方法は、第1ブロック131のデータを第2ブロック132にコピーするコピーバックプログラム動作を行なう。

【0057】

メモリシステム100の電源がオン（On）になった場合、メモリコントローラ120は、フラッシュメモリ130のカウントレコーダ133に格納されたメインページpage

50

e _ K の読み出し回数を R A M 1 2 6 にローディングする。

【 0 0 5 8 】

本発明によれば、メインページを反復して読む場合に、メインページには 0 V が印加され、ダミーページには読み出し電圧 V r e a d が印加される。

【 0 0 5 9 】

メインページに読み出し電圧が印加されるために、他のページと同様にメインページも読み出しディスタバンスによる影響を受けることがある。このため、本発明によるフラッシュメモリ読み出し方法は、メインページに対する読み出し回数が基準値以上であれば、メインページを含むブロック内のデータを他のブロックにコピーバックする。

【 0 0 6 0 】

従って、本発明は、フラッシュメモリの特定ページを反復して読む場合に読み出しディスタバンスによって発生するエラーを防ぐ効果がある。

【 0 0 6 1 】

以上、図面を参照しながら本発明を実施するための最良の形態について説明したが、ここで使用された特定の用語は、単に本発明を説明するための目的で使用されたものであって、意味の限定や本発明の範囲を制限するために使用されたものではない。従って、本発明は、上述の実施形態に限られるものではなく、本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【 図面の簡単な説明 】

【 0 0 6 2 】

【 図 1 】 一般的なフラッシュメモリ装置を示すブロック図である。

【 図 2 】 図 1 に示したフラッシュメモリ装置の読み出し動作を説明するためのタイミング図である。

【 図 3 】 読み出しディスタバンスによるソフトプログラムの現象を説明するための図面である。

【 図 4 】 オンセル及びオフセルに対応するしきい電圧分布を示す図面である。

【 図 5 】 読み出しサイクルと読み出しフェイルとの間の相関関係を示すグラフである。

【 図 6 】 本発明によるメモリシステムを示すブロック図である。

【 図 7 】 図 6 に示したメモリシステムの読み出し方法の一実施例を示す順序図である。

【 符号の説明 】

【 0 0 6 3 】

- 1 0 0 メモリシステム
- 1 1 0 ホスト
- 1 2 0 メモリコントローラ
- 1 2 1 ホストインタフェース
- 1 2 2 フラッシュインタフェース
- 1 2 3 中央処理装置
- 1 2 4 E C C 回路
- 1 2 5 R O M
- 1 2 6 R A M
- 1 3 0 フラッシュメモリ
- 1 3 1 第 1 ブロック
- 1 3 2 第 2 ブロック
- 1 3 3 カウントレコーダ
- 1 3 4 制御ユニット

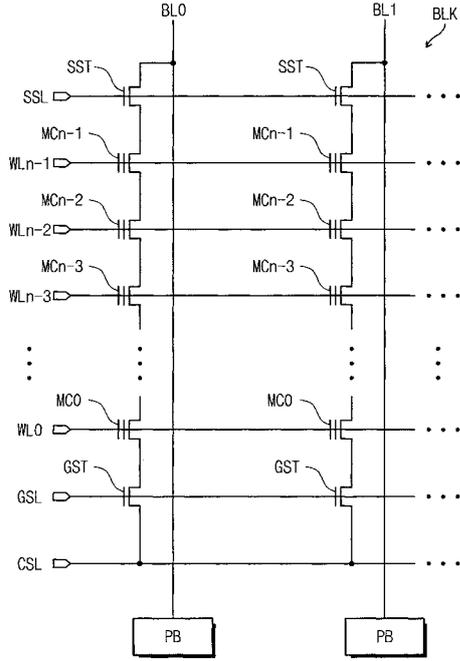
10

20

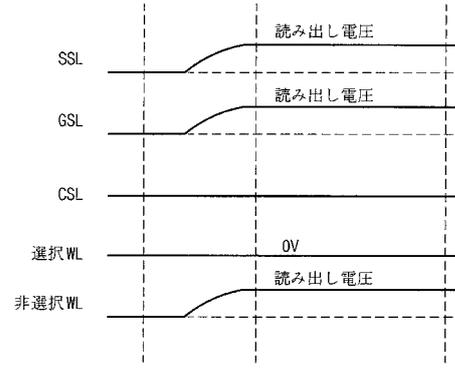
30

40

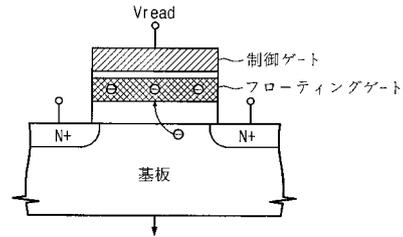
【図1】



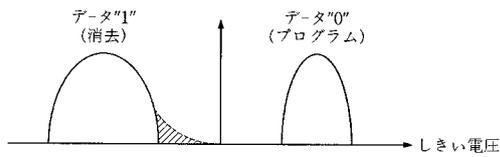
【図2】



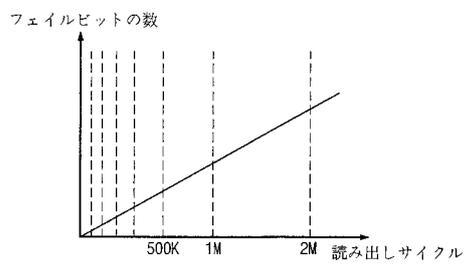
【図3】



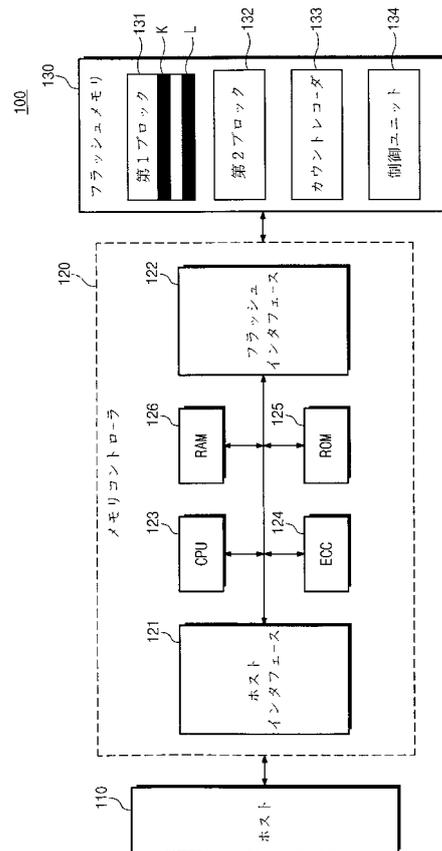
【図4】



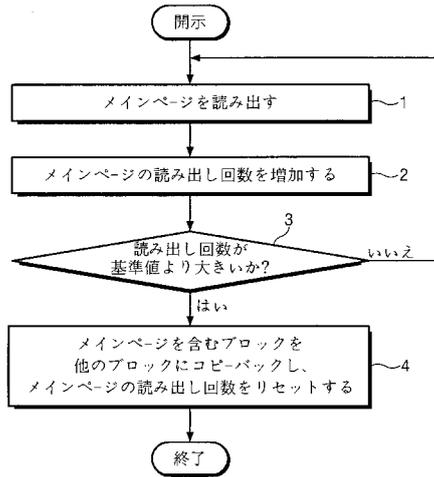
【図5】



【図6】



【図7】



フロントページの続き

審査官 桜井 茂行

- (56)参考文献 特開平08-279295(JP,A)
特開平06-110793(JP,A)
特開2007-048191(JP,A)
特開2007-66067(JP,A)
特開2006-113648(JP,A)
米国特許出願公開第2007/0011421(US,A1)
米国特許出願公開第2007/0115960(US,A1)
米国特許出願公開第2008/0144450(US,A1)

- (58)調査した分野(Int.Cl., DB名)
G06F 12/16
G11C 16/02