

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H03K 19/177

G06F 15/78



[12] 发明专利说明书

[21] ZL 专利号 97198991.5

[45] 授权公告日 2005 年 2 月 9 日

[11] 授权公告号 CN 1188948C

[22] 申请日 1997.8.12 [21] 申请号 97198991.5

[30] 优先权

[32] 1996.8.21 [33] US [31] 08/700,966

[86] 国际申请 PCT/IB1997/000987 1997.8.12

[87] 国际公布 WO1998/008306 英 1998.2.26

[85] 进入国家阶段日期 1999.4.20

[71] 专利权人 新拉姆有限责任公司

地址 美国马萨诸塞州

[72] 发明人 穆凯什·查特

审查员 史永良

[74] 专利代理机构 永新专利商标代理有限公司

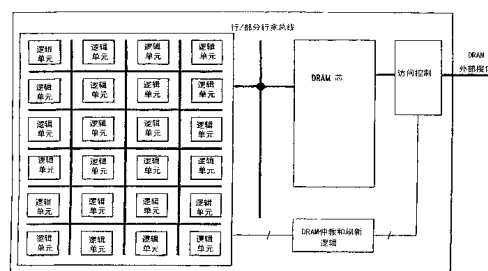
代理人 蹇 炜

权利要求书 3 页 说明书 10 页 附图 6 页

[54] 发明名称 用于配置可编程逻辑单元阵列的方法及装置

[57] 摘要

一种用于配置包括有那些与 FPGA 装置相关的可编程逻辑单元的阵列的技术，通过一新颖的基于 DRAM 的配置控制结构，不仅能实现“飞击式”的可改变芯片和类似装置的重配置，而且在希望时还可是自己修改用于区分该装置的功能性的重配置，以消除当前严重的可重配置性的限制和相关问题，同时能以低成本显著增强系统运行性能。在 FPGA 内部大量的存储器可供利用和以很小数量的引线进行访问从而使得重配置时间能以明显降低的成本较之传统方法快，例如 4 个数量级。



1、一种用于配置各自具有受一相关的配置位存储器控制的逻辑功能的可编程逻辑单元的阵列的方法，包括：

在一 DRAM 芯中存储定义多重程序配置的位信息；

连接一总线到此阵列使得能以定义所希望配置的位信息对单元的配置位存储器作 DRAM 行宽装载；和根据一配置命令，由 DRAM 芯至少一次一行地检索配置位信息，并将这种信息装载进单元的位存储器以控制对应单元逻辑功能来实现所希望的配置编程。

2、如权利要求 1 中所述方法，其特征是所述一次一行的检索和装载使得能作即时重新配置。

3、如权利要求 1 中所述方法，其特征是所述阵列包括一 FPGA 装置，和逻辑单元位存储器包括配置 SRAM 位。

4、如权利要求 1 中所述方法，其特征是在由逻辑单元阵列完成一功能后，生成位命令来指示阵列的新的所希望功能，和设置一辅助存储器芯，该芯包含一 DRAM 行地址并被连接来响应下一功能的位命令并相应地驱动 DRAM，检索并在单元的位存储器中装载代表所述下一功能的配置位信息，控制对应的单元逻辑功能并由此可自行重配置此阵列以执行下一功能。

5、如权利要求 4 中所述方法，其特征是所述可自行重配置性对于随后的所希望的功能命令能自动地继续进行。

6、如权利要求 3 中所述方法，其特征是由仅装载那些需加变更的 SRAM 位来实现部分的重新配置。

7、如权利要求 1 中所述方法，其特征是 DRAM 芯也被用作为可由外部 I/O 接口和内部逻辑双方访问的存储空间。

8、如权利要求 7 中所述方法，其特征是在进行外部接口期间，在一次访问中内部行宽总线存储/检索最大一行宽的数据，和一旦内部选择了一行，就快速地存取列数据。

9、如权利要求 1 中所述方法，其特征是在装置运行中将新的配

置数据装载进 DRAM 芯。

10、一种用于配置一各自具有受相关配置位存储器控制的逻辑功能的可编程逻辑单元的阵列的设备，该设备组合有：用于存储定义多重程序配置的位信息的 DRAM 芯；将此阵列与 DRAM 芯相互连接的总线，以使得能以定义所希望配置的位信息对逻辑单元阵列的配置位存储器作 DRAM 行宽装载；用于生成配置命令的装置；以及根据这样的配置命令并作为响应由 DRAM 芯至少一次一行地检索配置位信息的装置；和用于将这些信息装载进逻辑单元的所述位存储器中以控制对应的单元逻辑功能来实现所希望的配置编程的装置。

11、如权利要求 10 中所述设备，其特征是此阵列包括一 FPGA 装置，和逻辑单元位存储器包括配置 SRAM 位。

12、如权利要求 10 中所述设备，其特征是设置有一访问控制电路，被连接到 DRAM 芯的输入并连接到一 DRAM 仲裁及刷新逻辑模块和一外部 DRAM 接口中之一或两者。

13、如权利要求 11 中所述设备，其特征是设置有一访问控制电路，其连接到 DRAM 芯的输入，并响应由 SRAM 存储器芯发出的对应于 DRAM 行地址的数据位，从而内部地驱动 DRAM 的所选的行地址，该行地址的数据位包含等于唯一地译码 DRAM 行地址所需的位数的数据宽度，该 SRAM 芯还被连接于逻辑单元阵列以从逻辑单元阵列中接收地址位配置命令信号。

14、如权利要求 13 中所述设备，其特征是所述配置命令信号在完成一功能后由逻辑单元阵列产生，并作为阵列下一所希望功能的新的配置，和根据被指定的 DRAM 行地址从访问控制装置相应地译码 DRAM 芯，用于装载从 DRAM 芯返回的代表所述下一功能的配置位信息的装置，在逻辑单元的位存储器中，由此来控制对应的单元逻辑功能并因此自行再配置此阵列以执行下一功能，其中所述自行再配置自动地针对随后所希望的功能命令继续进行。

15、如权利要求 14 中所述设备，其特征是逻辑单元阵列生成 5 个地址位和 SRAM 单元生成对应于 DRAM 行地址的 9 个数据位，此

SRAM 单元含有 32×9 位。

16、如权利要求 10 中所述设备，其特征是逻辑单元阵列在完成一功能后生成一位命令以指示阵列下一个所希望的功能；并且还设置有包含一 DRAM 行的位地址的辅助存储器芯并被连接在阵列与 DRAM 芯之间来响应所述下一功能位命令和相应地驱动 DRAM 以在阵列的单元的位存储器中检索并装载表示所述下一功能的配置位信息来控制对应的单元逻辑功能，由此使阵列的自行重配置能执行所述下一功能。

17、如权利要求 16 中所述设备，其特征是此辅助存储器芯包括 SRAM 芯。

18、如权利要求 16 中所述设备，其特征是根据随后所希望的功能命令自动地进行自行重配置。

19、如权利要求 11 中所述设备，其特征是仅实现部分重新配置，其中此装载装置仅装载那些需要改变的 SRAM 位。

20、如权利要求 10 中所述设备，其特征是 DRAM 芯也被用作为可由外部 I/O 接口和内部逻辑访问的存储空间。

21、如权利要求 20 中所述设备，其特征是在进行外部接口期间，内部行宽总线在一次访问中存储/检索最大一行宽的数据，和一旦内部选定一行，即提供装置迅速访问列数据。

22、如权利要求 10 中所述设备，其特征是此阵列为可编程装置的一部分，并且新的配置数据在装置运行时装载进 DRAM 芯中。

23、如权利要求 22 中所述设备，其特征是此装置包括 FPGA。

24、如权利要求 11 中所述设备，其特征是此一次一行的检索和装载使得能进行即时重配置。

25、如权利要求 11 中所述设备，其特征是设置有各自被装载有相同配置数据的两个相同的 DRAM 存储单元。

26、如权利要求 24 中所述设备，其特征是在一存储单元在对其 DRAM 芯进行刷新时另一个提供配置数据。

用于配置可编程逻辑单元阵列的方法及装置

技术领域

本发明是关于可重新配置逻辑单元阵列的方法及装置，尤其是但并不仅是关于场可编程门阵列（FPGA）和类似的体系结构。

背景技术

可重配置门阵列，也称之为场可编程门阵列（FPGA）在工业上被广泛用于实现各种数字电路。应用范围包括计算机，工作站，控制系统等。一典型的传统 FPGA 装置包含有多个被配置来满足特定设计要求的逻辑单元。一未经编程的 FPGA 含有如后面所述的预定的逻辑单元结构。每一个所述单元均被配置来执行一特定任务（一逻辑电路）以实现所希望的功能性，编程信息通常由配置存储元件以一相对缓慢的过程被串行装载进 FPGA（一些装置被通过 8 位宽的总线装载，仍然为一非常缓慢的过程），其中，只要对装置加电，编程信息就被固在地保持，该配置存储元件一般由分布式静态 RAM（SRAM）来实现。在内部该装置也可在电源接通时遵循一包括前述的重配置数据的缓慢串行装载的预定编程序列来加以重配置。作为示例，Xilinx 公司的装置 XC4025，一传统的 FPGA，要求 422128 位的编程信息和约需 42ms 来完成编程（即重新配置）此装置。在装置的尺寸增加时，这一延时增大。

对于某些应用，其中，FPGA 仅在加电时被编程一次，从而就不存在重新配置的问题，这种相当大的配置时间通常是可允许的。但是它无法满足一些如果重新配置时间被大大降低时能明显改善运行性能的其他应用的需要。这一问题在所有类型的应用中是普遍存在的，包括实时模拟，协同处理器，数字信号处理和各种其他算法，等等。

本发明的目的是消除当前的重配置限制和有关的问题和在降低成本下能显著增强系统运行性能，使得能由提供即时（on-the-fly）可变芯片或其他逻辑层次结构来实现对许多应用的基本上的通用。

大量这样的系统设计，特别是在高速计算机和工作站中，由于功能单元的固定结构严重地阻碍它们的特定范畴之外的任何操作的运行性能，对一定类别的应用例如模拟，运行性能受到限制。这些问题可用最好的“即时”可重新配置性来解决，但由于重新配置所需时间它仍未得到解决。

这样，对某些被广泛应用的需要能作动态再配置逻辑的低成本高性能机器的可能性基本上仍不明朗，即，直至本发明的出现才提供一种新颖的自我修正即时可重配置的 FPGA 体系结构，消除这些问题从而以显著降低的成本大大增强运行性能。

虽然下面为更好地理解这些问题和本发明克服它们的方式，给出说明性模拟和协作处理器应用作为示例，本发明丝毫没有意图认为被仅限于这些举例范围。

模拟应用举例

大的数字集成电路设计在其昂贵和费时的制造周期之前被加以模拟以使在制造之后的校正功能的机会最大化。该设计针对所有可能的输入条件通过提供激励和观察响应而在高性能技术工作站上被广泛地检验。如果此应答不符合预期结果，即对设计检验以纠正。继续这一重复过程直至所有可能的情况均得到验证。模拟是极费时、昂贵的，并增加进入市场的时间，但这一问题是设计方法的关键部分而现今利用将大的模拟任务在多个工程师中加以分割然后编辑结果来管理，这是一非常易於出错的过程，虽然它确实以实质上较高的成本提高了任务的速度。新近利用 Intel Pentium 微处理器浮点单元的失败即是恰当的例证。

作为一例，考虑被设计为下一代的 CPU 在二个时钟周期内对二个 32 位数相加的新的功能单元。它的基于软件的门级模拟在一

高速工作站上将需要数千个时钟周期。当对这样的新功能单元设计需要验证多重操作周期时，所得的延迟较实际设计的操作延长了数个数量级，耗费整个模拟的相当多的时间。

这一问题的另一途径是“设计模拟”（例如 QuickTurn 公司的模拟手册中所介绍的），在此，一设计被映射在通过外部硬件连接的很大数量的传统的 FPGA 上，再实时地以较运行速度低得多的速度运行。这种模拟设备极为昂贵，需要长时间来建立各模拟周期，而有时根本不能映射实际的设计，因而未得到广泛应用。

在计算领域应用的举例

现在考虑一为作背景说明的在计算领域应用的示例，其中，一复杂的递归 64 位乘法运算功能性要由一另外的功能性来仿效，并要由一 32 位 CPU 执行 1024 个取样。由于 CPU 没有专用单元来执行这一任务，它被分割成包括 64 位乘算的多步骤 32 位实现在内的各种子任务并由执行多重 32 位加算将结果加到另一 64 位部分。此过程重复 1024 次。很明显这种执行耗费相当大的 CPU 时间，从而大大降低运行性能。

事实上本发明正是针对有效地解决这些和类似的问题，相信本发明是开发新型 FPGA 和相关体系结构和方法中的一个突破，它：

- a 以体系结构刷新提供即时可重配置性而不完全依靠装置速度；
- b. 提供自修正能力以便能实现高效高速流水线作业；
- c. 在芯片内部存储大量的配置信息（configuration）；
- d. 为所提供功能设置较少的管脚数量；
- e. 因管脚减少而能相应地降低成本；以及
- f. 提供简单的系统接口以最小化设计工作量。

发明内容

因而，本发明一个目的就是提供一能排除包括上述这些的现有重新配置性限制及相关问题的采用新颖的基于 DRAM 的配置控制结构

的新型完善的可作动态配置的门阵列系统、体系结构和方法，而同时低成本地大大增强系统运行性能，从而使得能对众多的应用基本上通用。

另一目的是提供一根据预定标准能自己修正逻辑实施的方法和设备。

再一目的是提供这样的新型系统，其中，在 FPGA 内部有可供应用的大量存储器并以小数量管脚加以访问，从而使得能在明显低的成本下重新配置时间较之传统措施快 4 个数量级。

还有一个目的是提供一基于这种新颖体系结构的在非重配置和重新配置应用中同样有效工作的系统。

其他的目的将在下面说明并在所附权利要求中作更具体的描述。

从一个主要观点出发，总的说本发明是增强一种配置可编程逻辑单元阵列的方法，其中每个单元各自具有被一相关的配置位存储器所控制的逻辑功能，它包括：在一 DRAM 芯中存储定义多重程序配置的位信息；连接总线到此阵列，使得能以定义所希望配置的位信息对单元的配置位存储器作 DRAM 行宽装载；和根据一配置命令至少一次一行地由 DRAM 芯检索配置位信息和在该单元的位存储器中装载这样的信息以控制对应的单元逻辑功能来实现所希望的配置编程。

根据本发明的另一方面，提供了一种用于配置一各自具有受相关配置位存储器控制的逻辑功能的可编程逻辑单元的阵列的设备，该设备组合有：用于存储定义多重程序配置的位信息的 DRAM 芯；将此阵列与 DRAM 芯相互连接的总线，以使得能以定义所希望配置的位信息对逻辑单元阵列的配置位存储器作 DRAM 行宽装载；用于生成配置命令的装置；以及根据这样的配置命令并作为响应由 DRAM 芯至少一次一行地检索配置位信息的装置；和用于将这些信息装载进逻辑单元的所述位存储器中以控制对应的单元逻辑功能来实现所希望的配置编程的装置。

后面详细说明优选和最佳方式设计和技术。

附图说明

现在结合附图说明本发明, 附图 1-3 说明现有技术, 所列附图为:

图 1 为典型的现有技术 FPGA 接口的方框图;

图 2 表明一典型的现有技术 FPGA 内部逻辑结构或阵列和路由通道; 以及

图 3 说明用于例如图 2 中配置中的典型的现有技术配置逻辑单元;

图 4 为按照本发明构成的在此称之为“SONAL”体系结构的部分顶层体系结构的方框图, 其中该名称代表 Self-modifying, On-the-fly Alterable Logic (自修正即时可变逻辑);

图 5 为这种能实现自修正逻辑功能的新型体系结构的方框图。

图 6 也是按照本发明构成的实现称做“SONAL”FPGA 的本发明的自修正“即时”可变逻辑的系统体系结构的方框图;

图 7 表示本发明“SONAL”FPGA 的接线输出的举例;

图 8 为适用于一所谓的“PARAS”接口和访问机制(1994.10.7 提交的共有未决的美国专利申请 No.08/320058 中有说明)和具有低管脚数的集成存储器体系结构的前述图 7 的“SONAL”FPGA 的变型。

具体实施方式

现在顺序说明按照其新型的以“SONAL”为中心的解决方案的本发明, 通过极大地降低消耗在 FPGA 的重新配置中的时间量和在需要时通过提供自修正模式来使得无需外部干预地作功能变换从而大大加速执行时间, 以消除重新配置延迟和其它前面描述的瓶颈问题。另外的好处还包括 FPGA 内部大存储器的可行性, 结果就降低了系统的成本, 如前述。

如前面提到的, 图 1 表示采用通过一总线系统并如所标记的, 由与主存储器协同工作的 CPU 编程的 FPGA 单元(#1……#n)的现有技术 FPGA 接口, FPGA 单元具有图 2 的内部逻辑单元结构或阵列和路由通路, 其中各可配置逻辑单元具有如图 3 中所示由相关配置静态

RAM (SRAM) 所控制的逻辑功能, 其中, 配置数据被存储在小的经定位的内部静态 RAM 位中。但在本发明中, 一如图 4 中所示的 DRAM 芯被用来存放多重配置信息, 一访问控制电路, 被连接到 DRAM 芯的输入并连接到一 DRAM 仲裁及刷新逻辑模块和一外部 DRAM 接口中之一或两者。还提供为装置配置所需的配置 SRAM 位。设置有一 DRAM 行宽总线 (其中这里所用术语“行”也包含一行的部分即局部), 它直接连接到 SRAM 位, 随后再控制可编程元件。在给出一配置命令之后, 每次检索一行并存放进所述 SRAM 位, 直至所有需要的配置存储元素均被装载。由仅仅装载那些必须加以改变的 SRAM 位可实现局部再配置。本发明的进一步提高是提供屏蔽能力使得仅仅需加改变的位才被装载进配置 SRAM。还有可能在芯片运行时装载新的配置数据进入 DRAM。同一 DRAM 还可用作能由外部 I/O 或通过内部逻辑访问的存储空间。从外部接口看将具有一窄的 I/O 宽度数据接口, 但在内部其行宽总线则可被用来在一次访问中存储/检索最大一行宽的数据。一旦在内部选择了一行, 以非常高的速度访问列数据的能力使其构成了用于状态机应用的理想空间。无需遵循传统的行和列相当数量的方法, 在某些情况中, 使行数多于列数的结构可能更有利于提供更快速的动态重配置。对全部这些功能性可利用示例作最佳说明。

现在考虑一需要 32768 位来配置其全部可编程元素并具有能加以重新配置的最大串行速率为 10Mhz 的传统的 FPGA。其重配置时间则大致为 3.3ms。假定一相应的“SONAL”含有一 256K×8 的 DRAM 芯作为图 4 中所示的其体系结构的一部分。在接收到重配置命令之后, 在“SONAL”FPGA 中检索一含有 4096 位的行 (每行 512 位×8 位宽) 并存放于相应的配置 SRAM 位中。这种行检索和其后存储过程在这一例中重复 8 次以装载全部所需配置 SRAM 位。如果行检索速率为 40ns, 则为完全地重新配置 FPGA 需要总共 320ns。这是本发明胜过当前存在的要求 3.3ms 的 FPGA 方案的最大优点。这样, 本发明即提供优于传统措施近 4 个数量级的改善。还应指出, 总线不一定是整个行宽而是并带有某种性能降低的可以如前述的这里仍称

之为一“行”的行的一部分。

“SONAL”的这种快速的重新配置时间可借助于多重 DRAM 块 (bank) 的组合, 如 “m” 个 DRAM 块, 而得到进一步改善。这样, 如果需要 “r” 行来配置装置并以 “t” 毫微秒检索一行, 则

$$\text{配置时间} = r \times t / m$$

具有配置 SRAM 位的一个原因是 DRAM 芯的刷新需要。当然也有可能通过经定位的 DRAM 单元来替代这些 SRAM 位, 但由于因刷新需求所造成的干扰这不是最佳解决办法。这些位的消除将降低装置的成本和功率消耗。本发明的替换实施例包括采用二个相同的 DRAM 存储单元使得同一配置数据被装载进它们双方。假定一行提供为配置整个 FPGA 足够的数据, 则无需任何 SRAM 位; 而当一个存储单元在进行刷新时, 另一个提供配置数据。这一概念可扩充到 “m” 个单元使得 “m/2” 个存储单元具有与另一 “m/2” 个存储单元同样的配置信息。

在该装置的一种应用中, 多路复用的串行数据流能够被分割成组成该串行数据流的多个子串行数据流, 并将这些子串行数据流转换成并行格式, 同时装载进位于不同的预定地址的 DRAM 行。

在本发明的另一替换实施例中, 一内部 DRAM 存储单元仅被用于重配置数据而另一内部存储单元则主要用于通用存储器, 以使得二存储单元在外部通过同一接口加以访问以最大限度降低成本。

在本发明的又一实施例中, 设计了如图 5 中所示的可实现的自修正电路。在自修正电路中设置有一访问控制电路, 其连接到 DRAM 芯的输入, 并响应由 SRAM 存储器芯发出的对应于 DRAM 行地址的数据位, 从而内部地驱动 DRAM 的所选的行地址, 该行地址的数据位包含等于唯一地译码 DRAM 行地址所需的位数的数据宽度, 该 SRAM 芯还被连接于逻辑单元阵列以从逻辑单元阵列中接收地址位配置命令信号。在此自修正体系结构中 SRAM 芯地址单元数受制于重新配置能力所要求的程度。作为这种情况的一个示例, 表示为 32×9 SRAM。该 SRAM 芯具有 5 个地址位, 由 FPGA 控制逻辑驱动。

响应来自逻辑单元阵列的配置数据位命令或者在一定逻辑条件被满足时的适当事件或时刻，SRAM 芯的输出被用来检索行宽配置数据。新的电路实现可具有驱动 SRAM 芯地址输入的不同控制逻辑，根据各种电路元件的状态自动地连续实现另一个电路功能，这样，芯片功能性即能动态地变换到服从于一定的逻辑条件的结果的预定逻辑实现。此技术提供要求来自相连 CPU 的干预最小的高效率自修正电路，从而大大增强整个系统的运行性能，并具有在数字信号处理算法、流水线设计等中广泛范围的应用。一种潜在的应用是将大的流水线设计分段成为多重配置和这些配置程序如需要时由处理硬件加以装载。由于门的可重复使用性，这大大减少实现设计所需的门的数量，从而降低芯片成本。这仅因为非常高速度的“即时”自修正能力才能实现。

此 SRAM 芯也可利用其他的技术例如 Flash 或 EEPROM 来实现。

在此系统层次，可将多重这样的“SONAL”装置连接在系统总线上以增强机器的能力，如图 6 中所示。应当指出，这种即时重新配置措施或自修正电路并不仅限于 FPGA，而且也能是含有类似的可重配置元素的 CPU 的部分。

例如考虑被专门设计为独立平台的“JAVA”（最广泛应用的互联网语言），藉此提供在各种机器中的完全可移植性。缺点是“JAVA”运行极为缓慢，因为它不能利用不同 CPU 的独特的体系结构能力。改善“JAVA”执行速度的一种途径是通过对其提供在非常高速度时可改变的公用虚拟硬件平台（在传统 CPU 功能之外）。这一虚拟硬件可通过在 CPU 自身上提供带有“SONAL”能力的可配置性来实现或者以作为分开的“SONAL”FPGA 来实现。这样，这一体系结构维持独立平台的关键元素，但取得较高的执行速度。

‘SONAL’ I/O 接口

此芯片具有某种不同的接线输出反映其独特的体系结构。一种可能的接线输出示例如图 7 所示，提供具有分开的地址和数据总线的传统的 DRAM 接口。现在考虑一帶有 $256K \times 8$ DRAM 的“SONAL”

示例。利用传统的 DRAM 访问方式，需要 21 根接线（地址 9 个，数据 8 个，“RAS”、“CAS”、“WRITE”和“Output Enable”各 1 个）。每当发生 FPGA 单元与 DRAM 芯之间的内部传输时还提供系统总线接口一个“WAIT”信号。CPU（或其他主控器）可以或者利用它来延迟访问的起始，或者在一替代实现中，可扩展访问周期来使得在此访问继续前进之前完成此内部传输。如果连同此“SONAL”结构一起采用所述的同时申请的被称为“PARAS”DRAM 的接口访问机制，即能进一步完善本发明来减少接线数并因而降低成本。（这一申请中揭示一种用于依靠新颖的接口和访问过程来改善异步和同步动态随机存取存储器装置的访问能力的方法和设备，其中，同样的接线在读和写周期双方均被用于每一行、列和数据访问，这样使得能在基本同样尺寸的封装但具有较少接线的条件下有效地增加数据带宽和寻址范围。）采用这种“PARAS”模块，如图 8 中所示仅需 13 根接线和一附加的用于“WAIT”的接线。另外还应注意，在配置数据已被装载后无需访问 DRAM 并因而无需外部访问的应用中，相同的接线可被用作传统的 FPGA I/O 接线。

通过将行和列地址分割成多重的子地址和通过在相同引线上共享数据和控制接线，还有可能进一步降低 I/O 接线数。这显然会减缓来自外部装置如 CPU 的访问时间，但提供更低的接线数，降低的成本，和运行中的即时可变 FPGA。

利用‘SONAL’实现的模拟应用

作为一例，如果为下一代 CPU 设计一个能在 2 个时钟周期内计算二个 32 位数的快速 32 位加法器并将给工作站配置作为协作处理器运行的“SONAL”型 FPGA，则加法器模拟一般将需数个时钟周期。按照此优选实施例，“SONAL”可进行动态重新配置而后可通过在这样配置的“SONAL”上实时执行任务来验证其功能。这远远胜过传统的无“SONAL”措施的工作站，后者通常需数千个周期。

利用‘SONAL’实现的计算应用

再次用来说明基础情况，一伴随有加法功能的复杂的递归 64 位乘法功能的计算应用例，如果对 1024 个取样由一 32 位 CPU 执行它，设置有“SONAL”的 CPU 将其配置为在一步中执行此递归 64 位功能的功能专门单元而运行，由此而能较之前面说明的传统措施大大改善机器运行性能。

因此如前面已指出的，利用本发明的这种新颖 FPGA 体系结构的优点就在于：提供带体系结构创新的即时可重配置性而不致完全依赖装置的速度；自修正能力使得高效高速的实现；在芯片内部存储大量的配置信息，减少用于所设置功能的接线数，因接线数减少而使成本相对降低；和提供近乎与现有 FPGA 单元同样的系统设计接口，从而使设计周期最小。

对于本技术领域熟悉人员还可作的进一步变更，其中包括设置能使高速串行数据装载进用于网络化、多媒体和其他应用的 DRAM 的逻辑，并作为 CPU 本身的部分而不是一外部装置实施该措施，或连同用于快速可重配置性的内部连接一起应用这种外部 DRAM 接口到除 FPGA 外的其他装置，而这些均被认为是属于如所附权利要求中所定义的本发明的精神实质和范畴之内。

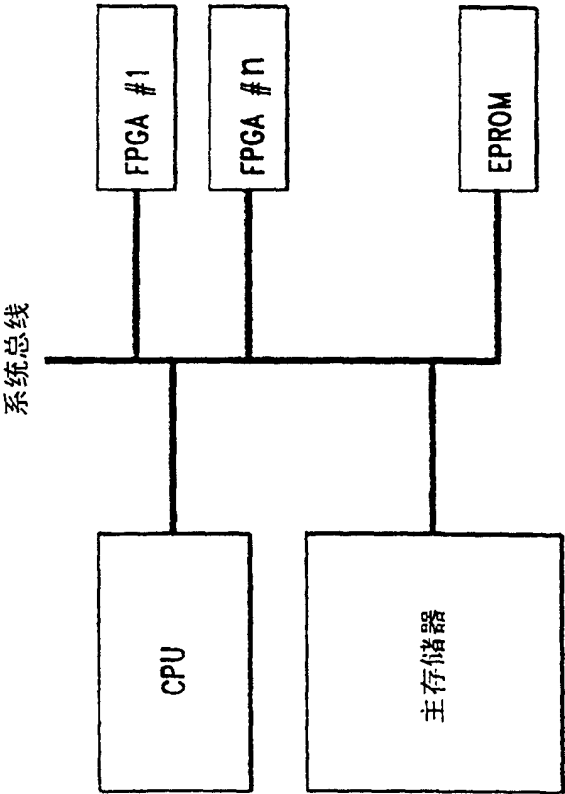


图1

现有技术

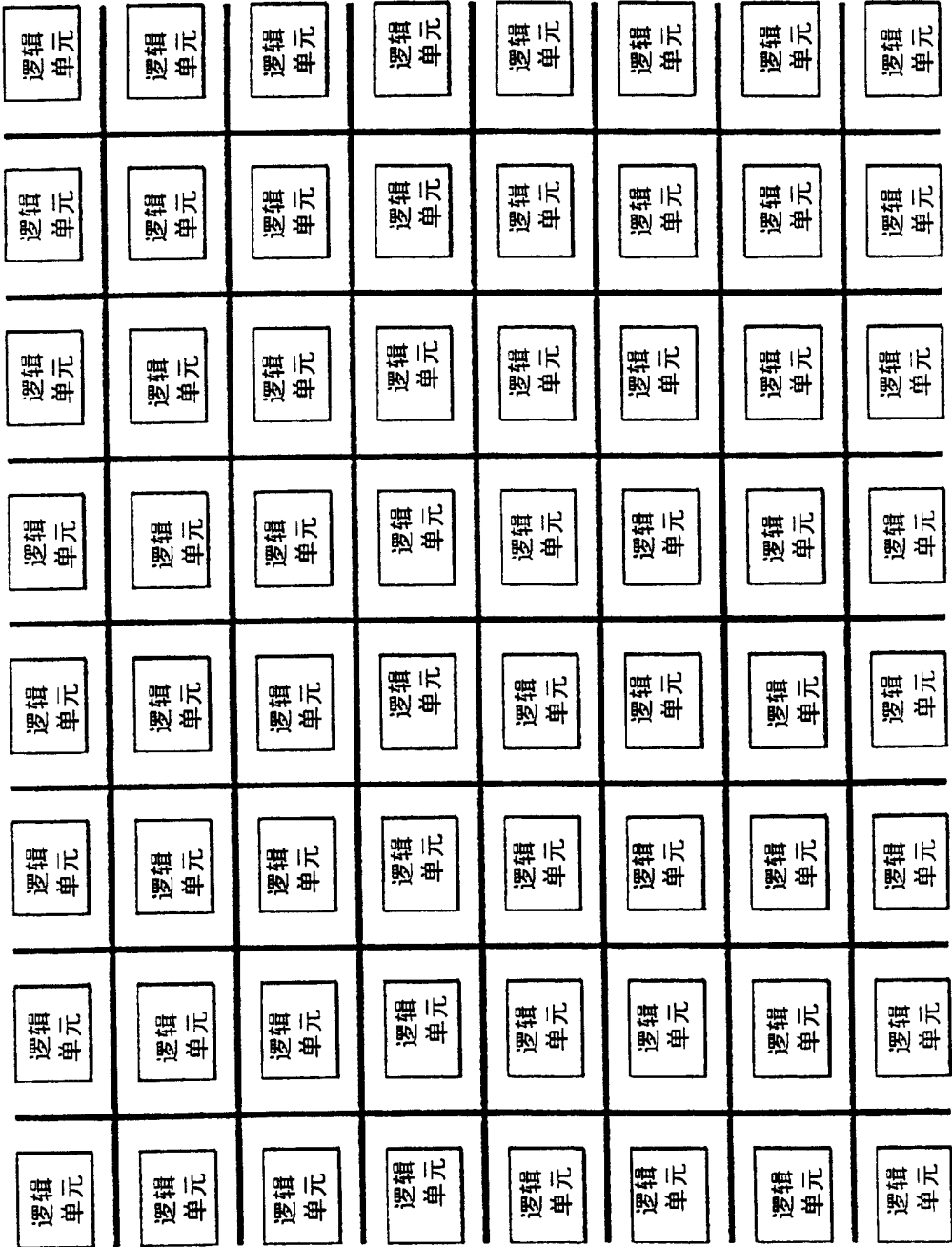


图2

先有技术

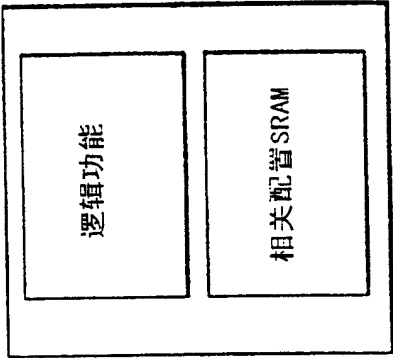
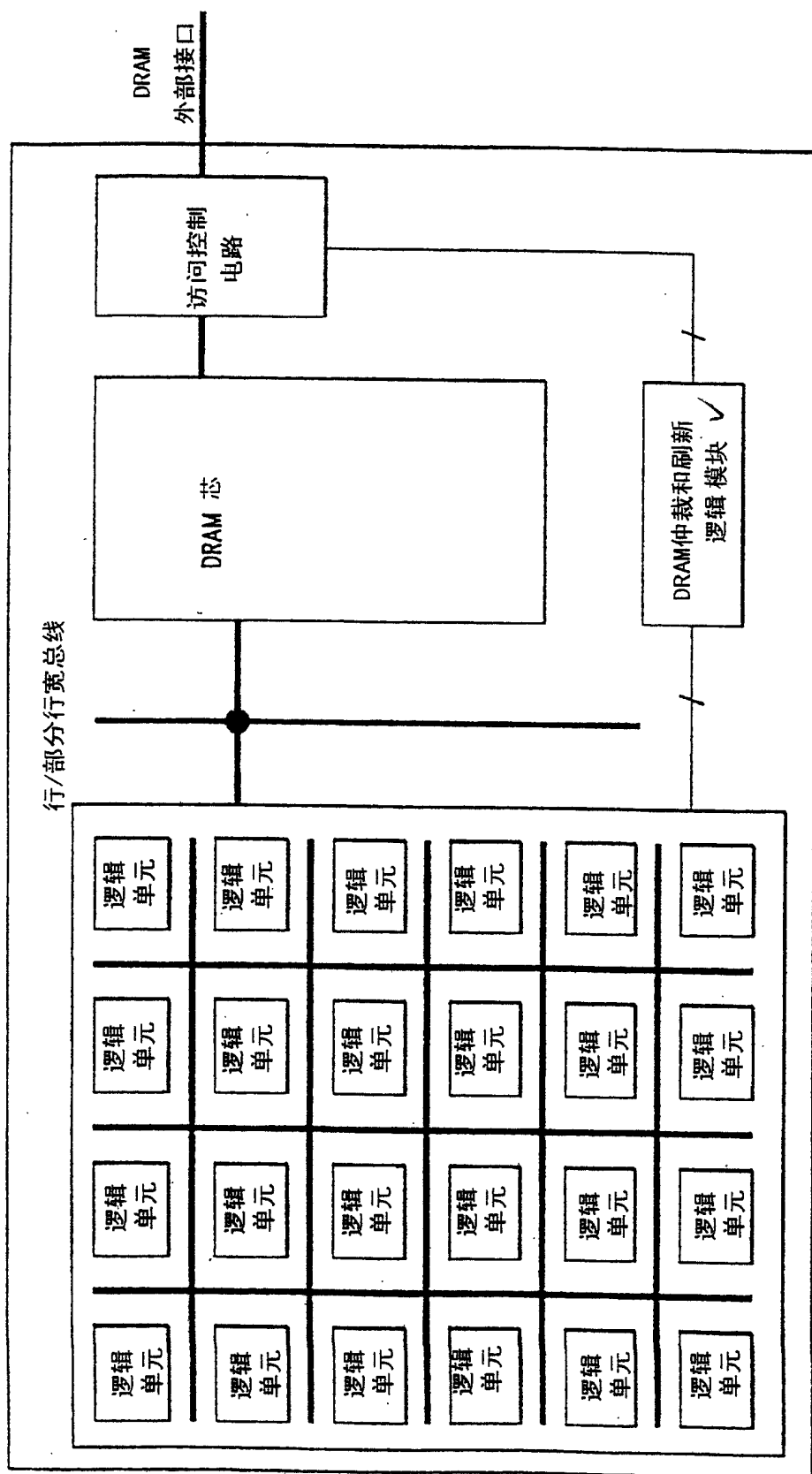
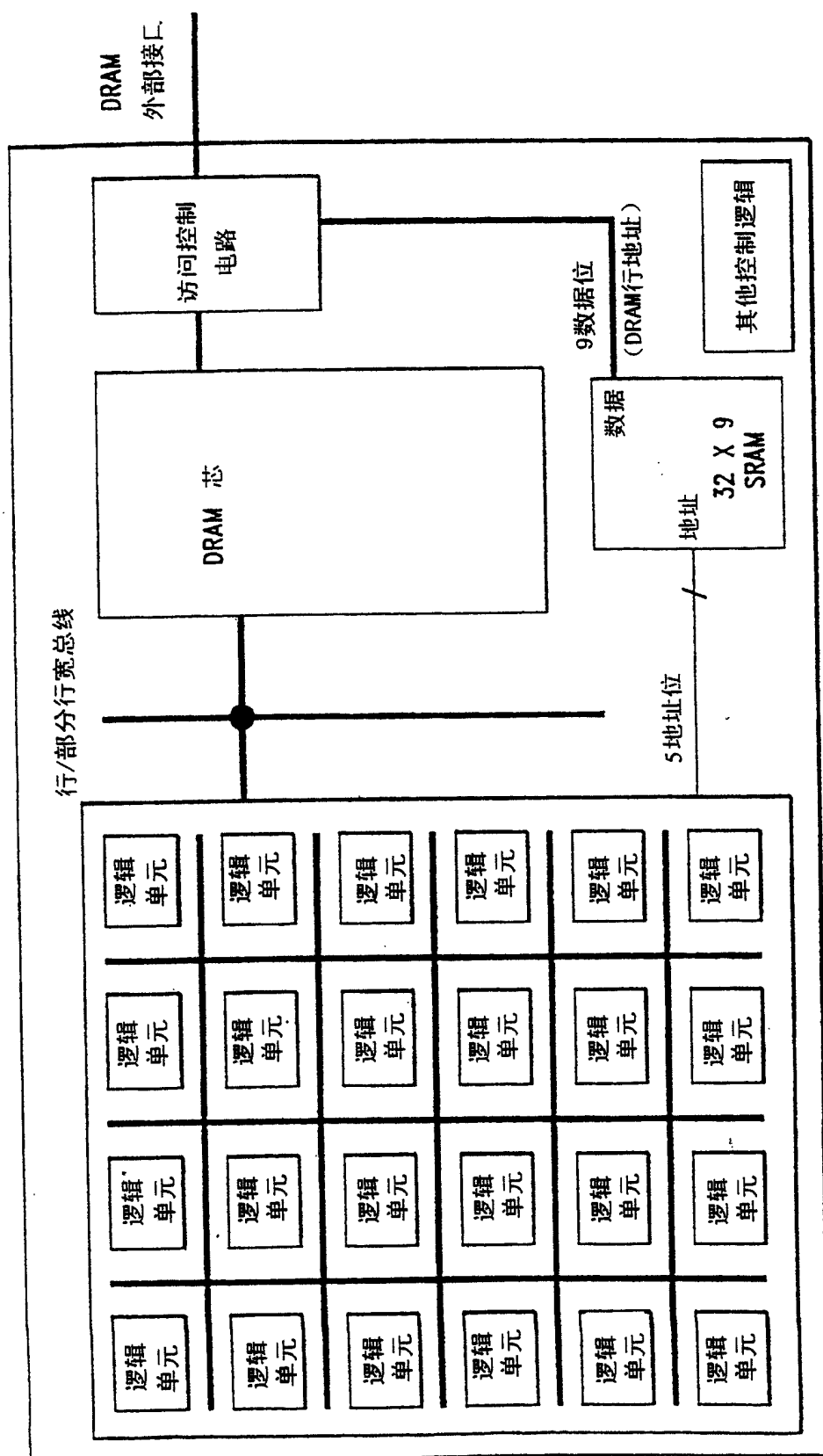


图3
先有技术



4
圖



5

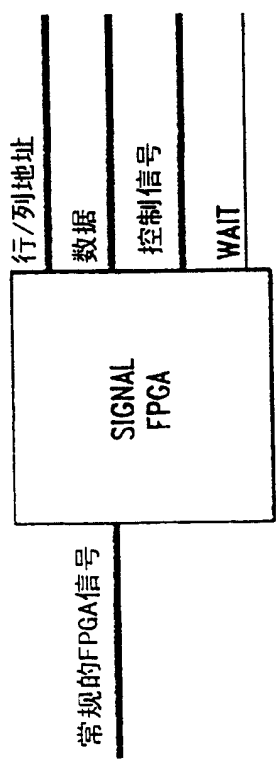


图7

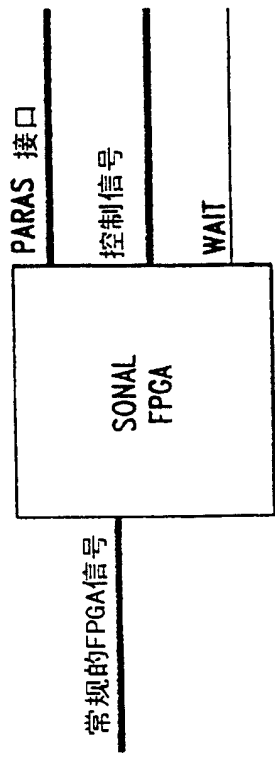


图8

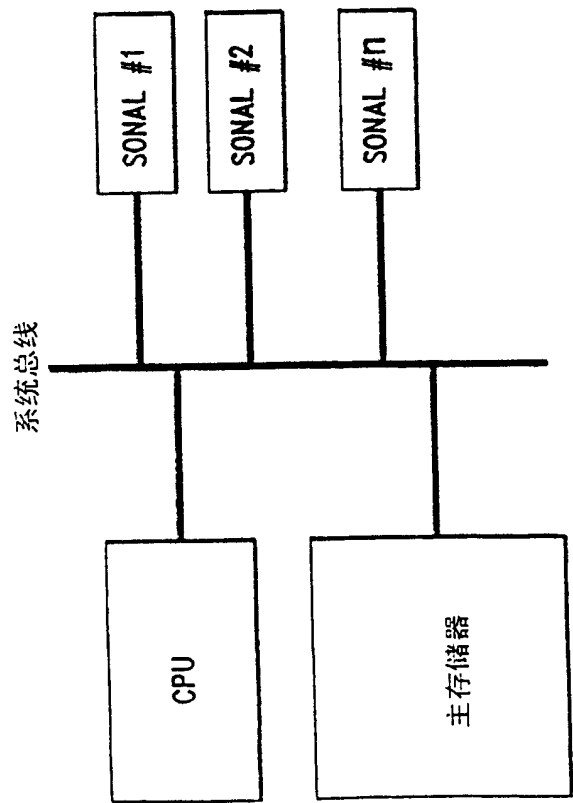


图6