I873447

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I873447 B**

(45)公告日： 中華民國 114 (2025) 年 02 月 21 日

(21)申請案號：111129836 (22)申請日： 中華民國 111 (2022) 年 08 月 09 日

(51)Int. Cl.： ***H10D62/80 (2025.01)*** ***H10D48/00 (2025.01)***
H10D30/60 (2025.01) ***H10D30/01 (2025.01)***
H10D84/80 (2025.01)

(30)優先權：2022/03/17 中國大陸 202210265812.3

(71)申請人：中國大陸商長鑫存儲技術有限公司 (中國大陸) CHANGXIN MEMORY TECHNOLOGIES, INC. (CN)
中國大陸
北京超弦存儲器研究院 (中國大陸) BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY (CN)
中國大陸

(72)發明人：肖德元 XIAO, DEYUAN (CN) ；余泳 YU, YONG (CN) ；邵光速 SHAO, GUANGSU (CN)

(74)代理人：江日舜

(56)參考文獻：

TW 202145313 CN 100561708C

審查人員：邱智強

申請專利範圍項數：10 項 圖式數：6 共 39 頁

(54)名稱

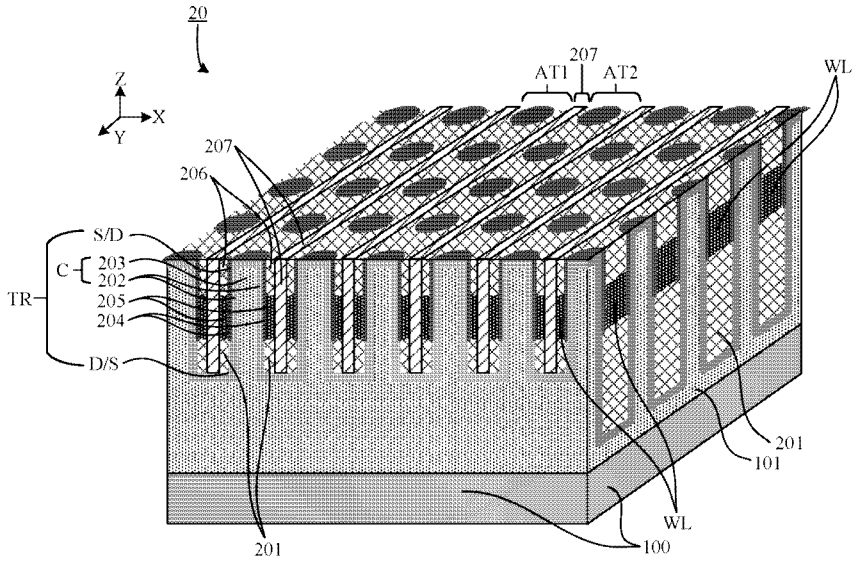
半導體結構及其製造方法、記憶體及其製造方法

(57)摘要

本申請實施例提出了一種半導體結構及其製造方法、記憶體及其製造方法，其中，所述半導體結構包括至少一個電晶體，所述電晶體包括：通道，所述通道包括第一半導體層和環繞所述第一半導體層設置的第二半導體層；所述第二半導體層在所述通道中引入應變。

Embodiments of the present application provide a semiconductor structure and a method for manufacturing the same, a memory device and a method for manufacturing the same. The semiconductor structure includes at least one transistor. The transistor includes a channel including a first semiconductor layer and a second semiconductor layer disposed around the first semiconductor layer. The second semiconductor layer introduces strain into the channel.

指定代表圖：



【圖 1b】

符號簡單說明：

20:半導體結構/電晶體陣列

100:基板

101:主動層

201:第一介電層

202:第二半導體層

203:第一半導體層

204:閘極氧化層

205:閘極

206:第二介電層

207:閘極隔離結構

TR:電晶體

S:源極

D:汲極

C:通道

AT1/AT2:每一排電晶體

BL:位線

WL:字線

公告本

I873447

【發明摘要】

【中文發明名稱】 半導體結構及其製造方法、記憶體及其製造方法

【英文發明名稱】 SEMICONDUCTOR STRUCTURE AND METHOD FOR MANUFACTURING THE SAME, MEMORY AND METHOD FOR MANUFACTURING THE SAME

【中文】

本申請實施例提出了一種半導體結構及其製造方法、記憶體及其製造方法，其中，所述半導體結構包括至少一個電晶體，所述電晶體包括：通道，所述通道包括第一半導體層和環繞所述第一半導體層設置的第二半導體層；所述第二半導體層在所述通道中引入應變。

【英文】

Embodiments of the present application provide a semiconductor structure and a method for manufacturing the same, a memory device and a method for manufacturing the same. The semiconductor structure includes at least one transistor. The transistor includes a channel including a first semiconductor layer and a second semiconductor layer disposed around the first semiconductor layer. The second semiconductor layer introduces strain into the channel.

【指定代表圖】　　圖 1b

【代表圖之符號簡單說明】

20	半導體結構/電晶體陣列
100	基板
101	主動層
201	第一介電層
202	第二半導體層
203	第一半導體層
204	閘極氧化層
205	閘極
206	第二介電層
207	閘極隔離結構
TR	電晶體
S	源極
D	汲極
C	通道
AT1/AT2	每一排電晶體
BL	位線
WL	字線

【發明說明書】

【中文發明名稱】 半導體結構及其製造方法、記憶體及其製造方法

【英文發明名稱】 SEMICONDUCTOR STRUCTURE AND METHOD FOR MANUFACTURING THE SAME, MEMORY AND METHOD FOR MANUFACTURING THE SAME

【技術領域】

【0001】 本申請涉及半導體技術領域，涉及但不限於一種半導體結構及其製造方法、記憶體及其製造方法。

【先前技術】

【0002】 隨著半導體器件的微型化、高密度化、高積體化，記憶體尺寸的不斷縮小，半導體器件中的電晶體特徵尺寸縮小到奈米尺度後，電晶體的功耗密度、遷移率等到達物理極限，對提高電晶體的性能帶來了更大的挑戰。相關技術中的電晶體受限於功耗密度、遷移率等物理極限，難以降低電晶體的功耗、提高電晶體的速度等。

【發明內容】

【0003】 為解決相關技術問題，本申請實施例提出了一種半導體結構及其製造方法、記憶體及其製造方法。

【0004】 本申請實施例提供了一種半導體結構，所述半導體結構包括至少一個電晶體，所述電晶體包括：

通道，所述通道包括第一半導體層和環繞所述第一半導體層設置的第二半導體層；所述第二半導體層在所述通道中引入應變。

【0005】 上述方案中，所述電晶體還包括：

閘極，覆蓋所述通道的至少一個側面；

源極和汲極，分別位於所述通道的延伸方向的兩端。

【0006】上述方案中，所述閘極環繞所述通道設置。

【0007】上述方案中，所述第一半導體層包含的第一元素的晶格常數與所述第二半導體層的包含的第二元素的晶格常數不同。

【0008】上述方案中，所述第一半導體層的材料包括矽鍺，所述第二半導體層的材料包括矽。

【0009】上述方案中，所述通道截面形狀包括以下之一：

圓形；

橢圓形；

矩形。

【0010】上述方案中，所述半導體結構包括多個電晶體，所述多個電晶體對應的多個所述通道沿第一方向和第二方向陣列排布；所述第一方向和所述第二方向均與所述通道的延伸方向垂直；其中，

沿所述第一方向排布的每一排電晶體中每個電晶體的閘極相互物理連接；沿所述第一方向排布的相鄰的兩排電晶體之間的閘極相互電隔離。

【0011】上述方案中，所述電晶體為N型，所述應變為拉應變；或者，所述電晶體為P型，所述應變為壓應變。

【0012】本申請實施例提供了一種半導體結構的製造方法，所述方法包括：

形成通道；所述通道包括第一半導體層和環繞所述第一半導體層設置的第二半導體層；所述第二半導體層在所述通道中引入應變。

【0013】上述方案中，所述製作方法還包括：

形成覆蓋所述通道的至少一個側面的電晶體的閘極；

在所述通道的延伸方向的兩端分別形成所述電晶體的源極和汲極。

【0014】上述方案中，所述第一半導體層的材料包括矽鍺，所述第二半導體層的材料包括矽。

【0015】上述方案中，所述形成通道，包括：

提供主動層；

部分蝕刻所述主動層，形成柱狀的第一半導體層；所述第一半導體層沿垂直於所述主動層的表面方向延伸；

在所述第一半導體層的側壁和頂面形成第二半導體層。

【0016】上述方案中，所述方法還包括：

在所述主動層中形成截面形狀為矩形的第一半導體層；

通過氧化製程，使所述第一半導體層的截面形狀由矩形變化為橢圓形。

【0017】上述方案中，所述半導體結構包括多個電晶體，所述多個電晶體對應多個所述通道；形成多個所述通道，包括：

提供主動層；

部分蝕刻所述主動層，形成多條沿第一方向延伸的第一溝槽和多條沿第二方向延伸的第二溝槽以及位於所述第一溝槽和所述第二溝槽交叉處的多個第一半導體層；每個所述第一半導體層側壁暴露於所述第一溝槽和所述第二溝槽中，沿垂直於所述主動層的表面方向延伸；所述第一方向和所述第二方向平行於所述主動層的表面；

在所述第一半導體層的側壁和頂面形成第二半導體層。

【0018】上述方案中，所述第一溝槽和所述第二溝槽沿所述通道的延伸方向上分別具有第一深度和第二深度，所述第一深度與所述第二深度不同。

【0019】上述方案中，在形成通道之後，所述方法還包括：

在具有所述第二半導體層的所述第一溝槽和所述第二溝槽中填充第一介電層；

部分蝕刻所述第一介電層形成第三溝槽，在所述第三溝槽中填充絕緣材料形成閘極隔離結構；

部分蝕刻所述第一介電層，形成暴露的第二半導體層；

在所述暴露的第二半導體層上形成閘極氧化層；

依次填充第一導電材料和第二介電層；所述第一導電材料用於形成每個電晶體的閘極。

【0020】本申請實施例又提供了一種記憶體，包括：

多個存儲單元，沿第一方向和第二方向陣列排布；

電晶體陣列，所述電晶體陣列包括多個如上述方案中所述的半導體結構；所述電晶體陣列沿所述第一方向的每一排電晶體的閘極相互物理連接，所述物理連接的閘極形成字線；每一所述存儲單元分別與所述電晶體陣列中一電晶體的源極或汲極連接；所述第一方向和所述第二方向均與所述電晶體的通道的延伸方向垂直；

多條沿所述第二方向平行間隔排布的位線，每一所述位線分別與所述電晶體陣列中沿所述第二方向排布的一排電晶體的汲極或源極連接。

【0021】上述方案中，所述記憶體包括：動態隨機存取記憶體、鐵電記憶體、相變記憶體、磁變記憶體或者阻變記憶體。

【0022】上述方案中，所述記憶體包括：動態隨機存取記憶體，所述存儲單元包括：電容；所述電容包括柱狀的第二電極，覆蓋所述第二電極側壁及底部的電介質，以及覆蓋所述電介質的第一電極。

【0023】本申請實施例又提供了一種記憶體的製造方法，所述方法包括：

形成多個存儲單元，所述多個存儲單元沿第一方向和第二方向陣列排布；

形成電晶體陣列，所述電晶體陣列通過上述方案中所述的半導體結構的製造方法製造得到；所述電晶體陣列中沿所述第一方向的每一排電晶體的閘極相互物理連接，所述物理連接的閘極形成字線；每一所述存

儲單元分別與所述電晶體陣列中一個電晶體的源極或汲極連接；所述第一方向和所述第二方向均與所述電晶體的通道的延伸方向垂直；

形成多條沿所述第二方向平行間隔排布的位線，每一所述位線分別與所述電晶體陣列中沿所述第二方向排布的一排電晶體的汲極或源極連接。

【0024】本申請實施例提出了一種半導體結構及其製造方法、記憶體及其製造方法，其中，所述半導體結構包括至少一個電晶體，所述電晶體包括：通道，所述通道包括第一半導體層和環繞所述第一半導體層設置的第二半導體層；所述第二半導體層在所述通道中引入應變。本申請各實施例中，所述電晶體的通道包括雙疊層的半導體層，並且在雙疊層的半導體層中引入應變，引入的應變可以拉長半導體層中的與原子距離，實現單位長度上原子數目的減少，降低了載子（electron/hole）遷移的量能，從而增加通道的載子遷移率（electron/hole mobility），進而提高通道的電流速度，降低電晶體的功耗、提高電晶體的速度等，以獲得更好電晶體的性能。

【圖式簡單說明】

【0025】圖1a為本申請實施例提供的一種半導體結構的立體結構示意圖；

【0026】圖1b為本申請實施例提供的另一種半導體結構的立體結構示意圖；

【0027】圖2為本申請實施例提供的一種半導體結構的製造方法的實現流程示意圖；

【0028】圖3a至圖3j為本申請實施例提供的一種半導體結構的製造過程的立體結構示意圖；

【0029】圖4為本申請實施例提供的一種記憶體的立體結構示意圖；

【0030】圖5為本申請實施例提供的一種半導體結構的製造方法的實現流程示意圖；

【0031】圖6為本申請實施例提供的一種記憶體的製造過程的立體結構示意圖。

【實施方式】

【0032】下面將參照附圖更詳細地描述本申請公開的示例性實施方式。雖然附圖中顯示了本申請的示例性實施方式，然而應當理解，可以以各種形式實現本申請，而不應被這裡闡述的具體實施方式所限制。相反，提供這些實施方式是為了能夠更透徹地理解本申請，並且能夠將本申請公開的範圍完整的傳達給本領域的技術人員。

【0033】在下文的描述中，給出了大量具體的細節以便提供對本申請更為徹底的理解。然而，對於本領域技術人員而言顯而易見的是，本申請可以無需一個或多個這些細節而得以實施。在其他的例子中，為了避免與本申請發生混淆，對於本領域公知的一些技術特徵未進行描述；即，這裡不描述實際實施例的全部特徵，不詳細描述公知的功能和結構。

【0034】在附圖中，為了清楚，層、區、元件的尺寸以及其相對尺寸可能被誇大。自始至終相同附圖標記表示相同的元件。

【0035】應當明白，空間關係術語例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等，在這裡可為了方便描述而被使用從而描述圖中所示的一個元件或特徵與其它元件或特徵的關係。應當明白，除了圖中所示的取向以外，空間關係術語意圖還包括使用和操作中的器件的不同取向。例如，如果附圖中的器件翻轉，然後，描述為“在其它元件下面”或“在其之下”或“在其下”元件或特徵將取向為在其它元件或特徵“上”。因此，示例性術語“在……下面”和“在……下”可包括上和下兩個取向。器件可以另外地取向（旋轉90度或其它取向）並且在此使用的空間描述語相應地被解釋。

【0036】在此使用的術語的目的僅在於描述具體實施例並且不作為本申請的限制。在此使用時，單數形式的“一”、“一個”和“所述/該”也意圖包括複數

形式，除非上下文清楚指出另外的方式。還應明白術語“組成”及/或“包括”，當在該說明書中使用時，確定所述特徵、整數、步驟、操作、元件及/或部件的存在，但不排除一個或更多其它的特徵、整數、步驟、操作、元件、部件及/或組的存在或添加。在此使用時，術語“及/或”包括相關所列專案的任何及所有組合。

【0037】 為了能夠更加詳盡地瞭解本申請實施例的特點與技術內容，下面結合附圖對本申請實施例的實現進行詳細闡述，所附附圖僅供參考說明之用，並非用來限定本申請實施例。

【0038】 電晶體可以被用在各種記憶體中，例如，動態隨機存取記憶體（Dynamic Random Access Memory，DRAM）。通常，DRAM是包括1個電晶體T（Transistor）和1個電容C（Capacitance）（1T1C）的架構。

【0039】 隨著記憶體的尺寸減小，存儲區域的電晶體尺寸也在不斷縮小，電晶體的尺寸越做越小，受限於電晶體的功耗密度、遷移率等到達物理極限。具體地，一些尺寸不斷縮小的電晶體，如薄膜電晶體（Thin-Film Transistors，TFTs）的載子遷移率μ（以下行文用符號μ、μ_e、μ_h表示，其中μ表示載子遷移率，μ_e表示電子遷移率，μ_h表示電洞遷移率）在特徵尺寸縮小後能滿足設計要求的時候，但它的μ較低卻不能滿足設計要求。相關技術中的電晶體特徵尺寸縮小的同時不能具有高μ，不能降低電晶體的功耗，不能提高電晶體的速度，難以在提高集成度的同時滿足高性能的要求。

【0040】 為了解決上述問題中的至少之一，本申請實施例提供了一種半導體結構及其製造方法、記憶體及其製造方法。

【0041】 基於相關技術中的存在的上述問題中的至少之一，本申請實施例提供了一種半導體結構及其製造方法、記憶體及其製造方法。

【0042】 本申請實施例提供一種半導體結構，圖1a為本申請實施例提供的一種半導體結構的立體結構示意圖（可以理解為沿X-Z平面和Y-Z平面分別對半導體結構中一個電晶體進行剖開的立體示意圖），所述半導體結構包括至少一個電晶體，所述電晶體20包括：通道C，所述通道C包括第一半導體層203和環繞

所述第一半導體層203設置的第二半導體層202；所述第二半導體層202在所述通道C中引入應變。

【0043】 在一些實施例中，所述電晶體TR還包括：閘極205，覆蓋所述通道C的至少一個側面；源極S和汲極D，分別位於所述通道C的延伸方向的兩端。

【0044】 需要說明的是，本申請實施例提供的電晶體可以包括垂直電晶體，閘極為掩埋閘極的電晶體。圖1a中除了對電晶體的各組成部件進行了示意，還示出了掩埋閘極205所需要的介電層（如下文所述的第一介電層201，以及第二介電層206）。

【0045】 可以理解的是，本申請實施例中，包括設置引入有應變的第二半導體層202和第一半導體層203的所述通道C可以使得所述電晶體TR具有滿足要求的高μ。當在第一半導體層203的外側形成具有應變的第二半導體層202時，能夠在第二半導體層202中引入應變，由於引入的應變能夠提高第二半導體層202中的載子遷移率，從而提升通道C的μ。由於通道C中的第二半導體層202引入應變，拉長半導體層中的與原子距離，實現單位長度上原子數目的減少，降低了載子遷移的量能，增加通道的載子遷移率μ，提高通道的電流速度。

【0046】 實際應用中，可以通過通道材料選擇、薄膜沉積製程選擇在第二半導體層202中引入應變，得到高μ的通道C。

【0047】 在一些實施例中，當第一半導體層203的材料成分和第二半導體層202的材料成分具有差異化時，則第一半導體層203和第二半導體層202之間形成材料成分不匹配的過渡區，此時過渡區被引入應變，相當於第一半導體層203通過材料成分不匹配的過渡區對第二半導體層202施加有應變。

【0048】 在一些具體實施例中，所述第一半導體層203包含的第一元素的晶格常數與所述第二半導體層202的包含的第二元素的晶格常數不同。

【0049】 示例性地，所述第一半導體層203的材料包括矽鍺，所述第二半導體層202的材料包括矽。

【0050】在一些實施例中，當沉積薄膜例如第一半導體層201、第二半導體層202的製程過程中，可以通過調整沉積製程的參數速率、溫度、壓力等在第二半導體層202中引入應變。在一具體示例中，可以通過調整沉積製程的參數，從而調整薄膜之間的密度差異從而引入應變（具體實施詳情可以參見下文圖4d相關的描述）。

【0051】在一些實施例中，所述閘極205環繞所述通道C設置。也就是說，本申請實施例中的垂直電晶體具體可以是全環繞型閘極電晶體。需要說明的是，本申請實施例中的垂直電晶體並不限於全環繞型閘極電晶體，還可以包括其他類型的垂直電晶體，如半環繞型閘極電晶體，柱型閘極電晶體等。

【0052】實際應用中，所述閘極205與所述通道C之間，即所述閘極205與所述第二半導體層203之間還形成有閘極氧化層204。

【0053】在一些實施例中，如圖1a所示，源極S和汲極D的位置可以互換。源極S位於所述通道C的第一端；汲極D位於所述通道C的第二端；或者，汲極D位於所述通道C的第一端；源極S位於所述通道C的第二端。其中，所述第一端和所述第二端分別為所述通道C在第三方向上相對的兩端。這裡，所述第三方向為所述通道C的延伸方向。

【0054】請參考圖1b，在一些實施例中，所述半導體結構包括多個電晶體，所述多個電晶體對應的多個所述通道C沿第一方向X和第二方向Y陣列排布；所述第一方向X和所述第二方向Y均與所述通道C的延伸方向垂直；其中，

沿所述第一方向排布的每一排電晶體AT1/AT2中每個電晶體的閘極相互物理連接；沿所述第一方向排布的相鄰的兩排電晶體AT1、AT2的閘極之間相互電隔離。

【0055】實際應用中，圖1b中還示出了掩埋閘極205所需要的介電層（如下文所述的第一介電層201，閘極隔離結構207以及第二介電層206）。可以理解的是，沿所述第一方向X排布的每一排電晶體AT1/AT2中每個電晶體的閘極205相互物理連接構成了字線，所述字線構成為埋入式字線（Buried Word Line）；

沿所述第一方向X排布的相鄰的兩排電晶體AT1、AT2的閘極205之間被所述隔離結構206電隔離；沿所述第三方向Z上所述閘極205通過所述第一介電層201和所述第二介電層207與其他部件相隔離。

【0056】在一些實施例中，所述第一方向與所述第二方向相交，所述第一方向與所述第二方向之間的夾角可以為0-90度之間的任意角度；例如，所述第一方向可以垂直於所述第二方向。可以理解的是，所述第一方向與所述第二方向之間的夾角構建了所述電晶體的沿所述第一方向與所述第二方向的陣列排布的位置關係。

【0057】這裡及下文中，為了便於描述本申請實施例中第一方向和第二方向表示為與基板平面平行的兩個正交方向；第三方向為垂直於基板平面的方向，也就是第三方向為所述通道的延伸方向；其中，所述基板平面可以理解為與所述通道的延伸方向垂直的平面。第一方向可以表示為附圖中的X方向；第二方向可以表示為附圖中的Y方向；第三方向可以表示為附圖中的Z方向。

【0058】在一些實施例中，所述通道C沿垂直於所述第三方向且穿過通道C的橫截面形狀可以是圓形、方形、橢圓形或者菱形。實際應用中，可以根據具體製程進行選擇；例如通過圖案化製程蝕刻形成圓形的通道孔，在所述圓形的通道孔中沉積形成所述通道C，所述通道C沿垂直於所述第三方向且穿過通道C的橫截面形狀為圓形（可以理解為圓柱體狀的通道）。圓柱體狀的通道C也為後續電晶體TR的形成提供穩定的結構，有助於減少電晶體的缺陷、漏電等，實現更好電晶體的性能。

【0059】本申請各實施例中，所述電晶體的通道包括雙疊層的半導體層，並且在雙疊層的半導體層中引入應變，拉長半導體層中的與原子距離，實現單位長度上原子數目的減少，降低了載子遷移的量能，增加通道的載子遷移率，提高通道的電流速度，降低電晶體的功耗、提高電晶體的速度等，實現更好電晶體的性能。同時，本申請各實施例中，電晶體的源極、汲極沿電晶體延伸方

向設置，從而單個電晶體在水準方向上所占的面積減少，單位面積內可設置的電晶體的數量增加，如此，可以滿足電晶體小尺寸的需求。

【0060】本申請實施例所提供的半導體結構可以通過下述實施例提供的半導體結構的製造方法形成。本申請實施例提供的半導體結構的製造方法製造得到的半導體結構與上述實施例中的半導體結構類似，對於本申請實施例未詳盡披露的技術特徵，請參照上述實施例進行理解，這裡，不再贅述。

【0061】圖2為本申請實施例提供的一種半導體結構的製造方法的實現流程示意圖；圖3a至圖3j對本申請實施例提供的半導體結構的製造過程的立體結構示意圖。

【0062】下面結合圖2和圖3a至圖3j對本申請實施例提供的半導體結構的製造方法進行詳細地說明。可以理解的是，本申請實施例中所描述的半導體結構的製造方法並不局限於製作某一具體數量的電晶體：可以是製作單一電晶體的製造方法，也可以是製作電晶體陣列的製造方法。以下行文中及附圖以製作電晶體陣列的製造方法進行示例性的描述。圖3a至圖3j為本申請實施例提供的一種半導體結構的製造過程的立體結構示意圖。應當理解，圖3a至圖3j中所示的步驟並非排他的，也可以在所示操作中的任何步驟之前、之後或之間執行其他步驟；圖3a至圖3j中所示的各步驟可以根據實際需求進行順序調整。

【0063】請參考圖2，所述半導體結構的製造方法包括：

步驟2001，形成通道；所述通道包括第一半導體層和環繞所述第一半導體層設置的第二半導體層；所述第二半導體層在所述通道中引入應變。

【0064】在一些實施例中，所述方法還包括：

步驟2002，形成覆蓋所述通道的至少一個側面的電晶體的閘極；

步驟2003，在所述通道的延伸方向的兩端分別形成所述電晶體的源極和汲極。

【0065】執行步驟2001，請參考圖3a至圖3d，在一些實施例中，所述半導體結構包括多個電晶體，所述多個電晶體對應多個所述通道；形成多個所述通道，包括：提供主動層101；

部分蝕刻所述主動層101，形成多條沿第一方向延伸的第一溝槽T1和多條沿第二方向延伸的第二溝槽T2以及位於所述第一溝槽T1和所述第二溝槽T2交叉處的多個第一半導體層203；每個所述第一半導體層203側壁暴露於所述第一溝槽T1和所述第二溝槽T2中，沿垂直於所述主動層的表面方向延伸；所述第一方向和所述第二方向平行於所述主動層的表面；

在所述第一半導體層203的側壁和頂面形成第二半導體層202。

【0066】請參考圖3a，提供主動層101；所述主動層101的材料可以包括矽（Si）、鍺（Ge）、鍺化矽（SiGe）等。所述主動層101中可以根據需要摻雜一定的雜質離子，所述雜質離子可以為N型雜質離子或P型雜質離子實際應用中，所述主動層101可以通過物理氣相沉積（Physical Vapor Deposition，PVD）製程、化學氣相沉積（Chemical Vapor Deposition，CVD）製程、原子層沉積（Atomic Layer Deposition，ALD）等製程形成。

【0067】在一些實施例中，所述主動層101可以根據器件的實際需求選擇在基板100上形成。所述基板100的材料可以包括矽（Si）、鍺（Ge）、鍺化矽（SiGe）基板等；所述基板100的還可以是絕緣體上覆矽（Silicon-on-Insulator，SOI）或者絕緣體上覆鍺（Germanium-on-Insulator，GOI）。在另一些實施例中，所述主動層101還可以在其他功能薄膜層上形成。

【0068】在一些實施例中，所述主動層101可以選擇在基板100上通過磊晶成長製程（Epitaxial Growth Process，EGP）形成。所述基板100的材料可以包括矽（Si），所述主動層101的材料可以包括矽鍺（SiGe）。需要說明的是，所述主動層101與下文所述的第一半導體層203為形態不同的同一種材料，也就是說，去除部分主動層101材料後所剩下的主動層101材料即形成第一半導體層203。

【0069】接下來，請參考圖3b，部分蝕刻所述主動層101，形成多條沿第一方向延伸的第一溝槽T1和多條沿第二方向延伸的第二溝槽T2以及位於所述第一溝槽T1和所述第二溝槽T2交叉處的多個第一半導體層203；每個所述第一半導體層203側壁暴露於所述第一溝槽T1和所述第二溝槽T2中，沿垂直於所述主動層的表面方向延伸；所述第一方向和所述第二方向平行於所述主動層的表面。

【0070】實際應用中，可以用乾式蝕刻，如離子銑蝕刻、等離子蝕刻、反應離子蝕刻、鐳射燒蝕等製程沿所述主動層的表面部分蝕刻所述主動層101，在所述主動層101中形成沿第一方向延伸且沿第二方向平行間隔排布的所述第一溝槽T1，以及沿第二方向延伸且沿第一方向平行間隔排布的所述第二溝槽T2。可以理解的是，如圖3b所示，第一溝槽T1將沿第二方向上相鄰的兩排第一半導體層AT1和AT2間隔開，第二溝槽T2將沿第一方向上相鄰的兩排第一半導體層AT1和AT2間隔開。在俯視平面（X-Y平面）內，所述第一溝槽T1和所述第二溝槽T2將所述主動層分為沿第一方向和第二方向陣列排布的多個第一半導體層203。

【0071】在一些實施例中，可通過一種或多種圖案化製程形成所述第一溝槽T1和所述第二溝槽T2。該製程包括但不限於雙重圖案化製程（Double-Patterning Technology，DPT）、四重圖案化製程（Quadruple-Patterning Technology，QPT）、極紫外光微影（Extreme Ultra Violet，EUV）製程或其任何組合。

【0072】在一些實施例中，所述第一溝槽T1和所述第二溝槽T2沿所述通道C的延伸方向上分別具有第一深度H1和第二深度H2，所述第一深度H1與所述第二深度H2不同。

【0073】實際應用中，如圖3b所示，所述第一深度H1可以理解為從主動層101的表面沿第三方向到達第一溝槽T1底部的尺寸，所述第二深度H2可以理解為從主動層101的表面沿第三方向到達第二溝槽T2底部的尺寸。在後續的製程中，可以在第一溝槽T1中形成位線，在第二溝槽T2中形成字線，此時，所述第一深

度H1可以大於所述第二深度H2。也就是說，所述多個第一半導體層203在所述第一溝槽T1中具有第一厚度H1，在所述第二溝槽中具有第二厚度H2，所述第一厚度H1可以大於所述第二厚度H2。

【0074】 可以理解的是，當所述第一溝槽T1中具有的所述第一深度H1大於所述第二溝槽T2具有的所述第二深度H2時，可以先在所述第一溝槽T1中形成位線BL，再在所述第二溝槽T2中形成字線WL，使得位線BL和字線WL可以在第三方向上相互錯開（具體形成過程參見下文所述埋入式位線（Buried Bit Line）相關內容）。

【0075】 實際應用中，可以通過具體的製程選擇性地將每個所述第一半導體層203的截面形狀形成為包括以下之一：圓形；橢圓形；矩形。需要說明的是，所述截面為俯視平面（X-Y平面）。

【0076】 請參考圖3c，在一些實施例中，所述方法還包括：

在所述主動層101中形成截面形狀為矩形的第一半導體層203；

通過氧化製程，使所述第一半導體層203的截面形狀由矩形變化為橢圓形。

【0077】 實際應用中，可以用乾式蝕刻，如離子銑蝕刻、等離子蝕刻、反應離子蝕刻、鐳射燒蝕等製程沿所述主動層的表面部分蝕刻所述主動層101，形成如上述圖3b所示的截面形狀為矩形的第一半導體層203，即第一半導體層203呈長方體狀；如圖3c所示，再通過氧化製程，使呈長方體狀的第一半導體層203圓角鈍化形成如上述圖3c所示的圓柱體狀的第一半導體層203。如此，可以進一步微縮第一半導體層203尺寸，減少現有製程挑戰，同時，圓柱體狀的第一半導體層203也為後續電晶體TR的形成提供穩定的結構，有助於減少電晶體的缺陷、漏電等，實現更好電晶體的性能。

【0078】 請參考圖3d，在所述第一半導體層203的側壁和頂面形成第二半導體層202。可通過一種或多種沉積製程形成第二半導體層202。該製程包括但

不限於PVD製程、CVD製程、ALD製程或其任何組合。例如，可以通過原子層沉積製程形成第二半導體層202。

【0079】 在一些實施例中，所述第二半導體層202可以選擇在第一半導體層203上通過磊晶成長製程形成。實際應用中，當第一半導體層203的材料成分和第二半導體層202的材料成分具有差異化時，選擇在第一半導體層203上通過磊晶成長製程形成所述第二半導體層202，則第一半導體層203和第二半導體層202之間形成材料成分不匹配的過渡區，此時過渡區被引入應變，相當於第一半導體層203通過材料成分不匹配的過渡區對第二半導體層202施加有應變。

【0080】 在一些實施例中，所述第一半導體層203包含的第一元素的晶格常數與所述第二半導體層202的包含的第二元素的晶格常數不同。

【0081】 在一些實施例中，所述第一半導體層203的材料包括矽鍺，所述第二半導體層202的材料包括矽。

【0082】 實際應用中，所述第二半導體層202的材料可以包括矽（Si），所述第一半導體層203的材料可以包括矽鍺（SiGe），由於所述第二半導體層202的材料與所述第一半導體層203的材料不同，選擇在第一半導體層203上通過磊晶成長製程形成所述第二半導體層202，所述第二半導體層202可以在所述通道C中引入應變。具體地，由於所述第一半導體層203中矽鍺材料的鍺的晶格常數大於所述第二半導體層202中矽的晶格常數，在矽鍺材料與矽材料介面處，晶格常數較小的矽受到晶格常數較大的矽鍺對矽產生的應變，也就是說，所述第二半導體層202被產生應變，增加所述第二半導體層202的電子遷移率。同時，矽材料環繞矽鍺材料，可以減少鍺氧化物的不穩定性帶給通道的不利影響。例如，二氧化鍺（GeO_2）溶於水；一氧化鍺固體（GeO（s））在700°C時昇華；鍺和鍺中的二氧化鍺在約400°C時分解為一氧化鍺的固體或氣體等。二氧化鍺和一氧化鍺的不穩定性能，引起通道材料的更多缺陷，增大通道的電阻率，影響通道的載子遷移率。

【0083】 在一些實施例中，所述電晶體TR為N型，所述應變為拉應變；或者，所述電晶體TR為P型，所述應變為壓應變。

【0084】 可以理解的是，當第二半導體層202具有壓/拉應變，在垂直於第二半導體層202延伸方向的方向上緊鄰第二半導體層202的第一半導體層203不具有應變，則不具有應變的第一半導體層203可以受到具有壓/拉應變第一半導體層203對其的作壓/拉用力，從而將壓/拉應變引入第一半導體層203中。

【0085】 可以理解的是，當第二半導體層202具不具有應變，在第二半導體層202延伸方向源極及/或汲極具有壓/拉應變，則不具有應變的第二半導體層202可以受到具有壓/拉應變源極及/或汲極對其的作拉/壓用力，從而將拉/壓用力引入第一半導體層203中。

【0086】 這裡，所述拉應變可以理解為在所述電晶體TR的通道延伸方向上使所述第二半導體層202的尺寸有變長的趨勢即為拉應變；所述壓應變可以理解為在所述電晶體TR的通道延伸方向上使所述第二半導體層202的尺寸有變短的趨勢即為壓應變。可以理解的是，以所述第二半導體層202的材料可以包括矽，所述第一半導體層203的材料可以包括矽鍺的為例，當所述電晶體TR為N型時，在矽鍺材料與矽材料介面處，晶格常數較小的矽受到晶格常數較大的矽鍺對矽產生的拉應變，也就說是說，所述第二半導體層202被產生拉應變，增加N型/P型電晶體TR的電子遷移率μ_e/μ_h。當所述電晶體TR為P型時，源極及/或汲極材料包括矽鍺，第二半導體層202材料包括矽，則在通道C延伸方向，源極及/或汲極與第二半導體層202之間形成材料成分不匹配的過渡區，此時過渡區被引入應變，相當於源極及/或汲極通過材料成分不匹配的過渡區對第二半導體層202施加有壓應變。也就說是說，在P型電晶體中可以通過源極及/或汲極材料與所述第二半導體層202材料的不同而將應變引入所述第二半導體層202，增加P型電晶體TR的電洞遷移率μ_h。

【0087】在另一些實施例中，當沉積薄膜例如第一半導體層201、第二半導體層202的製程過程中，可以通過調整沉積製程的參數，如速率、溫度、壓力等在第二半導體層202中引入應變。

【0088】在一具體示例中，可以通過調整沉積製程的參數，從而調整薄膜之間的密度差異從而引入應變。示例性地，採用常規的化學氣相沉積沉積主動層101（主動層101後續通過蝕刻形成第一半導體層203），當採用較常規的CVD具有更高沉積速率、更低溫度的等離子體增強化學氣相沉積（Plasma Enhanced Chemical Vapor Deposition，PECVD）製程在所述第一半導體層203上沉積第二半導體層202，可以獲得相對於第一半導體層203更小密度的第二半導體層202，此時，相對密度小的第二半導體層202受到相對密度較大的第一半導體層203的壓縮力，從而引入壓應變至第二半導體層202；當採用較常規的CVD具有更低沉積速率、更低壓力的低壓力化學氣相沉積（Low Pressure Chemical Vapor Deposition，LPCVD）製程在所述第一半導體層203上沉積第二半導體層202，可以獲得相對於第一半導體層203更大密度的二半導體層202，相對密度大的第二半導體層202受到相對密度較小的第一半導體層203的拉伸力，從而引入拉應變至第二半導體層202。

【0089】也就是說，可以針對第一半導體層和第二半導體層採用不同的沉積製程的參數，使得形成第一半導體層203和第二半導體層202具有密度差，在第一半導體層203和第二半導體層202之間產生相互作用力，從而引入應變至第二半導體層202。需要說明的是，通過上述在第二半導體層202中引入應變的方式，同樣也可以在第一半導體層203中引入應變。

【0090】請參考圖3e至圖3j，在一些實施例中，在形成通道C之後，所述方法還包括：

在具有所述第二半導體層202的第一溝槽T1和第二溝槽T2中填充第一介電層201；

部分蝕刻所述第一介電層201形成第三溝槽T3，在所述第三溝槽T3中填充絕緣材料形成閘極隔離結構207；

部分蝕刻所述第一介電層201，形成暴露的第二半導體層202；

在所述暴露的第二半導體層202上形成閘極氧化層204；

依次填充第一導電材料和第二介電層206；所述第一導電材料用於形成每個電晶體的閘極205。

【0091】請參考圖3e，在具有所述第二半導體層202的第一溝槽T1和第二溝槽T2中填充第一介電層201。可以通過PVD製程、或CVD製程在所述第一溝槽T1和第二溝槽T2中沉積絕緣材料，對所述絕緣材料進行化學機械拋光（Chemical Mechanical Polishing，CMP）處理，使得所述絕緣材料的表面與所述通道C的頂表面平齊。本申請實施例中，所述絕緣材料包括但不限於氮化矽、氮氧化矽、碳化矽、二氧化矽或其任何組合等。

【0092】請參考圖3f，部分蝕刻所述第一介電層201形成第三溝槽T3，第三溝槽T3的寬度（寬度可以理解為沿X方向的尺寸）比所述第一溝槽T1的寬度（寬度可以理解為沿X方向的尺寸）小。實際應用中，可以用乾式蝕刻，如離子銑蝕刻、等離子蝕刻、反應離子蝕刻、鐳射燒蝕等製程形成第三溝槽T3，所述第三溝槽T3在所述第三方向上的具有第三深度H3，所述第三深度H3與所述第二深度H2（參考上述圖3b）相當。所述第三溝槽T3沿第二方向延伸且沿第一方向平行間隔排布，所述第三溝槽T3將所述第一介電層201分為沿第二方向延伸且沿第一方向平行間隔排布的多個第一介電層201。

【0093】接下來，如圖3g所示，在所述第三溝槽T3中填充絕緣材料形成閘極隔離結構207。實際應用中，可以通過PVD製程、或CVD製程在所述第三溝槽T3中沉積絕緣材料，對所述絕緣材料進行化學機械拋光處理，使得所述絕緣材料的表面與所述第一介電層201的表面平齊，形成所述閘極隔離結構207。本申請實施例中，所述絕緣材料包括但不限於氮化矽、氮氧化矽、碳化矽或者、二氧化矽或其任何組合等。

【0094】 在一些實施例中，所述隔離結構207在所述第三方向上的厚度與所述通道C在所述第三方向上的厚度相當。如圖3f所示，所述隔離結構207在所述第三方向上的具有第三厚度H3，所述第三厚度H3與所述第二厚度H2（參考上述圖3b）相當。

【0095】 請參考圖3h，部分蝕刻所述第一介電層201，形成暴露的第二半導體層202。實際應用中，可以用乾式蝕刻，如離子銑蝕刻、等離子蝕刻、反應離子蝕刻、鐳射燒蝕等製程形成暴露的第二半導體層202的側壁的所述第四凹槽T4。

【0096】 在一些實施例中，所述第四凹槽T4在所述第三方向上並不貫穿所述第一介電層201，所述第四凹槽T4在所述第三方向上具有第四深度H4，所述第四深度H4小於所述第二厚度H2（參考上述圖3b）。

【0097】 請參考圖3i，在所述暴露的第二半導體層202上形成閘極氧化層204。可以通過原位氧化所述第二半導體層202在相應第四溝槽T4中具有裸露側壁的方式，至少在每一所述通道C的裸露的側壁（也即所述第二半導體層202的裸露的側壁）形成閘極氧化層204。這裡，可以通過加熱或者加壓的方式，對每一所述通道C的裸露的側壁（也即所述第二半導體層202的裸露的側壁）進行原位氧化，形成閘極氧化層204。所述閘極氧化層204的材料包括但不限於二氧化矽。

【0098】 在一些實施例中，也可以通過ALD製程至少在每一所述通道C的裸露的側壁（也即所述第二半導體層202的裸露的側壁）形成閘極氧化層204。

【0099】 在一些實施例中，所述閘極氧化層204環繞所述通道C設置。實際應用中，所述閘極氧化層204在所述通道C之上形成，即所述閘極氧化層204環繞於所述第二半導體層202而形成。

【0100】 請參考圖3j，依次填充第一導電材料和第二介電層206；所述第一導電材料用於形成每個電晶體的閘極205。可以通過PVD製程、或CVD製程在具有閘極氧化層204的第四溝槽T4中沉積第一導電材料；再通過回蝕刻製程形成具

有閘極氧化層204和第一導電材料的第四溝槽T4；在所述具有閘極氧化層204和第一導電材料的第四溝槽T4中沉積第二介電層206。

【0101】本申請實施例中，所述第一導電材料可以是金屬材料或者半導體導電材料，例如，銅、鈷、鎢、摻雜矽、多晶矽或其任何組合等；第二介電層206的材料包括但不限於氮化矽、氮氧化矽、碳化矽、二氧化矽或其任何組合等。

【0102】在一些實施例中，所述方法還包括：

形成覆蓋所述通道C的至少一個側面的電晶體TR的閘極205；

在所述通道C的延伸方向的兩端分別形成所述電晶體TR的源極S和汲極D。

【0103】這裡，形成的半導體結構包括多個電晶體，所述多個電晶體對應的多個所述通道C沿第一方向X和第二方向Y陣列排布；所述第一方向X和所述第二方向Y均與所述通道C的延伸方向垂直；其中，

沿所述第一方向排布的每一排電晶體AT1/AT2中每個電晶體的閘極相互物理連接；沿所述第一方向排布的相鄰的兩排電晶體AT1、AT2的閘極之間相互電隔離。

【0104】可以理解的是，本申請實施例中所描述的電晶體陣列的製造方法用於製造包括並不局限於製作某一具體數量的電晶體，也可以是製作單一電晶體的製造方法。本申請實施例中電晶體陣列（上述圖1b）的製造方法參考前述圖3a至圖3j的步驟進行理解，這裡，不再贅述。

【0105】應當理解的是，參考前述圖3a至圖3j的步驟進行製作單一電晶體的製作過程中，有些步驟是可以不需要，例如圖3i和圖3j中形成的閘極隔離結構207是不必要的。本申請實施例中單個電晶體（上述圖1a）製造方法參考前述圖3a至圖3h的步驟進行理解，這裡，不再贅述。

【0106】在一些實施例中，請參考圖3a、圖3c和圖3d，所述形成通道，包括：

提供主動層101。具體詳情可以參考上述圖3a中的相關描述，此處不在贅述。

【0107】 部分蝕刻所述主動層101，形成柱狀的第一半導體層203；所述第一半導體層203沿垂直於所述主動層的表面方向延伸。可通過一種或多種圖案化製程在所述所述主動層101中形成網格狀的掩膜圖案，形成沿第一方向和第二方向陣列排布的多個開口，蝕刻所述多個開口形成單個第一半導體層203。該製程包括但不限於DPT、QPT、EUV製程或其任何組合。可以理解的是，所述第一溝槽T1和所述第二溝槽T2在同一圖案化製程中同步形成，沿所述通道C的延伸方向上分別具有第一深度H1和第二深度H2，所述第一深度H1與所述第二深度H2可以不同。

【0108】 在所述第一半導體層203的側壁和頂面形成第二半導體層202。具體詳情可以參考上述圖3c和圖3d中的形成第二半導體層202的相關描述，此處不在贅述。

【0109】 本申請實施例提供一種記憶體，圖4為本申請實施例提供的一種記憶體的立體結構示意圖。

【0110】 請參考圖4，在一些實施例中，所述記憶體30包括：

多個存儲單元（圖4未示出），沿第一方向和第二方向陣列排布；

電晶體陣列20，所述電晶體陣列20包括多個本申請實施例提供的所述的半導體結構；所述電晶體陣列20沿所述第一方向的每一排電晶體AT1/AT2的閘極相互物理連接，所述物理連接的閘極205形成字線WL；每一所述存儲單元分別與所述電晶體陣列20中一電晶體的源極S或汲極D連接；所述第一方向和所述第二方向均與所述電晶體的通道C的延伸方向垂直；

多條沿所述第二方向平行間隔排布的位線BL，每一所述位線BL分別與所述電晶體陣列20中沿所述第二方向排布的一排電晶體的汲極D或源極S連接。

【0111】實際應用中，所述字線WL與每一所述電晶體陣列20的閘極205連接，所述字線WL用於提供字線電壓，並通過所述字線電壓控制每一所述電晶體中所述通道區的導通或截止。沿所述第一方向X延伸的所述位線BL與每一所述電晶體陣列20的汲極D連接，所述位線BL用於在每一所述電晶體導通時，對所述存儲單元執行讀取或寫入操作。

【0112】本申請實施例中，所述字線WL和所述位線BL的材料包括但不限於鎢、鈷、銅、鋁、多晶矽、摻雜矽、矽化物或其任何組合等。

【0113】可以理解的是，在所述記憶體中，如果每一所述存儲單元分別與所述電晶體陣列20中一電晶體的源極S連接，則每一所述位線BL分別與所述電晶體陣列20中沿所述第二方向排布的一排電晶體的汲極D連接；或者，如果每一所述存儲單元分別與所述電晶體陣列20中一電晶體的汲極D連接，則每一所述位線BL分別與所述第一電晶體陣列20中沿所述第二方向排布的一排電晶體的源極S連接。

【0114】在一些實施例中，本申請實施例提供的記憶體包括各種類型的記憶體。例如，NAND型快閃記憶體（Flash）、NOR型快閃記憶體、DRAM、靜態隨機存取記憶體（Static Random Access Memory，SRAM）、相變記憶體（Phase-Change Memory，PCM）、鐵電記憶體（Ferroelectric Random Access Memory，FRAM）、磁變記憶體（Magnetic Random Access Memory，MRAM）或者阻變記憶體（Resistive Random Access Memory，RRAM）。

【0115】在一些實施例中，所述記憶體包括：DRAM，所述存儲單元包括：電容；所述電容包括柱狀的第二電極，覆蓋所述第二電極側壁及底部的電介質，以及覆蓋所述電介質的第一電極。實際應用中，可以是所述第二電極端所述電晶體陣列中一電晶體的源極連接，所述第一電極端接參考電壓，所述參考電壓可以為地電壓，也可以包括其它電壓。所述電容用於存儲寫入的資料。

【0116】在一些實施例中，所述記憶體包括阻變記憶體，所述存儲單元包括可調電阻，所述可調電阻連接於所述位線BL和所述電晶體陣列20中一電晶體

的源極S之間；或者，所述可調電阻連接於所述位線BL和所述所述電晶體陣列20中一電晶體的汲極D之間，所述可調電阻用於通過所述位線BL提供的位元線電壓調節存儲的資料的狀態。

【0117】需要說明的是，這裡僅示例性地列舉了一些常見的記憶體，本申請的保護範圍不限於此，任何包含本申請實施例提供的電晶體的記憶體均屬於本申請的保護範圍。

【0118】圖5為本申請實施例提供的一種半導體結構的製造方法的實現流程示意圖；圖6為本申請實施例提供的一種記憶體的製造過程的立體結構示意圖。

【0119】下面結合圖5和圖6對本申請實施例提供的記憶體的製造方法進行詳細地說明。請參考圖5，在一些實施例中，所述製造方法包括：

步驟5001，形成多個存儲單元（圖6中未示出），所述多個存儲單元沿第一方向和第二方向陣列排布；

步驟5002，形成電晶體陣列20，所述電晶體陣列20通過本申請實施例所述的半導體結構的製造方法製造得到；所述電晶體陣列20中沿所述第一方向的每一排電晶體AT1/AT2的閘極205相互物理連接，所述物理連接的閘極形成字線WL；每一所述存儲單元分別與所述電晶體陣列20中一個電晶體的源極S或汲極D連接；所述第一方向和所述第二方向均與所述電晶體的通道C的延伸方向垂直；

步驟5003，形成多條沿所述第二方向平行間隔排布的位線BL，每一所述位線BL分別與所述電晶體陣列20中沿所述第二方向排布的一排電晶體的汲極D或源極S連接。

【0120】執行步驟5001，形成多個存儲單元，所述多個存儲單元沿第一方向和第二方向陣列排布。

【0121】在一些實施例中，所述多個存儲單元包括所述電容，每個所述電容包括第一電極、電介電層、第二電極。實際應用中，所述電容的第二電極與

所述電晶體陣列20中一電晶體的源極S連接，所述電容的第一電極接地，所述電容用於存儲寫入的資料。

【0122】 執行步驟5002，形成電晶體陣列20，所述電晶體陣列20通過本申請實施例所述的半導體結構的製造方法製造得到；所述電晶體陣列20中沿所述第一方向的每一排電晶體AT1/AT2的閘極205相互物理連接，所述物理連接的閘極形成字線WL；每一所述存儲單元分別與所述電晶體陣列20中一個電晶體的源極S或汲極D連接；所述第一方向和所述第二方向均與所述電晶體的通道C的延伸方向垂直。

【0123】 實際應用中，閘極氧化層204、第一介電層201、閘極隔離結構207以及第二介電層206的材料均為絕緣材料，它們的材料可以相同也可以不同。

【0124】 執行步驟5003，形成多條沿所述第二方向平行間隔排布的位線BL，每一所述位線BL分別與所述電晶體陣列20中沿所述第二方向排布的一排電晶體的汲極D或源極S連接。

【0125】 在一些實施例中，所述形成多條沿所述第二方向並列排布的位線BL，所述位線BL為埋入式位線，所述方法包括：

提供主動層101。具體詳情可以參考上述圖3a中的相關描述，此處不在贅述；

沿所述主動層的表面部分蝕刻所述主動層101，在所述主動層101中形成沿第一方向延伸且沿第二方向平行間隔排布的所述第一溝槽T1，以及沿第二方向延伸且沿第一方向平行間隔排布的所述第二溝槽T2；且所述第一溝槽T1和所述第二溝槽T2沿所述通道C的延伸方向上分別具有第一深度H1和第二深度H2，所述第一深度H1大於所述第二深度H2。

【0126】 採用合金化製程可以使得多個第一半導體層203下方且位於所述所述第一溝槽T1中的部分金屬化，形成如圖6所示的位線BL，所述位線在第三方向上與所述第二溝槽T2的下方（結合圖4可以理解為位線BL位於通道C下方），

以形成埋入式位線。本申請實施例中，所述位線的材料可以是金屬材料或者半導體導電材料，例如，銅、鈷、鎢、摻雜矽、多晶矽或其任何組合等。

【0127】本申請實施例提供的記憶體的製造方法製造得到的記憶體與上述實施例中的記憶體類似，對於本申請實施例未詳盡披露的技術特徵，請參照上述實施例進行理解，這裡，不再贅述。

【0128】應理解，說明書通篇中提到的“一個實施例”或“一實施例”意味著與實施例有關的特定特徵、結構或特性包括在本申請的至少一個實施例中。因此，在整個說明書各處出現的“在一個實施例中”或“在一實施例中”未必一定指相同的實施例。此外，這些特定的特徵、結構或特性可以任意適合的方式結合在一個或多個實施例中。應理解，在本申請的各種實施例中，上述各過程的序號的大小並不意味著執行順序的先後，各過程的執行順序應以其功能和內在邏輯確定，而不應對本申請實施例的實施過程構成任何限定。上述本申請實施例序號僅僅為了描述，不代表實施例的優劣。

【0129】本申請所提供的幾個方法實施例中所揭露的方法，在不衝突的情況下可以任意組合，得到新的方法實施例。

【0130】以上所述，僅為本申請的具體實施方式，但本申請的保護範圍並不局限於此，任何熟悉本技術領域的通常知識者在本申請揭露的技術範圍內，可輕易想到變化或替換，都應涵蓋在本申請的保護範圍之內。因此，本申請的保護範圍應以所述請求項的保護範圍為準。

【符號說明】

20	半導體結構/電晶體陣列
30	記憶體
100	基板
101	主動層
201	第一介電層

202	第二半導體層
203	第一半導體層
204	閘極氧化層
205	閘極
206	第二介電層
207	閘極隔離結構
2001~2003	製程步驟
5001~5003	製程步驟
T1	第一溝槽
T2	第二溝槽
T3	第三溝槽
T4	第四溝槽/第四厚度
H1	第一深度/第一厚度
H2	第二深度/第二厚度
H3	第三深度/第三厚度
H4	第四深度/第四厚度
TR	電晶體
S	源極
D	汲極
C	通道
AT1/AT2	每一排電晶體
BL	位線
WL	字線

【發明申請專利範圍】

【請求項1】一種半導體結構，其中所述半導體結構包括至少一個電晶體，所述電晶體包括：

通道，所述通道包括第一半導體層和環繞所述第一半導體層設置的第二半導體層；所述第二半導體層在所述通道中引入應變；所述第一半導體層由矽鍺構成，所述第二半導體層由矽構成。

【請求項2】根據請求項1所述的半導體結構，其中所述電晶體還包括：

閘極，覆蓋所述通道的至少一個側面；

源極和汲極，分別位於所述通道的延伸方向的兩端；

優選地，所述閘極環繞所述通道設置；及/或，所述通道截面形狀包括以下之一：圓形；橢圓形；和矩形。

【請求項3】根據請求項1所述的半導體結構，其中

所述電晶體為N型，所述應變為拉應變；或者，所述電晶體為P型，所述應變為壓應變。

【請求項4】根據請求項1所述的半導體結構，其中所述半導體結構包括多個電晶體，所述多個電晶體對應的多個所述通道沿第一方向和第二方向陣列排布；所述第一方向和所述第二方向均與所述通道的延伸方向垂直；其中，

沿所述第一方向排布的每一排電晶體中每個電晶體的閘極相互物理連接；沿所述第一方向排布的相鄰的兩排電晶體之間的閘極相互電隔離。

【請求項5】一種半導體結構的製造方法，包括：

形成通道；所述通道包括第一半導體層和環繞所述第一半導體層設置的第二半導體層；所述第二半導體層在所述通道中引入應變；所述第一半導體層由矽鍺構成，所述第二半導體層由矽構成。

【請求項6】根據請求項5所述的方法，其中所述方法還包括：

形成覆蓋所述通道的至少一個側面的電晶體的閘極；

在所述通道的延伸方向的兩端分別形成所述電晶體的源極和汲極。

【請求項7】根據請求項5所述的方法，其中所述形成通道，包括：

提供主動層；

部分蝕刻所述主動層，形成柱狀的第一半導體層；所述第一半導體層沿垂直於所述主動層的表面方向延伸；

在所述第一半導體層的側壁和頂面形成第二半導體層，

優選地，所述方法還包括：

在所述主動層中形成截面形狀為矩形的第一半導體層；

通過氧化製程，使所述第一半導體層的截面形狀由矩形變化為橢圓形。

【請求項8】根據請求項5所述的方法，其中所述半導體結構包括多個電晶體，所述多個電晶體對應多個所述通道；形成多個所述通道，包括：

提供主動層；

部分蝕刻所述主動層，形成多條沿第一方向延伸的第一溝槽和多條沿第二方向延伸的第二溝槽以及位於所述第一溝槽和所述第二溝槽交叉處的多個第一半導體層；每個所述第一半導體層側壁暴露於所述第一溝槽和所述第二溝槽中，沿垂直於所述主動層的表面方向延伸；所述第一方向和所述第二方向平行於所述主動層的表面；

在所述第一半導體層的側壁和頂面形成第二半導體層，

優選地，所述第一溝槽和所述第二溝槽沿所述通道的延伸方向上分別具有第一深度和第二深度，所述第一深度與所述第二深度不同；及/或

在形成通道之後，所述方法還包括：

在具有所述第二半導體層的所述第一溝槽和所述第二溝槽中填充第一介電層；

部分蝕刻所述第一介電層形成第三溝槽，在所述第三溝槽中填充絕緣材料形成閘極隔離結構；

部分蝕刻所述第一介電層，形成暴露的第二半導體層；

在所述暴露的第二半導體層上形成閘極氧化層；

依次填充第一導電材料和第二介電層；所述第一導電材料用於形成每個電晶體的閘極。

【請求項9】一種記憶體，包括：

多個存儲單元，沿第一方向和第二方向陣列排布；

電晶體陣列，所述電晶體陣列包括多個如請求項1至4任一項所述的半導體結構；所述電晶體陣列沿所述第一方向的每一排電晶體的閘極相互物理連接，所述物理連接的閘極形成字線；每一所述存儲單元分別與所述電晶體陣列中一電晶體的源極或汲極連接；所述第一方向和所述第二方向均與所述電晶體的通道的延伸方向垂直；

多條沿所述第二方向平行間隔排布的位線，每一所述位線分別與所述電晶體陣列中沿所述第二方向排布的一排電晶體的汲極或源極連接。

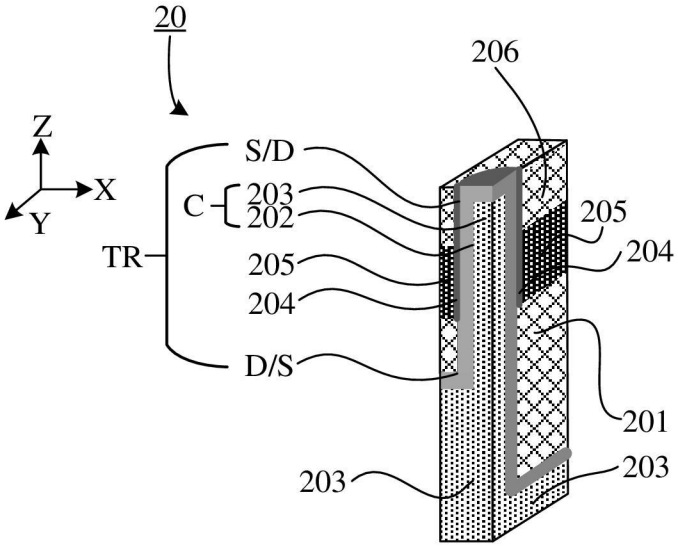
【請求項10】一種記憶體的製造方法，其中所述方法包括：

形成多個存儲單元，所述多個存儲單元沿第一方向和第二方向陣列排布；

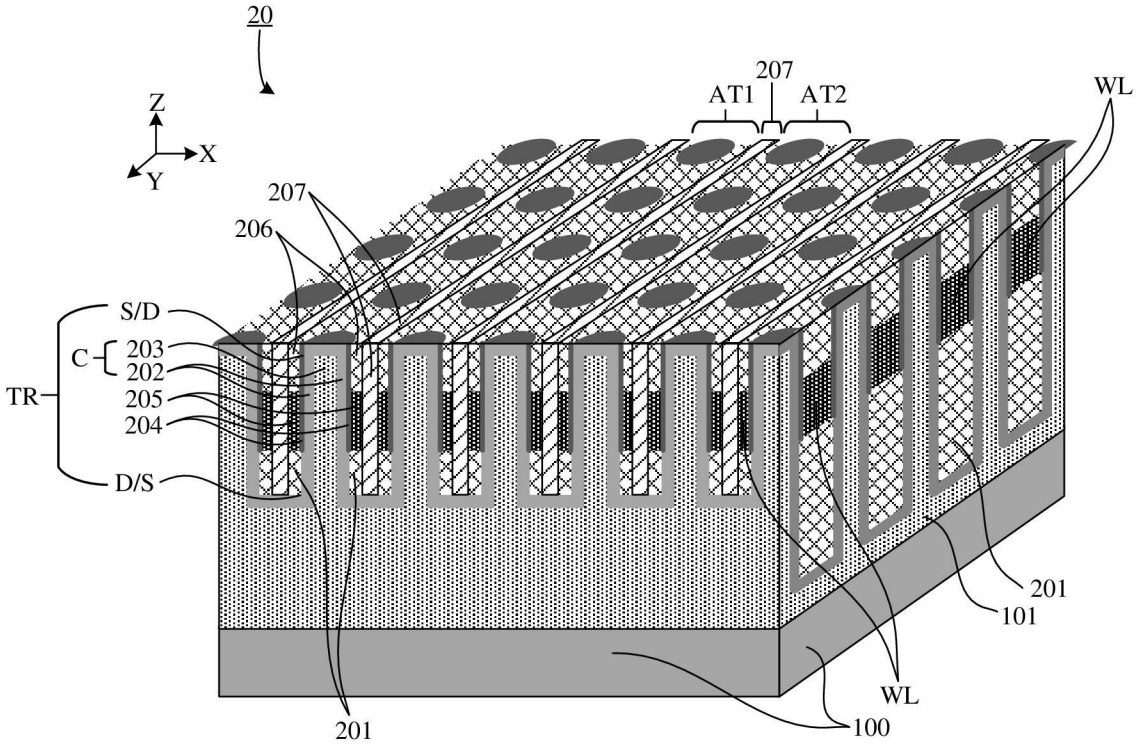
形成電晶體陣列，所述電晶體陣列通過請求項5至8任一項所述的半導體結構的製造方法製造得到；所述電晶體陣列中沿所述第一方向的每一排電晶體的閘極相互物理連接，所述物理連接的閘極形成字線；每一所述存儲單元分別與所述電晶體陣列中一個電晶體的源極或汲極連接；所述第一方向和所述第二方向均與所述電晶體的通道的延伸方向垂直；

形成多條沿所述第二方向平行間隔排布的位線，每一所述位線分別與所述電晶體陣列中沿所述第二方向排布的一排電晶體的汲極或源極連接。

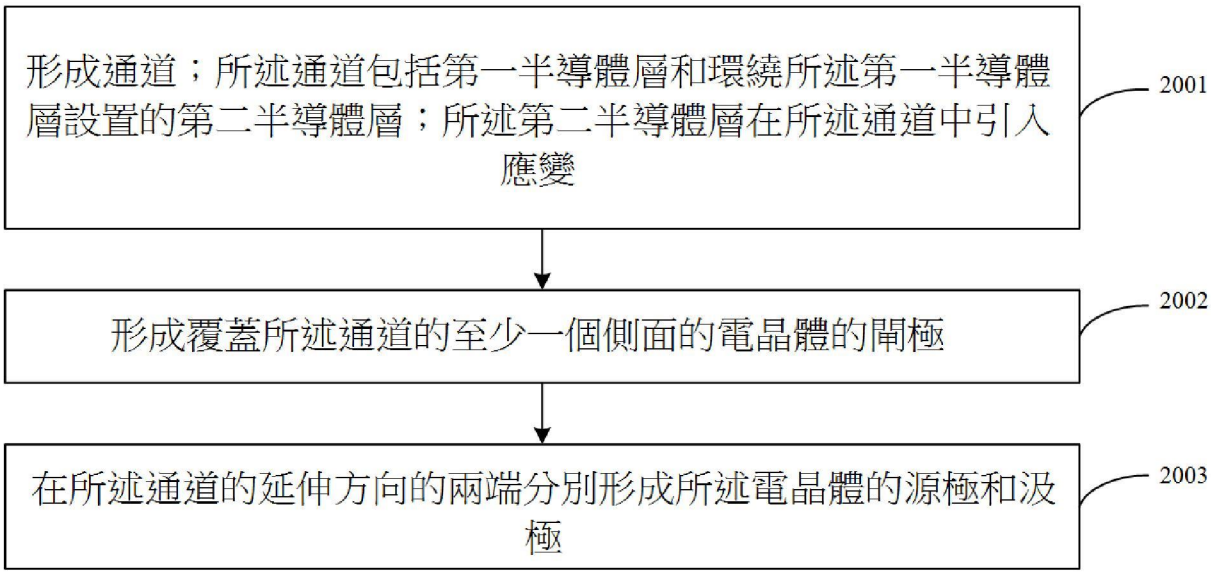
【發明圖式】


20
206
Z
X
Y
S/D
C
203
202
TR
205
204
D/S
205
204
201
203
203

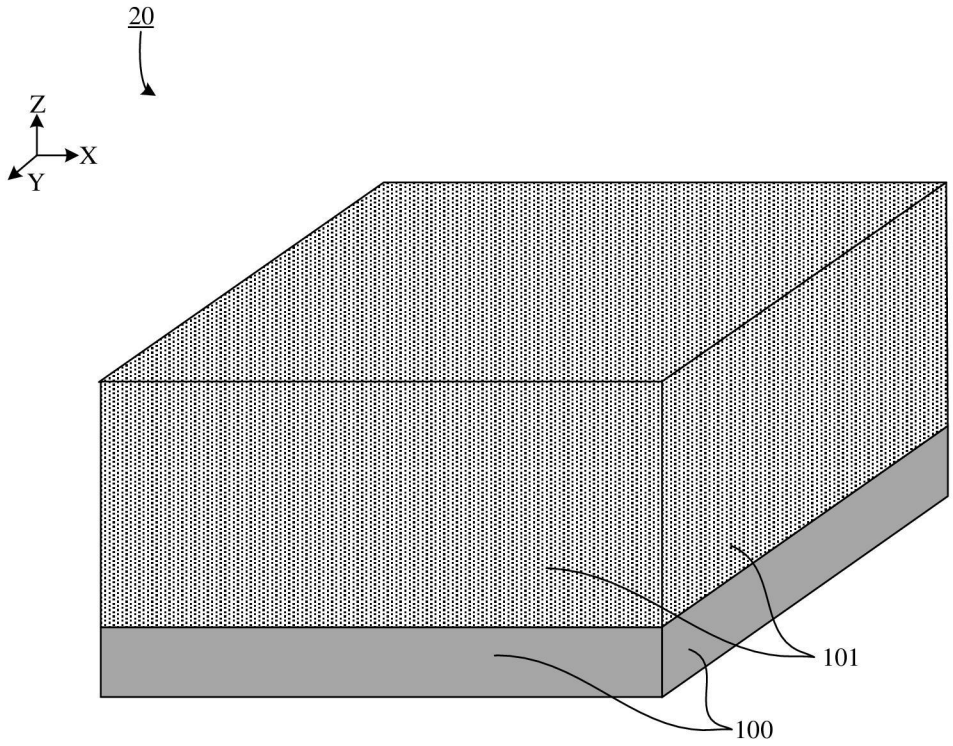
【圖 1a】


20
207
AT1
AT2
WL
Z
X
Y
207
206
S/D
C
203
202
TR
205
204
D/S
201
101
WL
201
100

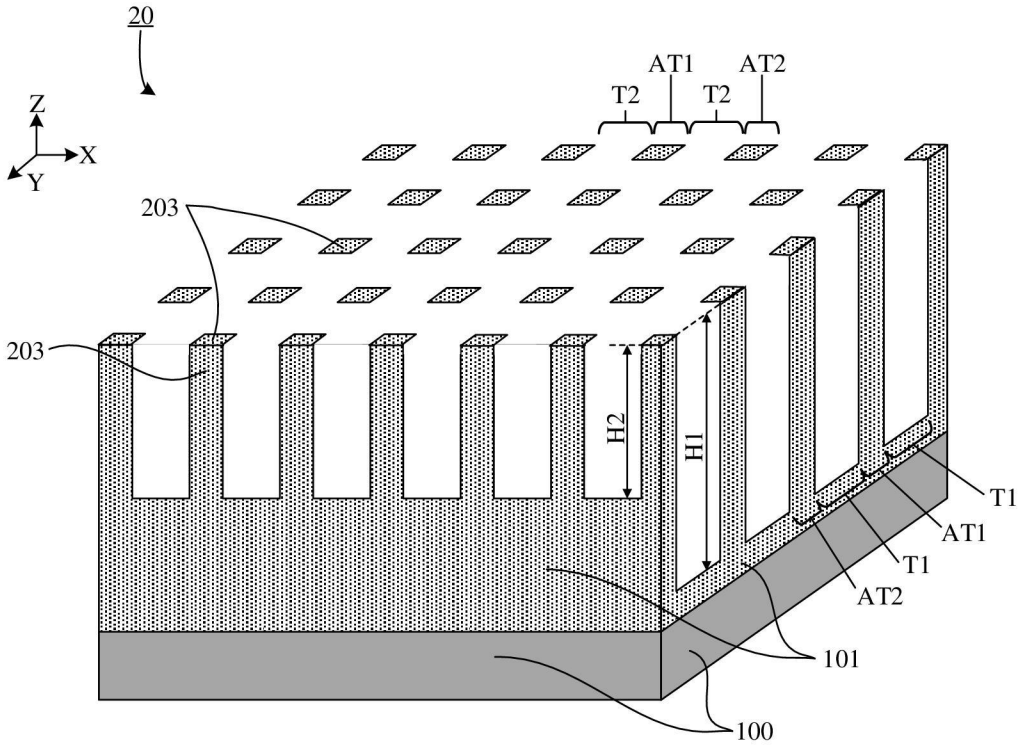
【圖 1b】


形成通道；所述通道包括第一半導體層和環繞所述第一半導體層設置的第二半導體層；所述第二半導體層在所述通道中引入應變
2001
形成覆蓋所述通道的至少一個側面的電晶體的閘極
2002
在所述通道的延伸方向的兩端分別形成所述電晶體的源極和汲極
2003

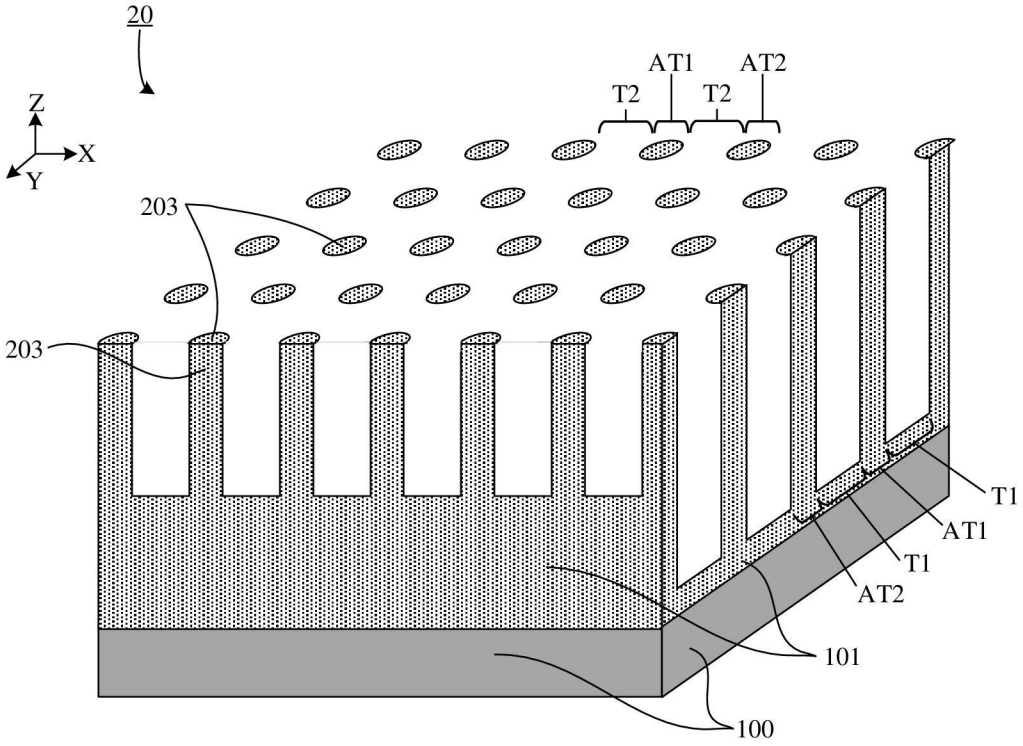
【圖 2】


20
Z
X
Y
101
100

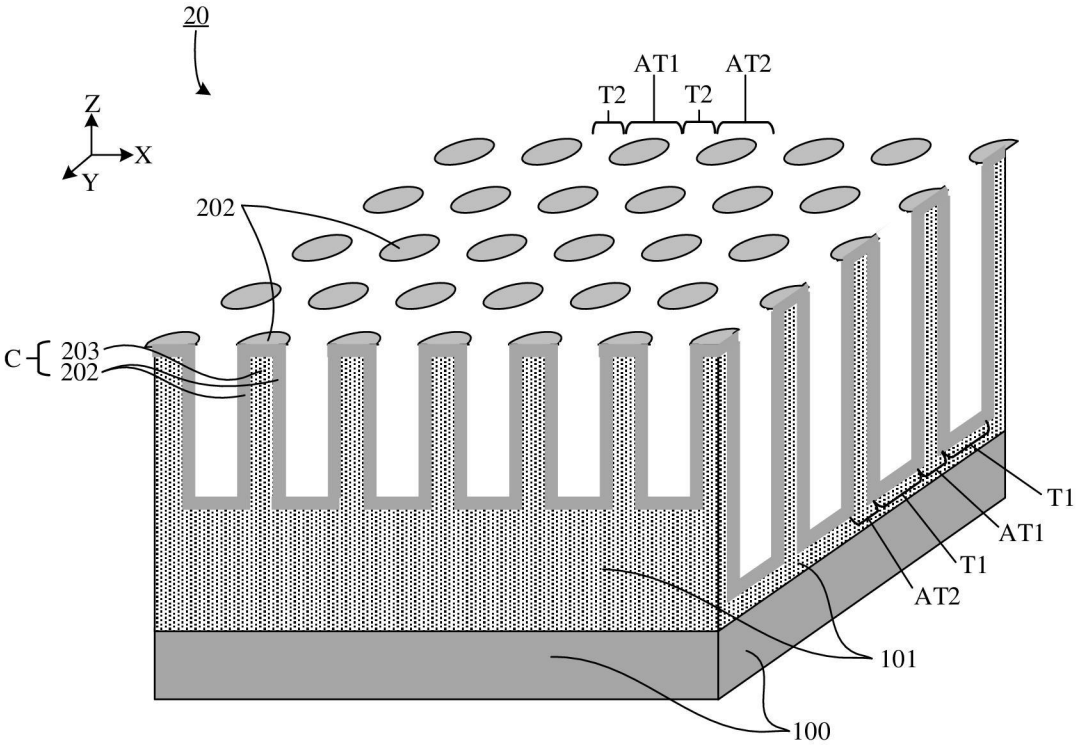
【圖 3a】


20
Z
X
Y
AT1
AT2
T2
T2
203
203
H2
H1
T1
AT1
T1
AT2
101
100

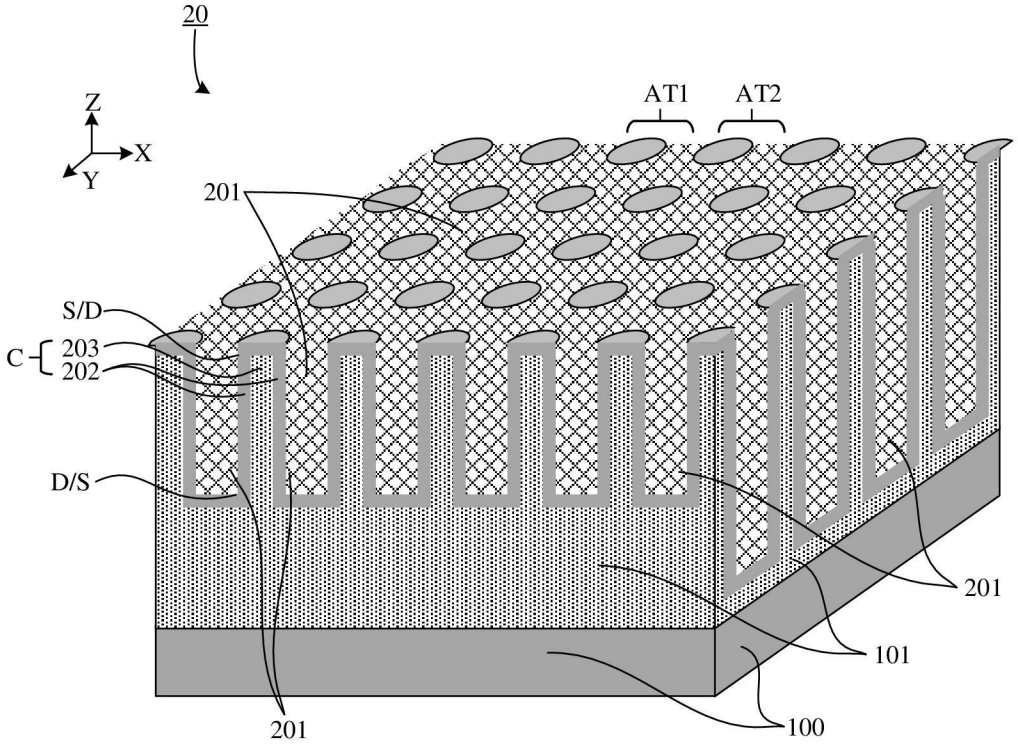
【圖 3b】


20
Z
X
Y
AT1
AT2
T2
T2
203
203
T1
AT1
T1
AT2
101
100

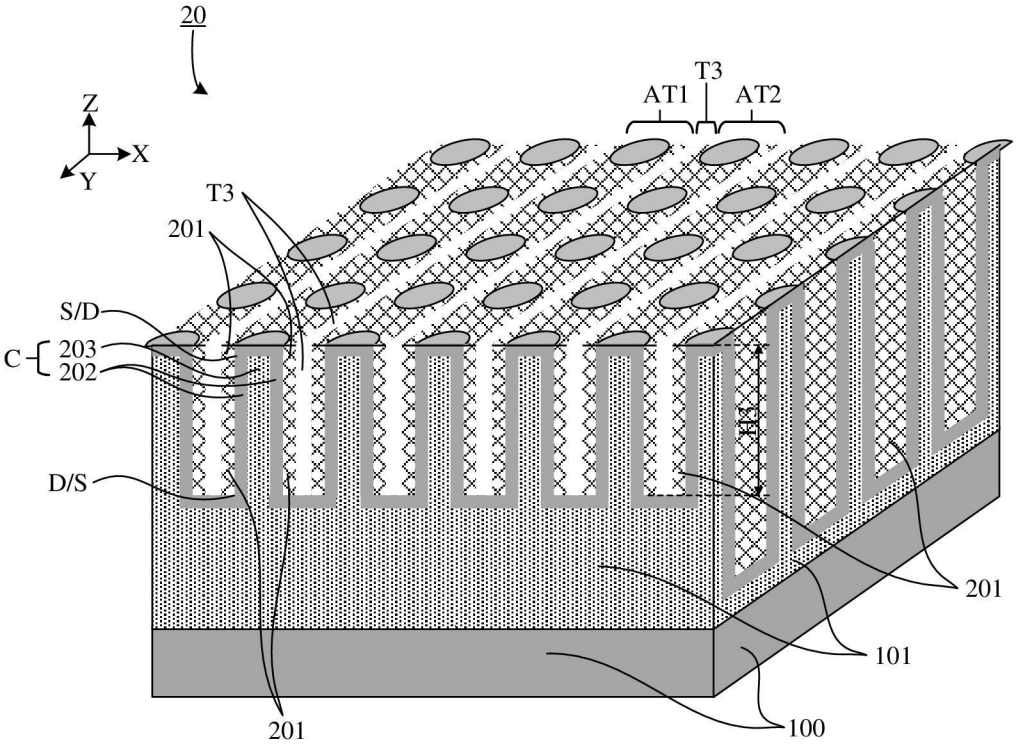
【圖 3c】


20
AT1
AT2
T2
T2
Z
X
Y
202
C
203
202
T1
AT1
T1
AT2
101
100

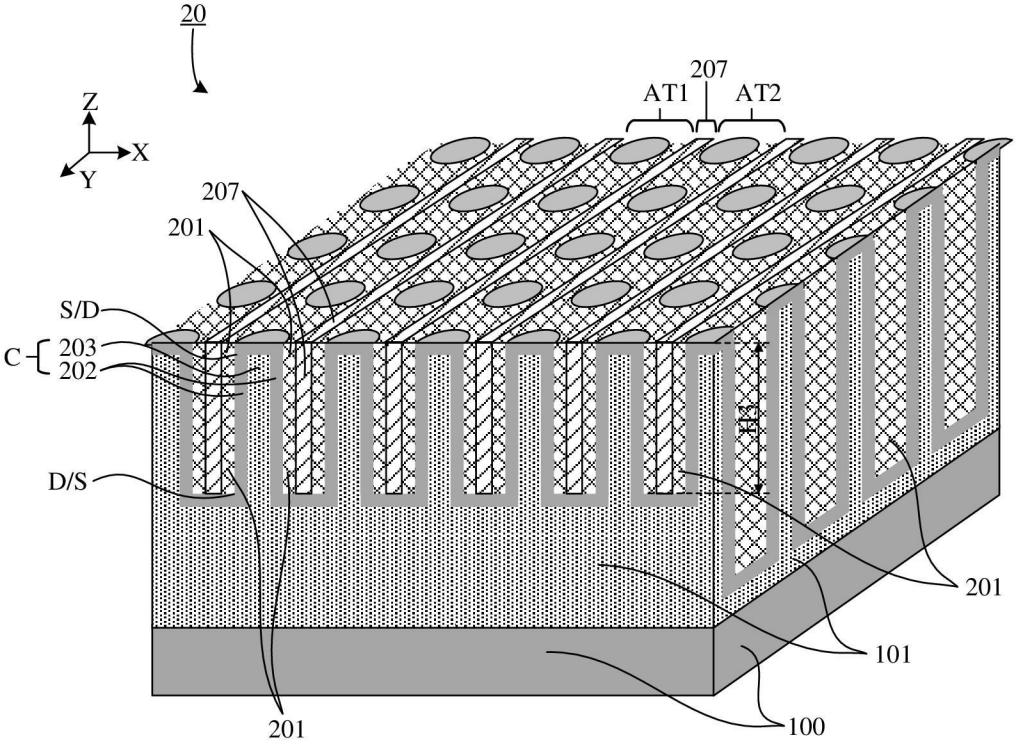
【圖 3d】


20
AT1
AT2
Z
X
Y
201
S/D
C
203
202
D/S
201
101
100
201

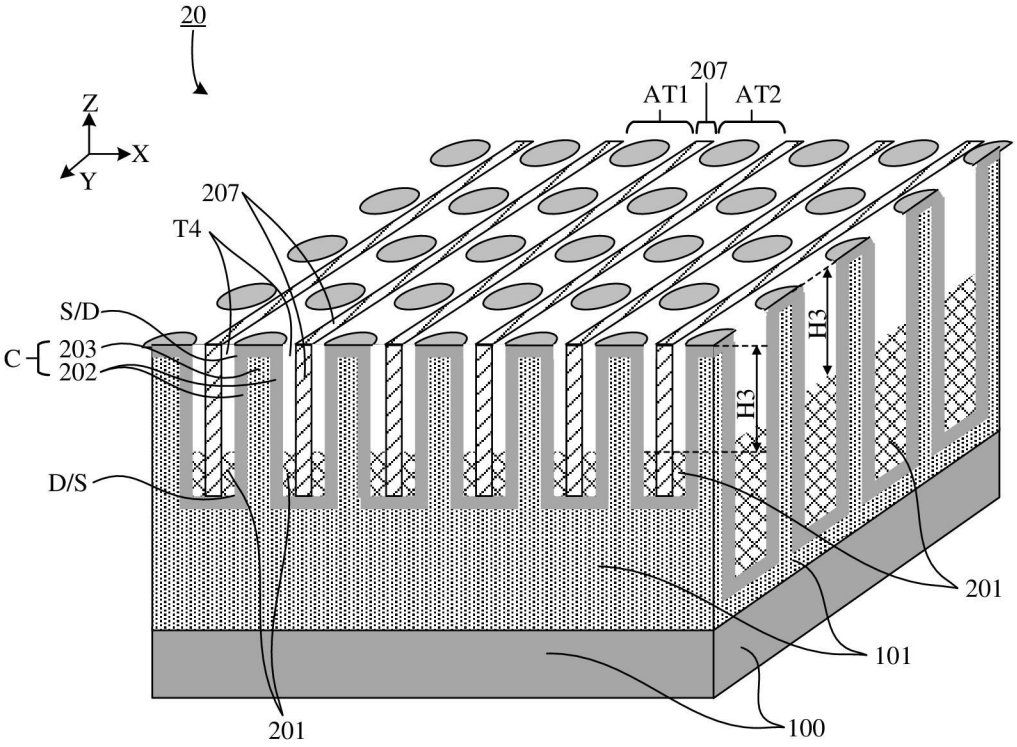
【圖 3e】


20
Z
X
Y
T3
AT1
AT2
T3
201
S/D
C
203
202
D/S
H3
201
101
100
201

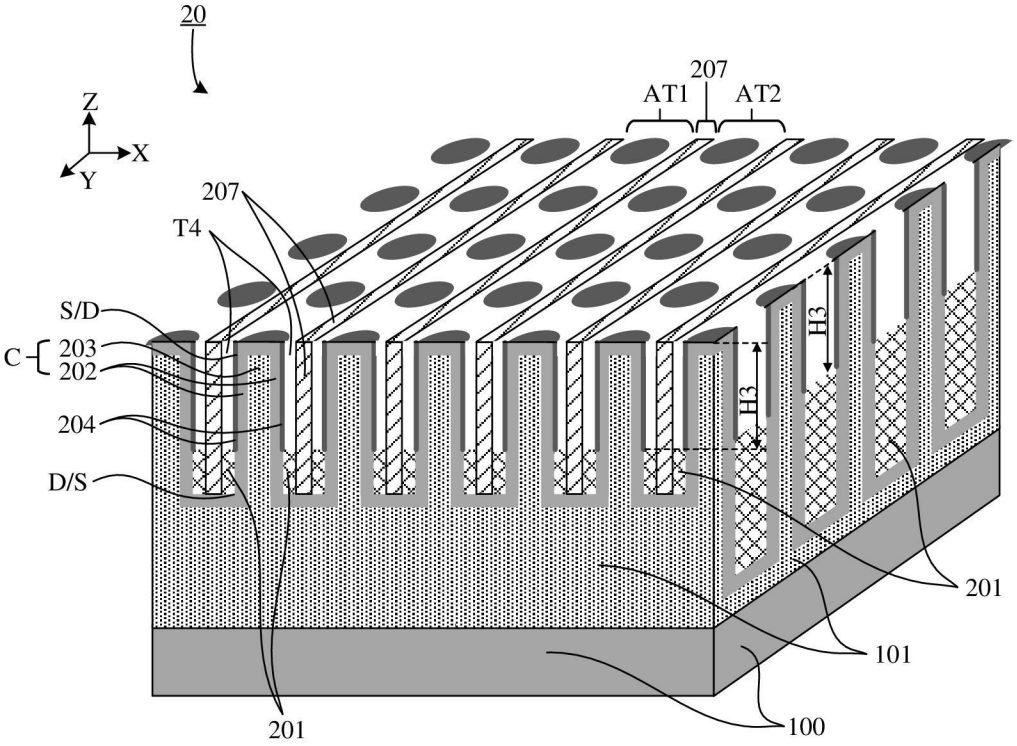
【圖 3f】


20
Z
X
Y
207
AT1
AT2
207
201
S/D
C
203
202
D/S
H3
201
101
100
201

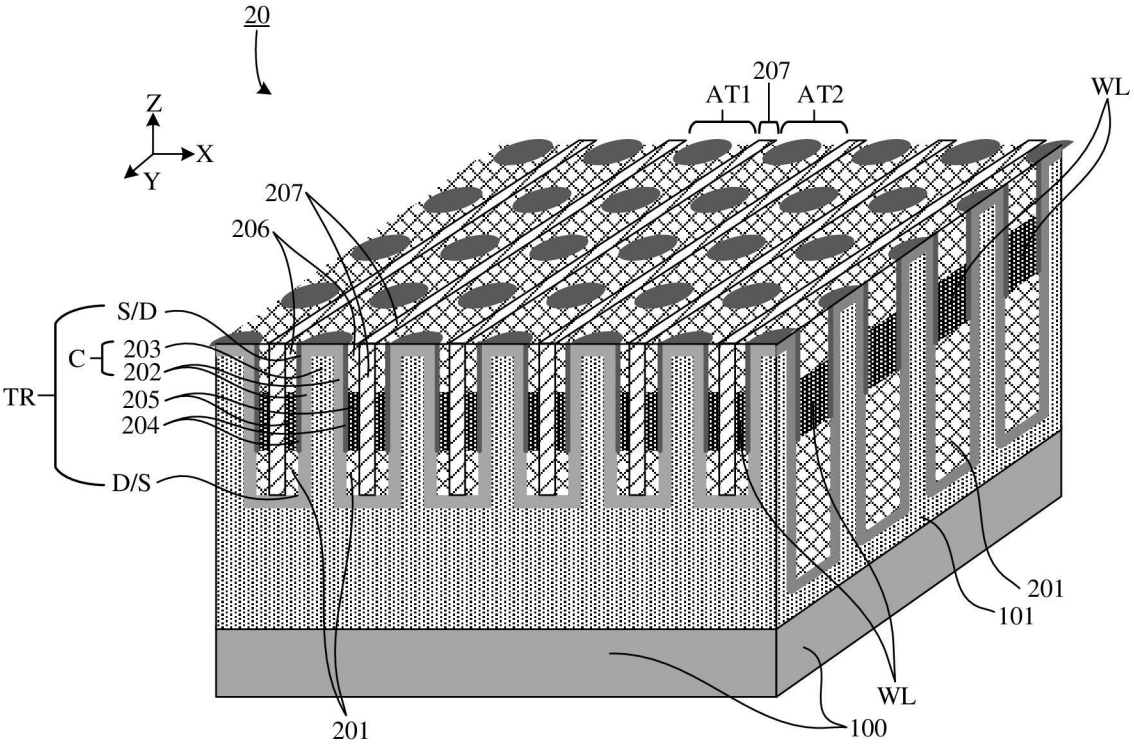
【圖 3g】


20
Z
X
Y
207
AT1
AT2
207
T4
S/D
C
203
202
D/S
H3
H3
201
101
100
201

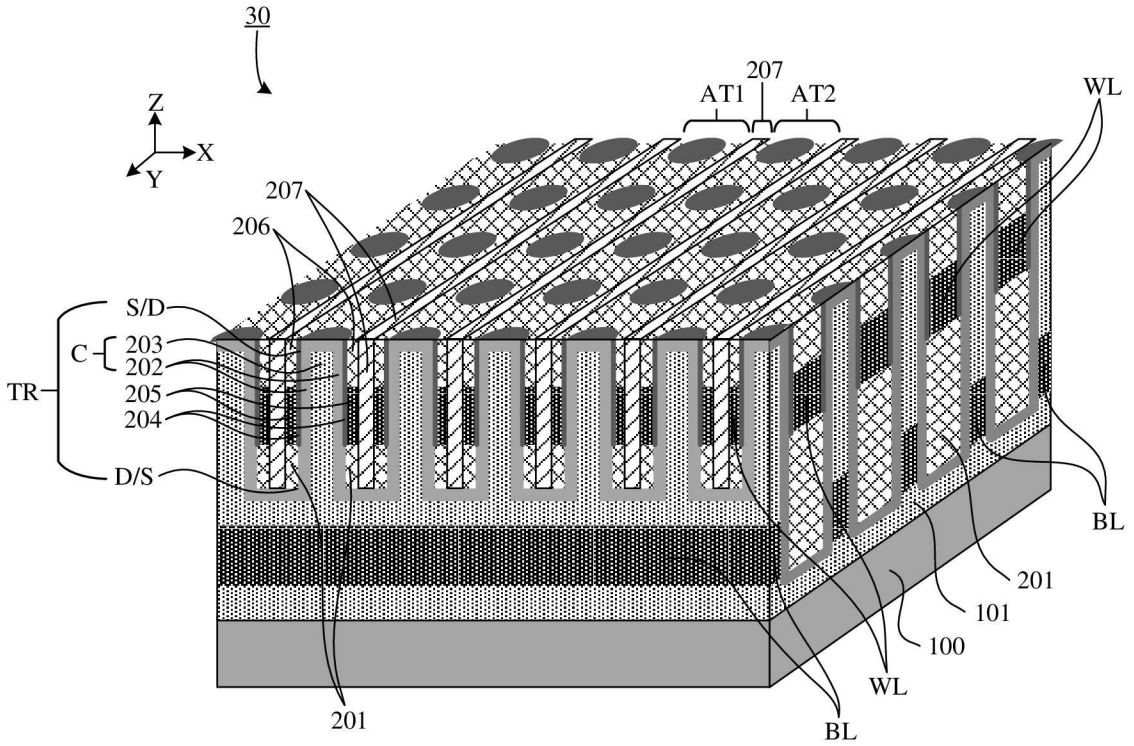
【圖 3h】


20
Z
X
Y
207
AT1
AT2
207
T4
S/D
C
203
202
204
D/S
H3
H3
201
101
100
201

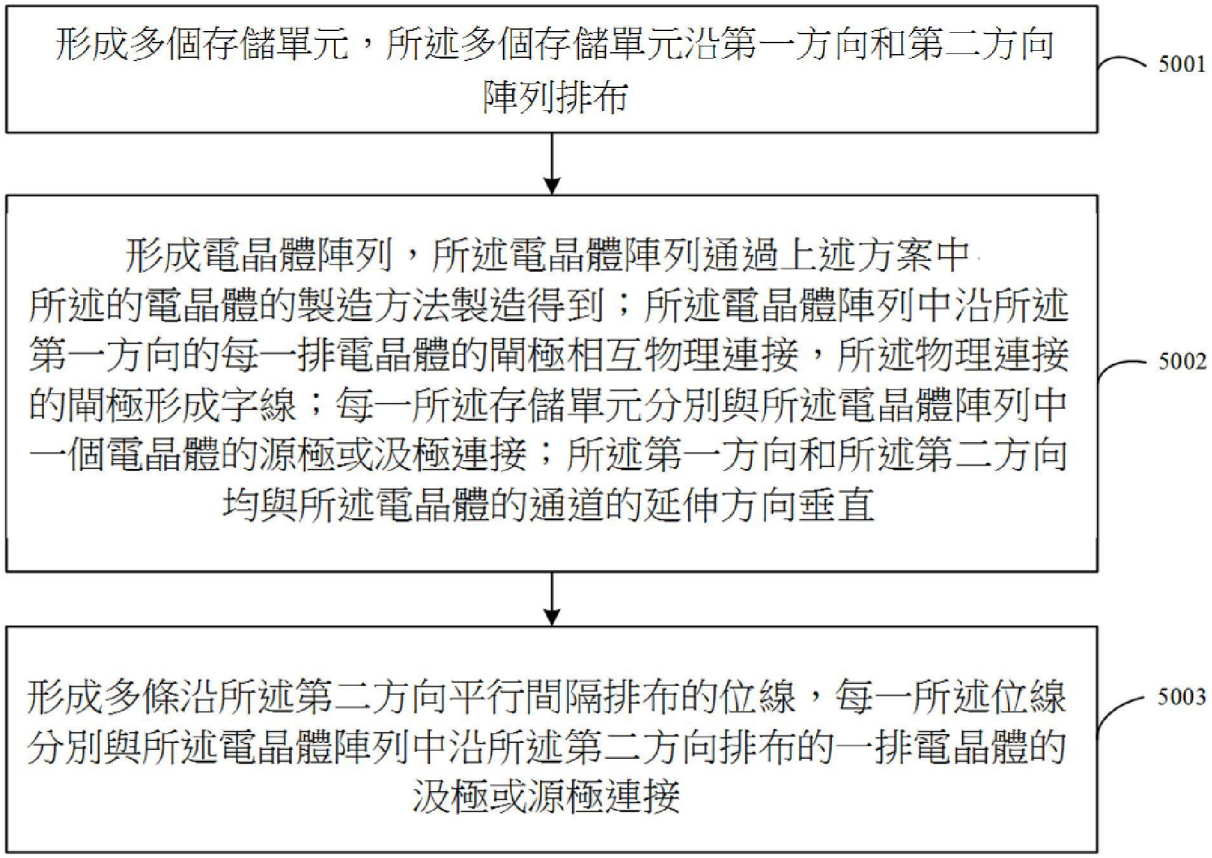
【圖 3i】


20
Z
X
Y
207
AT1
AT2
WL
207
206
S/D
C
203
202
TR
205
204
D/S
201
101
WL
100
201

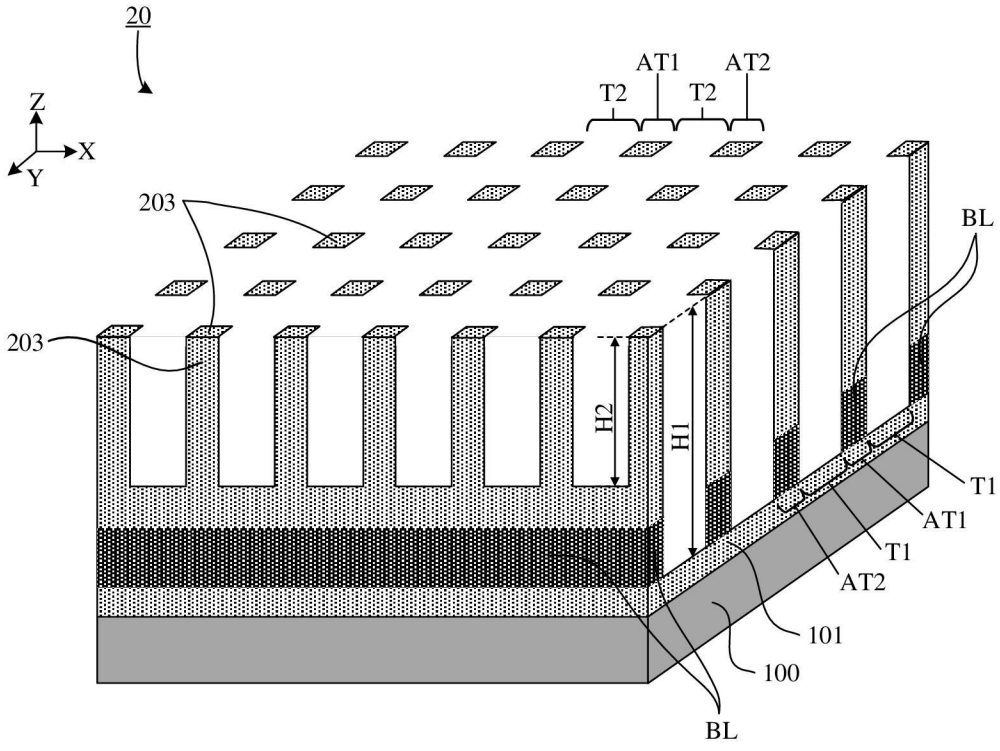
【圖 3j】


30
Z
X
Y
207
AT1
AT2
WL
207
206
S/D
C
203
202
TR
205
204
D/S
BL
201
101
100
WL
201
BL

【圖 4】


形成多個存儲單元，所述多個存儲單元沿第一方向和第二方向陣列排布
5001
形成電晶體陣列，所述電晶體陣列通過上述方案中所述的電晶體的製造方法製造得到；所述電晶體陣列中沿所述第一方向的每一排電晶體的閘極相互物理連接，所述物理連接的閘極形成字線；每一所述存儲單元分別與所述電晶體陣列中一個電晶體的源極或汲極連接；所述第一方向和所述第二方向均與所述電晶體的通道的延伸方向垂直
5002
形成多條沿所述第二方向平行間隔排布的位線，每一所述位線分別與所述電晶體陣列中沿所述第二方向排布的一排電晶體的汲極或源極連接
5003

【圖 5】


20
Z
X
Y
AT1
AT2
T2
T2
203
203
BL
H2
H1
T1
AT1
T1
AT2
101
100
BL

【圖 6】