

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4455547号
(P4455547)

(45) 発行日 平成22年4月21日(2010.4.21)

(24) 登録日 平成22年2月12日(2010.2.12)

(51) Int.Cl.

F I

G 1 1 C 29/12 (2006.01)

G 1 1 C 29/00 6 7 1 B

G O 1 R 31/28 (2006.01)

G O 1 R 31/28 B

G 1 1 C 29/34 (2006.01)

G O 1 R 31/28 V

G 1 1 C 29/44 (2006.01)

G 1 1 C 29/00 6 7 1 P

G 1 1 C 29/00 6 5 5 Z

請求項の数 5 (全 27 頁)

(21) 出願番号 特願2006-188391 (P2006-188391)
 (22) 出願日 平成18年7月7日(2006.7.7)
 (65) 公開番号 特開2008-16156 (P2008-16156A)
 (43) 公開日 平成20年1月24日(2008.1.24)
 審査請求日 平成21年2月10日(2009.2.10)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100088889
 弁理士 橘谷 英俊
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100096921
 弁理士 吉元 弘
 (74) 代理人 100103263
 弁理士 川崎 康

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項 1】

メモリに与える書き込みデータを生成して出力するデータ生成器と、
 前記メモリに与えるアドレス信号を生成して出力するアドレス生成器と、
 前記メモリを制御する制御信号を生成して出力する制御信号生成器と、
 フラグ信号を与えられて組み込み自己テスト(以下、B I S Tという)の結果を解析し、
 B I S T結果信号を出力する結果解析器と、
 前記データ生成器、前記アドレス生成器、前記制御信号生成器、前記結果解析器の動作をそれぞれ制御し、またB I S Tの状態を示すB I S T状態信号を出力するB I S T制御回路と、

前記フラグ信号が与えられない間は、第1のクロックに従って、前記B I S T制御回路から出力された最新の前記アドレス信号と前記B I S T状態信号とを取り込んで出力し、前記フラグ信号が与えられるとその時点における出力を維持する第1の取り込みレジスタと、前記第1のクロックより低速な第2のクロックに従い、シフトイネーブル信号が与えられない間は、前記取り込みレジスタからの出力を与えられて保存することで、前記フラグ信号が与えられた時点における前記アドレス信号と前記B I S T状態信号とを保存し、前記シフトイネーブル信号が与えられると、保存内容を外部にシフト出力する保存レジスタと、前記第1の取り込みレジスタからの出力と前記保存レジスタの保存内容とを比較することで、前記フラグ信号が一旦与えられた後、前記第1の取り込みレジスタから出力された前記最新の前記アドレス信号と前記B I S T状態信号とが前記保存レジスタに保存さ

10

20

れた前記アドレス信号と前記 B I S T 制御信号とに一致するまでの間、フラグ抑制信号を出力するフラグ抑制手段とを含む診断データ保存回路と、

を有する B I S T 回路と、

前記第 1 のクロックに従い、前記書き込みデータ、前記アドレス信号、前記制御信号を与えられて書き込み動作を行い、書き込んだデータを読み出して出力するメモリセルと、

シフトイネーブル信号が与えられずかつ前記フラグ信号が与えられない間は、前記メモリセルから出力された最新のデータを与えられて取り込み、前記フラグ信号が与えられるとその時点における保持内容を維持し、前記シフトイネーブル信号が与えられるとその時点での保持内容を外部にシフト出力する第 2 の取り込みレジスタと、

前記第 2 の取り込みレジスタからの出力と期待値とを比較し、不一致の場合にフェイル検出を意味する比較結果信号を出力する比較回路と、

前記フラグ抑制信号が与えられない間は、前記比較結果信号に基づいて前記フラグ信号を出力し、前記フラグ抑制信号が与えられると前記フラグ信号の出力が抑制されるフラグレジスタと、

を有するメモリカラーと、

を備えることを特徴とする半導体集積回路。

【請求項 2】

前記 B I S T 制御回路は、

前記フラグ信号が前記フラグレジスタから出力されると B I S T を中断し、この中断時点より遡る再開時点から B I S T を再開することを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】

前記 B I S T 制御回路は、

前記中断時点から前記再開時点までの前記メモリに書き込まれたデータが、B I S T が前記再開時点から前記中断時点まで実行されたことによって B I S T の実行前と異なるデータに書き換えられている場合は、B I S T の実行前と同じデータに書き戻した後、前記再開時点から B I S T を再開することを特徴とする請求項 1 又は 2 記載の半導体集積回路。

【請求項 4】

前記メモリセルが複数設けられている場合、前記メモリカラーが各メモリセル毎に対応して複数設けられており、

前記メモリカラーにおける前記第 2 の取り込みレジスタが相互にシリアルに接続されており、シフトイネーブル信号が与えられると、前記第 2 の取り込みレジスタにそれぞれ保持された内容が外部にシリアルにシフト出力されることを特徴とする請求項 1 乃至 3 のいずれかーに記載の半導体集積回路。

【請求項 5】

動作設定データが与えられ、当該 B I S T 回路が B I S T 対象であるか否か、前記メモリが B I S T 対象であるか否かを少なくとも設定する B I S T 動作設定レジスタと、

メモリに与える書き込みデータを生成して出力するデータ生成器と、

前記メモリに与えるアドレス信号を生成して出力するアドレス生成器と、

前記メモリを制御する制御信号を生成して出力する制御信号生成器と、

フラグ信号を与えられて B I S T の結果を解析し、B I S T 結果信号を出力する結果解析器と、

前記データ生成器、前記アドレス生成器、前記制御信号生成器、前記結果解析器の動作をそれぞれ制御し、また B I S T の状態を示す B I S T 状態信号を出力する B I S T 制御回路と、

前記フラグ信号が与えられない間は、第 1 のクロックに従って、前記 B I S T 制御回路から出力された最新の前記アドレス信号と前記 B I S T 状態信号とを取り込んで出力し、前記フラグ信号が与えられるとその時点における出力を維持する第 1 の取り込みレジスタと、前記第 1 のクロックより低速な第 2 のクロックに従い、シフトイネーブル信号が与え

10

20

30

40

50

られない間は、前記取り込みレジスタからの出力を与えられて保存することで、前記フラグ信号が与えられた時点における前記アドレス信号と前記BIST状態信号とを保存し、前記シフトイネーブル信号が与えられると、保存内容を外部にシフト出力する保存レジスタと、前記第1の取り込みレジスタからの出力と前記保存レジスタの保存内容とを比較することで、前記フラグ信号が一旦与えられた後、前記第1の取り込みレジスタから出力された前記最新の前記アドレス信号と前記BIST状態信号とが前記保存レジスタに保存された前記アドレス信号と前記BIST制御信号とに一致するまでの間、フラグ抑制信号を出力するフラグ抑制手段とを含む診断データ保存回路と、

前記BIST動作設定レジスタに設定された内容に従って、前記保存レジスタの保存内容、あるいは入力信号のいずれかを切り替えて出力する第1のマルチプレクサと、

10

を有し、それぞれの前記第1のマルチプレクサが相互にシリアルに接続された複数のBIST回路と、

前記第1のクロックに従い、前記書き込みデータ、前記アドレス信号、前記制御信号を与えられて書き込み動作を行い、書き込んだデータを読み出して出力するメモリセルと、

シフトイネーブル信号が与えられずかつ前記フラグ信号が与えられない間は、前記メモリセルから出力された最新のデータを与えられて取り込み、前記フラグ信号が与えられるとその時点における保持内容を維持し、前記シフトイネーブル信号が与えられるとその時点での保持内容を外部にシフト出力する第2の取り込みレジスタと、

前記第2の取り込みレジスタからの出力と期待値とを比較し、不一致の場合にフェイル検出を意味する比較結果信号を出力する比較回路と、

20

前記フラグ抑制信号が与えられない間は、前記比較結果信号に基づいて前記フラグ信号を出力し、前記フラグ抑制信号が与えられると前記フラグ信号の出力が抑制されるフラグレジスタと、

前記BIST動作設定レジスタに設定された内容に従って、前記第2の取り込みレジスタの保持内容、あるいは前記フラグレジスタからの出力のいずれかを切り替えて出力する第2のマルチプレクサと、

を有し、それぞれの前記第2のマルチプレクサが相互にシリアルに接続された複数のメモリカラーと、

を備えることを特徴とする半導体集積回路。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は半導体集積回路に係わり、特にメモリの組み込み自己テスト回路が組み込まれ、この回路を用いて故障診断動作を行う半導体集積回路に好適なものに関する。

【背景技術】

【0002】

メモリを含む半導体集積回路において、組み込み自己テスト(Built-In Self Test、以下、BISTという)回路を組み込み、BIST回路を用いてBISTを行って不良のチップを検出し、次にBIST回路を用いて該不良チップに故障診断を行ってメモリの不良箇所の候補を抽出する手法が用いられている。

40

【0003】

BIST回路には、書き込みデータと同一の期待値と、メモリから読み出したデータとの比較を行い、故障の有無を判別する比較器型BIST回路や、メモリから読み出されたデータをBIST回路内で圧縮し、圧縮した結果を用いて故障の有無を判別する圧縮器型BIST回路等がある。

【0004】

先ず、比較器型BIST回路を有する従来の半導体集積回路におけるBIST動作について述べる。

【0005】

BIST回路内のBIST制御回路が、データ生成器、アドレス生成器、制御信号生成

50

器を制御する。BIST対象となるメモリは、メモリカラーと呼ばれるブロック内にBIST動作に必要な各論理要素とともに含まれている。

【0006】

データ生成器から生成された書き込みデータ、アドレス生成器から生成されたアドレスデータ、制御信号生成器から生成された制御信号がそれぞれ、メモリに与えられる。

【0007】

メモリから出力されたデータは、メモリの出力側に配置された取り込みレジスタに一旦保持される。取り込みレジスタからの出力が、データ生成器から生成されたデータ期待値と比較器によって比較され、比較結果がフラグレジスタに保持される。フラグレジスタからの出力がBIST回路内の結果解析器に入力され、最終的なBIST結果が出力される。

10

【0008】

一つのBIST回路で複数のメモリにBISTを行っている場合は、それぞれのフラグデータが結果解析器に入力され、全体的なBISTによる良否判定が行われた後、最終的なBIST結果が出力される。

【0009】

次に、圧縮器型メモリBIST回路を有する従来の半導体集積回路におけるBIST動作について述べる。

【0010】

比較器型メモリBIST回路を有する半導体集積回路の場合と同様に、BIST回路内のBIST制御回路が、データ生成器、アドレス生成器、制御信号生成器の動作を制御する。BIST対象となるメモリはメモリカラーに含まれる。

20

【0011】

データ生成器から生成された書き込みデータ、アドレス生成器から生成されたアドレスデータ、制御信号生成器から生成された制御信号がメモリに与えられ、メモリからの出力が圧縮器に入力されて順次圧縮されてゆく。

【0012】

ここで圧縮機の構造としては、後述する非特許文献1に記載されたものがある。一般には、リニアフィードバックシフトレジスタの変形であるMISR (Multiple Input Signature Register) が用いられている。

30

【0013】

BIST終了時に、圧縮器に保存されている値がBIST結果として予め計算された期待値と比較され、メモリの良否が判定される。

【0014】

また、メモリにおける故障箇所の候補を抽出するためBIST回路を用いて故障診断を行う際には、複数のメモリからの出力データを順次シリアルに外部に取り出して外部テスト装置により観測する。

【0015】

上述の比較器型BIST回路を用いる場合には、各メモリカラー内にあるメモリの出力を取り込む取り込みレジスタと、各メモリカラー内の比較器からの出力とをそれぞれ受けるフラグレジスタとを全てシリアルに接続する。そしてこれらと、それぞれのBIST回路内にあるアドレス生成回路からのアドレスを与えられるアドレスレジスタと、全体のフラグレジスタとを全てシリアルに接続し、全体で一本の循環的なシフトパスを形成する。

40

【0016】

故障診断時にこのシフトパスを使用し、読出しのタイミングに従ってそれぞれのレジスタの値をシフト出力する。シフトパスが循環的に形成されているため、シフト出力終了後にBIST動作中断時の状態に復帰することができる。

【0017】

そして、BISTを再開し、再び次の読出しタイミングでレジスタの値をシフト出力する。このようなBIST動作の中断、シフト出力、BIST動作の再開を繰り返すことに

50

より、メモリ内部の状態を読み出すことが可能となる。得られた結果に基づいて、メモリのセルアレイ内の故障ビット位置を示すフェイルビットマップを作成し、故障解析を行う。

【 0 0 1 8 】

しかし、このような従来の手法では全ての B I S T 結果をシリアルに読み出していく必要があるため、故障診断対象でないメモリからの出力もシフト出力しなくてはならない。よって、一つの B I S T 回路で B I S T を行うメモリの数が多い場合には、B I S T 時間が非常に長くなる。

【 0 0 1 9 】

さらに B I S T 結果をシフト出力した際に、シフト出力の観測と期待値との比較を外部テスト装置を用いて行わなければならない。このため、半導体集積回路の実動作での動作速度より遅い外部テスト装置の動作速度により制約を受けることになる。従って、半導体集積回路の実速度で故障診断を行うことが困難であり、実速度で故障診断を行った場合に限り検出可能な故障候補を検出することができなかった。

【 0 0 2 0 】

以下に、リニアフィードバックシフトレジスタの変形である M I S R を開示した文献名を記載する。

【非特許文献 1】Built-In Test for VLSI: Pseudo Random Techniques, Paul H. Bardell I, William H. McAnney and Jacob Savir, John Wiley & Sons, 1987

【発明の開示】

【発明が解決しようとする課題】

【 0 0 2 1 】

本発明は、故障診断対象であるメモリのみから読み出したデータを取り出すことで故障診断時間を短縮し、かつ実速度で故障診断が可能な半導体集積回路を提供することを目的とする。

【課題を解決するための手段】

【 0 0 2 2 】

本発明の一態様による半導体集積回路は、メモリに与える書き込みデータを生成して出力するデータ生成器と、前記メモリに与えるアドレス信号を生成して出力するアドレス生成器と、前記メモリを制御する制御信号を生成して出力する制御信号生成器と、フラグ信号を与えられて B I S T の結果を解析し、B I S T 結果信号を出力する結果解析器と、前記データ生成器、前記アドレス生成器、前記制御信号生成器、前記結果解析器の動作をそれぞれ制御し、また B I S T の状態を示す B I S T 状態信号を出力する B I S T 制御回路と、前記フラグ信号が与えられない間は、第 1 のクロックに従って、前記 B I S T 制御回路から出力された最新の前記アドレス信号と前記 B I S T 状態信号とを取り込んで出力し、前記フラグ信号が与えられるとその時点における出力を維持する第 1 の取り込みレジスタと、前記第 1 のクロックより低速な第 2 のクロックに従い、シフトイネーブル信号が与えられない間は、前記取り込みレジスタからの出力を与えられて保存することで、前記フラグ信号が与えられた時点における前記アドレス信号と前記 B I S T 状態信号とを保存し、前記シフトイネーブル信号が与えられると、保存内容を外部にシフト出力する保存レジスタと、前記第 1 の取り込みレジスタからの出力と前記保存レジスタの保存内容とを比較することで、前記フラグ信号が一旦与えられた後、前記第 1 の取り込みレジスタから出力された前記最新の前記アドレス信号と前記 B I S T 状態信号とが前記保存レジスタに保存された前記アドレス信号と前記 B I S T 制御信号とに一致するまでの間、フラグ抑制信号を出力するフラグ抑制手段とを含む診断データ保存回路とを有する B I S T 回路と、前記第 1 のクロックに従い、前記書き込みデータ、前記アドレス信号、前記制御信号を与えられて書き込み動作を行い、書き込んだデータを読み出して出力するメモリセルと、シフトイネーブル信号が与えられずかつ前記フラグ信号が与えられない間は、前記メモリセルから出力された最新のデータを与えられて取り込み、前記フラグ信号が与えられるとその時点における保持内容を維持し、前記シフトイネーブル信号が与えられるとその時点での保

10

20

30

40

50

持内容を外部にシフト出力する第2の取り込みレジスタと、前記第2の取り込みレジスタからの出力と期待値とを比較し、不一致の場合にフェイル検出を意味する比較結果信号を出力する比較回路と、前記フラグ抑制信号が与えられない間は、前記比較結果信号に基づいて前記フラグ信号を出力し、前記フラグ抑制信号が与えられると前記フラグ信号の出力が抑制されるフラグレジスタとを有するメモリカラーとを備えることを特徴とする。

【0023】

また本発明の一態様による半導体集積回路は、動作設定データが与えられ、当該BIST回路がBIST対象であるか否か、前記メモリがBIST対象であるか否かを少なくとも設定するBIST動作設定レジスタと、メモリに与える書き込みデータを生成して出力するデータ生成器と、前記メモリに与えるアドレス信号を生成して出力するアドレス生成器と、前記メモリを制御する制御信号を生成して出力する制御信号生成器と、フラグ信号を与えられてBISTの結果を解析し、BIST結果信号を出力する結果解析器と、前記データ生成器、前記アドレス生成器、前記制御信号生成器、前記結果解析器の動作をそれぞれ制御し、またBISTの状態を示すBIST状態信号を出力するBIST制御回路と、前記フラグ信号が与えられない間は、第1のクロックに従って、前記BIST制御回路から出力された最新の前記アドレス信号と前記BIST状態信号とを取り込んで出力し、前記フラグ信号が与えられるとその時点における出力を維持する第1の取り込みレジスタと、前記第1のクロックより低速な第2のクロックに従い、シフトイネーブル信号が与えられない間は、前記取り込みレジスタからの出力を与えられて保存することで、前記フラグ信号が与えられた時点における前記アドレス信号と前記BIST状態信号とを保存し、前記シフトイネーブル信号が与えられると、保存内容を外部にシフト出力する保存レジスタと、前記第1の取り込みレジスタからの出力と前記保存レジスタの保存内容とを比較することで、前記フラグ信号が一旦与えられた後、前記第1の取り込みレジスタから出力された前記最新の前記アドレス信号と前記BIST状態信号とが前記保存レジスタに保存された前記アドレス信号と前記BIST制御信号とに一致するまでの間、フラグ抑制信号を出力するフラグ抑制手段とを含む診断データ保存回路と、前記BIST動作設定レジスタに設定された内容に従って、前記保存レジスタの保存内容、あるいは入力信号のいずれかを切り替えて出力する第1のマルチプレクサと、を有し、それぞれの前記第1のマルチプレクサが相互にシリアルに接続された複数のBIST回路と、前記第1のクロックに従い、前記書き込みデータ、前記アドレス信号、前記制御信号を与えられて書き込み動作を行い、書き込んだデータを読み出して出力するメモリセルと、シフトイネーブル信号が与えられずかつ前記フラグ信号が与えられない間は、前記メモリセルから出力された最新のデータを与えられて取り込み、前記フラグ信号が与えられるとその時点における保持内容を維持し、前記シフトイネーブル信号が与えられるとその時点での保持内容を外部にシフト出力する第2の取り込みレジスタと、前記第2の取り込みレジスタからの出力と期待値とを比較し、不一致の場合にフェイル検出を意味する比較結果信号を出力する比較回路と、前記フラグ抑制信号が与えられない間は、前記比較結果信号に基づいて前記フラグ信号を出力し、前記フラグ抑制信号が与えられると前記フラグ信号の出力が抑制されるフラグレジスタと、前記BIST動作設定レジスタに設定された内容に従って、前記第2の取り込みレジスタの保持内容、あるいは前記フラグレジスタからの出力のいずれかを切り替えて出力する第2のマルチプレクサとを有し、それぞれの前記第2のマルチプレクサが相互にシリアルに接続された複数のメモリカラーとを備えることを特徴とする。

【発明の効果】

【0024】

本発明の半導体集積回路によれば、故障診断時間の短縮、及び実速度での故障診断が可能である。

【発明を実施するための最良の形態】

【0025】

以下、本発明の実施の形態について図面を参照して説明する。

【0026】

(1) 実施の形態 1

図 1 に、本発明の実施の形態 1 による半導体集積回路の構成を示す。

【 0 0 2 7 】

この半導体集積回路は、BIST回路400及びメモリカラー416を備え、BIST回路400がBIST制御回路401、データ生成器402、アドレス生成器403、制御信号生成器404、結果解析器405、診断データ保存回路406を有する。ここで本実施の形態1は、BIST回路400が診断データ保存回路406を備える点に特徴がある。

【 0 0 2 8 】

一方、BIST対象となるメモリセル417はメモリカラー416と呼ばれるブロックに、BIST動作に必要な要素であるマルチプレクサ419、取り込みレジスタ418、マルチプレクサ101、比較回路420、AND回路421、フラグレジスタ422、OR回路423とともに含まれる。

10

【 0 0 2 9 】

BIST回路400において、BIST制御回路401、データ生成器402、アドレス生成器403、制御信号生成器404、結果解析器405、診断データ保存回路406に高速クロック410が入力される。

【 0 0 3 0 】

BIST制御回路401が、データ生成器402、アドレス生成器403、制御信号生成器404、結果解析器405、診断データ保存回路406の動作を制御するため必要な制御信号を順次生成させ、それぞれに与える。

20

【 0 0 3 1 】

データ生成器402から生成された書き込みデータ109、アドレス生成器403から生成されたアドレスデータ108、制御信号生成器404から生成されたメモリ制御信号107が、それぞれメモリセル417に与えられる。

【 0 0 3 2 】

メモリカラー416において、高速クロック410が、メモリセル417、マルチプレクサ101、フラグレジスタ422に与えられる。マルチプレクサ101には、低速クロック411も与えられる。

【 0 0 3 3 】

30

書き込みデータ109、アドレスデータ108、メモリ制御信号107がメモリセル417に与えられて、データが書き込まれる。メモリセル417から読み出されたデータは、マルチプレクサ419を介して一旦取り込みレジスタ418に入力される。

【 0 0 3 4 】

ここでマルチプレクサ419には、メモリセル417からの出力とともに取り込みレジスタ418からの出力も与えられ、OR回路423から出力された、フェイルの検出を意味するフラグ信号409によって出力の切替が行われる。フェイルが検出されるまでの間はフラグ信号409は論理「0」であり、マルチプレクサ419からはメモリセル417からの出力がそのまま出力される。一旦フェイルが検出されて論理「1」のフラグ信号409がマルチプレクサ419に与えられると、取り込みレジスタ418からの出力が選択されて出力される。これにより、取り込みレジスタ418は同じ出力を維持することになる。

40

【 0 0 3 5 】

取り込みレジスタ418は、通常はマルチプレクサ101から高速クロック410を与えられ、さらに外部からシフトイネーブル信号413が与えられ、マルチプレクサ419から出力されたデータを与えられて高速クロック410に従って比較回路420に出力する。しかし、BIST終了後に診断データ保存回路406からシフトイネーブル信号413が与えられると、マルチプレクサ101から低速クロック410に従って格納していたデータをシリアル出力信号414としてシリアルに外部へ出力する。

【 0 0 3 6 】

50

ここで、メモリカラー 416 が複数設けられ、1つのBIST回路400によりBIST動作が制御される場合は、各取り込みレジスタ418がシリアルに接続され、それぞれの出力がシリアルに外部へ出力される。

【0037】

取り込みレジスタ418から出力されたデータが、データ生成器402から生成された書き込みデータ109と同一のデータ期待値と、比較器420において比較される。一致している間は論理「0」、不一致、即ちフェイルが検出されると論理「1」の比較結果信号がAND回路421を介してフラグレジスタ422に与えられて保持される。

【0038】

ここで、後述するようにBIST開始時にはフェイルが検出されていないので、診断データ保存回路406からは論理「1」のフェイル抑制信号415がAND回路421に与えられており、AND回路421からは比較回路420からの比較結果信号がそのまま出力される。

【0039】

しかし、一旦フェイルが検出されBISTをより以前の時点から再開して、このフェイル箇所到達するまでの間は、診断データ保存回路406から論理「0」のフラグ抑制信号415が出力されて、フェイル箇所到達するまでの間、AND回路421に入力される。これにより、AND回路421からは、比較回路420からの比較結果信号は出力されずに論理「0」のデータを出力し続けることになる。

【0040】

フラグレジスタ422への入力信号とフラグレジスタ422からの出力信号とがOR回路423に出力される。これにより、一旦フェイルが検出された後、詳細には、BIST開始時におけるフェイルが検出されていない段階で比較回路420からフェイルの検出を意味する比較結果信号が出力された場合、あるいは一旦フェイルが検出されBISTを再開した際に、AND回路421にフラグ抑制信号415が与えられてフェイルを意味する比較結果信号は出力されないが、それ以前のフェイル検出によりフラグレジスタ422に論理「1」のフラグが保持されている場合、OR回路423からはフラグ信号409が出力される。尚、BISTが再開されると、その時点でフラグレジスタ422は論理「0」に初期化される。

【0041】

このフラグ信号409がマルチプレクサ419に入力されると、上述したように、マルチプレクサ419は取り込みレジスタ418からの出力を保持し続けることになる。

【0042】

また、フラグレジスタ422からのフラグ信号409は、BIST回路400内の結果解析器405に入力される。

【0043】

ひとつのBIST回路400を用いて複数のメモリセルをBISTする場合には、上述したようにメモリセル毎にメモリカラー416の構成を配置し、そしてそれぞれのメモリカラー416のフラグレジスタ422から出力されたフラグ信号409が結果解析器405に共通に入力される。

【0044】

結果解析器405において、全体的なBISTの良否判定が行われた上で、最終的なBIST結果信号424として外部テスト装置に出力される。

【0045】

さらに、OR回路423から出力されたフラグ信号409は、診断データ保存回路406にも入力される。一旦フェイルが検出されてフラグ信号409が発生すると、診断データ保存回路406にフェイル発生という情報が与えられることになる。

【0046】

このようにして、BIST回路を用いたBIST動作が行われ、各メモリセル417に対する良否判定が行われる。

10

20

30

40

50

【 0 0 4 7 】

次に、B I S T回路を用いて故障診断が行われる。図 2 に、診断データ保存回路 4 0 6 の回路構成を詳細に示す。

【 0 0 4 8 】

診断データ保存回路 4 0 6 は、アドレス信号 4 0 7、B I S T状態信号 4 0 8にそれぞれ対応して、マルチプレクサ 1 0 1 A及び 1 0 1 B、取り込みレジスタ 5 0 5 及び 5 0 6、保存レジスタ 5 0 8 及び 5 0 9、比較回路 5 1 4 及び 5 1 5、AND回路 5 1 6、OR回路 5 1 7 及び 5 1 9、フラグ抑制信号用レジスタ 5 1 8を有する。

【 0 0 4 9 】

アドレス生成器 4 0 3 が生成した現在のアドレス信号 4 0 7と、B I S T制御回路 4 0 1 が出力した現在の B I S T状態信号 4 0 8とが、マルチプレクサ 1 0 1 A、1 0 1 Bを介して、高速クロック 4 1 0 に同期してそれぞれ取り込みレジスタ 5 0 5、5 0 6に取り込まれる。B I S T状態信号 4 0 8は、B I S Tを実行している最中において、現在 B I S Tシーケンス中のどの箇所に位置しているかを示す信号である。

【 0 0 5 0 】

ここで、マルチプレクサ 1 0 1 A、1 0 1 Bには、アドレス信号 4 0 7、B I S T状態信号 4 0 8の他に、取り込みレジスタ 5 0 5、5 0 6からの出力がそれぞれ与えられる。そして、フラグ信号 4 0 9に応じていずれかの信号が選択されて、マルチプレクサ 1 0 1 A、1 0 1 Bから出力される。

【 0 0 5 1 】

フェイルが検出されず、フラグ信号 4 0 9が論理「0」である場合は、マルチプレクサ 1 0 1 A、1 0 1 Bからはアドレス信号 4 0 7と B I S T状態信号 4 0 8とが出力され、それぞれ取り込みレジスタ 5 0 5、5 0 6に保持される。

【 0 0 5 2 】

一旦フェイルが検出されてフラグ信号 4 0 9が論理「1」になると、マルチプレクサ 1 0 1 A、1 0 1 Bは取り込みレジスタ 5 0 5、5 0 6からの出力を選択して出力することにより、取り込みレジスタ 5 0 5、5 0 6は現在の保持状態を維持することになる。これにより、新たなアドレス信号 4 0 7、B I S T状態信号 4 0 8がマルチプレクサ 1 0 1 A、1 0 1 Bに入力された場合であっても、取り込みレジスタ 5 0 5、5 0 6の内容は更新されなくなる。

【 0 0 5 3 】

取り込みレジスタ 5 0 5 および 5 0 6からの出力は、同じビット幅の保存レジスタ 5 0 8 および 5 0 9に、低速クロック 4 1 1に同期して保存レジスタ 5 0 8、5 0 9に取り込まれる。

【 0 0 5 4 】

ここで、保存レジスタ 5 0 8の出力端子が保存レジスタ 5 0 9の入力端子にシリアルに接続されている。さらに、保存レジスタ 5 0 8の入力端子は、B I S T回路が複数段接続されている場合に、図示されていない前段の診断データ保存回路 4 0 6における保存レジスタ 5 0 9の出力端子が、B I S T単位で最前段の場合はシフト入力端子にシリアルに接続されており、シフト入力信号 5 1 2が入力される。同様に、当該保存レジスタ 5 0 9の出力端子は、図示されていない後段の診断データ保存回路 4 0 6における保存レジスタ 5 0 8の入力端子にシリアルに接続されており、シフト出力信号 5 1 3が出力される。このシフト出力信号 5 1 3は、次のグループの B I S T回路に接続され、グループ単位で最終段の場合は、装置外部に設けられた外部テスト装置によって観測され、故障診断による故障箇所の候補が抽出される。

【 0 0 5 5 】

取り込みレジスタ 5 0 5、5 0 6は、メモリセル 4 1 7と同速度で動作するように高速クロック 4 1 0に同期してデータを取り込んで保持して出力する。しかし、保存レジスタ 5 0 8、5 0 9は低速クロック 4 1 1に同期してデータを取り込んで保持し出力する。これは、保存レジスタ 5 0 8、5 0 9からの出力は上述のようにシフトされて外部テスト装

10

20

30

40

50

置により観測されるが、速度が速すぎて観測不能とならないように、メモリセル４１７より低速な外部テスト装置の動作速度に適合させるためである。

【００５６】

また、取り込みレジスタ５０５、５０６は、フェイルが発生しフラグ信号４０９が出力されるまでは、新しいデータを与えられて保持内容を更新させていく。フラグ信号４０９が出力されてマルチプレクサ１０１Ａ、１０１Ｂに与えられると、上述のように取り込みレジスタ５０５、５０６は自己の出力を保持することになる。一旦フェイルが検出され、フェイル箇所より遡った時点からＢＩＳＴを再開し、このフェイル箇所まで到達するまでのフラグが抑制されている間は、保持内容を維持していくことになる。

【００５７】

保存レジスタ５０８および５０９は、シフトイネーブル信号４１３が論理「０」である場合に、取り込みレジスタ５０５、５０６からの出力を取り込んで保持し、低速クロック４１１に同期して比較器５１４、５１５に出力する。

【００５８】

シフトイネーブル信号４１３が論理「１」になるとシフトモードに移行し、シフト入力信号５１２を与えられた保存レジスタ５０８からの出力が取り込みレジスタ５０６からシフト出力信号５１３として出力され、シフトレジスタを構成する。これにより、不良が検出されたメモリセルからのデータ出力を、ＢＩＳＴ中断後に外部テスト装置へ出力することができる。

【００５９】

ＢＩＳＴ中にフェイルが検出されてＢＩＳＴ動作が一旦停止した後、ＢＩＳＴ動作が再開されると、シフトイネーブル信号４１３は論理「０」となる。そこで、取り込みレジスタ５０５、５０６から出力されたデータが保存レジスタ５０８、５０９へ転送されて保持され、比較器５１４、５１５に出力される。

【００６０】

フェイルが検出されたこの時点では、フラグ信号４０９は論理「１」であるが、ＢＩＳＴ再開後は論理「０」へ変化する。これにより、アドレス信号４０７、ＢＩＳＴ状態信号５０３が再度マルチプレクサ１０１Ａ、１０１Ｂを介して取り込みレジスタ５０５、５０６に取り込まれて保持される。

【００６１】

そして、取り込みレジスタ５０５、５０６の保持内容が、それぞれ保存レジスタ５０８、５０９の保持内容とともに比較回路５１４、５１５に与えられて比較される。

【００６２】

双方がともに一致し、比較回路５１４、５１５の出力がともに論理「１」になったとき、即ち一旦フェイルが検出された後、フェイル箇所より遡ってＢＩＳＴを再開してからこのフェイル箇所に到達した時点で、ＡＮＤ回路５１６からの出力が論理「１」になる。ＯＲ回路５１７から論理「１」が出力されて、比較状態レジスタ（フラグ抑制信号用レジスタ）５１８からの出力値が初めて論理「１」になる。

【００６３】

保存レジスタ５０８、５０９は、フェイルが検出されるまでの間は、取り込みレジスタ５０５、５０６と同様に、新しいデータを与えられて保持内容を更新していく。しかし、一旦フェイルが検出されると、外部から入力されたシフトイネーブル信号４１３によりシフトモードに切り替わり、シフトレジスタとして動作しシフト出力信号５１３として出力されていく。これにより、保存レジスタ５０８、５０９の保持内容は破壊される。

【００６４】

この後、取り込みレジスタ５０５、５０６からの出力が１回保存レジスタ５０８、５０９に与えられて保持され、以降はこの内容を保持し続けて取り込みレジスタ５０５、５０６からの出力は取り込まない。即ち、フェイル検出時におけるアドレス信号４０７とＢＩＳＴ状態信号４０８とが保持される。

【００６５】

10

20

30

40

50

比較状態レジスタ518から出力された論理「1」は、OR回路519を介してフラグ抑制信号415として出力され、メモ리카ラー416内のAND回路421へ与えられる。ここで、BIST再開時には、比較状態レジスタ518は初期化されて論理「0」を保持し、抑制状態となる。

【0066】

このOR回路517、比較状態レジスタ518、OR回路519により、一旦AND回路516から論理「1」のフラグ抑制信号415が出力されると、その後OR回路519からは論理「1」の出力状態が保持される。

【0067】

一方、メモ리카ラー416内において、比較回路420の出力が論理「1」になると、フラグ抑制信号415の論理「1」の値とともにAND回路421に与えられて、論理「1」が出力される。

【0068】

これ以降、OR素子423からのフラグ信号409が論理「1」を維持し、この値がマルチプレクサ419の出力切替に関する制御端子に入力される。これにより、取り込みレジスタ418の入力には、メモリセル417からの出力がマルチプレクサ419を介して与えられるのではなく、自己の出力がフィードバックして与えられる。これにより、取り込みレジスタ419は現在の値を保持する。

【0069】

ただし、BIST回路400における診断データ保存回路406からのフラグ抑制信号415が論理「0」の間は、AND回路421の出力が論理「0」となり、フラグレジスタ422への入力が論理「0」を維持する。このため、メモリセル417の出力に不良があった場合にも、フラグレジスタ422への入力が論理「1」にはならないので、取り込みは抑制されずBIST実行が継続される。

【0070】

これにより、フェイルが複数回検出され、その都度BISTを中断し各フェイル箇所より以前まで遡ってBISTを再開した場合、最新のフェイル箇所に到達するまでは、既に検出されたより以前のフェイルに対して再度フラグ信号409を出力することなく、BISTを進めることができる。

【0071】

取り込みレジスタ418は、BIST実行中は高速なBISTクロックと同一の高速クロック410により動作する。このため、オンチップのクロック生成回路等で生成された高速クロックでのBISTの実行が可能である。

【0072】

BIST動作が中断された際は、メモ리카ラー416におけるマルチプレクサ101により、BIST回路400において直接制御可能な低速クロック411が選択出力されて取り込みレジスタ418に与えられて動作する。

【0073】

この低速クロック411は、図2に示された診断データ保存回路406内の保存レジスタ508、509に与えられるクロックと同一であり、同じクロック源から供給される。

【0074】

シフトモードでは、上述したように、保存レジスタ508、509がシフトレジスタを構成する。この場合、保存レジスタ509から出力されたシフト出力信号513をシリアル出力信号414として取り込みレジスタ418に与える。これにより、フェイル検出時におけるBIST制御回路401におけるアドレス信号407、BIST状態信号408、メモリセル417からの出力を外部に取り出して、外部テスト装置に入力して観測することができる。

【0075】

尚、一つのBIST回路400で複数のメモリセル417をBISTする場合には、メモリセル417毎に対応して設けられたメモ리카ラー416内の取り込みレジスタ418

10

20

30

40

50

を相互にシリアルに接続して、シフトレジスタを構成することとなる。

【 0 0 7 6 】

図 3 に、本実施の形態 1 において B I S T を実行する際の手順を示す。ここでは、B I S T 回路 4 0 0 が、1 3 N という名称のマーチングパターンと称される B I S T を行うものとする。

【 0 0 7 7 】

ここでマーチングパターンとは、例えば論理「0」状態のメモリから論理「0」を読み出し、論理「1」を書き込み、論理「1」を読み出すひとかたまりの動作（マーチエレメント r 0 w 1 r 1）を、全アドレスに対し順次実行するパターンであり、メモリの状態が論理「0」が論理「1」に置き換わる。

10

【 0 0 7 8 】

これに対し、ウォーキングパターンとは、例えば論理「0」状態のメモリから論理「0」を読み出し、論理「1」を書き込み、論理「1」を読み出し、さらに論理「0」を書き込むマーチエレメント（r 0 w 1 r 1 w 0）を用いるパターンであり、メモリの状態が論理「0」で維持される。

【 0 0 7 9 】

先ず、時刻 T 0 から（W R I T E 動作）として B I S T 動作を開始し、メモリセル 4 1 7 の全アドレスに所定のデータパターン（全ビットに論理「0」のデータ、あるいはチェッカーボードパターン等のデータ）を書込む。

【 0 0 8 0 】

20

（R E A D - W R、I T E - R E A D 動作）として、各アドレスにおいて、正データパターン（例えば、「1 0 1 1」）の読出しと逆パターン（例えば、「0 1 0 0」）の書込みとをアドレス昇順で行う。次に、各アドレスにおいて、逆データパターンの読出しと正データパターンの書込みとをアドレス昇順で行う。

【 0 0 8 1 】

さらに、各アドレスにおいて、正データパターンの読出しと逆パターンの書込みとをアドレス降順で行い、続いて各アドレスにおいて逆データパターンの読出しと正データパターンの書込みとをアドレス降順で行う。

【 0 0 8 2 】

時刻 T 2 において最初のフェイルが検出されると、B I S T 動作を中断する。時刻 T 2 における B I S T 制御回路 4 0 1 における B I S T 状態信号 4 0 8、アドレス信号 4 0 7、シリアル出力データ 4 1 4（シフト出力データ 5 1 3）を外部テスト装置へ出力する。そして、1 回目のフェイルが検出されたアドレスデータと、B I S T におけるどの箇所に現在位置しているかを示す B I S T 状態信号とが保存レジスタ 5 0 8、5 0 9 に保存される。

30

【 0 0 8 3 】

この後、B I S T 動作を再開する。しかし、中断地点の時刻 T 2 からではなく、ある一定のステップを遡った時刻 T 1 から再開する。これは、中断地点（時刻 T 2）から再開すると、隣接動作間にシフト動作が入り、実速度での B I S T を行うことができなくなるためである。

40

【 0 0 8 4 】

ここで、遡る時点（時刻 T 1）は、マーチング動作の切れ目であってもよいし、あるいは中断時点から一定アドレスだけ遡った時点でもよい。このいずれかを切り替えて選択するようにしたり、あるいは遡るアドレス数を B I S T 開始前に外部から設定してもよい。図 3 に示された例では、マーチング動作の切れ目である時刻 T 1 まで遡っている。

【 0 0 8 5 】

ここで留意すべき点は、実行している B I S T がマーチングである場合、遡った時点（時刻 T 1）のアドレスにおけるデータは正パターンと逆パターンとが入れ替わった異なるデータに既に書き換えられており、書き換えられる前の状態を前提とした読出し動作が行われるマーチングテストでは、正しい動作にならないということである。

50

【 0 0 8 6 】

そこで本実施の形態 1 では、アドレスを遡った時点（時刻 T 1 ）から、一回中断した時点（時刻 T 2 ）までのデータを書き戻すという動作を入れる。

【 0 0 8 7 】

一方、データを前の状態にしたままで B I S T を進行させるウォーキングテストの場合は、データが書き換えられることがないので書き戻しの動作は必要なく、遡った時点からすぐに B I S T を再開することができる。

【 0 0 8 8 】

本実施の形態 1 では、書き戻しは時刻 T 1 から T 2 の間で行われ、再び時刻 T 1 に戻った後、B I S T 動作が再開される。

10

【 0 0 8 9 】

2 回目の B I S T 実行では、時刻 T 1 から時刻 T 2 までの間、フラグ抑制信号 4 1 5 が出力されている。このため、時刻 T 2 に到達し再度フェイルが検出されてもフラグが抑制されフラグ信号 4 0 9 が出力されず、フェイル検出と見なされない。

【 0 0 9 0 】

2 回目の B I S T 実行において、アドレスデータ 4 0 7 と B I S T 状態信号 4 0 8 とが取り込みレジスタ 5 0 5、5 0 6 に格納されていく。この情報と、保存レジスタ 5 0 8、5 0 9 に格納されている 1 回目の B I S T においてフェイルが検出されたときのアドレスデータ 4 0 7 と B I S T 状態信号 4 0 8 とが比較されることで、1 回目のフェイルが検出された時刻 T 2 に到達したことが判明する。この時刻 T 2 までは、フラグが抑制される。

20

【 0 0 9 1 】

この後、B I S T 動作は次のフェイル箇所である時刻 T 4 まで進む。時刻 T 4 において B I S T 動作が一旦中断し、アドレス信号 4 0 7、B I S T 状態信号 4 0 8 とともに、データがシリアル出力信号 4 1 4（シフト出力信号 5 1 3）として出力される。この後、時刻 T 1 の場合と同様に、データ書き戻しの時刻 T 3 まで戻って B I S T 動作が再開される。

【 0 0 9 2 】

その後、新たな不良が検出されない場合は、B I S T 動作が時刻 T 5 で終了する。外部テスト装置には、時刻 T 2 および T 4 におけるフェイル情報が保存される。

【 0 0 9 3 】

30

図 4 に、B I S T 制御回路 4 0 1 の内部構成を示す。B I S T 制御回路 4 0 1 は、状態制御回路 1 2 0 1、データ生成器制御ブロック 1 2 0 2、アドレス生成器制御ブロック 1 2 0 3、制御信号生成器制御ブロック 1 2 0 4、結果解析器制御ブロック 1 2 0 5 を備える。

【 0 0 9 4 】

状態制御回路 1 2 0 1 は、B I S T 状態の遷移、即ち B I S T シーケンスを制御する。状態制御回路 1 2 0 1 から、状態制御回路 1 2 0 1 の現在の状態を示す B I S T 状態信号 4 0 8 が診断データ保存回路 4 0 6 に出力される。

【 0 0 9 5 】

データ生成器制御ブロック 1 2 0 2 は、データ生成器 4 0 2 の状態をモニタしながらその次の動作を制御する。

40

【 0 0 9 6 】

アドレス生成器制御ブロック 1 2 0 3 は、アドレス生成器 4 0 3 の状態をモニタしながらその次の動作を制御する。

【 0 0 9 7 】

制御信号生成器制御ブロック 1 2 0 4 は、制御信号生成器 4 0 4 の状態をモニタしながらその次の動作を制御する。

【 0 0 9 8 】

結果解析器制御ブロック 1 2 0 5 は、結果解析器 4 0 5 の状態をモニタしながらその次の動作を制御する。

50

【 0 0 9 9 】

図 5 に、B I S T 制御回路 4 0 1 の動作手順を示す。以下に示す制御動作は、状態制御回路 1 2 0 1 が行う。

【 0 1 0 0 】

まずステップ S 1 0 として、状態制御回路 1 2 0 1 が B I S T の実行を開始する。

【 0 1 0 1 】

ステップ S 1 2 として、B I S T 終了か否かを判断する。終了する場合は直ちに終了する。終了しない場合はステップ S 1 4 へ移行する。

【 0 1 0 2 】

ステップ S 1 4 において、アドレスを進めて B I S T 動作を行う。

10

【 0 1 0 3 】

ステップ S 1 6 として、不良検出の有無を判断する。不良を検出していない場合はステップ S 1 2 へ戻り、検出した場合はステップ S 1 8 へ移行する。

【 0 1 0 4 】

ステップ S 1 8 として、不良が発生した時点における状態を保存し、B I S T 動作を停止する。

【 0 1 0 5 】

ステップ S 2 0 として、不良状態を外部テスト装置に出力する。

【 0 1 0 6 】

ステップ S 2 2 において、行った B I S T がマーチングテストであるか否かを判断する。マーチングテストでない場合、即ちウォーキングテストである場合はステップ S 2 6 へ、マーチングテストである場合はステップ S 2 4 へ移行する。

20

【 0 1 0 7 】

ステップ S 2 4 において、B I S T を再開する位置から現在の不良が検出された位置までデータを書き戻す。

【 0 1 0 8 】

ステップ S 2 8 として、終了か否かを判断する。終了する場合は直ちに終了する。終了しない場合は、ステップ S 3 0 へ移行し、アドレスを進めてさらに動作を進める。

【 0 1 0 9 】

ステップ S 3 2 において、ステップ S 1 8 で保存した不良発生時点における状態（アドレス）と現在の状態とを比較する。一致する場合はステップ S 1 2 へ戻って同様な動作を繰り返し、不一致の場合はステップ S 2 8 へ戻る。

30

【 0 1 1 0 】

本実施の形態 1 によれば、まず B I S T 回路を用いて B I S T 動作を行い、次に B I S T 回路を用いて故障診断動作を行う。フェイル検出時におけるメモリからの読み出しデータ、期待値との比較結果をレジスタに格納する。フェイルが検出されると B I S T 動作を一旦中断し、故障診断の対象となっているメモリのみから出力されたデータを外部へシリアルに出力し、非対象のメモリからは出力しない。そして、中断時点より前に遡った再開時点から B I S T 動作を再開し、それまでに検出されたフェイル箇所では再度フェイル検出フラグを出力することなく通過し、中断時点以降へ故障診断を進めていく。

40

【 0 1 1 1 】

このように、フェイル検出の度にテストを開始した時点まで遡って B I S T を再開するのでなく、必要なだけ遡って B I S T を再開することで、メモリセル内の全ての不良情報を効率良く取得することができる。

【 0 1 1 2 】

また、本実施の形態 1 によれば、新たにフェイルが検出された時点においてのみメモリからのデータを出力するため、故障診断に要する時間が削減される。

【 0 1 1 3 】

さらに、故障診断の対象となっていないメモリからの出力も含めて全て外部にシリアルに出力していた従来と異なり、本実施の形態 1 によれば故障診断の対象となっているメモ

50

りからの出力のみを取り出すことにより、故障診断に要する時間を短縮することができる。特にメモリの数が多い場合には、大幅に短縮することが可能となる。

【 0 1 1 4 】

また、メモリの通常動作で用いる高速クロックを用いて B I S T を行い、B I S T 結果を外部ヘシフト出力する際には外部テスト装置が動作可能な低速クロックを用いることにより、実動作にて B I S T を行うことが可能である。この結果、実速度テストでしか現れないフェイルの情報を取得することができる。

【 0 1 1 5 】

(参考例 1)

図 6 に、参考例 1 による比較器型メモリ B I S T 回路を用いて B I S T 動作を行う半導体集積回路の構成を示す。

10

【 0 1 1 6 】

B I S T 回路 1 0 0 内の B I S T 制御回路 1 0 1 が、データ生成器 1 0 2、アドレス生成器 1 0 3、制御信号生成器 1 0 4 を制御するために必要な制御信号を順次生成させて出力する。

【 0 1 1 7 】

メモ리카ラー 1 1 1 と称されるブロック内に、B I S T 対象のメモリ 1 1 2 が、B I S T 動作に必要な各論理要素である取り込みレジスタ 1 1 3、比較器 1 1 4、フラグ 1 1 5 とともに含まれる。

20

【 0 1 1 8 】

データ生成器 1 0 2 から生成された書き込みデータ 1 0 9 及び期待値 1 1 0、アドレス生成器 1 0 3 から生成されたアドレスデータ 1 0 8、制御信号生成器 1 0 4 から生成された制御信号 1 0 7 がメモリ 1 1 2 に与えられる。

【 0 1 1 9 】

メモリ 1 1 2 からの出力は一度取り込みレジスタ 1 1 3 に入力され、その出力がデータ生成器 1 0 2 から生成されたデータ期待値 1 1 0 と比較器 1 1 4 により比較され、その結果がフラグレジスタ 1 1 5 に保持される。

【 0 1 2 0 】

フラグレジスタ 1 1 5 からの出力は B I S T 回路 1 0 0 の結果解析器 1 0 5 に入力され、最終的な B I S T 結果が B I S T 結果出力 1 0 6 として出力される。

30

【 0 1 2 1 】

単一の B I S T 回路 1 0 0 を用いて複数のメモリを B I S T する場合には、メモリ毎に設けられたメモ리카ラー内のフラグレジスタからの出力が B I S T 回路 1 0 0 の結果解析器 1 0 5 に入力され、全体的な故障診断の良否判定が行われた後、B I S T 結果信号 1 0 6 として出力される。

【 0 1 2 2 】

(参考例 2)

図 7 に、参考例 2 による圧縮器型メモリ B I S T 回路を用いて B I S T を行う半導体集積回路の構成を示す。

40

【 0 1 2 3 】

B I S T 回路 2 0 0 内の B I S T 制御回路 2 0 1 が、データ生成器 2 0 2、アドレス生成器 2 0 3、制御信号生成器 2 0 4、結果解析器 2 0 5 を制御するために必要な制御信号を順次生成して出力する。B I S T 対象となるメモリ 2 1 1 が、圧縮器 2 1 2 とともにメモ리카ラー 2 1 0 に含まれる。

【 0 1 2 4 】

データ生成器 2 0 2 から生成された書き込みデータ 2 0 9、アドレス生成器 2 0 3 から生成されたアドレスデータ 2 0 8、制御信号生成器 2 0 4 から生成された制御信号 2 0 7 が、それぞれメモリ 2 1 1 に与えられる。メモリ 2 1 1 からの出力が圧縮器 2 1 2 に入力され、順次圧縮されて出力される。

【 0 1 2 5 】

50

B I S T 終了時に圧縮器 2 1 2 に保存された値が、結果解析器 2 0 5 において期待値と比較され、B I S T の良否が判定されて判定結果 2 0 6 として出力される。

【 0 1 2 6 】

単一の B I S T 回路 1 0 0 で複数のメモリを B I S T する場合には、メモリ毎に対応して設けられたメモリカラーに含まれる複数の圧縮器をシリアルに接続し、単一の B I S T 回路 2 0 0 内の結果解析器 1 0 6 にデータを転送することで B I S T を実行することができる。

【 0 1 2 7 】

次に、参考例 1 による B I S T 回路 1 0 0 を使用して、メモリ故障箇所のビット位置の特定を行う際には、B I S T 回路 2 0 0 による読み出しのタイミングでメモリ 2 1 1 の出力をシリアルに観測する場合について述べる。

10

【 0 1 2 8 】

図 8 に示されたように、複数のメモリカラー 3 1 1、3 1 2、...、3 1 N (N は、2 以上の整数) 内にあるメモリ 3 2 1、3 2 2、...、3 2 N の出力を取り込む取り込みレジスタ 3 3 1、3 3 2、...、3 3 N と、比較器 3 4 1、3 4 2、...、3 4 N からの出力を受けるフラグレジスタ 3 5 1、3 5 2、...、3 5 N とをそれぞれシリアルに接続する。そして全体として、B I S T 回路内の B I S T 制御回路 3 0 1 に含まれるアドレス生成回路 3 0 2 内のアドレスレジスタ 3 0 2 とフラグレジスタ 3 0 3 とともに、一本の循環的なシフトパスを形成する。

【 0 1 2 9 】

20

このシフトパスを使用し、読み出しのタイミングで取り込みレジスタ 3 3 1 ~ 3 3 N の値を、外部出力端子 3 0 4 を介して外部にシフト出力する。シフトパスが循環的に形成されているので、シフト出力終了後に B I S T 動作中断時の状態に復帰することができる。

【 0 1 3 0 】

そして B I S T を再開し、再び読み出しタイミングで取り込みレジスタ 3 3 1 ~ 3 3 N の値をシフト出力する。B I S T 動作の中断、シフト出力、B I S T 動作の再開を繰り返すことにより、メモリ 3 2 1 ~ 3 2 N の内部状態を読み出すことができる。

【 0 1 3 1 】

しかしこの場合には、故障診断対象でないメモリから出力された取り込みレジスタのデータもシフト出力しなくてはならない。このため、故障診断時間が非常に長くなる。さらに、シフト出力されたデータの観測と期待値との比較を、外部テスト装置を用いて行わなければならないため、テスト装置の動作速度による制約を受ける。従って、メモリの実測度で故障診断を行うことができず、実測度でのみ観測されるフェイルを検出することができない場合がある。

30

【 0 1 3 2 】

これに対し、上述したように上記実施の形態 1 によれば、故障診断の対象となっているメモリからの出力のみを外部にシフト出力することで時間短縮が可能であり、また実動作速度での故障診断が可能である。

【 0 1 3 3 】

(参考例 3)

40

参考例 3 による B I S T 回路を用いて故障診断を行う半導体集積回路について、その構成を示した図 9 を用いて説明する。

【 0 1 3 4 】

この半導体集積回路は、N 個から成る 1 組のメモリカラー 7 0 1 1 ~ 7 0 1 N と、このメモリカラー 7 0 1 1 ~ 7 0 1 N に B I S T を実行する一つの B I S T 回路 7 0 7 1 と、図示されていない A (A は 1 以上の整数) 個のメモリカラーと、この A 個のメモリカラーに B I S T を実行する B I S T 回路 7 0 7 2 と、図示されていない B (B は 1 以上の整数) 個のメモリカラーと、この B 個のメモリカラーに B I S T を実行する図示されていない B I S T 回路 7 0 7 3 と、...、図示されていない C (C は 1 以上の整数) 個のメモリカラーと、この C 個のメモリカラーに B I S T を実行する B I S T 回路 7 0 7 M と、動作設定

50

ビット列シリアル信号が入力される入力端子 717、メモリ選択信号が入力される入力端子 718、シフトバスシリアルデータが入力される入力端子 719、シリアルデータが出力される出力端子 720、動作設定ビット列シリアルデータが出力される出力端子 721 を備えている。

【0135】

各メモリカラー 7011 ~ 701N は同一の構成を備え、それぞれメモリ 7021 ~ 702N、取り込みレジスタ 7031 ~ 703N、比較器 7041 ~ 704N、フラグレジスタ 7051 ~ 705N を有している。

【0136】

BIST 回路 7072 ~ 707M により BIST が実行される図示されていない M - 1 組のメモリカラーも同様の構成を備えており、説明を省略する。

10

【0137】

メモリカラー 7011 において、メモリ 7021 からの出力が取り込みレジスタ 7031 に取り込まれ、比較器 7041 で期待値と比較され、その結果がフラグレジスタ 7051 に保持される。保持された内容が、マルチプレクサ 7061 及び BIST 回路 7071 に入力される。

【0138】

上記実施の形態 1 と異なり、メモリカラー 7011 内の取り込みレジスタ 7031 とフラグレジスタ 7051 とはシリアルでなくパラレルに接続され、それぞれの出力が出力切り替え用のマルチプレクサ 7061 により切り替えられる。

20

【0139】

BIST 回路 7071 は、アドレス取り込みレジスタ 7121、アドレスレジスタ 7111、終了フラグレジスタ 7131、BIST 設定デコーダ 7091、BIST 動作設定レジスタ 7081、マルチプレクサ 7141、判定フラグレジスタ 7161 を有する。他の BIST 回路 7072 ~ 707M も同様の構成を備えており、説明を省略する。

【0140】

BIST 動作設定レジスタ 7081 には、外部から入力端子 717 を介して、動作設定ビット列シリアルデータが入力され、動作設定が行われる。複数の各 BIST 回路 7071 ~ 707M 内の各 BIST 動作設定レジスタ 7081 ~ 708M は、相互にシリアルに接続されている。これにより、動作設定に必要な外部端子数を最小限に抑えることができる。

30

【0141】

図 10 に、BIST 動作設定レジスタ 7081 ~ 708M の一例として、BIST 動作設定レジスタ 7081 の構成を示す。この BIST 動作設定レジスタ 7081 は、入力端子 801 から出力端子 802 へ順次データがシフト転送されていくシフトレジスタ構成を有している。入力端子 717 から入力された動作設定ビット列シリアルデータが入力端子 801 に入力される。BIST 動作設定レジスタ 7081 は、シフトイネーブル信号 803 を与えられてシフトイネーブル状態になり、シフトクロック 804 に同期して順次シフト動作を行う。

【0142】

BIST 動作設定レジスタ 7081 は、動作モード設定ビット 805、メモリ選択ビット列 806 及び BIST 動作イネーブルビット 807 を有する。

40

【0143】

動作モード設定ビット 805 は、BIST 動作と故障診断動作とを切り替えるものであり、このビットが論理「0」のとき当該メモリは BIST の対象となり、論理「1」のとき故障診断の対象となる。図 10 の動作モード設定ビット 805 は論理「0」であり、BIST の対象であることを示している。

【0144】

メモリ選択ビット列 806 は、BIST 対象あるいは故障診断対象となるメモリの選択を設定するデータである。ここでは、各ビットがいずれか一つのメモリにそれぞれ対応し

50

ており、当該ビットが論理「1」であるメモリがBIST対象あるいは故障診断の対象となる。図10に示された例では、全ビット（ここではNビット）が論理「1」となっており、N個全てのメモリ7021～702NがBIST対象であることを示す。

【0145】

BIST動作イネーブルビット807は、各BIST回路7071～707M毎に、当該BIST回路が現時点でBIST対象あるいは故障診断の対象であるか否かを設定するデータである。このビットが論理「0」のときは対象とならず、論理「1」のときに対象であることを示す。

【0146】

例えば、BIST回路7071がBIST対象あるいは故障診断対象である場合は、このBIST回路7071によって動作が制御されるメモリカラー7011～701NにBISTあるいは故障診断が行われる。

10

【0147】

論理「0」が設定されたBIST回路では、当該BIST回路内のマルチプレクサ7141の切替設定により、当該BIST回路内をシフト転送するパスにアドレス取り込みレジスタ7121、終了フラグレジスタ7131が含まれず、判定フラグレジスタ7161のみが含まれる。これにより、判定フラグレジスタ7161の1段のみによってシフトされるだけとなり、シフト回数を最小限にすることができる。

【0148】

従って、BISTあるいは故障診断の対象外であるにもかかわらず、アドレス取り込みレジスタ7121、終了フラグレジスタ7131、判定フラグレジスタ7161の全て、ならびにこれらのパスに接続されたメモリカラーのパスを含めて通過する場合と比較し、大幅にシフト段数が減少する。

20

【0149】

反対に、このBIST動作イネーブルビット807が論理「1」の場合は、BISTあるいは故障診断の対象となっている例えばBIST回路7071により制御されるメモリカラー7011～701N内のパスと、アドレス取り込みレジスタ7121、終了フラグレジスタ7131、判定フラグレジスタ7161とがシフトパスに含まれる。メモリカラー7011～701N内のパスでは、メモリ選択ビット列806により、例えばBIST対象あるいは故障診断対象とされていないメモリカラー7011ではフラグレジスタ7051のみ、BIST対象あるいは故障診断対象とされているメモリカラー7012ではメモリ7022からの出力が取り込まれた取り込みレジスタ7032、...、BIST対象あるいは故障診断対象とされていないメモリカラー701Nではフラグレジスタ705Nが、アドレス取り込みレジスタ7121、終了フラグレジスタ7131、判定フラグレジスタ7161とともにシフトパスに含まれることになる。

30

【0150】

ここで、シフトパスにアドレス取り込みレジスタ7121が含まれる場合は、アドレスレジスタ7111から出力されたアドレスがアドレス取り込みレジスタ7121に与えられるため、このアドレスがシフトパスによって外部へ転送される。

【0151】

40

BIST回路7071内において、BIST動作設定レジスタ7081から平行に出力された動作モード設定ビット805、メモリ選択ビット列806、BIST動作イネーブルビット807が、BIST設定デコーダ7091に与えられる。BIST設定デコーダ7091は、メモリカラー7011～701N内のマルチプレクサ7061～706Nの出力の切替を制御するための切り替え制御信号7101～710N、さらにはメモリ7021～702Nのチップイネーブルの制御を行うための図示されていないイネーブル信号等の出力を行う。

【0152】

図11を参照し、本参考例3において故障診断動作を行う際の信号の流れ及び動作設定について説明する。

50

【 0 1 5 3 】

故障診断は、通常は故障解析を容易にするため、一つの例えば B I S T 回路 7 0 7 1 に接続された複数のメモリカラー 7 0 1 1 ~ 7 0 1 N におけるいずれか一つのメモリカラーに含まれるメモリを対象に行うことを前提としている。そこで、B I S T 動作設定レジスタ 7 0 8 1 ~ 7 0 8 M におけるメモリ選択ビット列 8 0 6 のなかで、故障診断対象となるメモリに対応する 1 ビットのみを論理「1」に設定する。

【 0 1 5 4 】

ここでは、図 1 1 における左から 2 番目のメモリカラー 7 0 1 2 に含まれるメモリ 7 0 2 2 を対象とし、他のメモリカラーに含まれるメモリは対象外とする。そこで、B I S T 回路 7 0 7 1 内の B I S T 動作設定レジスタ 7 0 8 1 において、図 1 0 に示されたメモリ選択ビット列 8 0 6 におけるシリアルパスの入力端子 8 0 1 側から 2 ビット目のみが論理「1」となるようにビット列を設定する。

10

【 0 1 5 5 】

他の B I S T 回路 7 0 7 1、7 0 7 3 ~ 7 0 7 M は、対応するメモリが全て故障診断対象から外れるように、B I S T 動作設定レジスタ 7 0 8 1、7 0 8 3 ~ 7 0 8 M における B I S T 動作イネーブルビット 8 0 7 を論理「0」に設定する。

【 0 1 5 6 】

これにより、故障診断実行時には、B I S T 回路 7 0 7 1 内の B I S T 動作設定レジスタ 7 0 8 1 のメモリ選択ビット列 8 0 6 において該当するビットが論理「1」であるメモリ 7 0 2 2 のみに対して、チップイネーブル入力信号 8 0 3 が論理「1」（オン状態）になるとともに、マルチプレクサ 7 0 6 2 が取り込みレジスタ 7 0 3 2 からのシリアル出力を選択して出力する。

20

【 0 1 5 7 】

B I S T 回路 7 0 7 1 に接続された他のメモリ 7 0 2 1、7 0 2 3 ~ 7 0 2 N に対しては、チップイネーブル入力信号 8 0 3 が論理「0」（オフ状態）になるとともに、マルチプレクサ 7 0 6 1、7 0 6 3 ~ 7 0 6 N はフラグレジスタ 7 0 5 1、7 0 5 3 ~ 7 0 5 N の出力を選択する。

【 0 1 5 8 】

これにより、図 1 1 において太線で示されたように、入力端子 7 1 9、非選択のメモリカラー 7 0 1 1 におけるフラグレジスタ 7 0 5 1 及びマルチプレクサ 7 0 6 1、選択されたメモリカラー 7 0 1 2 の取り込みレジスタ 7 0 3 2 及びマルチプレクサ 7 0 6 2、非選択のメモリカラー 7 0 1 3 ~ 7 0 1 N のフラグレジスタ 7 0 5 3 ~ 7 0 5 N 及びマルチプレクサ 7 0 6 3 ~ 7 0 6 N、さらに対象となっている B I S T 回路 7 0 7 1 におけるアドレス取り込みレジスタ 7 1 2 1、終了フラグレジスタ 7 1 3 1、マルチプレクサ 7 1 4 1、判定フラグレジスタ 7 1 6 1、対象となっていない B I S T 回路 7 0 7 2 ~ 7 0 7 M におけるそれぞれのマルチプレクサ 7 1 4 2 及び判定フラグレジスタ 7 1 6 2、...、マルチプレクサ 7 1 4 M 及び判定フラグレジスタ 7 1 6 M、出力端子 7 2 0 がシリアルに接続された状態になる。

30

【 0 1 5 9 】

ここで、シリアル入力信号が入力端子 7 1 9 からメモリカラーへの入力される接続経路についてであるが、図 1 1 に示された構成では、B I S T 回路に一旦入力された後、メモリカラーへ入力されている。しかしこの構成に限らず、B I S T 回路を経由することなく、入力端子 7 1 9 から直接メモリカラーに入力される接続構成を備えてもよい。

40

【 0 1 6 0 】

これにより、B I S T 回路 7 0 7 1 に接続されたメモリ 7 0 1 1 ~ 7 0 1 N のうち、故障診断対象となっているメモリ 7 0 2 2 から出力され取り込みレジスタ 7 0 3 2 に取り込まれたデータと、選択されていない各メモリカラー 7 0 1 2 ~ 7 0 1 N の判定フラグレジスタ 7 1 6 2、...、7 1 6 M と、故障診断対象となっている B I S T 回路 7 0 7 1 におけるアドレスレジスタ 7 1 1 1 に格納されアドレス取り込みレジスタ 7 1 2 1 に取り込まれていたアドレスとが順次シフト出力されていく。

50

【 0 1 6 1 】

この結果、故障診断対象となっていないメモリからの不要な出力をシフト出力する必要がないので、故障診断実行中における不要な電力の消費が削減され故障診断に要する時間も短縮される。

【 0 1 6 2 】

ここで、本参考例 3 では故障解析を容易に行うために単一のメモリ 7 0 2 2 のみを故障診断の対象としている。しかし、故障解析は複雑化するが同時に複数のメモリを故障診断の対象とすることも可能である。例えば、メモリ 7 0 2 1 と 7 0 2 2 とが故障診断の対象である場合は、図 1 1 に太線で示されたシリアルパスに、メモリカラー 7 0 1 1 においてフラグ 7 0 5 1 の替わりに取り込みレジスタ 7 0 3 2 が接続されることになる。

10

【 0 1 6 3 】

故障診断動作中は、例えばメモリ 7 0 2 2 の読み出し動作が行われるたびに取り込みレジスタ 7 0 3 2 をシフト動作させ、メモリ 7 0 2 2 からの出力を外部出力端子 7 2 0 から取り出して観測する。

【 0 1 6 4 】

この際、同じ B I S T 回路 7 0 7 1 に接続されたメモリ 7 0 2 1 ~ 7 0 2 N のうち、故障診断対象となるメモリ 7 0 2 2 以外は、上述したように 1 ビットのみシフトされることになる。従って、故障診断の対象以外のメモリ 7 0 2 1、7 0 2 3 ~ 7 0 2 N からのデータをシフト出力する必要がないので、全てのメモリからのデータをシフト出力する場合と比較して故障診断に要する時間が短縮される。

20

【 0 1 6 5 】

また、他の B I S T 回路 7 0 7 2 ~ 7 0 7 M では、それぞれ判定フラグレジスタ 7 1 6 2 ~ 7 - 6 M のみがシリアルパスに接続される。このため、シフトに要するステップが短縮され、故障診断に要する外部テスト装置の実行時間が短縮される。

【 0 1 6 6 】

(2) 実施の形態 2

本発明の実施の形態 2 による半導体集積回路について、その構成を示した図面を用いて説明する。本実施の形態 2 は、図 1 に示された上記実施の形態 1 における B I S T 回路 4 0 0 及びメモリカラー 4 1 6 の構成に、図 9 に示された参考例 3 における B I S T 回路 7 0 7 1 の構成を組み合わせたものに相当する。

30

【 0 1 6 7 】

本実施の形態 3 における B I S T 回路 1 4 0 0 は図 1 2 に示された構成を備え、メモリカラー 1 4 1 6 は図 1 3 に示された構成を備えている。

【 0 1 6 8 】

B I S T 回路 1 4 0 0 は、上記実施の形態 1 における B I S T 回路 4 0 0 と同様に、B I S T 制御回路 1 4 0 1、データ生成器 1 4 0 2、アドレス生成器 1 4 0 3、制御信号生成器 1 4 0 4、結果解析器 1 4 0 5、診断データ保存回路 1 4 0 7 を備え、さらに上記参考例 3 における B I S T 回路 7 0 7 1 と同様に、B I S T 設定デコーダ 1 7 0 9 1、B I S T 動作設定レジスタ 1 7 0 8 1、終了フラグレジスタ 1 7 1 3 1、マルチプレクサ 1 7 1 4 1、判定フラグレジスタ 1 7 1 6 1 を備えている。

40

【 0 1 6 9 】

さらに、図 1 に示された上記実施の形態 1 におけるフラグ信号 4 0 9 に相当するフラグ信号 1 4 0 9 A ~ 1 4 0 9 B を複数個のメモリカラー 1 4 1 6 から与えられて入力し、結果解析器 1 4 0 5、診断データ保存回路 1 4 0 6 に出力する O R 回路 1 0 0 6 を有している。

【 0 1 7 0 】

診断データ保存回路 1 4 0 6 の詳細な構成は、図 2 に示された上記実施の形態 1 における診断データ保存回路 4 0 6 と同様であり説明を省略する。

【 0 1 7 1 】

メモリカラー 1 4 1 6 は、上記実施の形態 1 におけるメモリカラー 4 1 6 と同様に、メ

50

メモリセル 1417、マルチプレクサ 1419、取り込みレジスタ 1418、マルチプレクサ 1101、比較回路 1420、AND 回路 1421、フラグレジスタ 1422、OR 回路 1423 を備えている。さらに、デコーダ 17091 から出力された切替制御信号 1710 (N+1) を与えられて、取り込みレジスタ 1418 の出力とフラグレジスタ 1422 の出力のいずれか一方を切り替えて信号 3031 を出力するマルチプレクサ 3012 を有している。

【0172】

ここで、メモ리카ラー 1416 が複数設けられている場合は相互にシリアルに接続され、前段に配置されたメモ리카ラー 1416 から出力された信号 3031 が後段に配置されたメモ리카ラー 1416 に信号 1414 として入力された状態で、取り込みレジスタ 1418 に格納されたデータがシリアルに外部に出力される。

10

【0173】

このような構成を備える本実施の形態 2 における動作について、以下に説明する。

【0174】

BIST 制御回路 1401、データ生成器 1402、アドレス生成器 1403、制御信号生成器 1404、結果解析器 1405 に高速クロック 1410 が入力され、BIST 制御回路 1401 からデータ生成器 1402、アドレス生成器 1403、制御信号生成器 1404、結果解析器 1405 の動作を制御するために必要な各種信号が生成されてそれぞれ出力される。

【0175】

20

データ生成器 1402、アドレス生成器 1403、制御信号生成器 1401 からそれぞれ出力されたデータ 1109、アドレス 1108、制御信号 1107 は、メモ리카ラー 1416 におけるメモリセル 1417 に与えられる。

【0176】

本実施の形態 3 におけるメモ리카ラー 1416 では、診断データ保存回路 1406 からのシリアル出力 1414 が、取り込みレジスタ 1418 のみならずフラグレジスタ 1422 にも与えられて保持される。そして、取り込みレジスタ 1418 からの出力 1414 のみならず、フラグレジスタ 1422 からの出力がマルチプレクサ 3012 に与えられ、マルチプレクサ 3012 は診断データ保存回路 406 から出力された制御信号 1710 (N+1) に基づいていずれか一方を選択して出力する。ここで、マルチプレクサ 3012 において、取り込みレジスタ 1418 からの出力 1414 とフラグレジスタ 1422 からの出力のうち、いずれか一方が選択されている間は、他方がシフトされないようにしてもよい。他の動作は上記実施の形態 1 によるメモ리카ラー 416 におけるものと同様であり、説明を省略する。

30

【0177】

フラグレジスタ 1422 から OR 回路 1423 を介して出力されたフラグ信号 1409 は、図 12 における BIST 回路 1400 内の結果解析器 1405 に入力される。ひとつの BIST 回路 1400 を用いて複数のメモリセルを BIST する場合には、メモリセル毎にメモ리카ラー 1416 の構成を配置し、それぞれのメモ리카ラー 1416 のフラグレジスタ 1422 から出力されたフラグ信号 1409A ~ 1409B が OR 回路 1006 を介して結果解析器 1405 に入力される。

40

【0178】

結果解析器 1405 において、全体的な BIST の良否判定が行われた上で、最終的な BIST 結果信号 1424 として外部テスト装置に出力される。

【0179】

さらに、フラグレジスタ 1422 から OR 回路 1423 を介して出力されたフラグ信号 1409 は、診断データ保存回路 1406 にも入力される。また、診断データ保存回路 1406 には、図 13 に示されたメモ리카ラー 1416 からの出力 3031 が入力される。一旦フェイルが検出されてフラグ信号 1409 が発生すると、診断データ保存回路 1406 にフェイル発生という情報が与えられる。

50

【 0 1 8 0 】

このようにして、B I S T回路を用いたB I S T動作が行われ、各メモリセル1 4 1 7に対する良否判定が行われる。

【 0 1 8 1 】

次に、診断データ保存回路1 4 0 6を用いた故障診断が行われるが、その回路構成並びに動作は図2に示された上記実施の形態1による診断データ保存回路4 0 6と同様であり、説明を省略する。

【 0 1 8 2 】

B I S T回路1 4 0 0が複数配置されている場合は、前段に配置されたB I S T回路1 4 0 0から出力された信号1 4 1 4が後段に配置されたB I S T回路1 4 0 0に信号1 7 1 9として入力される。そして、B I S T動作設定レジスタ1 7 0 8 1に設定され、B I S T設定デコーダ1 7 0 9 1によりデコードされた信号1 7 1 0 (N + 1)により、マルチプレクサ3 0 1 2の切替が設定され、当該メモリセル1 4 1 7から出力され取り込みレジスタ1 4 1 8に取り込まれたデータと、フラグレジスタ1 4 2 2に保持された内容のいずれかが選択されてシリアルに外部に出力される。

10

【 0 1 8 3 】

このように本実施の形態2によれば、上記実施の形態1と同様に、高速クロック1 4 1 0を用いてメモリのB I S T並びに故障診断を実速度で行うことができるので、低速クロックによるシフト動作では検出できないフェイル情報を取得することが可能である。また、一旦フェイルが発生した後にB I S T再開時の溯りを最小限にすることができるため、1回目のB I S T開始時点まで遡って再度実行を繰り返す場合に比べて、テスト時間を削減することができる。

20

【 0 1 8 4 】

さらに、上記参考例3と同様に故障診断の際に不良箇所のデータのみを外部にシフト出力することにより、故障診断時間を短縮しコスト低減を実現することができるとともに、B I S T動作設定用レジスタ1 7 0 8 1の設定に従い故障診断対象となっていないメモリからの出力をシフト出力する必要がないので故障診断に要する時間の一層の短縮に寄与することができる。

【 0 1 8 5 】

上述した実施の形態はいずれも一例であって、本発明を限定するものではなく、本発明の技術的範囲内において様々に変形することが可能である。

30

【 図面の簡単な説明 】

【 0 1 8 6 】

【 図 1 】 本発明の実施の形態1による比較器型B I S T回路を用いて故障診断動作を行う半導体集積回路の構成を示すブロック図。

【 図 2 】 同半導体集積回路が有する診断データ保存回路の構成を示すブロック図。

【 図 3 】 同半導体集積回路におけるメモリの故障診断の手順を示した説明図。

【 図 4 】 同半導体集積回路が有するB I S T制御回路に含まれる状態制御回路の構成を示すブロック図。

【 図 5 】 同状態制御回路における動作の手順を示すフローチャート。

40

【 図 6 】 参考例1による比較器型B I S T回路を用いてB I S T動作を行う半導体集積回路の構成を示したブロック図。

【 図 7 】 参考例2による圧縮器型B I S T回路を用いてB I S T動作を行う半導体集積回路の構成を示したブロック図。

【 図 8 】 参考例1による半導体集積回路を用いて故障診断動作を行う際の構成を示したブロック図。

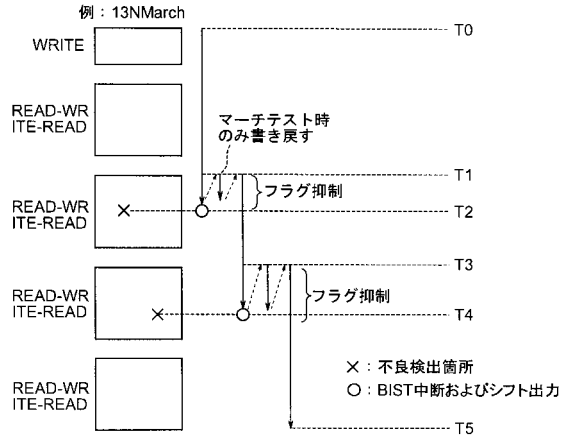
【 図 9 】 参考例3によるB I S T回路を用いて故障診断動作を行う半導体集積回路の構成を示したブロック図。

【 図 1 0 】 同半導体集積回路におけるB I S T動作設定レジスタの構成を示した説明図。

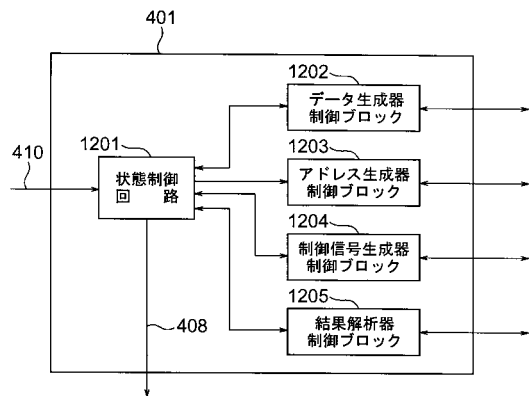
【 図 1 1 】 同半導体集積回路において故障診断を行う場合の信号の流れを示したブロック

50

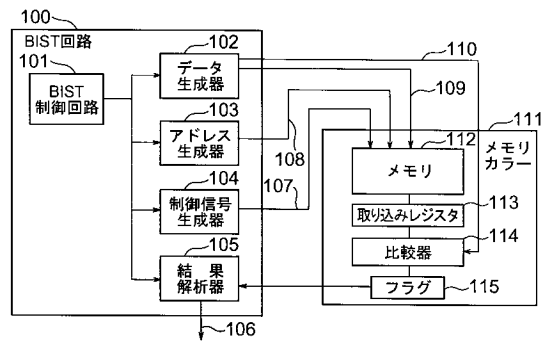
【図 3】



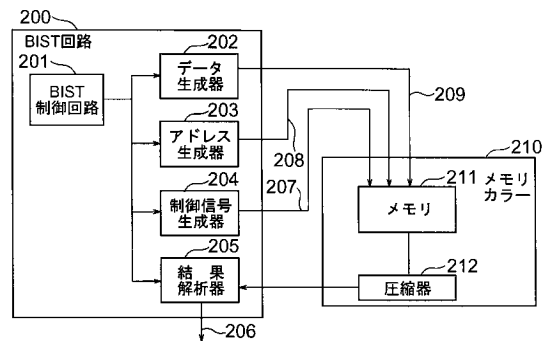
【図 4】



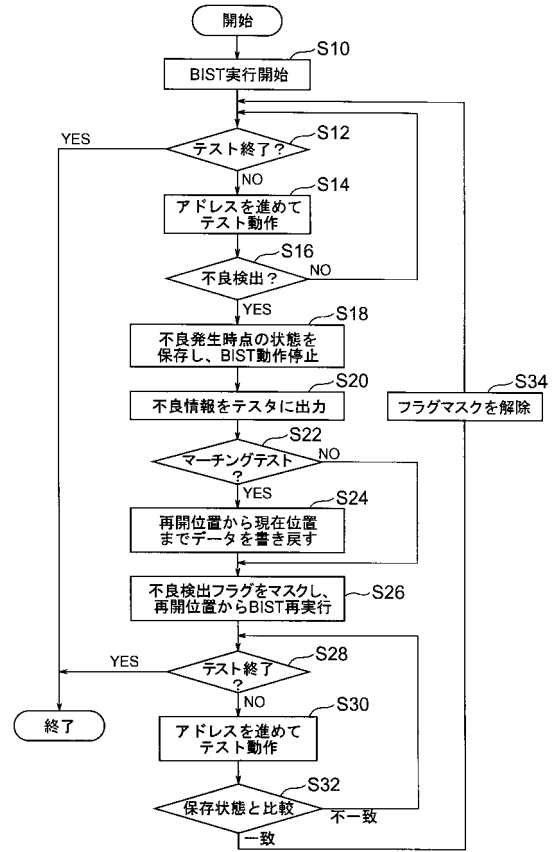
【図 6】



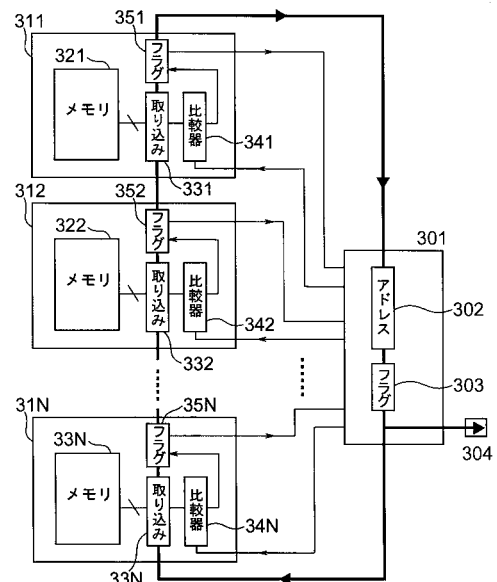
【図 7】



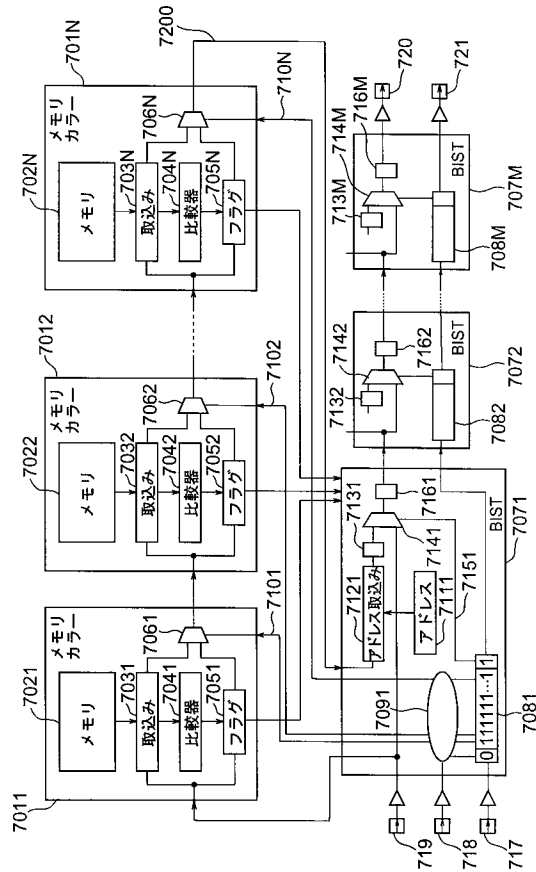
【図 5】



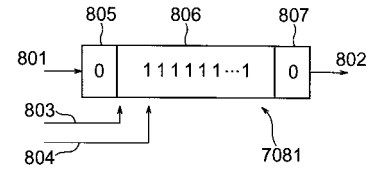
【図 8】



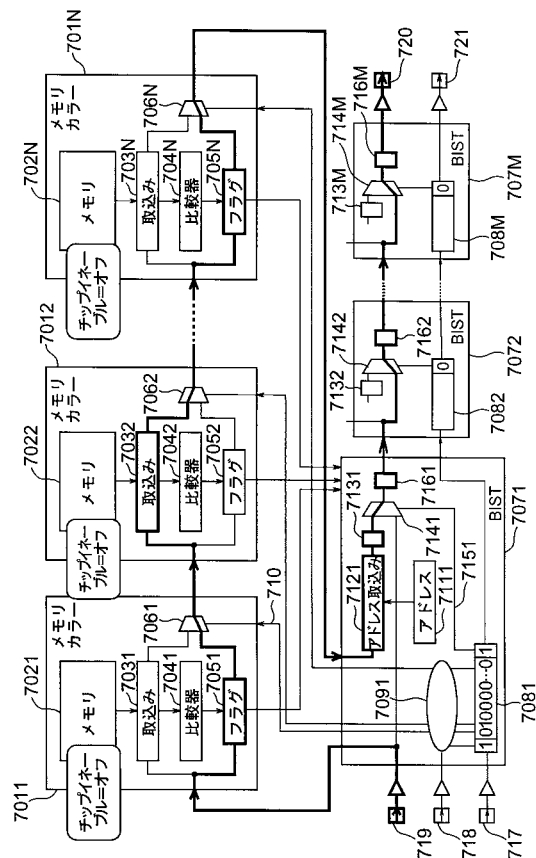
【図 9】



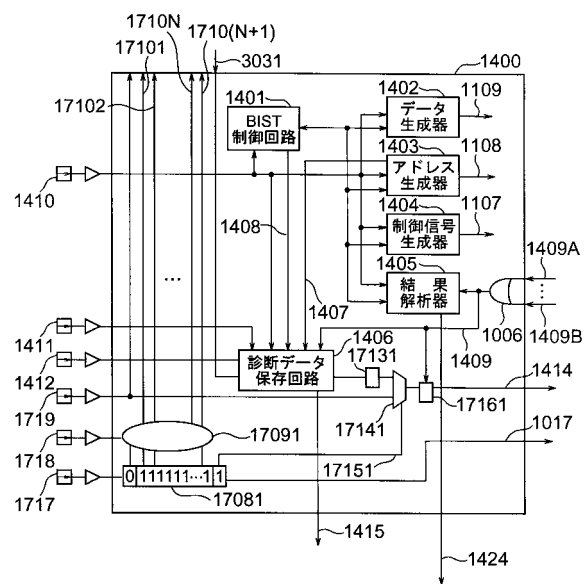
【図 10】



【図 11】



【図 12】



フロントページの続き

- (72)発明者 安 藏 顕 一
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 徳 永 千佳子
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 小林 紀和

- (56)参考文献 特許第4157066(JP, B2)
特開2009-26372(JP, A)
特開2009-59434(JP, A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|-------|
| G11C | 29/12 |
| G01R | 31/28 |
| G11C | 29/44 |
| G11C | 29/56 |