



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년08월17일
 (11) 등록번호 10-0976456
 (24) 등록일자 2010년08월11일

(51) Int. Cl.

H01L 29/786 (2006.01)

(21) 출원번호 10-2007-0141094
 (22) 출원일자 2007년12월29일
 심사청구일자 2007년12월29일
 (65) 공개번호 10-2009-0072857
 (43) 공개일자 2009년07월02일

(56) 선행기술조사문헌
 KR1019960009232 A*
 KR1020020091313 A*
 KR1020070081218 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

박진성

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

모연곤

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

김혜동

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 13 항

심사관 : 김연경

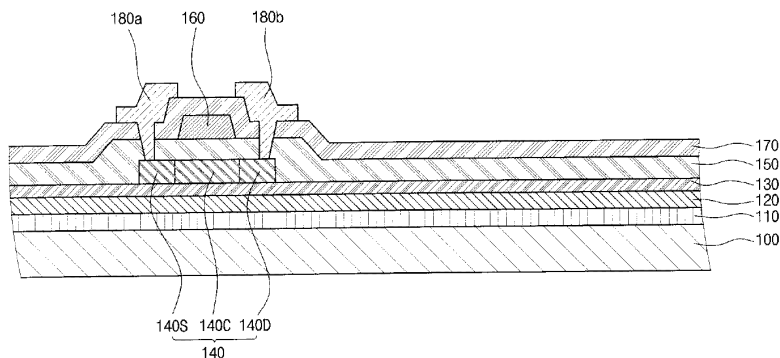
(54) 박막트랜지스터, 그의 제조방법 및 그를 이용한유기전계발광표시장치의 제조방법

(57) 요약

본 발명은 박막트랜지스터, 그의 제조방법 및 그를 구비하는 유기전계발광표시장치에 관한 것으로, 기판; 상기 기판 상에 위치하는 버퍼층; 상기 버퍼층 상에 위치하는 금속 촉매층; 상기 금속 촉매층 상에 위치하는 반도체층; 상기 기판 전면에 걸쳐 위치하는 게이트 절연막; 상기 게이트 절연막 상에 위치하며 상기 반도체층과 대응되게 위치하는 게이트 전극; 상기 기판 전면에 걸쳐 위치하는 층간 절연막; 및 상기 층간 절연막 상에 위치하며, 상기 반도체층과 일부가 연결되는 소스/드레인 전극을 포함하며, 상기 금속 촉매층은 탄소, 질소 또는 할로젠 원소 중 어느 하나를 포함하는 것을 특징으로 하는 박막트랜지스터에 관한 것이다.

또한, 기판; 상기 기판 상에 위치하는 버퍼층; 상기 버퍼층 상에 위치하는 반도체층; 상기 반도체층과 대응되게 위치하며, 상기 반도체층과 절연되는 게이트 전극; 상기 게이트 전극과 상기 게이트 전연막을 절연시키는 게이트 절연막; 및 상기 게이트 전극과 절연되며, 상기 반도체층과 일부가 연결되는 소스/드레인 전극을 포함하며, 상기 반도체층 내에는 탄소, 질소 또는 할로젠 원소 중 어느 하나가 포함되어 있는 것을 특징으로 하는 박막트랜지스터에 관한 것이다.

대표도



특허청구의 범위

청구항 1

기관;

상기 기관 상에 위치하는 버퍼층;

상기 버퍼층 상에 위치하는 금속 촉매층;

상기 금속 촉매층 상에 위치하는 실리콘 질화막으로 형성된 굴절률이 1.9이하인 캡핑층;

상기 캡핑층 상에 위치하는 반도체층;

상기 기관 전면에 걸쳐 위치하는 게이트 절연막;

상기 게이트 절연막 상에 위치하며 상기 반도체층과 대응되게 위치하는 게이트 전극;

상기 기관 전면에 걸쳐 위치하는 층간 절연막; 및

상기 층간 절연막 상에 위치하며, 상기 반도체층과 일부가 연결되는 소스/드레인 전극을 포함하며,

상기 금속 촉매층은 탄소, 질소 또는 할로겐 원소 중 어느 하나를 포함하고, 니켈 실리사이드막을 포함하는 것을 특징으로 하는 박막트랜지스터.

청구항 2

제 1항에 있어서,

상기 금속 촉매층의 두께는 10 내지 40Å인 것을 특징으로 하는 박막트랜지스터.

청구항 3

제 1항에 있어서,

상기 금속 촉매층은 니켈을 더 포함하는 것을 특징으로 하는 박막트랜지스터.

청구항 4

삭제

청구항 5

제 1항에 있어서,

상기 반도체층 내에는 탄소, 질소 또는 할로겐 원소 중 어느 하나가 포함되어 있는 것을 특징으로 하는 박막트랜지스터.

청구항 6

삭제

청구항 7

기관을 형성하고,

상기 기관 상에 버퍼층을 형성하고,

상기 버퍼층 상에 금속 촉매층을 형성하고,

상기 금속 촉매층 상에 실리콘 질화막으로 형성된 굴절률이 1.9이하인 캡핑층을 형성하고,

상기 캡핑층 상에 비정질 실리콘층을 형성하고,
 상기 기판을 열처리하여 상기 비정질 실리콘층을 다결정 실리콘층으로 결정화하고,
 상기 다결정 실리콘층을 패터닝하여 반도체층으로 형성하고,
 상기 반도체층을 포함하는 기판 전면에 걸쳐 게이트 절연막을 형성하고,
 상기 반도체층과 전기적으로 연결되는 소스/드레인 전극을 형성하는 것을 포함하며,
 상기 금속 촉매층은 하이드로 실란을 사용하여 원자막 증착법으로 형성하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 8

제 7항에 있어서,
 상기 금속 촉매층은 니켈 또는 니켈 실리사이드막으로 형성하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 9

제 7항에 있어서,
 상기 금속 촉매층을 10 내지 40Å의 두께로 형성하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 10

제 7항에 있어서,
 상기 원자막 증착법은 무기전구체 또는 유기전구체를 사용하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 11

제 10항에 있어서,
 상기 유기전구체는 알킬기를 포함하는 니켈질소화합물인 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 12

제 10항에 있어서,
 상기 무기전구체는 니켈할로젠화합물인 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 13

기판;
 상기 기판 상에 위치하는 버퍼층;
 상기 버퍼층 상에 위치하는 금속 촉매층;
 상기 금속 촉매층 상에 위치하는 실리콘 질화막으로 형성된 굴절률이 1.9이하인 캡핑층;
 상기 캡핑층 상에 위치하는 반도체층;
 상기 기판 전면에 걸쳐 위치하는 게이트 절연막;

상기 게이트 절연막 상에 위치하며 상기 반도체층과 대응되게 위치하는 게이트 전극;

상기 기판 전면에 걸쳐 위치하는 층간 절연막;

상기 층간 절연막 상에 위치하며, 상기 반도체층과 일부가 연결되는 소스/드레인 전극; 및

상기 소스/드레인 전극과 전기적으로 연결되며 순차적으로 적층되어 있는 제 1전극, 유기막층 및 제 2 전극을 포함하며,

상기 금속 촉매층은 탄소, 질소 또는 할로겐 원소 중 어느 하나를 포함하고, 니켈 실리사이드막을 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 14

제 13항에 있어서,

상기 금속 촉매층의 두께는 10 내지 40Å인 것을 특징으로 하는 유기전계발광표시장치.

청구항 15

제 13항에 있어서,

상기 금속 촉매층은 니켈을 더 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 16

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 박막트랜지스터 및 그의 제조방법과 그를 이용한 유기전계발광표시장치 및 그의 제조방법에 관한 것으로서, 비정질실리콘층을 결정화시키는 방법에 있어서, 금속 촉매의 양을 쉽게 조절하며 결정화를 진행시켜 소자특성에 악영향이 없는 소자 형성 방법에 관한 것이다.

배경기술

[0002] 일반적으로, 다결정 실리콘층은 높은 전계 효과 이동도와 고속 동작 회로에 적용이 가능하며 CMOS 회로 구성이 가능하다는 장점이 있어 박막트랜지스터용 반도체층의 용도로서 많이 사용되고 있다. 이러한 다결정 실리콘층을 이용한 박막트랜지스터는 주로 능동 매트릭스 액정 디스플레이 장치(AMLCD)의 능동소자와 유기전계 발광소자(OLED)의 스위칭 소자 및 구동 소자에 사용된다.

[0003] 상기 비정질 실리콘층을 다결정 실리콘층으로 결정화하는 방법은 고상 결정화법(Solid Phase Crystallization), 엑시머 레이저 결정화법(Excimer Laser Crystallization), 금속 유도 결정화법(Metal Induced Crystallization) 및 금속 유도 측면결정화법(Metal Induced Lateral Crystallization) 등이 있는데, 고상 결정화법은 비정질 실리콘층을 박막트랜지스터가 사용되는 디스플레이 소자의 기판을 형성하는 물질인 유리의 변형 온도인 약 700℃ 이하의 온도에서 수 시간 내지 수십 시간에 걸쳐 어닐링하는 방법이고, 엑시머 레이저 결정화법은 엑시머 레이저를 비정질 실리콘층에 주사하여 매우 짧은 시간 동안 국부적으로 높은 온도로 가열하여 결정화하는 방법이며, 금속 유도 결정화법은 니켈, 팔라듐, 금, 알루미늄 등의 금속을 비정질 실리콘층과 접촉시키거나 주입하여 상기 금속에 의해 비정질 실리콘층이 다결정 실리콘층으로 상 변화가 유도되는 현상을 이용하는 방법이고, 금속 유도 측면 결정화법은 금속과 실리콘이 반응하여 생성된 실리사이드가 측면으로 계속하여 전파되면서 순차로 비정질 실리콘층의 결정화를 유도하는 방법을 이용하는 결정화 방법이다.

[0004] 그러나, 상기의 고상 결정화법은 공정 시간이 너무 길뿐만 아니라 고온에서 장시간 열처리함으로써 기판의 변형

이 발생하기 쉽다는 단점이 있고, 엑시머 레이저 결정화법은 고가의 레이저 장치가 필요할 뿐만 아니라 다결정화된 표면의 돌기(protrusion)가 발생하여 반도체층과 게이트 절연막의 계면 특성이 나쁘다는 단점이 있으며, 상기 금속 유도 결정화법 또는 금속 유도 측면 결정화법으로 결정화하는 경우에는 많은 양의 금속 촉매가 결정화된 다결정 실리콘층에 잔류하여 박막트랜지스터의 반도체층의 누설 전류를 증가시키는 단점이 있다.

[0005] 현재, 금속 촉매를 이용하여 비정질 실리콘층을 결정화하는 방법이 고상 결정화법(Solid Phase Crystallization)보다 낮은 온도에서 빠른 시간 내에 결정화시킬 수 있는 장점을 가지고 있기 때문에 많이 연구되고 있다. 금속을 이용한 결정화 방법은 금속 유도 결정화(MIC, Metal Induced Crystallization) 방법과 금속 유도 측면 결정화(MILC, Metal Induced Lateral Crystallization) 방법으로 구분된다. 그러나, 금속 촉매를 이용한 상기 방법의 경우는 결정화 후 다결정 실리콘층에 잔류하는 금속 촉매에 의한 오염으로 인하여 박막트랜지스터의 소자 특성이 저하되는 문제점이 있다.

[0006] 상기와 같은 금속 촉매의 오염 문제를 해결하기 위하여 덮개층을 이용한 결정화 방법으로 다결정 실리콘층을 제조하는 방법(공개 특허 2003-0060403)이 개발되었다. 상기의 방법은 기판 상에 비정질 실리콘층 및 덮개층을 증착하고 그 위에 금속 촉매층을 형성시킨 다음, 상기 기판을 열처리 혹은 레이저를 이용한 열처리 공정으로 상기 금속 촉매를 덮개층을 통해서 비정질 실리콘층으로 확산시켜 시드(seed)를 형성시킨 후, 이를 이용하여 다결정 실리콘층을 얻어내는 방법이다. 상기 방법은 금속 촉매가 덮개층을 통하여 확산되기 때문에 필요 이상의 금속 오염을 막을 수 있다는 장점이 있으나, 여전히 다결정 실리콘층 내부에 금속 촉매가 다량 존재하여 누설전류의 문제점이 존재하고 있다. 그러므로 금속 촉매를 최소한으로 형성하는 방법의 지속적인 연구가 요구된다.

발명의 내용

해결 하고자하는 과제

[0007] 상기 문제점을 해결하고자, 본 발명에서는 금속 촉매를 얇게 형성하여 극미량의 촉매가 비정질 실리콘층을 결정화할 수 있는 방법을 제시함으로써, 특성이 개선된 박막트랜지스터 및 유기전계발광표시장치를 제공하는데 목적이 있다.

과제 해결수단

[0008] 본 발명은 박막트랜지스터, 그의 제조방법 및 그를 구비하는 유기전계발광표시장치에 관한 것으로, 기판; 상기 기판 상에 위치하는 버퍼층; 상기 버퍼층 상에 위치하는 금속 촉매층; 상기 금속 촉매층 상에 위치하는 반도체층; 상기 기판 전면에 걸쳐 위치하는 게이트 절연막; 상기 게이트 절연막 상에 위치하며 상기 반도체층과 대응되게 위치하는 게이트 전극; 상기 기판 전면에 걸쳐 위치하는 층간 절연막; 및 상기 층간 절연막 상에 위치하며, 상기 반도체층과 일부가 연결되는 소스/드레인 전극을 포함하며, 상기 금속 촉매층은 부산물탄소, 질소 또는 할로젠 원소 중 어느 하나를 포함하는 것을 특징으로 하는 박막트랜지스터, 그의 제조방법 및 그를 구비하는 유기전계발광표시장치를 제공한다.

[0009] 또한, 기판; 상기 기판 상에 위치하는 버퍼층; 상기 버퍼층 상에 위치하는 반도체층; 상기 반도체층과 대응되게 위치하며, 상기 반도체층과 절연되는 게이트 전극; 상기 게이트 전극과 상기 게이트 전연막을 절연시키는 게이트 절연막; 및 상기 게이트 전극과 절연되며, 상기 반도체층과 일부가 연결되는 소스/드레인 전극을 포함하며, 상기 반도체층 내에는 탄소, 질소 또는 할로젠 원소 중 어느 하나가 포함되어 있는 것을 특징으로 하는 박막트랜지스터를 제공한다.

효과

[0010] 본 발명은 박막트랜지스터, 그의 제조방법 및 그를 구비하는 유기전계발광표시장치에 관한 것으로, 금속 촉매를 이용하여 비정질 실리콘층을 다결정실리콘 층으로 결정화하고자 할때, 원자막 증착법을 이용하여 금속 촉매를 형성함으로써, 종래의 증착방법보다 더욱 얇은 두께의 금속 촉매를 형성하여 줌으로써 적은 양의 금속 촉매로 결정화되어 잔류금속의 양이 적은 반도체층을 구비하는 박막트랜지스터를 생산할 수 있는 방법을 제공한다.

발명의 실시를 위한 구체적인 내용

- [0011] 이하, 실시예를 참조하여 본원발명을 상세히 설명한다.
- [0012] (실시예 1)
- [0013] 도 1a 내지 도 1d는 본 발명에 따른 박막트랜지스터에 관한 단면도이다.
- [0014] 도 1a를 참조하여 설명하면, 유리 또는 플라스틱과 같은 투명한 절연 기판(100)상에 물리적 기상 증착법 또는 화학적 기상 증착법으로 실리콘 산화막 또는 실리콘 질화막으로 버퍼층(110)을 형성한다.
- [0015] 이때, 상기 버퍼층(110)은 하부 기판에서 발생하는 수분 또는 불순물의 확산을 방지하거나, 결정화시 열의 전달의 속도를 조절함으로써, 비정질 실리콘층의 결정화가 잘 이루어질 수 있도록 하는 역할을 한다.
- [0016] 이어서, 상기 버퍼층(110)상에 금속 촉매층(120)을 형성한다.
- [0017] 상기 금속 촉매층(120)은 원자막 증착법(Atomic Layer Deposition)으로 형성하며, 상기 원자막 증착법으로 사용되는 전구체는 유기전구체와 무기전구체가 있다.
- [0018] 상기 유기전구체는 알킬기를 포함하는 니켈질소화합물이며, 상기 알킬기는 메틸(methyl), 에틸(ethyl), 이소프로필(isopropyl) 등의 알킬체인이다. 그리고 상기 무기전구체는 니켈할로겐화합물이며, 니켈클로라이드(NiCl₂), 니켈브로마이드(NiBr₂), 니켈플로라이드(NiF₂)등이 포함된다.
- [0019] 상기 전구체들은 챔버내에 기판(100)을 배치한 후 가스 형태로 흘러지며, 수소 플라즈마(H⁺), 수소기체(H₂), 암모니아(NH₃) 또는 오존(O₃)등도 함께 흘러주어 기판(100) 상에 니켈을 포함하는 금속 촉매층(120)을 형성한다. 또한, 전구체 가스를 주입한 후 하이드로 실란(SiH₄) 가스를 더 주입하여 주면 니켈 실리사이드막을 형성할 수도 있다.
- [0020] 이때, 상기 금속 촉매층(120)에는 전구체를 사용하여 형성되었으므로 유기전구체를 사용했을 경우에는 질소나 알킬기의 탄소가 남아 있을 수 있고, 무기전구체를 사용했을 경우에는 염소, 플루오르 또는 브롬 등의 할로겐 원소가 남아있다.
- [0021] 상기 금속 촉매층(120)은 Pd, Ti, Ag, Au, Al, Sn, Sb, Cu, Co, Mo, Cr, Ru, Rh, Cd 및 Pt 중 어느 하나로 형성될 수 있으나, 바람직하게는 Ni을 포함하는 금속 촉매층(120)을 형성하는 것이 바람직하다. 이는 이후 형성되는 캡핑층에서 확산 속도가 빠르고, 상기 비정질 실리콘층을 결정화할 때, 결정화 특성이 우수하기 때문이다.
- [0022] 또한, 이때 상기 금속 촉매층(120)의 두께는 10 내지 40Å 가 되도록 형성한다. 그 이유는 10Å 이상의 금속 촉매층(120)을 형성하여야 균일한 촉매층을 형성할 수 있으며, 40Å 이상의 금속 촉매층(120)을 형성한다면, 많은 양의 금속 촉매가 비정질 실리콘층으로 이동하여 반도체층 내부에 많은 잔류금속이 남아 소자에 영향을 줄 수 있기 때문이다.
- [0023] 도 1b를 참조하면, 상기 금속 촉매층(120)상에 물리적 기상 증착법 또는 화학적 기상 증착법으로 캡핑층(130)을 형성한다.
- [0024] 이때, 상기 캡핑층(130)은 실리콘 질화막으로 형성하는 것이 바람직하며, 상기 실리콘 질화막은 굴절율이 1.9 이하인 것이 바람직한데, 이는 상기 캡핑층(130)이 굴절율이 1.9 이하인 실리콘 질화막일 때, 금속 촉매의 확산이 용이하기 때문이다.
- [0025] 그리고 나서, 상기 캡핑층(130)상에 비정질 실리콘층(140a)을 형성한다.
- [0026] 상기 캡핑층(130)은 각각 단일층으로 형성되어 있는 것으로 도시하고 있으나, 필요하다면, 각각 2 이상의 복수층으로 형성하여도 무방하다.
- [0027] 이어서, 상기기판을 로(furnace), RTA 또는 레이저 등과 같은 가열 장치로 열처리한다.
- [0028] 상기 열처리 공정에 의해 상기 금속 촉매층(120)의 금속 촉매는 확산하게 된다. 이때, 상기 열처리 공정은 750℃ 이하의 온도에서 수초 또는 수시간 동안 진행된다.
- [0029] 상기 금속 촉매층(120)은 상기 캡핑층(130)으로 확산된 후, 상기 비정질 실리콘층(140a)을 다결정 실리콘층으로 결정화하는 핵인 시드(도시하지 않음)를 형성한 후 상기 비정질 실리콘(140a)층을 다결정 실리콘층으로 결정화한 후, 상기 다결정 실리콘층을 패터닝하여 반도체층(140)으로 형성한다.
- [0030] 이때 상기 반도체층(140) 내에는 상기 원자막 증착법으로 금속촉매층(120)을 형성할 때 사용한 전구체의 영향

으로 잔류물이 남아있을 수 있는데, 유기전구체를 사용했을 경우에는 질소나 알킬기의 탄소가 남아 있을 수 있고, 무기전구체를 사용했을 경우에는 염소, 플루오르 또는 브롬 등의 할로겐원소가 남아있다.

- [0031] 도 1c를 참조하면, 상기 반도체층(140)에 불순물을 주입하여 채널영역(140c), 소스/드레인 영역(140s, 140d)을 형성 하도록 한다.
- [0032] 그리고 나서, 기판(100) 전면에 걸쳐 게이트 절연막(150)을 형성하고, 상기 게이트 절연막(150) 상에 상기 반도체층(140)과 대응되도록 게이트 전극(160)을 패터닝하여 형성한다. 상기 게이트 절연막(150)은 실리콘 산화막, 실리콘 질화막 또는 이들의 혼합막으로 형성할 수 있고, 상기 게이트 전극(160)은 MoW, Al, Cr, Al/Cr과 같은 전도성 금속이나 전도성 폴리머로 이루어질 수 있다.
- [0033] 도 1d를 참조하면, 상기 기판(100) 전면에 걸쳐 층간 절연막(170)을 형성한 후, 상기 반도체층(140)과 일부가 연결되는 소스/드레인 전극(180a, 180b)를 형성한다. 상기 소스/드레인 전극(180a, 180b)은 몰리브덴(Mo), 크롬(Cr), 텅스텐(W), 알루미늄-네오디뮴(Al-Nd), 티타늄(Ti), 몰리브덴텅스텐(MoW) 및 알루미늄(Al)중에서 선택 되는 어느 하나로 형성할 수 있다.
- [0034] 이렇게 하여 본 발명의 실시예 1에 따른 박막트랜지스터를 완성하였다.
- [0035] (실시예 2)
- [0036] 도 2a 내지 도 2d는 본 발명의 실시예 2에 따른 박막트랜지스터에 관한 단면도이다.
- [0037] 실시예 2에는 상기 실시예 1에서 서술한 금속촉매층(120)이 캡핑층(130)이 존재하지 않은 상태로 비정질실리콘층(140a) 상부에 위치한 후, 결정화를 진행하고 패터닝하여 반도체층(140)을 형성하는 것으로써, 그 외의 방법은 실시예 1과 동일하다. 그러므로 중복을 피하기 위하여 일부의 동일한 설명은 생략한다.
- [0038] 도 2a를 참조하여 설명하면, 유리 또는 플라스틱과 같은 투명한 절연 기판(100)상에 물리적 기상 증착법 또는 화학적 기상 증착법으로 실리콘 산화막 또는 실리콘 질화막으로 버퍼층(110)을 형성한다.
- [0039] 이때, 상기 버퍼층(110)은 하부 기판에서 발생하는 수분 또는 불순물의 확산을 방지하거나, 결정화시 열의 전달의 속도를 조절함으로써, 비정질 실리콘층의 결정화가 잘 이루어질 수 있도록 하는 역할을 한다.
- [0040] 그리고 나서, 상기 버퍼층(110) 상에 비정질 실리콘층(140a)을 형성하고, 상기 비정질 실리콘층(140a) 상에 금속촉매층(120)을 형성한다. 상기 금속촉매층(120)은 원자막증착법으로 형성하며, 상기 금속촉매층(120)을 형성하기 위한 원자막 증착법은 실시예 1에서와 동일하다.
- [0041] 상기 원자막 증착법으로 사용되는 전구체는 유기전구체와 무기전구체가 있다.
- [0042] 상기 유기전구체는 알킬기를 포함하는 니켈질소화합물이며, 상기 알킬기는 메틸(methyl), 에틸(ethyl), 이소프로필(isopropyl) 등의 알킬체인이다. 그리고 상기 무기전구체는 니켈할로겐화합물이며, 니켈클로라이드(NiCl₂), 니켈브로마이드(NiBr₂), 니켈플로라이드(NiF₂)등이 포함된다.
- [0043] 상기 전구체들은 챔버내에 기판(100)을 배치한 후 가스 형태로 흘러지며, 수소 플라즈마(H⁺), 수소기체(H₂), 암모니아(NH₃) 또는 오존(O₃)등도 함께 흘러주어 기판(100) 상에 니켈을 포함하는 금속 촉매층(120)을 형성한다. 또한, 전구체 가스를 주입한 후 하이드로 실란(SiH₄) 가스를 더 주입하여 주면 니켈 실리사이드막을 형성할 수도 있다.
- [0044] 이때, 상기 금속 촉매층(120)에는 전구체를 사용하여 형성되었으므로 유기전구체를 사용했을 경우에는 질소나 알킬기의 탄소가 남아 있을 수 있고, 무기전구체를 사용했을 경우에는 염소, 플루오르 또는 브롬 등의 할로겐 원소가 남아있다.
- [0045] 상기 금속 촉매층(150)은 Pd, Ti, Ag, Au, Al, Sn, Sb, Cu, Co, Mo, Cr, Ru, Rh, Cd 및 Pt 중 어느 하나로 형성될 수 있으나, 바람직하게는 Ni을 포함하는 금속 촉매층(150)을 형성하는 것이 바람직하다. 이는 이후 형성되는 캡핑층에서 확산 속도가 빠르고, 상기 비정질 실리콘층을 결정화할 때, 결정화 특성이 우수하기 때문이다.
- [0046] 또한, 이때 상기 금속 촉매층(120)의 두께는 10 내지 40Å 가 되도록 형성한다. 그 이유는 10Å 이상의 금속 촉매층(120)을 형성하여야 균일한 촉매층을 형성할 수 있으며, 40Å 이상의 금속 촉매층(120)을 형성한다면, 많은 양의 금속 촉매가 비정질 실리콘층으로 이동하여 반도체층 내부에 많은 잔류금속이 남아 소자에 영향을

줄 수 있기 때문이다.

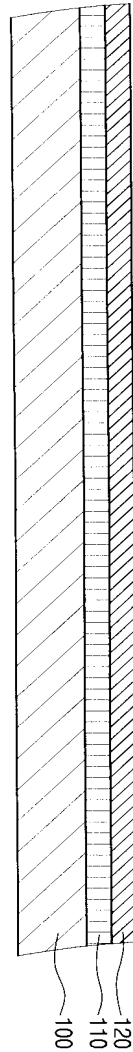
- [0047] 이후, 상기 기판(100)을 로(furnace), RTA 또는 레이저 등과 같은 가열 장치로 열처리하여 결정화를 진행하며, 상기 열처리 공정은 750℃ 이하의 온도에서 수초 또는 수시간 동안 진행된다. 이때, 상기 열처리 공정을 진행하면 상기 금속촉매층은 확산하여 상기 비정질 실리콘층(140a)을 다결정 실리콘층으로 결정화하는 핵인 시드(도시하지 않음)를 형성한 후 상기 비정질 실리콘(140a)층을 다결정 실리콘층으로 결정화한다.
- [0048] 그리고 나서, 상기 금속촉매층(120)을 에칭하여 제거하며, 상기 다결정 실리콘층을 패터닝하여 반도체층(140)으로 형성한다.
- [0049] 이때 상기 반도체층(140) 내에는 상기 원자막 증착법으로 금속촉매층(120)을 형성할 때 사용한 전구체의 영향으로 잔류물이 남아있을 수 있는데, 유기전구체를 사용했을 경우에는 질소나 알킬기의 탄소가 남아 있을 수 있고, 무기전구체를 사용했을 경우에는 염소, 플루오르 또는 브롬 등의 할로겐원소가 남아있다.
- [0050] 이때 반도체층의 잔류촉매량을 줄이기 위해 상기 비정질 실리콘층(140a)과 상기 금속촉매층(120) 사이에 캡핑층(도시하지 않음)을 형성한 후 결정화를 진행할 수도 있다.
- [0051] 도 2c를 참조하면, 상기 반도체층(140)에 불순물을 주입하여 채널영역(140c), 소스/드레인 영역(140s, 140d)을 형성하도록 한다.
- [0052] 그리고 나서, 기판(100) 전면에 걸쳐 게이트 절연막(150)을 형성하고, 상기 게이트 절연막(150) 상에 상기 반도체층(140)과 대응되도록 게이트 전극(160)을 패터닝하여 형성한다. 상기 게이트 절연막(150)은 실리콘 산화막, 실리콘 질화막 또는 이들의 혼합막으로 형성할 수 있고, 상기 게이트 전극(160)은 MoW, Al, Cr, Al/Cr과 같은 전도성 금속이나 전도성 폴리머로 이루어질 수 있다.
- [0053] 도 2d를 참조하면, 상기 기판(100) 전면에 걸쳐 층간 절연막(170)을 형성한 후, 상기 반도체층(140)과 일부가 연결되는 소스/드레인 전극(180a, 180b)을 형성한다. 상기 소스/드레인 전극(180a, 180b)은 몰리브덴(Mo), 크롬(Cr), 텅스텐(W), 알루미늄-네오디뮴(Al-Nd), 티타늄(Ti), 몰리브덴텅스텐(MoW) 및 알루미늄(Al)중에서 선택되는 어느 하나로 형성할 수 있다.
- [0054] 이렇게 하여 본 발명의 실시예 2에 따른 박막트랜지스터를 완성하였다.
- [0055] (실시예 3)
- [0056] 도 3은 본 발명에 따른 유기전계발광표시장치에 관한 것으로, 상기 실시예 1에서 서술한 박막트랜지스터를 포함하고 있으므로, 동일한 기재에 관한 설명은 생략한다.
- [0057] 도 3을 참조하면, 상기 소스/드레인 전극(180a, 180b)을 포함하는 기판(100) 전면에 걸쳐 보호막(190)을 형성한 후, 평탄화막(195)을 형성한다.
- [0058] 그리고 나서, 상기 평탄화막(195) 상에 상기 소스/드레인 전극(180a, 180b)와 전기적으로 연결되는 제 1 전극(200)을 형성한다.
- [0059] 그리고 나서, 상기 제 1 전극(200) 상에 화소를 정의 하는 화소정의막(210)을 형성한 후, 유기발광층을 포함하는 유기막층(215)을 형성한다.
- [0060] 그리고 나서, 상기 기판(100) 전면에 걸쳐 제 2 전극을 형성하여 본 발명에 따른 유기전계발광표시장치를 완성한다.
- [0061] 실시예 3은 실시예 1에 의한 박막트랜지스터를 포함하는 유기전계발광표시장치에 관하여 서술하였지만, 실시예 2에 의한 박막트랜지스터를 포함하는 유기전계발광표시장치의 응용도 가능하다.
- [0062] 또한, 본 발명은 탑게이트 박막트랜지스터를 설명하였지만, 바텀게이트 박막트랜지스터로의 응용도 가능하며, 본 발명은 실시예에 한정되는 것이 아니고 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명의 범위에 속하는 것은 당연하다.

도면의 간단한 설명

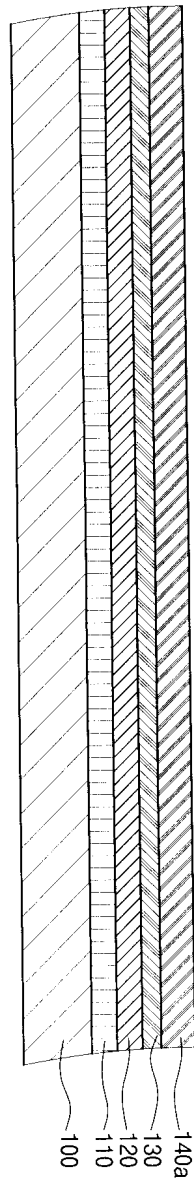
- [0063] 도 1a 내지 도 1d는 본 발명의 실시예 1에 따른 박막트랜지스터에 관한 단면도이고,
- [0064] 도 2a 내지 도 2d는 본 발명의 실시예 2에 따른 박막트랜지스터에 관한 단면도이고,
- [0065] 도 3는 본 발명의 실시예 3에 따른 유기전계발광표시장치에 관한 단면도이다.

도면

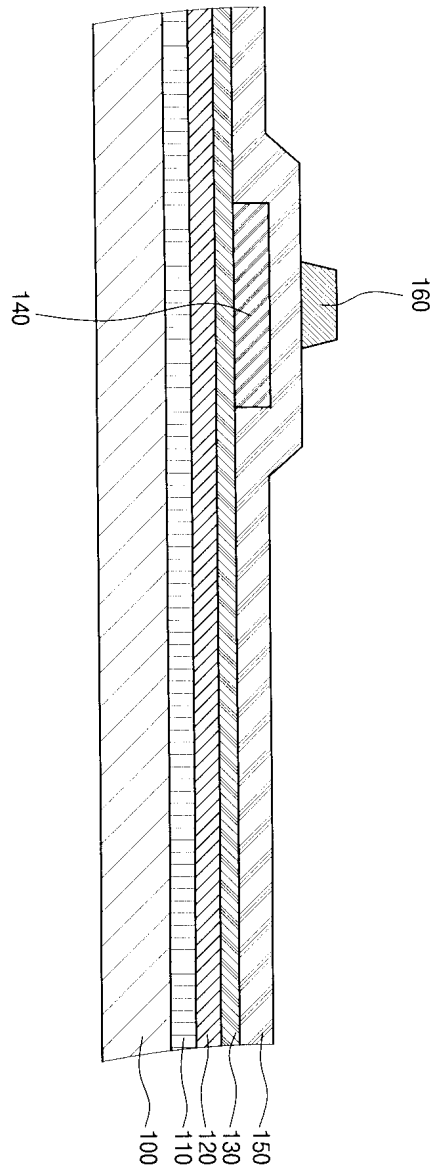
도면1a



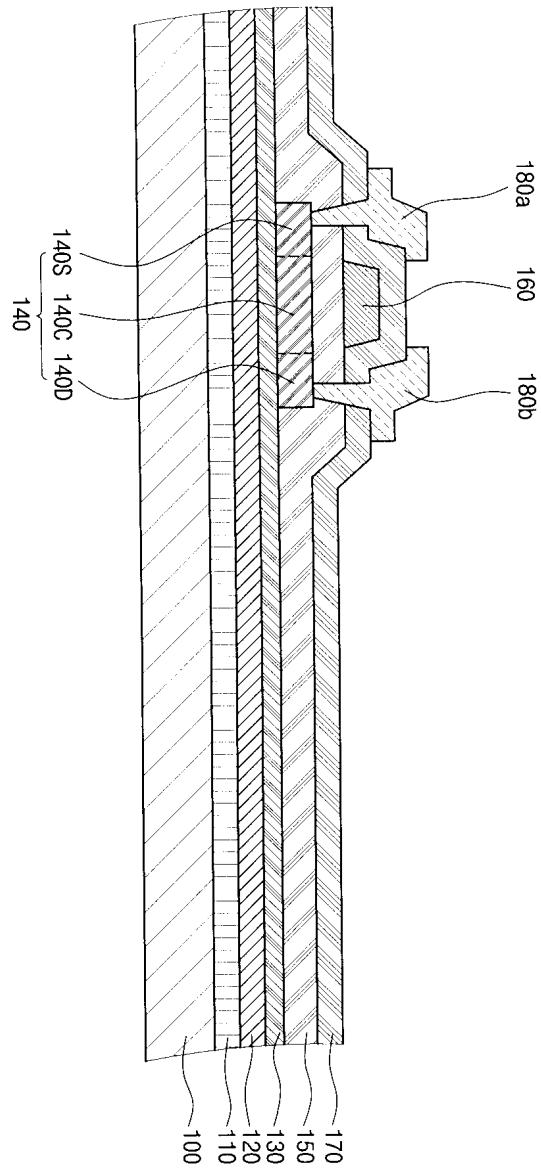
도면1b



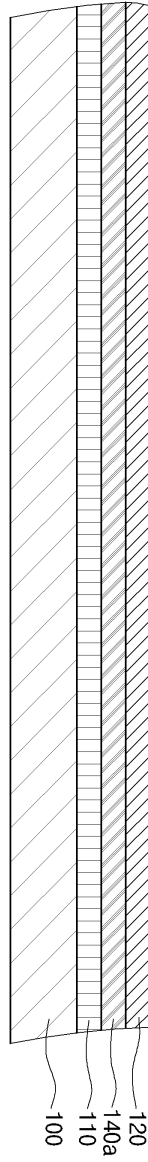
도면1c



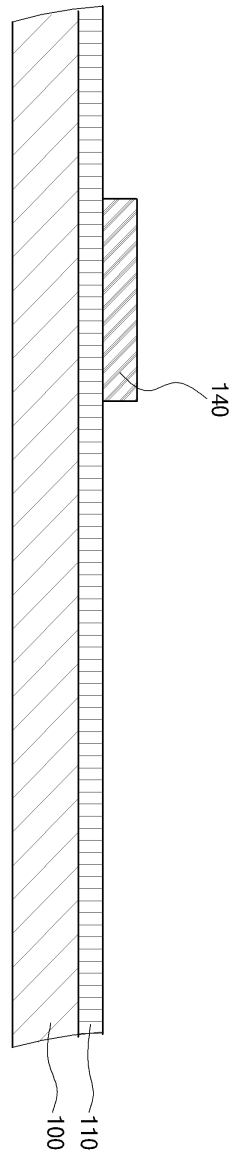
도면1d



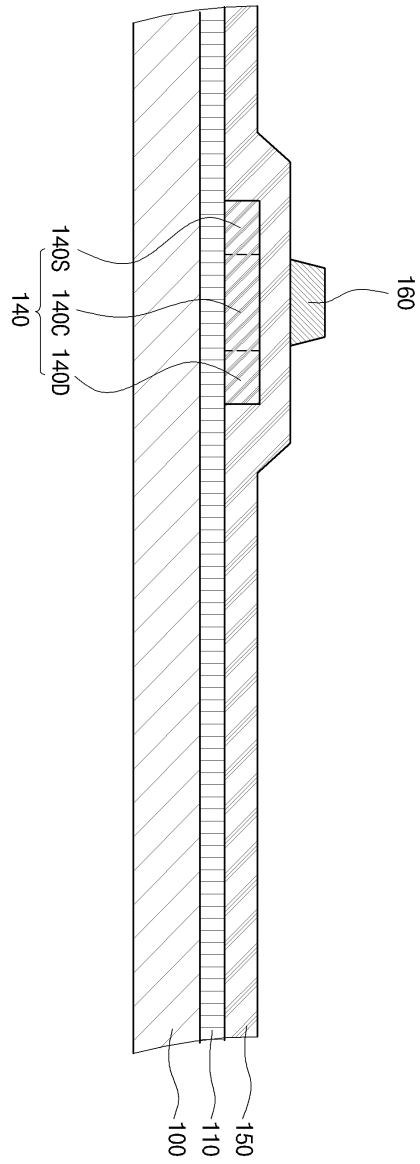
도면2a



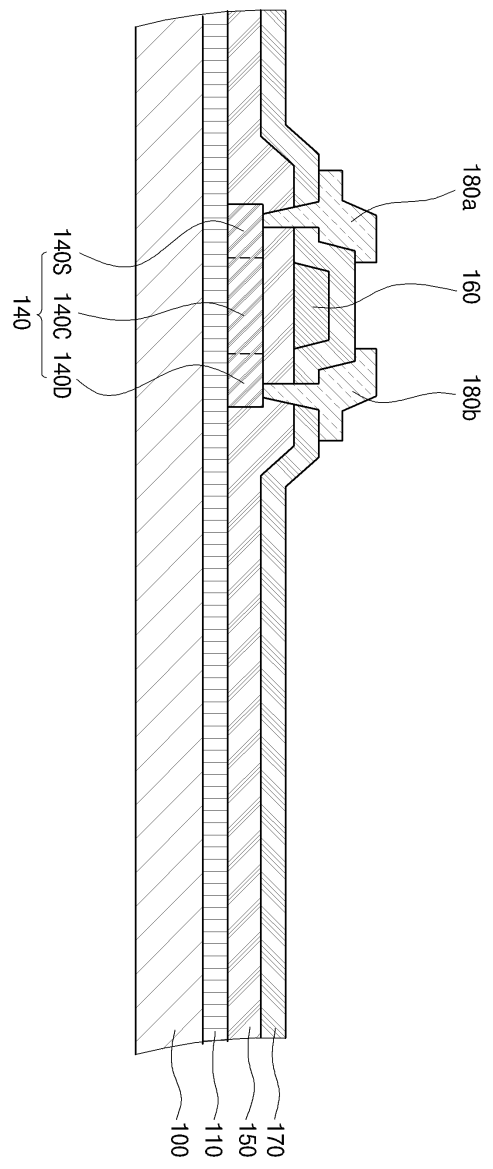
도면2b



도면2c



도면2d



도면3

