(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3686226号
(P3686226)
(45)発行日　平成17年8月24日(2005.8.24)　(24)登録日　平成17年6月10日(2005.6.10)

(51)Int.Cl.[7]　F I
H01L 21/318　H01L 21/318　M
H01L 21/338　H01L 21/90　J
H01L 21/768　H01L 29/80　L
H01L 29/812

請求項の数 4　(全 10 頁)

(21)出願番号　特願平9-235658
(22)出願日　平成9年9月1日(1997.9.1)
(65)公開番号　特開平11-87345
(43)公開日　平成11年3月30日(1999.3.30)
審査請求日　平成14年8月28日(2002.8.28)

前置審査

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100083552
弁理士　秋田　収喜
(72)発明者　黒川　敦
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所　半導体事業部内
(72)発明者　山根　正雄
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所　半導体事業部内
(72)発明者　行本　富久
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所　半導体事業部内

最終頁に続く

(54)【発明の名称】化合物半導体装置

(57)【特許請求の範囲】
【請求項１】
化合物半導体基板に半導体素子を形成した化合物半導体装置において、
前記半導体基板に接して前記素子の領域を水平方向に覆う非防水性の絶縁膜を設け、
前記非防水性の絶縁膜の上部に、前記半導体基板に沿って延在し、且つ前記素子の領域外にて前記半導体基板と接して前記領域を水平方向及び垂直方向に覆う防水性の絶縁膜を設け、この防水性の絶縁膜を貫通する開口を前記領域外に設けたことを特徴とする化合物半導体装置。
【請求項２】
前記防水性の絶縁膜の前記半導体基板と接する部分が矩形環状に設けられていることを特徴とする請求項１に記載の化合物半導体装置。
【請求項３】
前記防水性の絶縁膜の前記半導体基板と接する部分が部分的に設けられていることを特徴とする請求項１に記載の化合物半導体装置。
【請求項４】
前記素子の領域にヘテロ接合を有することを特徴とする請求項１乃至請求項３の何れか一項に記載の化合物半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】

本発明は、ＧａＡｓ等の化合物半導体基板を用いた化合物半導体装置に関し、特に、耐水性の向上に適用して有効な技術に関するものである。

【０００２】

【従来の技術】

ＧａＡｓ等の化合物半導体では、シリコンと比較して電子移動度が大きいことから、高速動作が可能となる点、また、半絶縁性の基板が得られるので低消費電力となる点等の利点があるために、半導体装置の基板として用いられている。

【０００３】

しかしながら、シリコン基板を用いた半導体装置と比較した場合に、技術開発の歴史が未だ浅いために信頼性に関する技術の蓄積が少なく、例えば化合物半導体基板に形成したＦＥＴについて、長期間の使用を行った場合に、しきい値電圧Ｖｔｈ等の特性がどのように変化するかといった経年変化に対する情報が充分とはいえない。このような化合物半導体を用いた半導体装置については、例えば培風館刊「超高速化合物半導体デバイス」第７２頁乃至第７６頁に記載されている。

【０００４】

このような経年変化に対する情報を得るために、本発明者の行った試験では、信頼性評価のため、ＧａＡｓ半導体基板にＦＥＴを形成した半導体装置に高温高湿状態での加速試験（約１２０℃，２気圧，湿度１００％）を行ったところ、しきい値電圧Ｖｔｈが１００ｍＶ以上変動する結果が得られた例があり、このような変動が半導体装置に起きた場合には実使用上問題が生じることが考えられる。

【０００５】

【発明が解決しようとする課題】

そこで本発明者は、このような変動を起こす要因について考察を加え、ＧａＡｓ化合物ではヒ素が水溶性を示すことから、シリコンを用いた半導体装置と同等の耐湿性では充分ではなく、空気中に含まれる水分によって半導体基板の素子形成領域が影響を受けるためと考えた。

【０００６】

本発明の課題は、化合物半導体装置の耐湿性を向上させて、特性変動を抑制し、信頼性を向上させることが可能な技術を提供することにある。

【０００７】

本発明の前記ならびにその他の課題と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【０００８】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【０００９】

化合物半導体基板の素子形成領域に半導体素子を形成し、前記半導体基板に接して前記素子の領域を水平方向に覆う非防水性の絶縁膜を設け、前記非防水性の絶縁膜の上部に、前記半導体基板に沿って延在し、且つ前記素子の領域外にて前記半導体基板と接して前記素子形成領域を水平方向及び垂直方向に覆う防水性の絶縁膜を設け、この防水性の絶縁膜を貫通する開口を前記素子形成領域外に設ける。

【００１１】

ここで「水平方向に覆う」とは、半導体素子の上部を覆うことを意味しており、半導体基板に平行に覆うというような厳密な方向を意味していない。例えば、素子の領域に凹凸や傾斜部がある場合にはそれに倣って覆うのが普通である。

【００１２】

また、「垂直方向に覆う」とは、半導体素子の側部を覆うことを意味しており、半導体基板に直角に覆うというような厳密な方向を意味していない。

【００１３】

防水性の絶縁膜としては、欠陥密度の少ない膜、例えば欠陥密度が１０個／ｃｍ^{2}以下の膜であることが望ましい。欠陥密度は所謂ピンホールチェック等により水分の通る孔の密度を測定することで評価する。欠陥密度の低い膜を使用することで、水分の影響が防止でき、耐湿性即ち防水性が向上する。また、水分等により変質する膜も防水性の膜としては好ましくない。

【００１４】

上述した手段によれば、化合物半導体基板の素子形成領域を防水性の絶縁膜によって覆い、この絶縁膜を貫通する開口が素子形成領域に設けられていないので、素子形成領域への水分の浸入を低減することができる。このため、化合物半導体装置の特性変動を抑制し、信頼性を向上させることが可能となる。

【００１５】

以下、本発明の実施の形態を説明する。

【００１６】

なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【００１７】

【発明の実施の形態】

（実施の形態１）

図１に示すのは本発明の一実施の形態である半導体装置の平面図であり、図２に示すのは図１中のａ‐ａ線に沿った縦断面図であり、図３に示すのは図１中のｂ‐ｂ線に沿った縦断面図である。

【００１８】

図中、１は半絶縁性ＧａＡｓを用いた半導体基板、２は半導体基板１の素子形成領域であり、素子形成領域２は素子分離のためにメサ形状とされたエピタキシャル層となっており、例えば、半導体基板１上に不純物を含有しないＡｌＧａＡｓとＧａＡｓとを交互に積層したバッファ層２ａ、不純物を含有しないＩｎＧａＡｓからなる真性チャネル層２ｂ、ｎ型の不純物を含有したＡｌＧａＡｓからなるキャリア供給層２ｃ、高濃度のｎ型不純物を含有したＧａＡｓからなるｎ＋層２ｄを順次積層して、ＡｌＧａＡｓ／ＧａＡｓ或いはＡｌＧａＡｓ／ＧａＡｓとＩｎＧａＡｓとの異種接合(ヘテロ接合)を形成し、真性チャネル層２ｂとキャリア供給層２ｃとによってチャネルを形成する。

【００１９】

本実施の形態の半導体装置はストライプ構造のパワートランジスタであり、パワートランジスタとしてＭＥＳＦＥＴを用いる場合には、大電流化を達成するために、チャネル幅を増大させる必要があり、このようなチャネル幅の増大によってチップ面積が増大するのを回避するために、複数のストライプ状ゲートを並列接続してチャネル幅の増大を図っている。

【００２０】

３はキャリア供給層２ｃ上に形成されたストライプ状のゲート電極であり、耐熱層３ａとして例えばＭｏ膜に低抵抗層３ｂとして例えばＡｌが積層されている。他に、耐熱層３ａとしてＰｔ／Ｔｉ／Ｍｏの積層膜、低抵抗層３ｂとしてＴｉ／Ｐｔ／Ａｕ／Ｍｏの積層膜等も用いられている。

【００２１】

４はｎ＋層２ｄ上に形成されたソース，ドレイン電極４であり、ＡｕＧｅ／Ｎｉ／Ａｕを順次積層した積層膜が用いられている。５は半導体基板１の全面を覆う層間絶縁膜であり、ＣＶＤによる酸化珪素膜或いはリンをドープしたＰＳＧ膜が用いられている。

【００２２】

６は、層間絶縁膜５上に形成され層間絶縁膜５に設けた開口を通してソース電極，ドレイン電極４と接続された配線層であり、Ｍｏ／Ａｕ／Ｍｏを順次積層した積層膜となっている。７は配線層６を覆う層間絶縁膜であり、ＣＶＤによる酸化珪素膜或いはリンをドープしたＰＳＧ膜が用いられている。

【００２３】
８は素子形成領域２の全面を覆う絶縁膜であり、半導体基板１に沿って延在し且つ図１中破線にて示すように、素子形成領域２外にて矩形環状に半導体基板１と接して素子形成領域２を水平方向及び垂直方向に覆い、防水性に優れたプラズマＣＶＤによる窒化珪素膜を用いてある。９は絶縁膜８に設けた開口を通して配線層６と接続された外部電極であり、この外部電極９は全て素子形成領域２外の半導体基板１上に設け、絶縁膜８を貫通する開口は素子形成領域２内には設けない。
【００２４】
絶縁膜８及び外部電極９は接続のための開口部分を除いて樹脂等の保護絶縁膜１０によって覆われている。
【００２５】
本実施の形態の半導体装置では、素子形成領域２の全面を防水性の絶縁膜８によって覆い、この絶縁膜８を貫通する開口は全て素子形成領域２外に設けてある。このため、素子形成領域２への水分の浸入を低減することができるので、半導体装置の耐湿性が向上する。なお、層間絶縁膜５或いは層間絶縁膜７を窒化珪素膜として、より耐湿性を向上させることも可能である。
【００２６】
また、本実施の形態では、絶縁膜８の半導体基板１と接する部分が半導体基板１の端から少し内側に設けられているが、これはペレット切断の際等に端部が欠けることがあり、このような欠けが生じた場合にも絶縁膜８の半導体基板１と接する部分が損傷を受けるのを防止するためである。
【００２７】
また、図４に示すように、絶縁膜８の半導体基板１と接する部分を設けずに本発明を実施することも可能である。この場合には、横方向から層間絶縁膜５，７を通して浸入する水分を低減することはできないが、半導体ペレットのサイズを小さくすることが可能であり、加えて工程を簡略化することができる。
【００２８】
次に、図１乃至図３に示す半導体装置の製造方法について説明する。
【００２９】
先ず、半絶縁性ＧａＡｓ半導体基板１の上にＭＢＥ（Molecular Beam Epitaxy）法によって、素子形成領域２となるエピタキシャル層を成長させる。エピタキシャル層としては、例えば、半導体基板１上に不純物を含有しないＡｌＧａＡｓとＧａＡｓとを交互に積層したバッファ層２ａ、不純物を含有しないＩｎＧａＡｓからなる真性チャネル層２ｂ、ｎ型の不純物を含有したＡｌＧａＡｓからなるキャリア供給層２ｃ、高濃度のｎ型不純物を含有したＧａＡｓからなるｎ＋層２ｄを夫々成長させる。真性チャネル層２ｂとキャリア供給層２ｃとによってチャネルを形成する。
【００３０】
次に、素子分離のためにエピタキシャル層をバッファ層２ａに達するまでメサ形状にエッチングを行い、素子形成領域２を形成し、ゲート電極３の形成される領域のｎ＋層２ｄをエッチング除去する。
【００３１】
次に、ｎ＋層２ｄのエッチング除去によって露出したキャリア供給層２ｃ上に形成されたストライプ状のゲート電極３を形成する。
【００３２】
次に、ｎ＋層２ｄ上にソース電極，ドレイン電極４を形成し、全面にＣＶＤによる酸化珪素膜或いはリンをドープしたＰＳＧ膜を堆積させ層間絶縁膜５を形成する。
【００３３】
次に、層間絶縁膜５に開口を設け、ソース電極，ドレイン電極４と接続する配線層６を形成し、全面にＣＶＤによる酸化珪素膜或いはリンをドープしたＰＳＧ膜を堆積させ層間絶縁膜７を形成する。

【００３４】
次に、半導体基板１の端から少し内側を矩形環状にエッチングを行い、層間絶縁膜５，７を半導体基板１に達するまで除去する。この後、全面にプラズマＣＶＤによる窒化珪素膜を堆積させ、半導体基板１に沿って延在し且つ素子形成領域２外にて矩形環状に半導体基板１と接して素子形成領域２を水平方向及び垂直方向に覆う絶縁膜８を形成する。なお、この窒化珪素膜では欠陥密度が１個／ｃｍ^{2}以下となる。
【００３５】
次に、素子形成領域２外にて絶縁膜８に開口を設け、配線層６と接続する外部電極９を形成する。この後、樹脂等の保護絶縁膜１０を全面に設け、外部電極９の接続領域を露出させる。
【００３６】
なお、通常の半導体装置では、複数の半導体装置を形成したウェハから個々のペレットに分断されているが、このウェハの切断を容易かつ正確に行うために切断の行われるスクライブラインの層間絶縁膜を予めエッチングしておく工程が設けられており、前述した層間絶縁膜５，７のエッチングについては、この工程を利用することによって、マスクの増加及び工程の増加を防ぐことが可能である。
【００３７】
（実施の形態２）
図５に示すのは本発明の他の実施の形態である半導体装置の平面図である。
【００３８】
図５中、１は半絶縁性ＧａＡｓを用いた半導体基板、２は半導体基板１の素子形成領域であり、素子形成領域２は素子分離のためにメサ形状とされたエピタキシャル層となっている。
【００３９】
３はキャリア供給層２ｃ上に形成されたストライプ状のゲート電極であり、４はｎ＋層２ｄ上に形成されたソース，ドレイン電極４であり、６は、ソース電極，ドレイン電極４と接続された配線層である。
【００４０】
８は素子形成領域２の全面を覆う絶縁膜であり、半導体基板１に沿って延在し且つ図５中破線にて示すように、素子形成領域２外にて矩形環状に半導体基板１と接して素子形成領域２を水平方向及び垂直方向に覆い、防水性に優れたプラズマＣＶＤによる窒化珪素膜を用いてある。９は絶縁膜８に設けた開口を通して配線層６と接続された外部電極であり、この外部電極９は全て素子形成領域２外の半導体基板１上に設け、絶縁膜８を貫通する開口は素子形成領域２内には設けない。
【００４１】
本実施の形態の半導体装置では、素子形成領域２の全面を防水性の絶縁膜８によって覆い、この絶縁膜８を貫通する開口は全て素子形成領域２外に設けてある。このため、素子形成領域２への水分の浸入を低減することができるので、半導体装置の耐湿性が向上する。
【００４２】
また、本実施の形態では、絶縁膜８の半導体基板１と接する部分が半導体基板１の端に沿って設けられており、前述した実施の形態と比較した場合にペレットのサイズを縮小することができる。なお、導体基板１と接する前記部分の角部を三角形状としてあるが、これは前述したペレット切断の際等の端部の欠けが角部に多く発生することを考慮して、絶縁膜８の半導体基板１と接する部分がある程度欠けても機能を維持させるためである。
【００４３】
（実施の形態３）
図６に示すのは本発明の他の実施の形態である半導体装置の平面図である。
【００４４】
図６中、１は半絶縁性ＧａＡｓを用いた半導体基板、２は半導体基板１の素子形成領域であり、素子形成領域２は素子分離のためにメサ形状とされたエピタキシャル層となってい

る。
【００４５】
３はキャリア供給層２ｃ上に形成されたストライプ状のゲート電極であり、４はｎ＋層２ｄ上に形成されたソース，ドレイン電極４であり、６は、ソース電極，ドレイン電極４と接続された配線層である。
【００４６】
８は素子形成領域２の全面を覆う絶縁膜であり、半導体基板１に沿って延在し且つ図６中破線にて示すように、素子形成領域２外にて矩形環状に半導体基板１と接して素子形成領域２を水平方向及び垂直方向に覆い、防水性に優れたプラズマＣＶＤによる窒化珪素膜を用いてある。９は絶縁膜８に設けた開口を通して配線層６と接続された外部電極であり、この外部電極９は全て素子形成領域２外の半導体基板１上に設け、絶縁膜８を貫通する開口は素子形成領域２内には設けない。
【００４７】
本実施の形態の半導体装置では、素子形成領域２の全面を防水性の絶縁膜８によって覆い、この絶縁膜８を貫通する開口は全て素子形成領域２外に設けてある。このため、素子形成領域２への水分の浸入を低減することができるので、半導体装置の耐湿性が向上する。
【００４８】
また、本実施の形態では、絶縁膜８の半導体基板１と接する部分が素子形成領域２と外部電極９の設けられる領域との間に設けられているが、これは絶縁膜８に設けられる外部電極９の開口による影響を防止するためである。
【００４９】
（実施の形態４）
図７に示すのは本発明の他の実施の形態である半導体装置の平面図である。
【００５０】
図７中、１は半絶縁性ＧａＡｓを用いた半導体基板、２は半導体基板１の素子形成領域であり、素子形成領域２は素子分離のためにメサ形状とされたエピタキシャル層となっている。
【００５１】
３はキャリア供給層２ｃ上に形成されたストライプ状のゲート電極であり、４はｎ＋層２ｄ上に形成されたソース，ドレイン電極４である。
【００５２】
６は、ソース電極，ドレイン電極４と接続された配線層である。
【００５３】
８は素子形成領域２の全面を覆う絶縁膜であり、半導体基板１に沿って延在し且つ図７中破線にて示すように、素子形成領域２外にて部分的に半導体基板１と接して素子形成領域２を水平方向及び該当部分にて垂直方向に覆い、防水性に優れたプラズマＣＶＤによる窒化珪素膜を用いてある。９は絶縁膜８に設けた開口を通して配線層６と接続された外部電極であり、この外部電極９は全て素子形成領域２外の半導体基板１上に設け、絶縁膜８を貫通する開口は素子形成領域２内には設けない。
【００５４】
本実施の形態の半導体装置では、素子形成領域２の全面を防水性の絶縁膜８によって覆い、この絶縁膜８を貫通する開口は全て素子形成領域２外に設けてある。このため、素子形成領域２への水分の浸入を低減することができるので、半導体装置の耐湿性が向上する。
【００５５】
また、本実施の形態では、絶縁膜８の半導体基板１と接する部分が部分的に設けられており、横方向から層間絶縁膜５，７を通して浸入する水分を低減するのに有効な部分を選び部分的に設けることによって、半導体ペレットのサイズの増加を抑えることができる。
【００５６】
以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲におい

て種々変更可能であることは勿論である。例えば、本発明は、前記実施の形態にて挙げたＦＥＴ単体に限定されるものではなく、集積回路装置についても適用されるものであることは勿論である。

【００５７】

また、前記実施の形態では防水性に優れた絶縁膜として窒化珪素膜を挙げたが、これに限定されるものではなく、酸窒化珪素（ＳｉＯＮ）膜等の耐湿性のある膜でも良い。

【００５８】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【００５９】

（１）本発明によれば、化合物半導体基板の素子形成領域を覆う防水性の絶縁膜素子形成領域にて開口が設けられていないので素子形成領域への水分の浸入を低減することができるという効果がある。

【００６０】

（２）本発明によれば、上記効果（１）により、化合物半導体装置の耐湿性向上させることができるという効果がある。

【００６１】

（３）本発明によれば、上記効果（２）により、化合物半導体装置の特性変動を抑制することができるという効果がある。

【００６２】

（４）本発明によれば、上記効果（３）により、化合物半導体装置の信頼性を向上させることが可能となるという効果がある。

【図面の簡単な説明】

【図１】本発明の一実施の形態である半導体装置を示す平面図である。

【図２】図１中のａ‐ａ線に沿った縦断面図である。

【図３】図１中のｂ‐ｂ線に沿った縦断面図である。

【図４】本発明の他の実施の形態である半導体装置を示す平面図である。

【図５】本発明の他の実施の形態である半導体装置を示す平面図である。

【図６】本発明の他の実施の形態である半導体装置を示す平面図である。

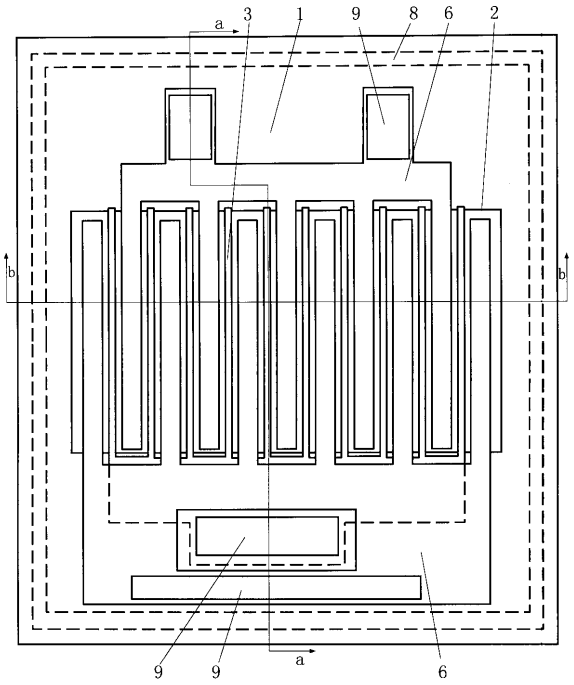
【図７】本発明の他の実施の形態である半導体装置を示す平面図である。

【符号の説明】

１…半導体基板、２…素子形成領域、２ａ…バッファ層、２ｂ…真性チャネル層、２ｃ…キャリア供給層、２ｄ…ｎ＋層、３…ゲート電極、４…ソース電極，ドレイン電極、５，７…層間絶縁膜、６…配線層、８…絶縁膜、９…外部電極、１０…保護絶縁膜。

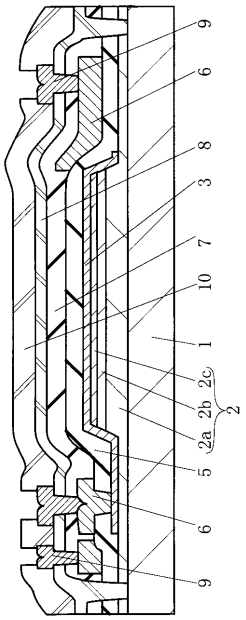
【図１】

図１



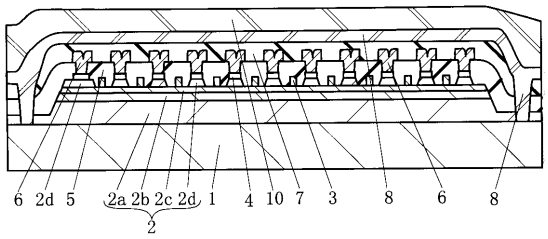
【図２】

図２



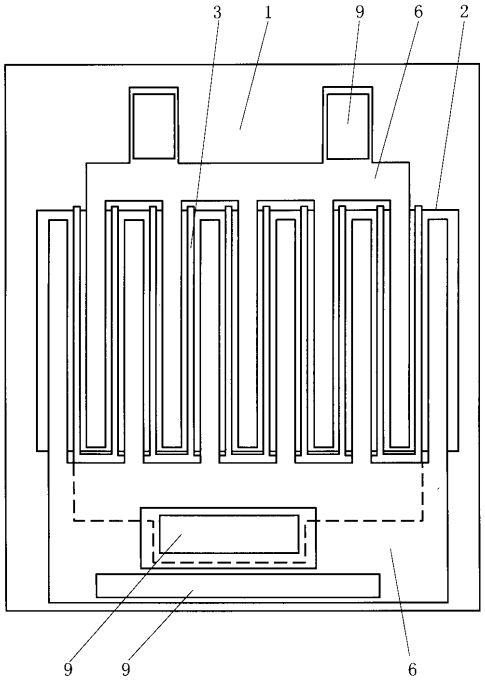
【図３】

図３



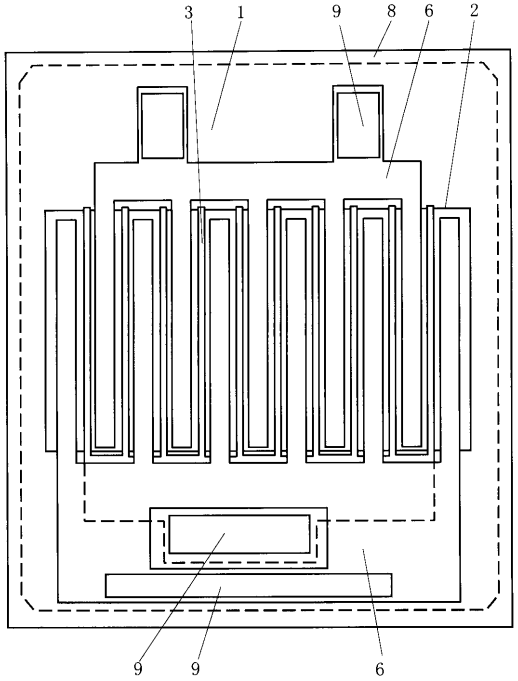
【図４】

図４



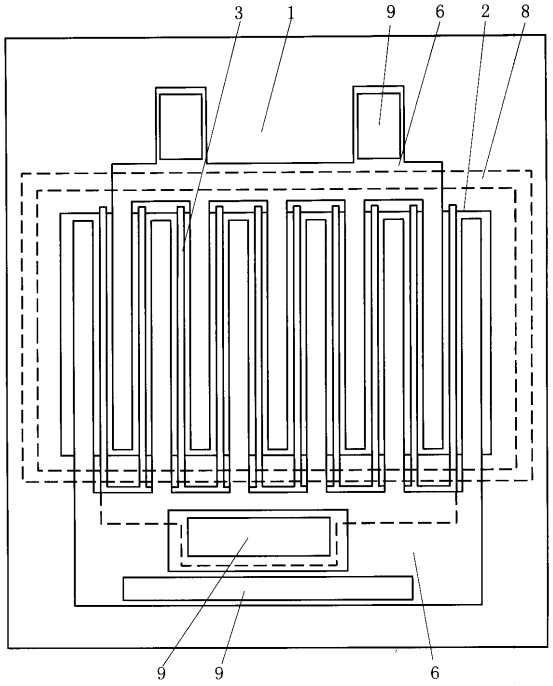
【図５】

図 5



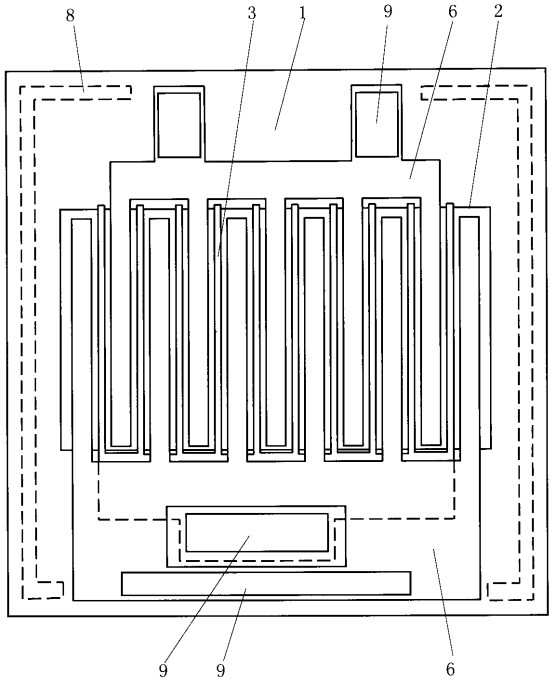
【図６】

図 6



【図７】

図 7



フロントページの続き

審査官　今井　拓也

(56)参考文献　特開平０６－０４５３２３（ＪＰ，Ａ）
特開昭６２－１８８２７９（ＪＰ，Ａ）
特開昭６２－２９６５６７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/318
H01L 21/338
H01L 29/812
H01L 21/768