

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6248532号  
(P6248532)

(45) 発行日 平成29年12月20日(2017.12.20)

(24) 登録日 平成29年12月1日(2017.12.1)

(51) Int.Cl.

F 1

C 30 B 29/36	(2006.01)	C 30 B	29/36	A
C 30 B 25/18	(2006.01)	C 30 B	25/18	
C 23 C 16/42	(2006.01)	C 23 C	16/42	
H 01 L 21/205	(2006.01)	H 01 L	21/205	

請求項の数 9 (全 9 頁)

(21) 出願番号	特願2013-216306 (P2013-216306)
(22) 出願日	平成25年10月17日 (2013.10.17)
(65) 公開番号	特開2015-78093 (P2015-78093A)
(43) 公開日	平成27年4月23日 (2015.4.23)
審査請求日	平成28年8月16日 (2016.8.16)

(73) 特許権者	000002369 セイコーエプソン株式会社 東京都新宿区新宿四丁目1番6号
(74) 代理人	110000752 特許業務法人朝日特許事務所
(72) 発明者	渡邊 幸宗 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(72) 発明者	川名 功泰 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
審査官	森坂 英昭

最終頁に続く

(54) 【発明の名称】 3 C - S i C エピタキシャル層の製造方法、3 C - S i C エピタキシャル基板および半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

S i 基板上を炭化処理してバッファー層を形成する工程と、  
 前記バッファー層上に、上方に向けて密度が小さくなる結晶欠陥を有する第1の3 C - S i C 層をエピタキシャル成長させる工程と、  
 前記第1の3 C - S i C 層の酸化をする工程と、  
 前記第1の3 C - S i C 層中の結晶欠陥に沿って形成された酸化膜を残した状態で、前記第1の3 C - S i C 層表面の酸化膜を除去する工程と、  
 前記酸化膜の除去後、前記第1の3 C - S i C 層上に第2の3 C - S i C 層をエピタキシャル成長させる工程と  
 を有する3 C - S i C エピタキシャル層の製造方法。

## 【請求項 2】

前記酸化は、1100 ~ 1200 の熱酸化により行われる  
 ことを特徴とする請求項1に記載の3 C - S i C エピタキシャル層の製造方法。

## 【請求項 3】

前記熱酸化は、酸素雰囲気で行われる  
 ことを特徴とする請求項2に記載の3 C - S i C エピタキシャル層の製造方法。

## 【請求項 4】

前記熱酸化は、酸素および水蒸気雰囲気で行われる  
 ことを特徴とする請求項2に記載の3 C - S i C エピタキシャル層の製造方法。

## 【請求項 5】

前記酸化膜の除去は、ウェットエッチングにより行われることを特徴とする請求項 1 に記載の 3 C - SiC エピタキシャル層の製造方法。

## 【請求項 6】

前記 Si 基板は、Si (100) 基板である

ことを特徴とする請求項 1 ないし 5 のいずれか一項に記載の 3 C - SiC エピタキシャル層の製造方法。

## 【請求項 7】

Si 基板と、

前記 Si 基板の一部を炭化処理して形成されたバッファー層と、

10

前記バッファー層上に形成され、上方に向けて密度が小さくなる結晶欠陥を有する第 1 の 3 C - SiC エピタキシャル層と、

前記第 1 の 3 C - SiC エピタキシャル層上に形成された第 2 の 3 C - SiC エピタキシャル層と、

前記第 1 の 3 C - SiC エピタキシャル層中の結晶欠陥に沿って形成された酸化膜とを有する 3 C - SiC エピタキシャル基板。

## 【請求項 8】

前記バッファー層は、格子定数が Si より小さく 3 C - SiC より大きい立方晶系の材料で形成される

ことを特徴とする請求項 7 に記載の 3 C - SiC エピタキシャル基板。

20

## 【請求項 9】

請求項 7 または 8 に記載の 3 C - SiC エピタキシャル基板を用いた半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、3 C - SiC エピタキシャル層の製造方法および半導体装置に関する。

## 【背景技術】

## 【0002】

SiC は Si と比べて 2 倍以上のバンドギャップを有するワイドギャップ半導体であり、例えば高耐圧デバイス用の材料として期待されている。SiC は多くの結晶多形を有し、代表的なものとして六方晶系の 4 H - または 6 H - SiC、および立方晶系の 3 C - SiC が知られている。これらは電気的特性が異なるため、それぞれ異なる用途が期待されている。

30

## 【0003】

SiC は融点の高い材料であり、単結晶の基板を作製することが難しい。そのため、SiC デバイスの作製には、Si 基板上への SiC のヘテロエピタキシャル成長が検討されている。しかし、Si 基板上にヘテロエピタキシャル成長を行うときの成長温度は 1350 前後と非常に高温であり、シリコンの融点 (1420) に近い温度である。したがって、Si 基板を成長温度まで昇温すると、基板表面から Si が昇華してしまい、正常にエピタキシャル成長をすることができない。この対策として、Si 基板表面を炭化させて昇華を防ぐ技術が知られている。炭化処理した Si 基板上には、SiC をエピタキシャル成長することができる。

40

## 【0004】

しかし、Si および 3 C - SiC の格子定数はそれぞれ 5.43 および 4.36 であり、約 20 % の差がある。このため、3 C - SiC と Si との界面では多くの結晶欠陥が発生し、発生した欠陥は 3 C - SiC エピタキシャル層に伝播する。エピタキシャル層の品質改善、ひいてはデバイスの特性改善のためには、エピタキシャル層中の結晶欠陥を低減する必要がある。また、格子定数の差に起因した内部応力および熱膨張係数の差により、基板が下に凸に反ったり、クラックが発生してしまうという問題がある。基板の反りやクラックは、電子デバイスを表面に作製する場合、そのプロセスの中で障害となる。

50

## 【0005】

特許文献1は、基板の反りまたはクラックを防止するため、基板上あるいは積層された層の上に、点状、ストライプ上または格子状等の縞状に形成された非成長領域パターンを形成する技術を開示している。

## 【先行技術文献】

## 【特許文献】

## 【0006】

## 【特許文献1】特開平11-186178号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

10

## 【0007】

特許文献1の技術においては、非成長領域パターンを形成するために、酸化膜形成工程、フォトマスクを用いたパターンニング工程、エッチング工程など複数のプロセス工程が必要であり、プロセスコストが増加する。また、特許文献1の技術によれば基板の反りは低減するものの、まだ改善の余地があった。

## 【0008】

これに対し本発明は、基板の反りを低減し、かつ結晶品質を向上させた3C-SiCエピタキシャル層の製造方法および半導体装置を提供する。

## 【課題を解決するための手段】

## 【0009】

20

本発明は、Si基板上に第1の3C-SiC層をエピタキシャル成長させる工程と、前記第1の3C-SiC層の酸化をする工程と、前記3C-SiC層表面の酸化膜を除去する工程と、前記酸化膜の除去後、前記3C-SiC層上に第2の3C-SiC層をエピタキシャル成長させる工程とを有する3C-SiCエピタキシャル層の製造方法を提供する。

この製造方法によれば、基板の反りを低減し、かつ結晶品質を向上させた3C-SiCエピタキシャル層を形成することができる。

## 【0010】

前記酸化は、1100～1200の熱酸化により行われてもよい。

## 【0011】

30

前記熱酸化は、酸素雰囲気で行われてもよい。

## 【0012】

前記熱酸化は、酸素および水蒸気雰囲気で行われてもよい。

## 【0013】

前記酸化膜の除去は、ウェットエッチングにより行われてもよい。

## 【0014】

前記Si基板は、Si(100)基板であってもよい。

## 【0015】

また、本発明は、Si基板と、前記Si基板上に形成され、酸化した第1の3C-SiCエピタキシャル層と、前記第1の3C-SiCエピタキシャル層上に形成された第2の3C-SiCエピタキシャル層とを有する3C-SiCエピタキシャル基板を提供する。

40

このエピタキシャル基板によれば、作製されるデバイスの特性を向上させることができる。

## 【0016】

この3C-SiCエピタキシャル基板は、前記Si基板および前記第1の3C-SiCエピタキシャル層の間にバッファーレンを有してもよい。

## 【0017】

前記バッファーレンは、炭化処理されたSiであってもよい。

## 【0018】

前記バッファーレンは、格子定数がSiより小さく3C-SiCより大きい立方晶系の材

50

料で形成されてもよい。

【0019】

さらに、本発明は、上記いずれかの3C-SiCエピタキシャル基板を用いた半導体装置を提供する。

【図面の簡単な説明】

【0020】

【図1】3C-SiCエピタキシャル基板1の構成を示す模式図。

【図2】3C-SiCエピタキシャル基板1の製造方法を示すフローチャート。

【図3】ステップS2の後の状態を示す。

【図4】ステップS3の後の状態を示す。

【図5】ステップS4の後の状態を示す。

【発明を実施するための形態】

【0021】

図1は、一実施形態に係る3C-SiCエピタキシャル基板1の構成を示す模式図である。図1は、3C-SiCエピタキシャル基板1の断面模式図を示している。3C-SiCエピタキシャル基板1は、基板10と、SiCエピタキシャル層20と、SiCエピタキシャル層30とを有する。

【0022】

基板10は、Si基板である。Si基板は、例えば、CZ(チョクラルスキー)法により成長されたSi単結晶のインゴットを所定の厚さにスライスし、さらに研磨することにより得られる。基板10としては、表面が(100)面のものが用いられる。なお、基板10として、表面が(100)面から所定の角度(例えば4°)傾いた(オフセットした)基板、または表面が(100)面以外の面方位(例えば(111)面)のものが用いられてもよい。さらに、基板10は、Siインゴットから切り出した基板に限定されない。基板10は、石英、サファイア、ステンレス等、Si以外の材料からなる基板上にSiエピタキシャル層(単結晶Si膜)を形成したものであってもよい。本稿においてSi基板とは、Siインゴットから切り出された基板およびSi以外の材料からなる基板上にSiエピタキシャル層が形成されたもののいずれをも含む。

【0023】

SiCエピタキシャル層20は、基板10上に形成された3C-SiCエピタキシャル層である。SiCエピタキシャル層20と基板10との界面(3C-SiC/Si界面)近傍においては、3C-SiCとSiの格子定数の差および熱膨張係数の差により応力の影響で多数の結晶欠陥が形成されている。この結晶欠陥は、(111)面に平行な方向の積層欠陥である。図1においては、この結晶欠陥をSiCエピタキシャル層20中の実線で示している。結晶欠陥は(111)面で発生しており、[111]方向、すなわち基板10の表面(Si(100)面)に対し54.73°傾いた方向に延びている。

【0024】

結晶欠陥は、SiCエピタキシャル層が成長し膜厚が増すにつれ、他の結晶欠陥と会合して消滅する。このため、SiCエピタキシャル層20の上方にいくにつれ、結晶欠陥の密度は減少する。しかし、結晶欠陥は完全になくなることはなく、SiCエピタキシャル層20をある程度の厚みまで成長しても、ある密度の結晶欠陥は残っている。

【0025】

SiCエピタキシャル層20においては、この結晶欠陥に沿って酸化膜21が形成されている。SiCの酸化による体積膨張により、基板の反りを解消する方向に応力を発生する。したがって、SiCエピタキシャル層20の膜厚および酸化膜21の厚さを調整することにより、基板の反りを低減し、ほぼ平坦なエピタキシャル基板を作製することができる。

【0026】

SiCエピタキシャル層30は、SiCエピタキシャル層20上に形成された3C-SiCエピタキシャル層である。SiCエピタキシャル層30は、結晶欠陥密度が3C-SiCエピタキシャル層である。

10

20

30

40

50

i C / S i 界面よりも低減された S i C エピタキシャル層 2 0 の上に成長されるので、結晶欠陥密度が低い高品質な層（膜）である。

【 0 0 2 7 】

S i C エピタキシャル層 3 0 に半導体装置（電子デバイス）を作製することができる。S i C エピタキシャル層 3 0 を用いて形成される電子デバイスは、例えば、トランジスター（M O S F E T またはM E S F E T など）またはダイオード（ショットキーダイオードまたはp n 接合ダイオード）を含む。

【 0 0 2 8 】

図 2 は、3 C - S i C エピタキシャル基板 1 の製造方法を示すフロー チャートである。

【 0 0 2 9 】

ステップ S 1 において、基板 1 0 の上にバッファー層（図示略）を形成する。バッファー層は、基板 1 0 と以後成長するエピタキシャル層との格子定数のずれを緩和するための層である。バッファー層は、例えば、S i 基板を炭化処理して得られる炭化層である。S i 基板の炭化処理には、例えば、コールドウォールタイプのU H V - C V D (Ultra High Vacuum - Chemical Vapor Deposition) チャンバーが用いられる。U H V - C V D のベース圧力は、例えば、 $2.0 \times 10^{-7}$  Pa である。S i 基板をU H V - C V D チャンバーに導入する前には、所定の前処理が行われる。この前処理は、例えば、S i 基板表面の自然酸化膜を除去する処理を含む。自然酸化膜は、例えば、1% D H F 溶液を用いて洗浄により除去される。自然酸化膜の除去後、基板 1 0 は、チャンバーにセットされる。

【 0 0 3 0 】

次に、炭素源ガス（炭化元ガス）をU H V - C V D チャンバーに導入する。炭素源ガスとしては、炭化水素系ガス、例えば、メタン（C H<sub>4</sub>）、エタン（C<sub>2</sub> H<sub>6</sub>）、アセチレン（C<sub>2</sub> H<sub>2</sub>）、エチレン（C<sub>2</sub> H<sub>4</sub>）、プロパン（C<sub>3</sub> H<sub>8</sub>）、ノルマルブタン（n - C<sub>4</sub> H<sub>10</sub>）、イソブタン（i - C<sub>4</sub> H<sub>10</sub>）、ネオペンタン（n e o - C<sub>5</sub> H<sub>12</sub>）等が用いられる。これらは単独で用いられてもよいし、2種以上が混合されてもよい。

【 0 0 3 1 】

炭素源ガスの導入後、S i 基板を所定の昇温速度（例えば 1 0 / 分）で、所定の炭化処理温度まで昇温する。炭化処理温度は、例えば 9 0 0 ~ 1 3 5 0 の範囲である。S i 基板は、炭化処理温度において、所定の炭化処理時間保持される。炭化処理時間は、例えば、0 ~ 3 0 0 分の範囲である。炭化処理時間が経過すると炭素源ガスの供給は止められ、S i 基板は所定の待機温度（例えば 6 0 0 ）まで降温される。

【 0 0 3 2 】

なおこの炭化処理のシーケンスは一例であり、これに限定するものではない。また、バッファー層は、S i 基板の炭化層に限定されない。バッファー層は、立方晶の結晶構造を有し、格子定数がS i より小さく3 C - S i C より大きいものであれば、どのような材料で形成されてもよい。さらに別の例で、バッファー層の形成（ステップ S 1 ）自体が省略されてもよい。

【 0 0 3 3 】

ステップ S 2 において、基板 1 0 の上に3 C - S i C エピタキシャル層（S i C エピタキシャル層 2 0 ）を成長する。ここで、「基板 1 0 の上に」S i C エピタキシャル層 2 0 を成長するとは、基板 1 0 の上に直接 S i C エピタキシャル層 2 0 を成長する場合に加え、基板 1 0 上に形成されたバッファー層の上に S i C エピタキシャル層 2 0 を成長する場合も含む。S i C エピタキシャル層 2 0 の膜厚は、例えば、5 0 0 n m ~ 1  $\mu$  m である。3 C - S i C エピタキシャル層の成長は、例えばC V D (Chemical Vapor Deposition) により行われる。C V D においては、真空チャンバー内にセットされた基板 1 0 に対して原料ガスを導入し、エピタキシャル成長を行う。

【 0 0 3 4 】

炭素の原料ガスとしては、炭化水素系ガス、例えば、メタン（C H<sub>4</sub>）、エタン（C<sub>2</sub> H<sub>6</sub>）、アセチレン（C<sub>2</sub> H<sub>2</sub>）、エチレン（C<sub>2</sub> H<sub>4</sub>）、プロパン（C<sub>3</sub> H<sub>8</sub>）、ノルマルブタン（n - C<sub>4</sub> H<sub>10</sub>）、イソブタン（i - C<sub>4</sub> H<sub>10</sub>）、ネオペンタン（n e o - C<sub>5</sub> H<sub>12</sub>）等

10

20

30

40

50

が用いられる。これらは単独で用いられてもよいし、2種以上が混合されてもよい。なお、3C-SiCのエピタキシャル成長に用いられる炭素の原料ガスは、Si基板の炭化処理に用いられる炭素源ガスと同じであってもよいし、異なっていてもよい。

#### 【0035】

シリコンの原料ガスとしては、シラン系ガス、例えば、ジクロロシラン( $SiH_2Cl_2$ )、テトラクロロシラン( $SiCl_4$ )、トリクロロシラン( $SiHCl_3$ )、ヘキサクロロジシラン( $Si_2Cl_6$ )、シラン( $SiH_4$ )、ジシラン( $Si_2H_6$ )、モノメチルシラン( $SiH_3(CH_3)$ )、ジメチルシラン( $SiH_2(CH_3)_2$ )、トリメチルシラン( $SiH(CH_3)_3$ )等が用いられる。これらは単独で用いられてもよいし、2種以上が混合されてもよい。

10

#### 【0036】

成長温度は、例えば950～1400の範囲である。なお、基板10をチャンバーにセットする前に、基板10の洗浄等、所定の処理が行われる。基板10の洗浄は、Si基板表面に形成された自然酸化膜を除去するために行われる。自然酸化膜は、例えば、1%DHFを用いて除去される。自然酸化膜の除去後、基板10を純水で洗浄する。洗浄後、基板10を真空チャンバーにセットする。

#### 【0037】

なお、3C-SiC層をエピタキシャル成長する方法はCVDによるものに限定されない。MBE(Molecular Beam Epitaxy)等の真空蒸着法を用いてエピタキシャル成長が行われてもよい。

20

#### 【0038】

図3は、ステップS2の後の状態を示している。SiCエピタキシャル層20と基板10との界面において発生した多数の結晶欠陥は、[111]方向に延びている。これらの結晶欠陥の一部は、SiCエピタキシャル層20の成長とともに他の結晶欠陥と会合して消滅している。

#### 【0039】

再び図2を参照する。ステップS3において、SiCエピタキシャル層20を酸化する。SiCエピタキシャル層20は、例えば熱酸化により酸化される。熱酸化は、酸素( $O_2$ )雰囲気で行われるドライ熱酸化、または酸素および水蒸気( $O_2 + H_2O$ )雰囲気で行われるウェット熱酸化である。

30

#### 【0040】

酸化の条件は、基板10の厚さ、SiCエピタキシャル層20の膜厚、およびSiCエピタキシャル層30の膜厚等に応じて決定される。この酸化の目的の一つは、エピタキシャル基板の反りを補償することである。エピタキシャル基板の反りは基板10の厚さとSiCエピタキシャル層の膜厚によって決まるので、酸化の程度すなわち酸化の条件は、これらの厚さに応じて決定される。熱酸化は、例えば、1100～1200で5～300分の範囲で行われる。

#### 【0041】

図4は、ステップS3の後の状態を示している。酸素原子は、SiCエピタキシャル層20の表面、および結晶欠陥を介して拡散する。したがって、酸化膜21は、SiCエピタキシャル層20の表面および結晶欠陥に沿って形成される。酸化膜は、3C-SiCエピタキシャル層の体積を膨張させる効果があるため、基板(Si基板およびSiCエピタキシャル層)の内部応力と逆向きの応力を発生させ、内部応力を緩和する効果がある。すなわち、酸化膜により、基板の反りを補償する方向に応力が発生する。したがって、基板の反り量に応じて酸化膜の厚さを制御することで、基板の反りをほぼゼロにすることができる。なお図4の例では、SiCエピタキシャル層20の厚さ方向中央付近まで酸化膜21が形成されているが、前述のとおり酸化の程度は基板の反りに応じて制御されるので、SiCエピタキシャル層とSi基板との界面付近まで酸化される場合もあれば、SiCエピタキシャル層の表面近傍だけが酸化される場合もある。基板の反り量は、Si基板の厚さ、およびSiCエピタキシャル層の厚さ等の条件から見積もられる。

40

50

**【0042】**

再び図2を参照する。ステップS4において、SiCエピタキシャル層20の表面の酸化膜21が除去される。酸化膜21の除去には、例えば、ドライエッティング、ウェットエッティング、またはCMP(Chemical Mechanical Polishing)が用いられる。ウェットエッティングには、例えばDHFが用いられる。

**【0043】**

図5は、ステップS4の後の状態を示している。これらのエッティングまたはCMPにより、SiCエピタキシャル層20の表面の酸化膜21は除去されるが、結晶欠陥に沿って形成されたSiCエピタキシャル層20内部の酸化膜21は除去されずに残る。

**【0044】**

再び図2を参照する。ステップS5において、SiCエピタキシャル層20の上に、さらに3C-SiCエピタキシャル層(SiCエピタキシャル層30)を成長する。SiCエピタキシャル層30のエピタキシャル成長の方法および条件は、SiCエピタキシャル層20のものと同一であっても異なっていてもよい。

**【0045】**

SiCエピタキシャル層20の表面のうち、まず酸化膜21が形成されていない部分(結晶欠陥が無い部分)からエピタキシャル成長が進行する。酸化膜21の上には、当初、エピタキシャル層は成長しない。しかし、SiCエピタキシャル層30の成長が進むにつれ、結晶欠陥が無い部分からの横方向の成長が進み、連続的なエピタキシャル層が形成される。ここで、SiCエピタキシャル層30は、SiCエピタキシャル層20の表面をテンプレートとして成長するため、結晶欠陥の少ない高品質な結晶になる。

**【0046】**

以上で説明したように、本実施形態によれば、Si基板上に特別なパターンを形成する必要がない。すなわち、フォトリソグラフィー工程を用いずに、エピタキシャル基板の反りを低減することができる。また、より高品質なエピタキシャル層を形成することができる。

**【符号の説明】****【0047】**

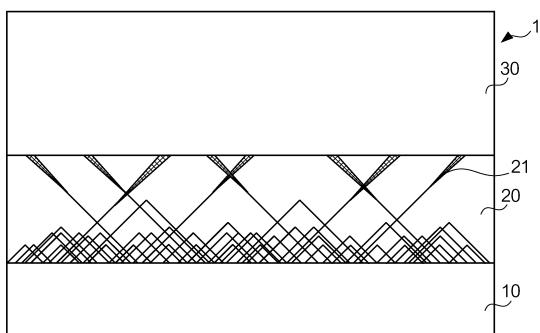
1...3C-SiCエピタキシャル基板、10...基板、20...SiCエピタキシャル層、21...酸化膜、30...SiCエピタキシャル層

10

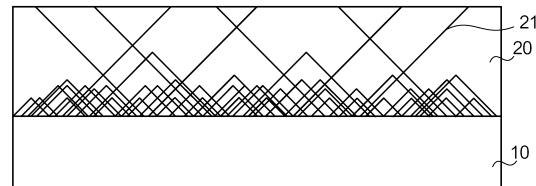
20

30

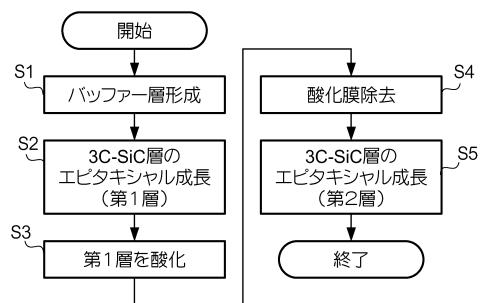
【図1】



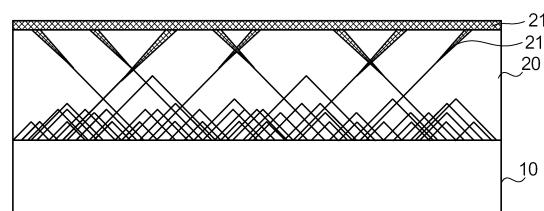
【図3】



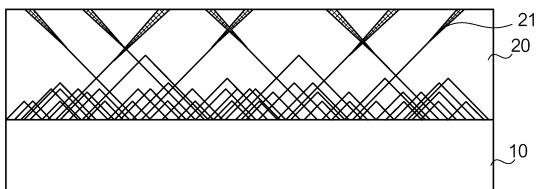
【図2】



【図4】



【図5】



---

フロントページの続き

(56)参考文献 特開2012-031012(JP, A)  
国際公開第2006/090432(WO, A1)  
特開2005-286038(JP, A)  
特開平09-321323(JP, A)  
特開2008-024554(JP, A)  
特開平02-213118(JP, A)

(58)調査した分野(Int.Cl., DB名)

C30B 1/00 - 35/00  
C23C 16/00 - 16/56  
H01L 21/205