



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년08월30일

(11) 등록번호 10-1652529

(24) 등록일자 2016년08월24일

(51) 국제특허분류(Int. Cl.)

G11C 16/34 (2006.01) G11C 16/26 (2006.01)

G11C 16/30 (2006.01)

(21) 출원번호 10-2010-0109576

(22) 출원일자 2010년11월05일

심사청구일자 2015년01월22일

(65) 공개번호 10-2011-0053905

(43) 공개일자 2011년05월24일

(30) 우선권주장

JP-P-2009-261127 2009년11월16일 일본(JP)

(56) 선행기술조사문현

JP2007294090 A

JP1987165795 A

JP2001143486 A

JP1997270195 A

(73) 특허권자

소니 주식회사

일본국 도쿄도 미나토구 코난 1-7-1

(72) 발명자

키타가와 마코토

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사  
사내

시이모토 츠네노리

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사  
사내

(74) 대리인

최달용

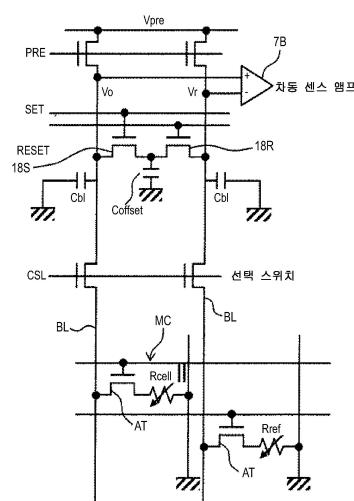
전체 청구항 수 : 총 18 항

심사관 : 한선경

(54) 발명의 명칭 불휘발성 반도체 메모리 디바이스

**(57) 요 약**

불휘발성 반도체 메모리 디바이스는: 2개의 전극 간의 전하 방전 속도가 기억된 정보의 논리에 따라 달라지는 기억 소자와; 상기 기억 소자의 한편의 전극이 접속된 배선의 방전 전위를 참조 전위와 비교하는 것에 의해, 상기 정보의 논리를 검출하는 센스 앰프와; 상기 방전 전위가 입력되는 센스 앰프의 센스 노드의 부하 용량, 또는, 상기 센스 노드의 부하 용량과 상기 참조 전위가 입력되는 상기 센스 앰프의 참조 노드의 부하 용량 둘 다를, 상기 기억 소자가 판독한 정보의 논리에 따라 변화시키는 부하 용량 변경부를 포함한다.

**대 표 도** - 도34

## 명세서

### 청구범위

#### 청구항 1

2개의 전극 간의 전하 방전 속도가 기억된 정보의 논리에 따라 달라지는 기억 소자와;

상기 기억 소자의 한편의 전극이 접속된 배선의 방전 전위를 참조 전위와 비교하는 것에 의해, 상기 정보의 논리를 검출하는 센스 앰프와;

상기 방전 전위가 입력되는 센스 앰프의 센스 노드의 부하 용량, 또는, 상기 센스 노드의 부하 용량과 상기 참조 전위가 입력되는 상기 센스 앰프의 참조 노드의 부하 용량 둘 다를, 상기 기억 소자가 판독한 정보의 논리에 따라 변화시키는 부하 용량 변경부를 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리 디바이스.

#### 청구항 2

제 1항에 있어서,

상기 부하 용량 변경부는, 상기 센스 노드의 부하 용량을 복수의 값 중에서 전환할 수 있는 것을 특징으로 하는 불휘발성 반도체 메모리 디바이스.

#### 청구항 3

제 2항에 있어서,

상기 센스 앰프는, 상기 센스 노드의 전위와 상기 참조 노드의 전위의 차이를 증폭하는 차동 센스 앰프이고,

상기 참조 노드에 복수의 참조 저항의 어느 하나가, 판독한 정보의 논리에 따라 제어되는 스위치를 통해 선택 가능하게 접속되고,

상기 부하 용량 변경부는, 상기 참조 노드에 접속된 참조 저항의 값에 따라, 상기 센스 노드의 부하 용량치를 변경하는 것을 특징으로 하는 불휘발성 반도체 메모리 디바이스.

#### 청구항 4

제 3항에 있어서,

상기 센스 노드의 부하 용량치는, 복수의 상기 기억 소자를 상기 스위치를 통해 상기 센스 노드에 공통 접속하는 배선의 수를 변경하는 것에 의해, 변경될 수 있는 것을 특징으로 하는 불휘발성 반도체 메모리 디바이스.

#### 청구항 5

제 4항에 있어서,

셀 스위치와 상기 기억 소자를 직렬 접속하는 것에 의해 각각 구성되는 메모리 셀이 매트릭스 형상으로 배치된 메모리 셀 어레이를 더 포함하고,

상기 메모리 셀 어레이는, 열방향으로 배치된 복수의 메모리 셀에서 셀 스위치측에 배치된 단부(ends)를 공통 접속하는 복수의 부비트선이, 부비트선 선택 스위치를 통해 비트선에 접속되는 비트선 계층 구조를 가지며,

상기 부하 용량 변경부는, 판독한 정보의 논리에 따라 상기 부비트선 선택 스위치를 제어하는 것에 의해, 상기 센스 노드의 부하 용량치를 변경하는 것을 특징으로 하는 불휘발성 반도체 메모리 디바이스.

#### 청구항 6

제 5항에 있어서,

상기 비트선과 상기 센스 노드의 접속을 제어하는 비트선 접속 스위치가 접속되어 있는 것을 특징으로 하는 불휘발성 반도체 메모리 디바이스.

### 청구항 7

제 6항에 있어서,

상기 비트선 접속 스위치는, 선형 영역에서 동작하는 트랜지스터인 것을 특징으로 하는 불휘발성 반도체 메모리 디바이스.

### 청구항 8

제 6항에 있어서,

상기 비트선 접속 스위치는, 포화 영역에서 동작하는 트랜지스터인 것을 특징으로 하는 불휘발성 반도체 메모리 디바이스.

### 청구항 9

제 5항에 있어서,

상기 기억 소자는, 인가 전압 방향에 의해 기록 정보의 논리가 달라지는 저항 변화형 기억 소자인 것을 특징으로 하는 불휘발성 반도체 메모리 디바이스.

### 청구항 10

제 2항에 있어서,

상기 센스 앰프는, 상기 센스 노드의 전위와 상기 참조 노드의 일정 전위를 비교하는 것에 의해 증폭을 수행하는 센스 앰프이고,

상기 부가 용량 변경부는, 복수의 추가 부하 용량과, 적어도 1개의 추가 부하 용량을 상기 센스 노드에 변경 가능하게 접속시키는 스위치를 포함하고, 판독한 정보의 논리에 따라, 상기 센스 노드의 추가 부하 용량치를 변경하는 것을 특징으로 하는 불휘발성 반도체 메모리 디바이스.

### 청구항 11

제 10항에 있어서,

상기 센스 노드의 추가 부하 용량치는, 상기 스위치를 통해 복수의 상기 기억 소자를 상기 센스 노드에 공통 접속하는 배선의 수를 변경하는 것에 의해, 변경될 수 있는 것을 특징으로 하는 불휘발성 반도체 메모리 디바이스.

### 청구항 12

제 11항에 있어서,

셀 스위치와 상기 기억 소자를 직렬 접속하는 것에 의해 각각 구성되는 메모리 셀이 매트릭스 형상으로 배치된 메모리 셀 어레이를 구비하고,

상기 메모리 셀 어레이는, 열방향의 복수의 메모리 셀에서 셀 스위치측에 배치된 단부(ends)를 공통 접속하는 복수의 부비트선이, 부비트선 선택 스위치를 통해 비트선에 접속되는 비트선 계층 구조를 가지며,

상기 부하 용량 변경부는, 판독한 정보의 논리에 따라 상기 부비트선 선택 스위치를 제어하는 것에 의해 상기 센스 노드의 부하 용량치를 변경하는 것을 특징으로 하는 불휘발성 반도체 메모리 디바이스.

### 청구항 13

제 12항에 있어서,

상기 비트선과 상기 센스 노드의 접속을 제어하는 비트선 접속 스위치가 접속되어 있는 것을 특징으로 하는 불휘발성 반도체 메모리 디바이스.

### 청구항 14

제 13항에 있어서,

상기 비트선 접속 스위치는, 선형 영역에서 동작하는 트랜지스터인 것을 특징으로 하는 불휘발성 반도체 메모리 디바이스.

### 청구항 15

제 13항에 있어서,

상기 비트선 접속 스위치는, 포화 영역에서 동작하는 트랜지스터인 것을 특징으로 하는 불휘발성 반도체 메모리 디바이스.

### 청구항 16

제 13항에 있어서,

상기 비트선 접속 스위치와 상기 센스 노드와의 사이에 NMOS 스위치가 접속되고,

상기 NMOS 스위치의 게이트에 클램프 전압을 인가함으로써, MOS 트랜지스터의 게이트와 소스 사이의 전압만큼 상기 클램프 전압을 낮추는 것에 의해 얻어지는 전압에서 상기 비트선을 클램프하고, 센스 동작에 따라 전압 진폭이 발생되는 센스 노드의 부하와 상기 비트선의 부하를 분리하는 것을 특징으로 하는 불휘발성 반도체 메모리 디바이스.

### 청구항 17

제 12항에 있어서,

상기 기억 소자는, 인가 전압 방향에 따라 기록 정보의 논리가 달라지는 저항 변화형 기억 소자인 것을 특징으로 하는 불휘발성 반도체 메모리 디바이스.

### 청구항 18

제 1항에 있어서,

상기 기억 소자는, 인가 전압 방향에 따라 기록 정보의 논리가 달라지는 저항 변화형 기억 소자인 것을 특징으로 하는 불휘발성 반도체 메모리 디바이스.

## 발명의 설명

### 기술 분야

[0001]

본 발명은, 기억된 정보의 논리에 따라 두 전극 간의 전하 방전 속도가 상이한 기억 소자를 구비하는 불휘발성 반도체 메모리 디바이스에 관한 것이다.

### 배경 기술

[0002]

비트선에 프리차지 전압을 인가하고, 그 방전 속도의 차이를 판독하는 불휘발성 메모리 디바이스가 알려져 있다. 이러한 판독 방법이 적용 가능한 불휘발성 반도체 메모리 디바이스의 대표적인 것으로, (플래시) EEPROM이 존재한다.

[0003]

한편으로, FG형의 (플래시) EEPROM을 대체하기 위해, 데이터 재기록이 고속인 불휘발성 메모리 디바이스로서, 저항 변화형 메모리 디바이스가 주목받고 있다.

[0004]

저항 변화형 메모리 디바이스로서, 기억 소자 내의 도전막에 도전성 이온을 입출력시킨 때의 저항 변화를 기억 상태에 대응시킨 이른바 ReRAM이 알려져 있다(예를 들면, K. Aratani, 등에 의한 "A Novel Resistance Memory with High Scalability and Nanosecond Switching", Technical Digest IEDM 2007, pp. 783-786 참조).

[0005]

ReRAM의 재기록 특성, 지지 특성 등의 신뢰성을 보증하기 위해, 나아가서는 다가 메모리(multi-valued memory)에의 응용을 위해, 일반적인 플래시 메모리 등과 마찬가지로 기록, 소거시에 검증·판독 동작이 수행되는 방식이 검토되고 있다(예를 들면, 일본 특개2009-26364호 공보, 일본 특개2002-260377호 공보, 일본 특개2005-510005호 공보 참조).

[0006]

일반적인 플래시 메모리의 검증·판독시의 전류 제어는, 판독 전류(센스 전류)는 거의 일정하다. 따라서, 메모

리 트랜지스터의 게이트 전위를 바꾸는 것에 의해, 다른 임계치를 검증한다. 이 동작 방식의 이점은 동작 전류가 일정하기 때문에, 센스 타이밍, 센스 노드의 부하 등이 검증될 임계치에 거의 의존하지 않는다는 점이다.

## 발명의 내용

### 해결하려는 과제

- [0007] 그러나, ReRAM에는 플래시 메모리와는 다른 제약이 있다. ReRAM의 기억 소자는 2 단자밖에 없다. 즉, 플래시 메모리의 소스 단자, 드레인 단자와 대응하는 전류가 흐르는 2단자만 존재하고, 게이트 단자가 없다. 여기에서, 검증 동작시에 다른 저항치를 판독한 경우, 판독시에 ReRAM에 인가한 프리차지 전압(=VR)이 일정하고, ReRAM의 기억 소자의 저항(셀 저항)이 Rce11라고 가정한다. 이 경우, 판독 전류는 (VR/Rce11)로 된다. 이것은 셀 저항(Rce11)이 변하면 판독 전류가 변하는 것을 의미한다.
- [0008] ReRAM의 경우, 셀 저항(Rce11)은 기억 정보의 논리에 따라 여러 자릿수(several digits) 다르기 때문에, 이위의 이유로부터, 고속에 검증·판독을 행할려고 하면, 이하와 같이 센스 타이밍의 제어가 불가결하게 된다.
- [0009] 구체적으로, 비트선 전위(이하, BL 전위)를 기억 소자에 의한 방전에 따라 저하시키는 것에 의해 검증·판독 동작이 수행될 때, 센스할 저항이 고저항인 경우, 소거/검증 동작시의 BL 전위의 방전이 저속이기 때문에, 센스 타이밍을 느리게 할 필요가 있다. 한편, 센스할 저항이 저저항인 경우, 기록·검증 동작시의 BL 전위의 방전이 고속이기 때문에, 센스 타이밍을 빨리 할 필요가 있다. 이 기록·검증 동작시에 센스 타이밍이 늦어진다면 BL 전하가 소실해 버리고 정상적인 센스 동작을 할 수 없게 되어 버린다.
- [0010] 이처럼 판독하려고 하는 정보의 논리에 따라 최적인 센스 타이밍이 다른 것은, ReRAM에 제한되지 않는다. 즉, 메모리 트랜지스터의 게이트 전압 제어를 행하지 않고, 다이내믹 방전 판독으로 셀 전류의 대소를 판독하는 방식이라면, 플래시 EEPROM 등, 저항 변화형 메모리 이외의 불휘발성 메모리 디바이스라도, 최적인 센스 타이밍의 어긋남이 생긴다.
- [0011] 이하, 이와 같은 프리차지 전하의 방전 속도를, 방전 전류를 거의 일정하게 하도록 (트랜지스터 게이트 전압 등으로) 규제하지 않고, 그대로 판독하는 방법을, "다이내믹 방전 판독"이라고 칭한다.
- [0012] 다이내믹 방전 판독의 경우, 최적인 센스 타이밍의 제어를 센스 앰프의 시동 타이밍을 제어하는 회로에 맡기면, 제어 회로가 복잡해진다.
- [0013] 본 발명은, 이를바 다이내믹 방전 판독을 행하는 불휘발성 메모리에 있어서, 센스 타이밍의 어긋남을 시정하고, 고속 판독을 가능하게 하는 불휘발성 반도체 메모리 디바이스를 제공하는 것이다.

### 과제의 해결 수단

- [0014] 본 발명의 실시 형태에 따른 불휘발성 반도체 메모리 디바이스는: 기억 소자와; 센스 앰프와; 부하 용량 변경부를 포함한다.
- [0015] 상기 기억 소자는 2개의 전극 간의 전하 방전 속도가 기억된 정보의 논리에 따라 달라진다.
- [0016] 상기 센스 앰프는, 상기 기억 소자의 한편의 전극이 접속된 배선의 방전 전위를 참조 전위와 비교하는 것에 의해, 상기 정보의 논리를 검출한다.
- [0017] 상기 부하 용량 변경부는, 상기 방전 전위가 입력되는 센스 앰프의 센스 노드의 부하 용량, 또는, 상기 센스 노드의 부하 용량과 상기 참조 전위가 입력되는 상기 센스 앰프의 참조 노드의 부하 용량 둘 다를, 상기 기억 소자가 판독한 정보의 논리에 따라 변화시킨다.
- [0018] 이상의 구성에 의하면, 부하 용량 변경부가, 기억 소자가 판독한 정보의 논리에 따라, 센스 앰프의 센스 노드와 참조 노드의 한편 또는 쌍방의 부하 용량을 변화시킨다. 판독한 정보의 논리가 임의("1" 또는 "0")인 통상의 판독 동작과, 예를 들면 판독한 정보의 논리가 "1"인 기록·검증 판독 동작과, 예를 들면 판독한 정보의 논리가 "0"인 소거/검증 판독 동작을 예로서 설명한다. 이 3 종류의 판독 동작에서, 센스 타이밍의 최적치는 서로 다르다. 예를 들면, ReRAM을 예로 들면, 기록·검증 동작시에서는 기억 소자의 저항치가 가장 낮고, 소거/검증 동작시에서는, 그것이 가장 높고, 통상 판독에서는, 그 중간의 값을 취한다. 따라서 이러한 다른 저항치를 판독함에 있어서, 정보의 논리("1" 또는 "0"의 차이)에 따라, 최적의 부하 용량이 부하 용량 변경부에 의해 결정된다.
- [0019] 그 때문에, 이들 3 종류의 판독 동작을 수행함으로써, 방전 속도를 거의 균일하게 할 수 있다. 따라서, 센스 앰

프의 센스 타이밍을 거의 일정한 값으로 균일화 할 수 있다.

### 발명의 효과

[0020] 본 발명에 의하면, 이른바 다이내믹 방전 관독을 행하는 불휘발성 메모리에 있어서, 센스 타이밍의 어긋남을 시정하고, 고속 관독을 가능하게 하는 불휘발성 반도체 메모리 디바이스를 제공할 수 있다.

### 도면의 간단한 설명

[0021] 도 1의 A 및 B는 제1~제6의 실시의 형태 및 변형예에 공통된 메모리 셀의 등가 회로도.

도 2는 인접한 2개의 메모리 셀 부분의 디바이스 단면 구조도.

도 3의 A 및 B는 가변 셀 저항(기억 소자)의 단면과 동작을 나타내는 도면.

도 4는 제1~제6의 실시 형태에 공통된 IC 칩(메모리 디바이스)의 블록도.

도 5는 X 셀렉터의 회로도.

도 6은 Y 셀렉터의 회로도.

도 7은 2개의 WL 드라이버 유닛을 도시하는 회로도.

도 8은 CSW 드라이버 유닛의 회로도.

도 9는 제1의 실시 형태에 관계된 메모리 셀 어레이의 칼럼 구성도.

도 10는 제1의 실시 형태에 있어서 동작 파형도.

도 11은 비교예의 동작 파형도.

도 12는 다른 비교예의 동작 파형도.

도 13은 비교예의 방전 커브의 계산 결과를 나타내는 도면.

도 14는 제1의 실시 형태에 있어서 방전 커브의 계산 결과를 나타내는 도면.

도 15는 제1의 변형예의 칼럼 구성도.

도 16은 제1의 변형예의 다른 칼럼 구성을 나타내는 도면.

도 17은 제2의 실시 형태에 관계된 칼럼 구성도.

도 18은 발명 적용 전의 비교예의 방전 커브의 계산 결과를 나타내는 도면.

도 19는 제2의 실시 형태에 있어서 방전 커브의 계산 결과를 나타내는 도면.

도 20은 제3의 실시 형태에 관계된 칼럼 구성도.

도 21의 A 및 B는 도 20의 회로 동작 설명도.

도 22는 제4의 실시 형태에 관계된 칼럼 구성도.

도 23의 A 및 B는 도 22의 회로 동작 설명도.

도 24는 제5의 실시 형태 이후의 실시 형태의 비교예의 개념적인 구성도.

도 25는 도 24의 개념을 셀 저항으로 실현한 비교예의 칼럼 구성도.

도 26은 비교예의 CR 방전 커브를 나타내는 그래프.

도 27은 비교예의 CR 방전시의 센스 전압의 변화를 나타내는 그래프.

도 28은 비교예의, 참조 저항을 더 내린 때의 CR 방전 커브를 나타내는 그래프.

도 29는 비교예의, 참조 저항을 더 내린 때의 CR 방전시의 센스 전압의 변화를 나타내는 그래프.

도 30은 비교예의 정전류 방전 커브 나타내는 그래프.

도 31은 비교예의 정전류 방전시의 센스 전압의 변화를 나타내는 그래프.

도 32는 비교예의, 참조 저항을 더 내린 때의 정전류 방전 커브를 나타내는 그래프.

도 33은 비교예의, 참조 저항을 더 내린 때의 정전류 방전시의 센스 전압의 변화를 나타내는 그래프.

도 34는 제5의 실시 형태에 관계된 비트선상에 접속된 칼럼 구조의 회로도.

도 35는 제6의 실시 형태에 관계된 비트선상에 접속된 칼럼 구조의 회로도.

도 36은 제7의 실시 형태에 관계된 비트선상에 접속된 칼럼 구조의 회로도.

### 발명을 실시하기 위한 구체적인 내용

- [0022] 본 발명의 실시 형태를, ReRAM을 예로서, 이하의 순서로 도면을 참조하여 설명한다.
- [0023] 1. 제1의 실시의 형태:싱글 엔드형 센스 앰프를 갖는 메모리의 기본 실시 형태
- [0024] 2. 제1의 변형예 : BLI 스위치의 소자 변경예
- [0025] 3. 제2의 실시의 형태 : 싱글 엔드형 센스 앰프를 갖는 메모리로서, 전하 이송 방식의 방전을 행한 실시 형태
- [0026] 4. 제3의 실시 형태 : 싱글 엔드형 센스 앰프를 갖는 메모리로서, 추가 용량을 미사용 BL의 배선 부하로 사용한 경우의 실시 형태
- [0027] 5. 제4의 실시의 형태 : 싱글 엔드형 센스 앰프를 갖는 메모리의 비트선 계층 구조에서, 추가 용량을 미사용 LBL의 배선 부하로 사용한 경우의 실시 형태
- [0028] 6. 비교예 : 제5의 실시 형태 이후의 실시 형태에 대한 비교예와 그 결점
- [0029] 7. 제5의 실시의 형태 : 차동 센스 앰프의 센스 노드측과 참조 노드측 양쪽에 추가 용량을 접속한 케이스를 포함하는 실시 형태
- [0030] 8. 제6의 실시의 형태 : 차동 센스 앰프의 센스 노드측의 추가 용량을 조정한 실시 형태
- [0031] 9. 제7의 실시의 형태 : 차동 센스 앰프의 메모리의 비트선 계층 구조를 이용하는 실시 형태
- [0032] 본 발명이 적용된 불휘발성 반도체 메모리 디바이스는, 센스 앰프의 센스 노드의 부하 용량(센스측 부하 용량), 또는, 해당 센스측 부하 용량과 참조 노드의 참조 부하 용량의 양쪽을, 부하 용량 변경부에 의해 변경 가능한 특징이 있다. 이하, 센스 노드의 부하 용량을 변경한 경우를 주된 예로서 ReRAM의 실시 형태를 설명하고, 그 중에서, 센스측 부하 용량과 참조측 부하 용량의 쌍방을 변경 가능한 경우를 설명한다.
- [0033] <1. 제1의 실시의 형태>
- [0034] [메모리 셀 구성]
- [0035] 도 1의 A와 B에, 본 발명의 실시의 형태에 공통된 메모리 셀의 등가 회로도를 나타낸다. 또한, 도 1의 A는 기록 전류(Iw), 도 1의 B는 소거 전류(Ie)에 관하여, 그 방향을 나타내지만, 메모리 셀 구성 자체는 도면에서 공통이다.
- [0036] 도 1에 도시한 메모리 셀(MC)은, "기억 소자"로서의 1개의 메모리 셀 저항(Rcell)과, 1개의 액세스 트랜지스터(AT)를 갖는다.
- [0037] 메모리 셀 저항(Rcell)의 한 끝이 플레이트선(PL)에 접속되고, 다른 단이 액세스 트랜지스터(AT)의 소스에 접속되고, 액세스 트랜지스터(AT)의 드레인은 비트선(BL)에, 게이트가 "액세스선"으로서의 워드선(WL)에, 각각 접속되어 있다.
- [0038] 또한, 비트선(BL)과 플레이트선(PL)이 도 1에서는 직교하고 있지만, 비트선(BL)과 플레이트선(PL)을 평행으로 배치해도 좋다.
- [0039] 도 2에, 인접한 2개의 메모리 셀(MC)에 대응하는 부분의 디바이스 구조를 나타낸다. 도 2는 모식 단면도이고, 사선을 붙이고 있지 않다. 또한, 특히 언급하지 않는 도 2의 공백 부분은 절연막으로 충전되거나, 또는 다른 부

분(의 일부)를 구성한다.

[0040] 도 2에 도시되어 있는 메모리 셀(MC)에 있어, 그 액세스 트랜지스터(AT)가 반도체 기판(100)에 형성되어 있다.

[0041] 보다 상세하게는, 액세스 트랜지스터(AT)의 소스(S)와 드레인(D)으로 된 2개의 불순물 영역이 반도체 기판(100)에 형성되고, 그 사이의 기판 영역 상에 게이트 절연막을 개재시키고 폴리실리콘 등으로 된 게이트 전극이 형성되어 있다. 여기에서는 게이트 전극이 워드선(WL1 또는 WL2)을 구성한다.

[0042] 드레인(D)은 2개의 메모리 셀(MC)에 의해 공유되고, 제1의 배선층(1M)에 의해 형성된 비트선(BL)에 접속되어 있다.

[0043] 소스(S) 위에, 플러그(104)와 랜딩 패드(105)(배선층에서 형성)가 반복하여 적층되고, 그 위에 메모리 셀 저항(Rcell1)이 형성되어 있다. 메모리 셀 저항(Rcell1)은 다층 배선 구조의 임의의 층에 형성될 수 있지만, 여기에서는 대략 4~5층째에 메모리 셀 저항(Rcell1)이 형성되어 있다.

[0044] 메모리 셀 저항(Rcell1)은, 하부 전극(101)과, 플레이트선(PL)으로 되는 상부 전극과의 사이에, 절연체막(102)과 도체막(103)을 갖는 막 구성을(적층체)을 갖는다. 절연체막(102)의 재료로서는, 예를 들면,  $\text{SiN}$ ,  $\text{SiO}_2$ ,  $\text{Gd}_2\text{O}_3$  등을 들 수 있다.

[0045] 도체막(103)의 재료로서는, 예를 들면,  $\text{Cu}$ ,  $\text{Ag}$ ,  $\text{Zr}$ 로부터 선택된 1개 이상의 금속 원소를 함유하는 금속막, 합금막(예를 들면  $\text{CuTe}$  합금막), 금속 화합물막 등을 들 수 있다. 또한, 이온화하기 쉬운 성질을 갖는다면,  $\text{Cu}$ ,  $\text{Ag}$ ,  $\text{Zr}$  이외의 금속 원소를 이용해도 좋다. 또한,  $\text{Cu}$ ,  $\text{Ag}$ ,  $\text{Zr}$ 의 적어도 하나와 조합되는 원소는,  $\text{S}$ ,  $\text{Se}$ ,  $\text{Te}$  중의 적어도 1개의 원소인 것이 바람직하다. 도체막(103)은, "이온 공급 층"으로서 형성되어 있다.

[0046] 도 3의 A 및 B에, 메모리 셀 저항(Rcell1)의 확대도에, 전류 방향 및 인가 전압치의 예를 첨부하여 나타낸다. 도 3은, 일 예로서, 절연체막(102)이  $\text{SiO}_2$ 로부터 형성되고, 도체막(103)이  $\text{CuTe}$  합금 베이스의 합금화합물(Cu-Te based)로부터 형성되어 있는 경우를 나타내고 있다.

[0047] 도 3의 A에서는, 절연체막(102)측을 음극측, 도체막(103) 측을 정극측으로 한 전압을 하부 전극(101)과 상부 전극(플레이트선(PL)) 사이에 인가한다. 예를 들면, 비트선(BL)을 0[V]로 접지하고, 플레이트선(PL)에, 예를 들면 +3[V]를 인가한다.

[0048] 그러면, 도체막(103)에 포함된  $\text{Cu}$ ,  $\text{Ag}$ ,  $\text{Zr}$ 가 이온화되어 음극측으로 끌리는 성질을 갖게 된다. 이들 금속의 도전성 이온이 절연체막(102)에 주입된다. 그 때문에, 절연체막(102)의 절연성이 저하되고, 그 저하와 동시에 도전성을 갖게 된다. 그 결과, 도 3의 A에 나타내는 방향의 기록 전류( $I_w$ )가 흐른다. 이 동작을 기록(동작) 또는 세트(동작)라고 말한다.

[0049] 이것과는 역으로, 도 3의 B에서는, 절연체막(102)측을 정극측, 도체막(103) 측을 음극측으로 한 전압을 하부 전극(101)과 상부 전극(플레이트선(PL)) 사이에 인가한다. 예를 들면, 플레이트선(PL)을 0[V]로 접지하고, 비트선(BL)에, 예를 들면 +1.7[V]를 인가한다.

[0050] 그러면, 절연체막(102)에 주입되어 있던 도전성 이온이 도체막(103)으로 되돌아오고, 기록전의 저항치가 높은 상태로 리셋된다. 이 동작을 소거(동작) 또는 리셋(동작)이라고 말한다. 리셋 상태에서는, 도 3의 B에 나타내는 방향의 소거 전류( $I_e$ )가 흐른다.

[0051] 또한, 이하, 세트는 "도전성 이온을 절연체막에 충분 주입하는 것"을 나타내고, 리셋은 "도전성 이온을 절연체막으로부터 충분히 빼내는 것"을 말한다.

[0052] 한편, 데이터의 기록 상태와 데이터의 소거 상태가 되는 상태(세트 또는 리셋)는 임의로 정의된다.

[0053] 이하의 설명에서는, 절연체막(102)의 절연성이 저하되고 메모리 셀 저항(Rcell1) 전체의 저항치가 충분한 레벨까지 내려간 경우를 데이터의 "기록"(세트)에 대응시킨다. 역으로, 절연체막(102)의 절연성이 본래의 초기 상태로 되돌아오고 메모리 셀 저항(Rcell1) 전체의 저항치가 충분한 레벨까지 올라간 경우를 데이터의 "소거"(리셋)에 대응시킨다.

[0054] 여기에서, 도 1에 나타내는 메모리 셀 저항(Rcell1)의 회로 심볼의 화살표는, 통상, 세트시(여기에서는 기록시)의 전류와 동일한 방향이다.

[0055] 상술한 세트와 리셋을 반복한 것에 의해, 메모리 셀 저항(Rcell1)의 저항치를, 고저항 상태와 저저항 상태 사이에서 가역적으로 변화시키는 2차 메모리가 실현된다. 게다가, 메모리 셀 저항(Rcell1)은, 전압의 인가를 정지해

도 데이터는 유지되기 때문에 불휘발성 메모리로서 기능한다.

[0056] 또한, 세트시에 실제로는, 절연체막(102)에 포함된 금속 이온의 양에 따라, 절연체막(102)의 저항치가 변한다. 따라서, 절연체막(102)을 데이터가 기억되고 유지되는 "기억층"으로 간주할 수 있다.

[0057] 이 메모리 셀 저항(Rcell)을 이용하여 메모리 셀을 구성하고, 메모리 셀을 다수 설치하는 것에 의해, 저항 변화형 메모리의 메모리 셀 어레이를 구성할 수 있다. 저항 변화형 메모리는, 이 메모리 셀 어레이와, 그 구동 회로(주변 회로)로 구성된다.

[0058] [IC 칩 구성]

[0059] 도 4에, IC 칩의 블록도를 나타낸다. 도시되어 있는 반도체 메모리 디바이스는, 도 1~도 3에 나타내는 메모리 셀(MC)을 매트릭스 모양으로 행(로우) 방향으로 (M+1)개, 열(칼럼) 방향으로 (N+1)개 배치하고 있는 메모리 셀 어레이(1)를 갖는다. 반도체 메모리 디바이스는, 메모리 셀 어레이(1)과, 그 주변 회로를 동일 반도체 칩에 집적화한 것이다. 여기에서 "N"과 "M"은 비교적 큰 자연수이고, 그 구체적인 값은 임의로 설정된다.

[0060] 메모리 셀 어레이(1)에 있어서, 로우 방향으로 나란한 (M+1)개의 메모리 셀(MC)과 액세스 트랜지스터(AT)의 게이트를 공통으로 접속하는 (N+1)개의 워드선(WL<0>~WL<N>)이, 칼럼 방향으로 소정 간격으로 배치되어 있다. 또한, 칼럼 방향으로 나란한 (N+1)개의 메모리 셀(MC)과 액세스 트랜지스터(AT)의 드레인 사이를 공통으로 접속하는 (M+1)개의 비트선(BL<0>~BL<M>)이, 로우 방향으로 소정 간격으로 배치되어 있다.

[0061] 메모리 셀 저항(Rcell)의 액세스 트랜지스터(AT)와 반대측의 노드를 로우 방향에서 공통으로 접속하는 (N+1)개의 플레이트선(PL)이 칼럼 방향으로 소정 간격으로 배치되어 있다. (N+1)개의 플레이트선(PL)은, 그 한쪽 단이 공통화되고, 메모리 셀 어레이(1)의 외부에 인출되어 있다. 또한, 플레이트선(PL)을 칼럼 방향으로 길게 배치하고, 그 갯수를 (M+1)개로 하여도 좋다.

[0062] 주변 회로는, 도 4에 나타낸 바와 같이, X(어드레스) 디코더(X Decoder)(2), Y(어드레스) 디코더를 겸하는 프리 디코더(PRE Decoder)(3), WL 드라이버(4), BLI 스위치(5), CSW 드라이버(6)를 포함한다. 주변 회로는, 칼럼마다의 센스 앰프(Sense Amp)(7), I/O 버퍼(Input/Output Buffer)(9)를 포함한다. 주변 회로는, 기록·소거 드라이버(Write · Erase Driver)(10), 제어 회로(11), 플레이트 드라이버(PLATE Driver)(12), 로직 블록(16) 및 오프셋 용량 부가 회로(17)를 포함한다. 또한, 전원 전압으로부터 각종 전압을 발생하는 회로, 클록 신호의 발생 제어 회로 등은, 도 4에서 도시를 생략하고 있다. 또한, 오프셋 용량 부가 회로(17)와, 그 제어를 위한 제어 회로(11), 및, 이러한 회로의 전원을 전환하는 것에 의해 오프셋 용량 부가 회로(17)와 메모리 셀 어레이의 접속을 제어하는 스위치 등이, 본 발명의 "부하 용량 변경부"에 해당한다. 오프셋 용량 부가 회로(17)는, 적어도 일부, 특히 추가 용량 부분과 그 접속 스위치 등은 메모리 셀 어레이(1) 안에 배치해도 좋다.

[0063] X 디코더(2)는, X 셀렉터(부도시)를 기본 단위로서 구성된다. X 디코더(2)는, 프리 디코더(3)로부터 입력된 X 어드레스 신호를 디코드하고, 그 디코드의 결과에 근거하여, 선택된 X 선택 신호(X\_SEL)를 WL 드라이버(4)에 보내는 회로이다. X 셀렉터의 상세는 후술한다.

[0064] 프리 디코더(3)는, 입력된 어드레스 신호(Address)를 X 어드레스 신호와 Y 어드레스 신호로 분리한다. 프리 디코더(3)는, X 어드레스 신호(X\_SEL)를 X 디코더(2)에 보내고, Y 어드레스 신호를 Y 디코드부에 의해 디코드한다. 프리 디코더(3)의 Y 디코드부는, Y 셀렉터(부도시)를 기본 단위로서 구성된다. 프리 디코더(3)는, 입력된 Y 어드레스 신호를 디코드하고, 그 디코드의 결과에 근거하여, 선택된 Y 선택 신호(Y\_SEL)를 CSW 드라이버(6)에 보내는 회로이다. Y 셀렉터의 상세는 후술한다.

[0065] WL 드라이버(4)는, 워드선(WL)마다의 WL 드라이버 유닛(부도시)을 (N+1)개 포함한다. 각 WL 드라이버 유닛의 출력에, (N+1)개의 워드선(WL<0>~WL<N>) 중, 대응하는 1개의 워드선이 접속되어 있다. X 디코더(2)로부터 입력된 X 선택 신호(X\_SEL)에 따라, WL 드라이버 유닛의 1개가 선택된다. WL 드라이버 유닛은, 선택된 때에, 그 출력에 접속되어 있는 워드선(WL)에 소정 전압을 인가하는 회로이다. WL 드라이버 유닛의 상세는 후술한다.

[0066] CSW 드라이버(6)는, CSW 드라이버 유닛을 기본 단위로서 구성된다. CSW 드라이버(6)는, BLI 스위치(5)를 제어하기 위한 배선으로서, 칼럼 선택선(CSL<0>~CSL<M>)을 구동하는 회로이다. 또한, CSW 드라이버 유닛의 상세는 후술한다.

[0067] BLI 스위치(5)는, 예를 들면, NMOS 트랜지스터(또는 PMOS 트랜지스터) 단독, 또는, 도 4에 나타내는 트랜스퍼 게이트에 의해 구성된 스위치(51)의 집합이다. 여기에서는 각 스위치(51)가 비트선(BL)마다 접속되고, 이것이

전부 (M+1)개 존재한다. 이하, BLI 스위치(5)를 구성하는 각 스위치가, 트랜스퍼 게이트라고 가정한다.

[0068] 기록 · 소거 드라이버(10)는 I/O 버퍼(9)에 접속되고, 외부에서의 데이터를 I/O 버퍼(9)로부터 입력하고, 입력 데이터에 따라 센스 앤프(7)의 유지 데이터를 변경 가능하게 제어한다.

[0069] 센스 앤프(7)는, 출력 노드가 I/O 버퍼(9)에 접속되어 있다. 센스 앤프(7)는, 온 상태의 스위치(51)를 통해 입력된 비트선(BL)의 전위 변화를 참조 전위와 비교한다.

[0070] 제어 회로(11)는, 기록 이네이블 신호(WRT), 소거 이네이블 신호(ERS), 데이터 판독 신호(RD)를 입력하고, 이러한 3개의 신호에 근거하여 동작한다. 제어 회로(11)는, 이하의 5개의 기능을 구비한다.

[0071] (1) WL 선택 이네이블 신호(WLE)를 WL 드라이버(4) 안의 개별적의 WL 드라이버 유닛에 제공하는 워드선 제어의 기능

[0072] (2) CSW 드라이버(6)를, 프리 디코더(3)를 통해(또는 직접) 제어하고, 이것에 의해 스위치(51)를 개별적으로 도통 또는 비도통으로 하는 기능

[0073] (3) 기록 또는 소거시에, 기록 · 소거 드라이버(10)에 기록 이네이블 신호(WRT), 소거 이네이블 신호(ERS)를 제공하고 동작 전압의 공급을 제어하는 기능

[0074] (4) 기록 또는 소거시에, 필요에 따라, 플레이트 드라이버(12)에 기록 이네이블 신호(WRT), 소거 이네이블 신호(ERS)를 제공하고 동작 전압의 공급을 제어하는 기능

[0075] (5) 검증 동작시에 로직 블록(16)을 제어하고 인히비트 제어의 초기 데이터 설정을 행하는 기능.

[0076] 또한, 제어 회로(11)에 의해 출력된 각종 제어 신호는, 부호만 도 4에 나타내고, 레벨 변화의 상세는 후술한다.

[제어 시스템 회로]

[0078] 다음에, X 디코더(2)의 기본 구성인 X 셀렉터와, 프리 디코더(3)의 Y 디코더 기능의 기본 구성인 Y 셀렉터를 설명한다. 계속해서, WL 드라이버(4)의 기본 구성인 WL 드라이버 유닛을 설명한다.

[0079] 도 5에, X 셀렉터(20)의 회로예를 나타낸다. 도 5에 도시되어 있는 X 셀렉터(20)는, 초단의 4개의 인버터(INV0~INV3), 중단의 4개의 부정 논리곱 회로(NAND0~NAND3), 후단에 접속되어 있는 다른 4개의 인버터(INV4~INV7)로부터 구성된다. X 셀렉터(20)는, X 어드레스 비트(X0, X1)를 입력하고, 그 디코드 결과에 따라, X 선택 신호(X\_SEL0~X\_SEL3)의 어느 한쪽을 활성화하는(예를 들면 하이 레벨에 하는) 회로이다. 도 5는 2비트 디코드의 예이지만, X 디코더(2)는, 그 입력된 X 어드레스 신호의 비트 수에 따라, 도 5의 구성을 확장 또는 다단 전개하는 것으로, 입력이 2비트 이외에서도 대응 가능하게 실현된다.

[0080] 도 6에, Y 셀렉터(30)의 회로예를 나타낸다. 도시되어 있는 Y 셀렉터(30)는, 초단의 4개의 인버터(INV8~INV11), 중단의 4개의 부정 논리곱 회로(NAND4~NAND7), 후단에 접속되어 있는 다른 4개의 인버터(INV12~INV15)로부터 구성된다. Y 셀렉터(30)는, Y 어드레스 비트(Y0, Y1)를 입력하고, 그 디코드 결과에 따라, Y 선택 신호(Y\_SEL0~Y\_SEL3)의 어느 한쪽을 활성화하는(예를 들면 하이 레벨로 하는) 회로이다. 도 6은 2비트 디코드의 예이지만, 프리 디코더(3)는, 그 입력된 Y 어드레스 신호의 비트 수에 따라, 도 6의 구성을 확장 또는 다단 전개하는 것으로, 입력이 2비트 이외에서도 대응 가능하게 실현된다.

[0081] 도 7은, WL 드라이버 유닛(4A)의 2개 부분을 나타내는 회로도이다. 도시되어 있는 WL 드라이버 유닛(4A)의 수는, WL 드라이버(4) 안에 칼럼 방향의 셀 수(N+1)와 동일하다. 이 (N+1)개의 WL 드라이버 유닛(4A)은, 도 5에 나타내는 X 셀렉터(20) 등에 의해 선택(활성화)된 1개의 X 선택 신호(X\_SEL0 또는 X\_SEL1)에 의해 동작한다. WL 드라이버 유닛(4A)은, X 선택 신호(X\_SEL0 또는 X\_SEL1)에 따라 1개의 워드선(WL<0> 또는 WL<1>)을 활성화한다.

[0082] 도 7에 도시하고 있는 WL 드라이버 유닛(4A)은, 부정 논리곱 회로(NAND8)와 인버터(INV16)에 의해 구성된다. 부정 논리곱 회로(NAND8)의 한편 입력에 WL 선택 이네이블 신호(WLE)가 입력되고, 다른 편 입력에 X 선택 신호(X\_SEL0 또는 X\_SEL1)가 입력되고, 부정 논리곱 회로(NAND8)의 출력이 인버터(INV16)의 입력에 접속된다. 인버터(INV16)의 출력에 접속된 워드선(WL<0> 또는 WL<1>)이 활성화 또는 비활성으로 된다.

[0083] 도 7에 나타내는 WL 선택 이네이블 신호(WLE)는 도 4의 제어 회로(11)에 의해 발생되고, 로우 디코더(4)에 제공된다.

[0084] 도 8에, 두개의 CSL 드라이버 유닛(6A)에 대응하는 회로예를 나타낸다. 도시되어 있는 CSL 드라이버 유닛(6A)은, 부정 논리곱 회로(NAND12)와, 그 출력에 접속되어 있는 인버터(INV21)에 의해 구성된다. 부정 논리

곱 회로(NAND12)의 한편 입력에 BLI 이네이블 신호(BLIE)가 입력되고, 다른 편 입력에 도 6에 나타내는 Y 셀렉터(30)에 의해 선택(활성화)된 1개의 Y 선택 신호(Y\_SEL0 또는 Y\_SEL1)가 입력된다. 이 Y 선택 신호(Y\_SEL0 또는 Y\_SEL1)과 BLI 이네이블 신호(BLIE)가 모두 활성인 때에(하이 레벨로 설정된 때에), 부정 논리곱 회로(NAND12)의 출력이 로우 레벨로 된다. 그 때문에, 인버터(INV21)의 출력에 접속된 칼럼 선택선(CSL<0> 또는 CSL<1>)의 전위가 활성 레벨(본예에서는 하이 레벨)로 천이한다. 칼럼 선택선(CSL<0> 또는 CSL<1>)의 전위는, 도 4에 나타낸 바와 같이, 대응하는 NMOS 트랜지스터(72)의 게이트에 입력된다.

[0085] 도 8에 나타내는 BLI 이네이블 신호(BLIE)는 도 4의 제어 회로(11)에 의해 발생하고, CSW 드라이버(6)에 제공된다.

[0086] [칼럼 회로와 오프셋 용량 부가를 위한 구성]

[0087] 도 9에, 본 실시의 형태에 관계된 칼럼 회로 구성의 개략도를, 도 4의 오프셋 용량 부가 회로(17)의 회로예와 동시에 나타낸다. 도 9에 도시한 구성은, 1개의 비트선(BL)에, 설명의 편의상, 메모리 셀 저항(Rcell1)이 저저항의 메모리 셀과, 고저항의 메모리 셀을 2개 나타낸다. 저저항의 메모리 셀의 액세스 트랜지스터의 게이트가 워드선(WL1)에 접속되고, 고저항의 메모리 셀의 액세스 트랜지스터의 게이트가 워드선(WL2)에 접속된다. 도 9에서, 비트선(BL)의 부하 용량을 부호 "Cbl"의 등가 용량으로 나타낸다.

[0088] 비트선(BL)과 센스 앤프(7A)의 센스 노드(비반전 입력 "+") 사이에, BLI 스위치(5)(도 4)를 구성하는 스위치(51)가 접속된다. 센스 노드의 전위를, 도 9에서는 센스 노드 전위(Vo)로 나타내고 있다. 센스 앤프(7A)의 반전 입력("−")에는, 일정한 참조 전위(Vref)가 입력된다.

[0089] 센스 노드에 대하여, 판독 인가 전압(VR)의 인가를 제어하는 프리차지 트랜지스터(PMOS)(71)가 접속된다. 프리차지 트랜지스터(71)는, 도 4에서는 도시하고 있지 않지만, 제어 회로(11)로부터 공급되는 프리차지 신호(/PRE)에 의해, 그 게이트가 제어된다. 또한, 프리차지 트랜지스터(71)는 비트선(BL) 측에 접속해도 좋다. 또한, 판독 인가 전압(VR)은, 비트선(BL)에 접속된 판독 대상의 메모리 셀 이외의 메모리 셀에서, 판독 장애(read disturbance)가 발생하지 않는 크기로 설정된다.

[0090] 도 9에 나타내는 오프셋 용량 부가 회로(17)의 기본 구성은, 복수(여기에서는 4개)의 추가 용량(Coffset)과, 그 센스 노드에의 접속을 제어하는 복수(여기에서는 4개)의 스위치(171)를 포함한다. 스위치(171)는, 본예에서는 트랜스퍼 게이트로 되고, 그 때문에, 그 제어 신호인 용량 선택 신호(Csel<0>~Csel<3>)를 반전하는 인버터가 복수(여기에서는 4개) 마련되어 있다. 용량 선택 신호(Csel<0>~Csel<3>) (=Csel<3:0>)는, 예를 들면, 도 4의 제어 회로(11)로부터 공급된 기록 이네이블 신호(WRT), 소거 이네이블 신호(ERS)를 기초로, 오프셋 용량 부가 회로(17)의 내부에서 생성된다.

[0091] 이상과 같이, 도 9의 구성은, 비트선(BL)과 센스 노드 전위(Vo)를 스위치에 의해 저저항 접속하고, 또한 센스 노드 전위(Vo)에 교체 가능한 추가 용량(Coffset)이 배치되고 있는 것이 특징이다. 추가 용량(Coffset)의 구성은, 특히 도시하지 않지만, MOS 용량(게이트 전극과 채널 사이의 용량), 게이트와 소스 또는 드레인과의 오버랩 용량 등으로 실현된다. 배치 면적에 여유가 있으면, 추가 용량(Coffset)을 MIM 용량으로 실현해도 좋다.

[0092] [판독 동작]

[0093] 도 10에, 제1의 실시 형태에서의 판독 동작시의 전압 또는 신호의 파형도를 나타낸다. 워드선(WL)이 비활성(오프)의 "L"일 때에, 프리차지 신호(/PRE)를 활성 레벨의 "L"로 하고, 센스 노드 전위(Vo)와 BL 전위를 판독하여 인가 전압(VR)에 차지해 둔다. 다음에 워드선(WL1)을 활성화(온)하고, 프리차지 신호(/PRE)를 비활성 레벨의 "H"로 하여 해제한다. 이것에 의해 시간 T1을 시작점으로서, 센스 노드 전위(Vo)와 BL 전위가 메모리 셀에 의해 방전된다. 워드선(WL1)은 저저항 상태의 메모리 셀이라고 가정한다. 이때, 용량 선택 신호(Csel<3:0>=#E), 즉, 추가 용량(Coffset)에 의해 센스 노드 전위(Vo)의 부하가 커진 상태이다. 그 때문에, 센스 노드 전위(Vo)의 방전 속도를 지연시키는 효과가 있다.

[0094] 다음에, 워드선(WL2)을 온 하면, 시간 T2를 시작점으로서, 마찬가지로 센스 노드 전위(Vo)와 BL 전위가 메모리 셀에 의해 방전된다. 워드선(WL1)은 고저항 상태의 메모리 셀이라고 가정한다. 이때, 용량 선택 신호(Csel<3:0>=#3), 즉, 추가 용량(Coffset)에 의해 센스 노드 전위(Vo)의 부하가 작아진 상태이다. 이 때문에, 센스 노드 전위(Vo)의 방전 속도를 고속화시키는 효과가 있다.

[0095] 이처럼 메모리 셀의 저항에 의한 센스 노드 전위(Vo)의 방전 속도차를 상계하도록 추가 용량(Coffset)을 전환하는 방식이, 본 실시 형태의 판독 방법의 요점이다.

## [0096] [비교예]

이하, 이상의 판독 방법을 비교예와 비교하는 것에 의해, 센스 타이밍이 균일화되도록 방전 속도가 균일화되는 본 발명의 적용의 효과가 더욱 명확하게 될 것이다. 도 11은, 추가 용량(Coffset)의 교체를 하지 않는(추가 용량(Coffset)의 용량이 작은 값으로 고정) 경우의 과정도이다. 도 11의 경우, 시간 T2를 시작점으로 하는 고저항 판독 동작시의 방전에서는, 그 속도가 도 10과 동등하다. 한편, 시간 T1을 시작점으로 하는 저저항 판독 동작시의 방전에서는, 즉석에서 전하가 소실하는 것을 알 수 있다. 도 10과 도 11의 시간 T2를 시작점으로 하는 방전에 따라, BL 전위가 참조 전위(Vref) 아래로 떨어지도록 센스 타이밍이 충분한 타이밍으로 설정되는 것으로 가정한다. 이 경우, 도 11의 시간 T1을 시작점으로 하는 저저항 판독 동작에서, 전위를 센스하는 것은 어렵다.

도 12는, 마찬가지로 추가 용량(Coffset)의 교체를 하지 않지만, 추가 용량(Coffset)을 큰 값으로 고정한 경우의 과정도이다. 도 12의 경우, 시간 T1을 시작점으로 하는 저저항 판독 동작시의 방전에서는, 그 속도가 센스 앰프에 의해 판독 가능하게 적당하다. 그러나, 시간 T2를 시작점으로 하는 고저항 판독 동작시의 방전에서는, 추가 용량(Coffset)의 설정치가 너무 크다. 따라서, 센스 노드 전위(Vo)의 부하가 크고, 센스 속도가 극단적으로 저하된다.

## [0099] [구체적인 예에 의한 본 발명 적용의 효과]

다음에, 본 발명 적용의 효과를, 보다 구체적인 저항치를 이용하여 정량적으로 설명한다. 센스 노드 전위(Vo)에 판독 BL 전압(VR)을 공급하고 있는 때의 센스 앰프 입력부의 부하 용량(비트선 부하를 포함하지 않는 부하의 용량)을 Cload라고 한다. 이 경우, (SA 입력부의) 부하 용량(Cload)의 전하를 다이내믹하게 ReRAM(저항)에 의해 방전한 때의 센스 노드 전위(Vo) 전위는, 이하의 식 (1)로 표현된다.

$$Vo = VR \times \exp\{-(Time)/(R_{cell} \times C_{load})\} \quad (1)$$

여기에서, (Time)는 방전 시간을 나타낸다. 지금,  $R_{cell}$ (기록 검증 판독 동작시)= $10[\text{K}\Omega]$ ,  $R_{cell}$ (통상 판독 동작시)= $100[\text{K}\Omega]$ ,  $R_{cell}$ (소거/검증 판독 동작시)= $1[\text{M}\Omega]$ 이라고 가정한다.

도 13은,  $C_{load}=100[\text{fF}]$ 로 일정하게 한 본 발명이 적용되지 않은 경우의 방전 특성도이다. 이때, 예를 들면  $40[\text{ns}]$ 를 센스 타이밍이라고 하면, 통상 판독과 저저항 판독이 모두  $Vo=0[\text{V}]$  부근으로 되기 때문에, 그 판별이 불가능하다. 방전 시작으로부터 센스 타이밍까지의 시간을 좀 더 단축해도, 통상 판독의 방전 속도가 빠르고, 저저항 판독 동작에 대한 방전 속도가 더 빠르다. 따라서, 최적인 센스 타이밍의 설정이 곤란하다.

도 14는, 도 9에 나타내는 오프셋 용량 부가 회로(17)의 제어에 의해, 방전 속도차의 괴리를 완화한 경우의 방전 특성도이다. 오프셋 용량 부가 회로(17)는, 판독한 정보의 논리에 기초하여 정해지는 판독의 종류에 따라 제어된다. 즉, 오프셋 용량 부가 회로(17)는, 통상 판독(논리=임의), 기록 검증 판독 동작(논리="1"), 소거/검증 판독 동작(논리="0")의 구별에 따라, 추가 용량(Coffset)의 최적치를 선택하고, 센스 노드의 부하에 추가한다. 도 14는, 추가 후의 방전 커브를 시뮬레이션 계산에 의해 구한 것을 나타내고 있다. 또한, 셀 저항은, 도 13과 마찬가지로,  $R_{cell}$ (기록 검증 판독 동작시)= $10[\text{K}\Omega]$ ,  $R_{cell}$ (통상 판독 동작시)= $100[\text{K}\Omega]$ ,  $R_{cell}$ (소거/검증 판독 동작시)= $1[\text{M}\Omega]$ 이다. 또한,  $C_{load}$ (기록 검증 판독 동작시)= $1500[\text{fF}]$ ,  $C_{load}$ (통상 판독 동작시)= $300[\text{fF}]$ ,  $C_{load}$ (소거/검증 판독 동작시)= $100[\text{fF}]$ 로 하고 있다.

도 14로부터, 방전 시간  $10[\text{ns}] \sim 50[\text{ns}]$  정도의 넓은 타이밍 레인지에서 전하 소실이 발생하지 않고, 또한, 센스 노드 전위(Vo)의 전압 진폭도 받아들일 수 있는 것을 알 수 있다. 이것으로부터, 예를 들면  $10[\text{ns}] \sim 50[\text{ns}]$  정도의 범위 내에서 센스 타이밍의 설정이 가능해진다.

## &lt;2. 제1의 변형예&gt;

제1의 실시 형태에 있어서, BLI 스위치에 관한 변형예를, 다음에 설명한다. 도 15에, 제1의 변형예의 제1의 칼럼 구성을 포함하는 회로도를 나타낸다. 도 15의 구성을에서는, 센스 노드 전위(Vo)와 비트선(BL)을 접속하는 스위치(51)를 트랜스퍼 게이트(제1의 실시 형태)가 아니라, NMOS 트랜지스터로 변경하고 있다.

도 16에, 제1의 변형예의 제2 칼럼 구성을 포함하는 회로도를 나타낸다. 도 16의 구성을에서는, 센스 노드 전위(Vo)와 비트선(BL)을 접속하는 스위치(51)를 트랜스퍼 게이트(제1의 실시 형태)가 아니라, PMOS 트랜지스터로 변경하고 있다.

제1 및 제2 칼럼 구성을 스위치(51)는, 센스 노드 전위(Vo)와 비트선(BL)을 저저항으로 접속하는 스위치로서 가능하다. 이 때문에, 제1의 실시 형태의 트랜스퍼 게이트(스위치(51))와 동일한 기능을 갖는다. 차이는 센스 노

드 전위(Vo)와 비트선(BL)을 저저항 접속 가능한 전압 레인지가 다르다는 것과, 소자 수이다. 동작 전압 레인지에 따라, 비용의 관점에서, 제1의 칼럼 구성의 NMOS 트랜지스터, 또는 제2 칼럼 구성의 PMOS 트랜지스터를, 트랜스퍼 게이트로 대치하는 것이 가능하다.

[0110] <3. 제2의 실시의 형태>

도 17에, 제2의 실시 형태에 관계된 칼럼 구성을 포함하는 회로도를 나타낸다. 도 17에 도시한 칼럼 구성에서는, 도 9와 비교하면, 센스 노드 전위(Vo)와 비트선(BL) 사이에 NMOS 스위치(52)가 추가된다. NMOS 스위치(52)의 게이트에, "클램프 전압"으로서 전압(VGATE)을 인가한다. 이것이 의해, BL 전위를  $\{VGATE-Vgs(=VR)\}$  전위로 클램프한다. 또한, 도 9에서는 프리차지 전압을 기호 "VR"로 나타내지만, 이것과 다른 전압 설정이 가능한 프리차지 전압(Vpre)이, 프리차지 트랜지스터(71)의 소스에 인가된다.

[0112] 이 방식의 한 특징은, BL 전위를 고정함으로써, 센스 노드 전위(Vo) 측에 큰 센스 전압 진폭이 확보된다는 것이다. 이 점에 관하여, 제1의 실시 형태에서는 센스 전압 진폭은 0[V]~판독 인가 전압(VR)이 최대이다. 이것에 대하여, 제2의 실시 형태에서는, 0[V]~프리차지 전압(Vpre)(Vpre에 제약이 없다)이기 때문에, 센스 전압 진폭을 크게 할 수 있는 전압 설정이 가능하다. 또한, 이 방식에서는, 센스 동작에서, 센스 노드의 전위 상승과 동시에 NMOS 스위치(52)가 차단되면, 이후는, 센스 노드의 용량 부하와 비트선(BL)의 용량 부하가 분리된다. 이 때문에, 센스 노드의 용량 부하가 감소되어, 고속 동작에 적절하게 된다. 본 방식은 일반적으로 전하 이송 방식 등의 이름으로 불린다.

[0113] 전하 이송 방식에 있어서도, 제1의 실시 형태에서 수행된 추가 용량(Coffset)과 그 스위치의 접속과 그 교체가 유효하다. 동작 제어 방식, 동작 과형도는 제1의 실시 형태와 마찬가지이기 때문에, 이하, 정량적인 비교만 행한다.

[0114] 센스 노드의 용량 부하를 Cload, 센스 노드의 프리차지 전압(Vpre)을 1.8[V], 판독 인가 전압(VR)을 0.1[V]라고 가정한다. 이 경우, (SA 입력부의) 용량 부하(Cload)의 전하를 다이내믹하게 ReRAM 셀(저항)에서 방전한 때의 센스 노드의 전위(Vo)는 이하의 식 (2)로 표시된다.

$$Vo = Vpre - \{(Time) * (VR/Rcell) / Cload\} \quad (2)$$

[0115] 여기에서, (Time)은 방전 시간을 나타낸다. 지금, Rcell(기록 검증 판독 동작시)=10[KΩ], Rcell(통상 판독 동작시)=100[KΩ], Rcell(소거/검증 판독 동작시)=1[MΩ]이라고 가정한다.

[0116] 도 18은, Cload=10[fF]로 일정하게 고정한 본 발명이 적용되지 않은 경우의 방전 특성도이다. 전하 이송 방식에서는 방전이 시간에 대하여 리니어(직선상)하게 변화한다. 이때, 센스 타이밍을 설정할 수 있는 시간 범위는 거의 존재하지 않기 때문에, 정보의 판별이 불가능하다.

[0117] 도 19는, 도 17에 나타내는 오프셋 용량 부가 회로(17)의 제어에 의해, 방전 속도차의 괴리를 완화한 경우의 방전 특성도이다. 오프셋 용량 부가 회로(17)는, 판독한 정보의 논리에 기초하여 정해지는 판독의 종류에 따라 제어된다. 즉, 오프셋 용량 부가 회로(17)는, 통상 판독(논리=임의), 기록 검증 판독 동작(논리="1"), 소거/검증 판독 동작(논리="0")의 구별에 따라, 추가 용량(Coffset)의 최적치를 선택하고, 센스 노드의 부하에 추가한다. 도 19는, 추가 후의 방전 커브를 시뮬레이션 계산에 의해 구한 것을 나타내고 있다. 또한, 셀 저항은, 도 18과 마찬가지로, Rcell(기록 검증 판독 동작시)=10[KΩ], Rcell(통상 판독 동작시)=100[KΩ], Rcell(소거/검증 판독 동작시)=1[MΩ]이라고 가정한다. 또한, Cload(기록 검증 판독 동작시)=200[fF], Cload(통상 판독 동작시)=50[fF], Cload(소거/검증 판독 동작시)=10[fF]이다.

[0118] 도 19로부터, 방전 시간 10[ns]~60[ns] 정도의 넓은 타이밍 레인지에서 전하 소실이 발생하지 않고, 또한, 센스 노드 전위(Vo)의 전압 진폭도 받아들일 수 있는 것을 알 수 있다. 이것으로부터, 예를 들면 10[ns]~60[ns] 정도의 범위 내에서 센스 타이밍의 설정이 가능해진다.

[0119] <4. 제3의 실시의 형태>

[0120] 도 20에, 제3의 실시 형태에서 전제로 되는 칼럼 구조도를 나타낸다. 도 20에 도시한 칼럼 구조에서는, 열방향의 메모리 셀 칼럼이 1개의 센스 앰프(7A)를 공유하고 있다. 구체적으로는, 지금까지 설명해 왔던 칼럼 구성도 (도 9 및 도 15~도 17)에 있어서 오프셋 용량 부가 회로(17)는, 도 4와 같이 메모리 셀 어레이(1)의 밖에 배치되기 때문에, 그 부분에 또 하나의 다른 메모리 셀 칼럼이 배치된다. 이하, 기존의 비트선(BL)을 상측 비트선(BLu)이라고 표기하고, 이 추가된 메모리 셀 칼럼의 비트선을 하측 비트선(BLd)이라고 표기한다.

- [0122] 이와 같은 SA 공유 칼럼 구조에서는, 센스 앰프(7A)에 의한 판독 동작이 행해지는 메모리 셀 칼럼은, 상측 비트 선(BLu)과 하측 비트선(BLd) 중 하나이다. 즉, 상측 비트선(BLu)이 판독 동작 대상인 때는 하측 비트선(BLd)이 미사용으로 되고, 하측 비트선(BLd)이 판독 동작 대상인 때는, 상측 비트선(BLu)이 미사용으로 된다.
- [0123] 이와 같은 SA 공통 구조 자체는 이미 알고 있다. 통상, 미사용의 메모리 셀 칼럼의 비트선은 스위치(51)에 의해, 동작 대상의 메모리 셀 칼럼의 비트선 부하로부터 분리되어 동작을 가볍게 한다.
- [0124] 본 실시 형태에서는, 이와 같이 비트선 부하를 분리한 경우와, 의도적으로 분리하지 않은 경우를 제어하는 것에 의해, 상기한 다른 실시 형태의 오프셋 용량 부가 회로(17)(도 9 등)의 용량 추가 기능과 등가의 기능이 달성된다. 단, 오프셋 용량 부가 회로(17)(도 9 등)가 추가 용량(Coffset)의 값을 복수 설정할 수 있는 것에 대하여, 이 경우는, 추가 용량치는 1 종류(미사용의 메모리 셀 칼럼의 비트선 부하 용량)만으로 된다. 따라서 이 비트선 부하 용량을 바꾸는 스위치 등도 본 발명의 "부하 용량 변경부"의 일부에 해당한다.
- [0125] 도 21의 A와 B에, 동작 대상의 비트선을 굽은 실선으로 나타내고, 스위치(51)의 온과 오프의 상태를 추가한, 도 20과 동일한 도면을 나타낸다. 도 21에 나타내는 구체적인 예로서, 용량 제어 동작을 정량적으로 설명한다. 도 21에서는, 센스 앰프(7A)의 상측에 배치된 저저항 메모리 셀이 선택되면, 워드선(WL1)이 온으로 되고 워드선(WL2)이 오프로 된다. 또한, 이때 센스 앰프(7A)의 하측에 배치된 하측 비트선(BLu)은 비동작 상태이다(워드선(WL3 및 WL4)가 오프이다). 이 비동작의 하측 비트선(BLu)을 추가 용량(Coffset)으로서 이용한다. 도 21의 A와 같이 하면 추가 용량(Coffset)=Cbl로 되고, 센스 노드의 용량 부하는 (Cload+2\*Cbl)로 된다.
- [0126] 한편, 도 21의 B에 도시된 바와 같이, 센스 앰프(7A)의 상측에 배치된 고저항 메모리 셀이 선택되면, 워드선(WL2)을 온으로 전환하고, 워드선(WL1)을 오프로 전환한다. 또한, 도 21의 A에서는 함께 온 하고 있던 상측 스위치(51u)와 하측 스위치(51d) 중, 하측 스위치(51d)를 오프로 한다. 이것에 의해, 추가 용량(Coffset)=0[V]로 되고, 센스 노드의 용량 부하는 (Cload+1\*Cbl)로 된다.
- [0127] <5. 제4의 실시의 형태>
- [0128] 제4의 실시 형태에서는, 상기 제3의 실시 형태와 마찬가지로 미사용의 배선 용량을 추가 용량으로서 이용한다. 단, 제4의 실시 형태에서는 추가 용량치의 변화가 부족하기 때문에, 그 점을 해결한 형태를, 제4의 실시 형태로 설명한다.
- [0129] 도 22에, 제4의 실시 형태에서 전제로 되는 칼럼 구성도를 나타낸다. 도 9 및 도 15~도 17에 나타내는 비트선은 계층화되어 있지 않다. 이것에 대하여, 본 실시 형태에 관계된 도 22에 도시한 칼럼 구성에서는, 다른 실시 형태에서는 부호 "BL"로 나타내는 비트선이, 글로벌 비트선(GBL)과 로컬 비트선(LBL)으로 계층화되어 있다. 글로벌 비트선(GBL)이 센스 앰프(7A)에 접속되고, 복수(여기에서는 4개)의 메모리 셀 열이 1개의 글로벌 비트선(GBL)에 병렬 접속된다. 여기에서, 도 9 및 도 15~도 17에 가리키는 (비트선 차단) 스위치(51)는, 각 메모리 셀 열의 글로벌 비트선(GBL)과의 접속 부분에 마련되어 있는 스위치(51\_1~51\_4)로 대체된다.
- [0130] 스위치(51\_1~51\_4)는, 도 9 등의 스위치(51)와 스위치(171)를 겸용하는 스위치이다. 즉, 이러한 4개의 병렬 스위치는, 판독 동작 대상의 메모리 셀을 포함하는 메모리 셀 열에 대해서는 도 9 등의 스위치(51)의 역할을 하고, 비사용의 메모리 셀 열에 대해서는 도 9 등의 스위치(171)의 역할을 한다. 이 비사용의 메모리 셀 열에서, 스위치(51\_1~51\_4)의 끝에 접속된 로컬 비트선(LBL1~LBL4)의 부하 용량이, 도 9 등의 오프셋 용량 부가 회로(17) 내에 배치된 추가 용량(Coffset)과 동등의 기능을 달성한다.
- [0131] 이와 같은 비트선 계층 구조에서는, 센스 앰프(7A)에 의한 판독 동작이 행해지는 메모리 셀은, 그 메모리 셀을 포함하는 메모리 셀 열을, 스위치(51\_1~51\_4)의 1개를 온, 나머지를 오프로 하는 것에 의해 선택한다. 이것에 의해 1개의 로컬 비트선(LBL)이 글로벌 비트선(GBL)을 통해 센스 앰프(7A)의 센스 노드에 접속된다. 또한, 이 센스 노드에 접속된 로컬 비트선(LBL)을 공유하는 복수의 메모리 셀 중, 1개의 워드선을 온 하는 것에 의해, 동작 대상의 메모리 셀이 선택된다.
- [0132] 도 23의 A와 B에, 센스 노드에 전기적으로 접속된 계층화 비트선을 굽은 실선으로 나타내고, 스위치의 온과 오프의 상태를 추가한, 도 22와 동일한 도면을 나타낸다. 도 23에 나타내는 구체적인 예로, 용량 제어 동작을 정량적으로 설명한다. 도 23은, 워드선(WL3 또는 WL4)를 온 하여, 이것에 접속된 저저항 메모리 셀 선택한 경우의 예이다.
- [0133] 저저항 판독의 메모리 셀이 접속된 워드선(WL3)을 온 한 경우, 다른 워드선은 오프된다. 또한, 센스 노드 부하 용량의 증가가 필요하기 때문에, 스위치(51\_1~51\_4)의 전부를 온 한다. 도 23의 A와 같이 하면, 추가 용량

$(C_{offset}) = 3 * C_{b1}$ 로 되고, 센스 노드의 용량 부하는  $(C_{load} + C_{gb1} + 4 * C_{b1})$ 로 된다. 여기에서 "C<sub>gb1</sub>"는 글로벌 비트선(GBL)의 부하 용량을 나타낸다.

[0134] 도 23의 B는, 워드선(WL4)에 접속된 고저항 메모리 셀을 선택한 경우이다. 이 경우, 고저항 판독 동작시 센스 노드의 용량 부하의 감소가 요구되기 때문에, 저저항 판독 동작시와 같이 비동작 BL을 사용하지 않는다. 도 23의 B와 같이 하면 추가 용량( $C_{offset} = 0$ )으로 되고, 센스 노드의 용량 부하는  $(C_{load} + C_{gb1} + 1 * C_{b1})$ 로 된다.

[0135] 이상의 제1~제4의 실시 형태 및 제1의 변형예에서는, 이른바 다이내믹 판독 동작을 행하는 ReRAM에서, 싱글 엔드형 센스 앰프의 타이밍 설정의 범위가 확대하고, 오동작의 마진 설계가 용이화된다는 이익을 얻을 수 있다.

[0136] 이하, 차동 증폭형 센스 앰프를 갖는 ReRAM에 본 발명을 적용한 경우의 실시 형태를 설명한다. 또한, 차동 증폭형 센스 앰프의 경우, 그 참조 노드의 저항이나 용량 등의 부하가 변화하고 파라미터가 많아지기 때문에, 본 발명 적용의 효과를 수식으로 정량적으로 설명할 필요가 있다. 그 때문에, 이하의 실시 형태의 설명에 앞서, 본 발명이 적용되지 않은 경우의 비교예를 먼저 설명한다.

[0137] <6. 비교예>

[0138] 차동 증폭형 센스 앰프의 검증 · 판독 동작에서, 싱글 엔드형과 마찬가지로 저저항 상태의 저항( $R_{set}$ )이 세트 · 검증 임계치( $R_{th-set}$ )보다 작아질 때까지, 기록 동작을 반복한다. 그리고,  $R_{set} < (R_{th-set})$ 를 충족시킨다면, 기록 성공으로 된다. 한편, 고저항 상태의 검증 · 판독 동작에서, 리셋 저항( $R_{reset}$ )이 리셋 · 검증 임계치( $R_{th-reset}$ )보다 커질 때까지 기록 동작을 반복한다. 그리고,  $R_{reset} > (R_{th-reset})$ 를 충족시킨다면, 기록 성공으로 된다.

[0139] 통상의 데이터 판독의 판별 임계치를  $R_{th}$ 라고 하면,  $(R_{th-set}) < R_{th} < (R_{th-reset})$ 로 된다. 따라서 세트 판독 동작, 통상 판독 동작, 리셋 판독 동작에서의 판별 임계치는,  $(R_{th-set})$ ,  $R_{th}$ ,  $(R_{th-reset})$ 와 다른 값을 취한다.

[0140] 여기에서  $\{R_{th} - (R_{th-set})\}$ ,  $\{(R_{th-reset}) - R_{th}\}$ 는, 각각,  $R_{set}$ ,  $R_{reset}$ 의 신뢰성 마진이다.

[0141] 이처럼, 불휘발성의 2치 메모리라도 다가의 판독 회로가 필요해진다. 다가로 데이터를 기록하는 메모리라면, 2치 메모리 이상의 다가를 판독하기 위한 복잡한 판독 회로가 필요해진다.

[0142] 도 24는, 본 비교예에 관계된 다가의 판독 회로의 실현예를 나타내는 회로도이다. 도 24에 나타내는 회로에서는, 차동 증폭형의 센스 앰프(7B)의 구체적 구성은 명확하게 하고 있지 않지만, 임계치별로 기준 저항 (reference resistors)을 전환하는 회로 구성을 갖는다.

[0143] 도 24의 회로에는 이하와 같은 문제점이 있다. 2개의 저항의 대소 관계를 판별하는 차동 센스 앰프(7B)로서, 도 25에 나타내는 회로를 이용할 수 있다. 도 24에 도시된 메모리 셀은 하나의 다이오드(D)와 하나의 가변 저항 소자(R)로 구성된다. 한편, 도 25에 도시된 메모리 셀은 하나의 트랜지스터(T)와 하나의 가변 저항 소자(R)로 구성된다. 이러한 차이는 있지만, 차동 센스 앰프(7B)로서는, 동일한 메모리 셀이 두 회로에 사용될 수 있다.

[0144] 도 25에 도시된 바와 같이, 비트선쌍(BL, /BL)으로의 프리차지 전압( $V_{pre}$ )의 공급을 제어하는 프리차지 회로가 차동 센스 앰프(7B)의 2개의 입력에 접속된다. 또한, 이 2개의 센스 입력의 각각에 대하여, 선택 스위치(51A 또는 51B)와 액세스 트랜지스터(AT)를 통해, 메모리 셀 저항( $R_{cell}$ ) 또는 기준 저항( $R_{ref}$ )이 접속된다. 구체적으로, 메모리 셀 저항( $R_{cell}$ )은, 비트선(BL)을 통해 차동 센스 앰프(7B)의 비반전 입력(+)에 접속된다. 기준 저항( $R_{ref}$ )은, 비트 보선(/BL)을 통해 센스 앰프(7B)의 반전 입력(-)에 접속된다.

[0145] 이 회로에서는, 차동 센스 앰프(7B)의 입력을  $V_{pc}$ 에 프리차지 한 후에, 선택 스위치를 이용해  $R_{cell}$ 와  $R_{ref}$ 를 통해 방전시키고, 방전 전위차를 센스 앰프(7B)에 의해 판독한다.

[0146] 여기에서, 센스 앰프(7B)의 입력에 연결된 용량( $C$ )은 등가 용량을 나타낸다. 따라서, 토탈 용량은 회로의 기생 용량일 수도 있고, 실제 용량 소자를 부가하는 것에 의해 얻어지는 용량일 수도 있다. 도 25에 나타내는 회로는 선택 스위치(51A, 51B)로서 MOS 트랜지스터를 이용하고 있지만, 바이폴러 트랜지스터라도 좋다.

[0147] 선택 스위치(51A, 51B)의 동작 영역에 따라, 이 회로는 다른 동작을 한다. 선택 스위치(51A, 51B)가 저항체로서 동작하는 경우, 용량( $C$ )과 저항( $R$ )( $R_{cell}$  또는  $R_{ref}$ 를 주성분으로 하는 총 저항)에 의해 정해지는 시상수( $\tau$ )에 따라 방전(CR 방전)을 한다. 이때, 저항체로서의 선택 스위치(51A, 51B)의 동작은, 스위치가 MOS 트랜지스터인 경우 선형 영역에서의 동작을 나타내고, 스위치가 바이폴러 트랜지스터인 경우 포화 영역에서의 동작을 나타낸다.

- [0148] 선택 스위치(51A, 51B)가 정전류원으로서 동작하도록 하기 위해서는, 스위치가 MOS 트랜지스터인 경우 포화 동작 영역에서 사용되도록 하고, 스위치가 바이폴러 트랜지스터인 경우 비포화 동작 영역에서 사용되도록, 선택 스위치를 제어한다. 이 경우, 방전 속도는 정전류원에 의해 제어된다. 따라서, 속도가 일정한 정전류 방전이 수행된다. 선택 스위치의 동작 영역은, 그 게이트 전압, 또는, 베이스 전압의 값에 의해 제어될 수 있다.
- [0149] 도 26에, CR 방전이 수행된 경우의 방전 커브를 나타낸다. 방전 전압(V)은 하기의 식 (3)으로 나타낼 수 있다.
- [0150]  $V=V_{pre} \cdot \exp\{-t/(C \cdot R)\}$  (3)
- [0151] 여기에서, 메모리 셀의 액세스 트랜지스터(AT)나 선택 스위치(51A, 51B)의 저항, 및, 배선 저항을 충분히 작은 것으로 간주하여 무시한다.
- [0152] 도 26에서는,  $V_{pre}=1[V]$ 이고, X축은  $t/\tau$  ( $\tau=C \cdot R_{ref}$ )에 의해 규격화된다. 또한, 도 26에서는,  $R=R_{ref}$ 의 기준 전압의 커브와,  $R_{cell}=1.2 \cdot R_{ref}$ ,  $R_{cell}=0.8 \cdot R_{ref}$ 의 2 종류의 검출 전압의 커브를 나타내고 있다. 이  $R_{cell}$ 의 크기의 변경은, 도 24의 경우, 저항( $R_0 \sim R_3$ ) 사이의 전환에 상당한다.
- [0153] 도 27에, 검출 전압과 기준 전압의 차이, 즉, 센스 전압( $\Delta[V]$ )의 변화를 나타낸다. 도 27에 도시된 바와 같이, 센스 전압( $\Delta[V]$ )은 센스 방전 시작으로부터 증가하지만, 시간이 더 지나 방전이 완료되면 센스 전압은 사라진다. 최대의 센스 전압은, ( $t=\tau=C \cdot R_{ref}$ )로 얻어지고, 이 타이밍(횡축 메모리가 1.0)이 최적인 센스 타이밍이 된다.
- [0154] 다음에,  $R_{cell}$ 을 ( $0.5 \cdot R_{ref}$ )까지 저하시킨 경우를 생각한다. 이 경우의 CR 방전 커브와 센스 전압 변화를, 도 28과 도 29에 나타낸다. 기준측의 셀 저항을 ( $0.5 \cdot R_{ref}$ )로 바꾼 경우는, 도 28 및 도 29와 같이, 최적의 센스 타이밍은 ( $0.5 \cdot C \cdot R_{ref}$ )로 앞서간다. 도시하지 않지만, 기준 저항을 ( $2 \cdot R_{ref}$ )에 바꾼 경우는, 최적의 센스 타이밍은 ( $2 \cdot C \cdot R_{ref}$ )로 지연된다.
- [0155] 도 30은, 정전류 방전시킨 경우의 CR 방전 커브를 나타낸다. 이 경우의 방전 전압(V)은 다음의 식 (4)에 의해 표시된다.
- [0156]  $V=V_{pre}-VR \cdot t/(C \cdot R)$  (4)
- [0157] 여기에서, 메모리 셀의 액세스 트랜지스터(AT)나 선택 스위치(51A, 51B)의 저항, 및, 배선 저항은 충분히 작은 것으로 간주하여 무시한다.
- [0158] 도 30에 있어서 판독 인가 전압(VR)은, 비트선상 전압, 즉, 메모리 셀과 기준 셀에 인가되는 전압이다. 도 30에서는,  $V_{pre}=1[V]$ , 판독 인가 전압( $VR=0.1 [V]$ )이며, X축은  $t/\tau$  ( $\tau=C \cdot R_{ref}$ )에 의해 규격화된다. 또한, 도 28에서는,  $R=R_{ref}$ 의 기준 전압의 커브와,  $R_{cell}=1.2 \cdot R_{ref}$ ,  $R_{cell}=0.8 \cdot R_{ref}$ 의 2 종류의 검출 전압 커브를 나타내고 있다.
- [0159] 도 31에, 검출 전압과 기준 전압의 차이, 즉, 센스 전압( $\Delta[V]$ )의 변화를 나타낸다. 도 31에 도시된 바와 같이, 센스 전압( $\Delta[V]$ )은 센스 방전 시작으로부터 증가하지만, 시간이 더 지나 방전이 완료되면, 센스 전압은 사라진다. 최대의 센스 전압은, 센스 전압의 소실 직전에 얻어진다. 그러나, 센스 전압의 소실 직전을 시간 관리하는 것은 곤란하고, 통상은, 전압 및 시간의 다이내믹 레인지의 중앙, 도 31의 예에서는, ( $t=5 \cdot \tau=5 \cdot C \cdot R_{ref}$ ) 근처가 최적인 센스 타이밍이 된다.
- [0160] 다음에, 정전류 방전에서,  $R_{cell}$ 을 ( $0.5 \cdot R_{ref}$ )까지 저하시킨 경우를 생각한다. 이 경우의 정전류 방전 커브와 센스 전압 변화를, 도 32와 도 33에 나타낸다. 기준측의 셀 저항을 ( $0.5 \cdot R_{ref}$ )로 바꾼 경우는, 도 32 및 도 33과 같이, 최적의 센스 타이밍은 ( $0.5 \cdot 5 \cdot C \cdot R_{ref}$ )로 앞서간다. 도시하지 않지만, 기준 저항을 ( $2 \cdot R_{ref}$ )에 바꾼 경우는, 최적의 센스 타이밍은 ( $2 \cdot 5 \cdot C \cdot R_{ref}$ )로 지연된다.
- [0161] 이상과 같이,  $R_{ref}$ 가 변경될 때, CR 방전이나 정전류 방전 둘 다에서 센스 타이밍을 전환할 필요가 있다. 이 때문에 센스 타이밍을 전환하는 회로가 필요해지는 결점이 있다. 또한, 센스 타이밍이 변하기 때문에 단위 시간당 처리량이 변동하는 결점이 있다. 또한, 다가 레벨에 따른 정밀도가 좋은 복수의 기준 저항을 설치하는 비용적 결점도 있다.
- [0162] <7. 제5의 실시의 형태>
- [0163] 도 34에, 제5의 실시 형태에 관계된 비트선상의 구성을 나타낸다. 도 34에 나타내는 구성을, 도 25에 나타내는 비교예와 비교하면, 세트 용량 스위치(18S), 리셋 용량 스위치(18R) 및 추가 용량(Coffset)이 추가된다. 본 예

○에서는 2개의 용량 스위치(18S, 18R)가 NMOS 트랜지스터인 경우를 예시하지만, PMOS 트랜지스터라도 좋고 트랜스퍼 게이트라도 좋다. 이를 추가된 용량 스위치나 추가 용량은, 본 발명의 "부하 용량 변경부"의 일부에 해당한다.

[0164] 세트 용량 스위치(18S)와 리셋 용량 스위치(18R)가, 비트선쌍(BL, /BL)에 직렬 접속되고, 그 스위치 사이 노드와 기준 전위선 사이(예를 들면 GND 선)에, 추가 용량(Coffset)이 접속된다. 세트 용량 스위치(18S)는, 도 4의 제어 회로(11)로부터 공급되는 세트 판독 신호(SET)에 의해 제어된다. 리셋 용량 스위치(18R)는, 도 4의 제어 회로(11)로부터 공급되는 리셋 판독 신호(RSET)에 의해 제어된다.

[0165] 도 34의 구성에서, 통상 판독 동작시, SET=L, RESET=L로 신호가 제어된다. 이때, 용량 스위치(18S, 18R)가 함께 오프로 된다. 따라서, 센스 노드 입력의 용량과 기준 입력의 용량 둘 다는, 비트선 또는 비트 보선 단독의 용량치(Cb1)와 등가의 값을 갖는다.

[0166] 세트 검증 · 판독 동작시, SET=H, RESET=L로 신호가 제어된다. 이것에 의해, 세트 용량 스위치(18S)가 온하는 것을 허용하기 위해, 센스 노드 입력의 용량이 (Cb1+Coffset), 기준 입력의 용량이 Cb1로 된다.

[0167] 한편, 리셋 검증 · 판독 동작시, SET=L, RESET=H로 신호가 제어되기 때문에, 온으로 될 용량 스위치가 교체되고, 센스 노드 입력의 용량이 Cb1, 기준 입력의 용량이 (Cb1+Coffset)으로 된다.

[0168] 기준 저항(Rref)은 통상 판독 동작, 세트 · 검증 판독 동작, 리셋 검증 · 판독 동작에서 변경되지 않는다. 즉, 본 발명의 적용에 즈음해서는, 동일한 기준 저항을 이용한다. 이상과 같이 세트 판독 신호(SET)와 리셋 판독 신호(RSET)의 레벨의 조합("H"와 "L")이, 통상 판독 동작, 세트 · 검증 판독 동작, 리셋 검증 · 판독 동작과 같은 동작의 종류를 나타낸다. 이 때문에, 이 2개의 신호의 레벨의 조합을 통한 판독 정보의 논리에 따라 추가 용량치가 변경된다. 게다가, 본 실시 형태에서는, 지금까지의 실시 형태와 달리, 센스 앰프의 센스 노드뿐만 아니라, 참조 노드의 추가 용량치가 변화한다는 특징이 있다.

[0169] [CR 방전 판독 동작시의 전위와 센스 타이밍]

[0170] 이상의 3 종류의 판독에 있어서, 센스 노드(센스 입력)의 전위(Vo), 참조 노드(기준 입력)의 전위(Vr) 및 센스 타이밍(tS)은, 전술한 CR 방전 전압에 관한 식 (3)에 기초하여 이하와 같이 규정할 수 있다.

[0171] 먼저, 통상 판독 동작(SET=L, RESET=L)에서는, 하기의 식 (5-1)~(5-3)가 성립한다.

$$Vo=V_{pre} \cdot \exp\{-t/(Cb1 \cdot R_{cell1})\} \quad (5-1)$$

$$Vr=V_{pre} \cdot \exp\{-t/(Cb1 \cdot R_{ref})\} \quad (5-2)$$

$$(tS) = Cb1 \cdot R_{ref} \quad (5-3)$$

[0175] 세트 검증 · 판독 동작(SET=H, RESET=L)에서는, 하기의 식 (6-1)~(6-3)가 성립한다.

$$Vo=V_{pre} \cdot \exp\{-t/((Cb1+Coffset) \cdot R_{cell1})\} \quad (6-1)$$

$$Vr=V_{pre} \cdot \exp\{-t/(Cb1 \cdot R_{ref})\} = V_{pre} \cdot \exp\{-t/((Cb1+Coffset) \cdot (R_{ref} \cdot Cb1) / (Cb1+Coffset))\} \quad (6-2)$$

$$tSset=Cb1 \cdot R_{ref} \quad (6-3)$$

[0180] 세트 검증 · 판독 동작에서, Rref는 고정되고, Coffset의 추가에 의해, 기준 저항의 저항치가 등가적으로  $\{R_{ref} \cdot Cb1 / (Cb1+Coffset)\}$ 로 감소한다. 그렇지만, 기준 입력의 전압은 통상 판독 동작의 전압과 동일하다. 따라서, 센스 타이밍은 통상 판독 동작의 것과 다르지 않다.

[0181] 리셋 검증 · 판독(SET=L, RESET=H)에서는, 하기의 식 (7-1)~(7-3)가 성립한다.

$$Vo=V_{pre} \cdot \exp\{-t/(Cb1 \cdot R_{cell1})\} \quad (7-1)$$

$$Vr=V_{pre} \cdot \exp\{-t/((Cb1+Coffset) \cdot R_{ref})\} = V_{pre} \cdot \exp\{-t/(Cb1 \cdot (R_{ref} \cdot (Cb1+Coffset) / Cb1))\} \quad (7-2)$$

$$tSreset=(Cb1+Coffset) \cdot R_{ref} \quad (7-3)$$

[0186] 이처럼, 리셋 검증 · 판독 동작에서, Rref는 고정되고, Coffset의 추가에 의해, 기준 저항의 저항치가 등가적으

로  $\{Rref*(Cbl+Coffset)/Cbl\}$ 로 증대한다. 이 경우는, 기준 입력의 전압이 변경된다. 따라서, 센스 타이밍도  $\{(Cbl+Coffset)/Cbl\}$ 배만큼 지연된다.

[0187] 본 실시 형태에서는, 이상과 같이, 기준 저항(Rref)은 고정인 채, Coffset의 접속을 전환하는 것으로, 통상 판독 동작, 세트·검증 판독 동작, 리셋 검증·판독 동작의 3 값의 판독이 가능해졌다. 게다가, 통상 판독 동작과 세트 검증·판독 동작에서는, 동일한 센스 타이밍에 판독 동작을 수행할 수 있다.

[0188] 또한, 소자는 추가가 되지만, 세트 검증·판독 동작시에 Coffset1로의 전환이 수행되고, 리셋 검증·판독 동작시에 Coffset2로의 전환이 수행되는 방식과 같이, 다른 용량치로의 전환이 수행될 수도 있다. 소자의 수는 증가하지만, 임계치 설정의 자유도는 증가된다.

[0189] [정전류 방전 판독 동작시의 전위와 센스 타이밍]

[0190] 이상의 3 종류의 판독에서, 센스 노드(센스 입력)의 전위(Vo), 참조 노드(기준 입력)의 전위(Vr) 및 센스 타이밍(tS)을, 전술한 정전류 방전 전압에 관한 식 (4)에 근거하여 이하와 같이 규정할 수 있다.

[0191] 통상 판독 동작(SET=L, RESET=L)에서는, ( $Vpre=10*VR$ )인 경우, 하기의 식 (8-1)~(8-3)가 성립한다.

$$Vo=Vpre-VR*t/(Cbl*Rcell) \quad (8-1)$$

$$Vr=Vpre-VR*t/(Cbl*Rref) \quad (8-2)$$

$$tS=5*Cbl*Rref \quad (8-3)$$

[0195] 세트 검증·판독 동작(SET=H, RESET=L)에서는, ( $Vpre=10*VR$ )인 경우, 하기의 식 (9-1)~(9-3)가 성립한다.

$$Vo=Vpre-VR*t/((Cbl+Coffset)*Rcell) \quad (9-1)$$

$$Vr=Vpre-VR*t/(Cbl*Rref)$$

$$=Vpre-VR*t/[(Cbl+Coffset)*(Rref*Cbl)/(Cbl+Coffset)] \quad (9-2)$$

$$tS=5*Cbl*Rref \quad (9-3)$$

[0200] 세트 검증·판독 동작에서, Rref는 고정되고, Coffset의 추가에 의해, 기준 저항의 저항치가 등가적으로  $\{Rref*Cbl/(Cbl+Coffset)\}$ 로 감소한다. 그렇지만, 기준 입력의 전압은 통상 판독 동작의 전압과 동일하다. 따라서, 센스 타이밍은 통상 판독의 것과 다르지 않다.

[0201] 리셋 검증·판독 동작(SET=L, RESET=H)에서는, ( $Vpre=10*VR$ )인 경우, 하기의 식 (10-1)~(10-3)가 성립한다.

$$Vo=Vpre-VR*t/(Cbl*Rcell) \quad (10-1)$$

$$Vr=Vpre-VR*t/((Cbl+Coffset)*Rref)$$

$$=Vpre-VR*t/[Cbl *{(Rref *(Cbl+Coffset)/Cbl)}] \quad (10-2)$$

$$tSreset=5*(Cbl+Coffset)*Rref \quad (10-3)$$

[0206] 리셋 검증·판독 동작에서, Rref는 고정되고, Coffset의 추가에 의해, 기준 저항의 저항치가 등가적으로  $\{Rref*(Cbl+Coffset)/Cbl\}$ 로 증대한다. 이 경우는, 기준 입력의 전압이 변하기 때문에, 센스 타이밍도  $\{(Cbl+Coffset)/Cbl\}$ 배만큼 지연된다.

[0207] 이처럼 CR 방전과 정전류 방전에서는, 센스 타이밍의 괴리를 완화하는 효과를 얻을 수 있다는 점에서 변화가 없다.

[0208] <8. 제6의 실시의 형태>

[0209] 도 35에, 제6의 실시 형태에 관계된 비트선쌍의 구성을 나타낸다. 도 35에 나타내는 구성을, 도 34에 나타내는 비교예와 비교하면, 리셋 용량 스위치(18R)가 생략되고, 리드 용량 스위치(18R)가 비트선(BL)에 접속된다. 여기에서, 세트 용량 스위치(18S)는 세트 판독 신호(SET)에 의해 제어되고, 추가 용량(Coffset2)의 접속을 제어한다. 한편, 리드 용량 스위치(18R)는, 리드 이네이블 신호(READ)에 의해 제어되고, 추가 용량(Coffset2)의 비트선(BL)에의 접속을 제어한다. 리드 이네이블 신호(READ)는, 도 4의 제어 회로(11)로부터 공급된다. 본 예에서는, 2개의 용량 스위치(18S, 18R)가 NMOS 트랜지스터인 경우를 예시하지만, PMOS 트랜지스터라도 좋고, 트랜스퍼 게이트라도 좋다.

- [0210] 도 35의 구성에서, 통상 판독 동작시, SET=L, READ=H로 신호가 제어된다. 이때 리드 용량 스위치(18R)가 온되고, 세트 용량 스위치(18S)가 오프로 되다. 따라서, 센스 노드 입력의 용량이 (Cb1+Coffset1)로 되고, 기준 입력의 용량이 (Cb1)로 된다.
- [0211] 세트 검증 · 판독 동작시, SET=H, READ=H로 신호가 제어된다. 이것에 의해, 2개의 용량 스위치(18S, 18r)가 함께 온으로 되다. 따라서, 센스 노드 입력의 용량이 (Cb1+Coffset1+Coffset2)로 되고, 기준 입력의 용량이 (Cb1)로 된다.
- [0212] 한편, 리셋 검증 · 판독 동작시, SET=L, READ=L로 신호가 제어되기 때문에, 온으로 될 용량 스위치가 통상 판독 동작시의 것으로부터 교체되고, 센스 노드 입력과 기준 입력의 용량이 함께(Cb1)로 된다. 기준 저항(Rref)은 통상 판독 동작, 세트 · 검증 판독 동작, 리셋 검증 · 판독 동작에서 변경되지 않는다. 즉, 본 발명의 적용에 따라, 동일한 기준 저항을 이용한다.
- [0213] [CR 방전 판독 동작시의 전위와 센스 타이밍]
- [0214] 이하, 제5의 실시 형태와 마찬가지로, 3 종류의 판독 동작시의 센스 노드 전위(Vo), 참조 노드 전위(Vr) 및 센스 타이밍(tS)은, 전술한 CR 방전 전압에 관한 식 (3)에 근거하여 하기와 같이 규정될 수 있다.
- [0215] 먼저, 통상 판독 동작(SET=L, READ=H)의 경우, 하기의 식 (11-1)~(11-3)가 성립한다.
- [0216]  $Vo=V_{pre} \cdot \exp\{-t/((Cb1+Coffset1) \cdot R_{cell})\}$  (11-1)
- [0217]  $Vr=V_{pre} \cdot \exp\{-t/(Cb1 \cdot R_{ref})\}$
- [0218]  $=V_{pre} \cdot \exp\{-t/((Cb1+Coffset1) \cdot (R_{ref} \cdot Cb1/(Cb1+Coffset1)))\}$  (11-2)
- [0219]  $tS=Cb1 \cdot R_{ref}$  (11-3)
- [0220] 통상 판독 동작에서, Rref는 고정되고, Coffset1의 추가에 의해, 기준 저항의 저항치가 등가적으로  $\{R_{ref} \cdot Cb1/(Cb1+Coffset1)\}$ 로 감소한다.
- [0221] 세트 검증 · 판독 동작(SET=H, READ=H)에서는, 하기의 식 (12-1)~(12-3)가 성립한다.
- [0222]  $Vo=V_{pre} \cdot \exp\{-t/((Cb1+Coffset1+Coffset2) \cdot R_{cell})\}$  (12-1)
- [0223]  $Vr=V_{pre} \cdot \exp\{-t/(Cb1 \cdot R_{ref})\}$
- [0224]  $=V_{pre} \cdot \exp\{-t/((Cb1+Coffset1+Coffset2) \cdot (R_{ref} \cdot Cb1/(Cb1+Coffset1+Coffset2)))\}$  (12-2)
- [0225]  $tSset=Cb1 \cdot R_{ref}$  (12-3)
- [0226] 세트 검증 · 판독 동작시, Rref는 고정되고, Coffset1과 Coffset2의 추가에 의해, 기준 저항의 저항치가 등가적으로  $\{R_{ref} \cdot Cb1/(Cb1+Coffset1+Coffset2)\}$ 로 감소한다.
- [0227] 리셋 검증 · 판독 동작(SET=L, READ=L)에서는, 하기의 식 (13-1)~(13-3)가 성립된다.
- [0228]  $Vo=V_{pre} \cdot \exp\{-t/(Cb1 \cdot R_{cell})\}$  (13-1)
- [0229]  $Vr=V_{pre} \cdot \exp\{-t/(Cb1 \cdot R_{ref})\}$  (13-2)
- [0230]  $tSreset=Cb1 \cdot R_{ref}$  (13-3)
- [0231] 본 실시 형태에서는, 통상 판독 동작, 세트 · 검증 판독 동작, 리셋 검증 · 판독 동작에서 센스 타이밍이 변경되지 않는다.
- [0232] 등가적인 임계치는, 통상 판독 동작시, 세트 · 검증 판독 동작시, 리셋 · 검증 판독 동작시에, 이하와 같이 나타낼 수 있다.
- [0233] 통상 판독 동작시 :
- [0234]  $R_{th}=R_{ref} \cdot Cb1/(Cb1+Coffset1)$
- [0235] 세트 · 검증 판독 동작시 :

- [0237]  $(Rth-set) = Rref * Cb1 / (Cb1 + Coffset1 + Coffset2)$
- [0238] 리셋 · 검증 판독 동작시 :
- [0239]  $(Rth-reset) = Rref.$
- [0240] 따라서,  $(Rth-set) < Rth < (Rth-reset)$ 의 관계가 충족된다.
- [0241] [정전류 방전 판독 동작시의 전위와 센스 타이밍]
- [0242] 이상의 3 종류의 판독에서, 센스 노드(센스 입력)의 전위( $V_o$ ), 참조 노드(기준 입력)의 전위( $V_r$ ) 및 센스 타이밍( $t_S$ )을, 전술한 정전류 방전 전압에 관한 식 (4)에 근거하여 이하와 같이 규정할 수 있다.
- [0243] 통상 판독 동작( $SET=L$ ,  $READ=H$ )에서는, ( $V_{pre}=10*VR$ )인 경우, 하기의 식 (14-1)~(14-3)가 성립한다.
- [0244]  $V_o = V_{pre} - VR * t / ((Cb1 + Coffset1) * Rcell1)$  (14-1)
- [0245]  $V_r = V_{pre} - VR * t / (Cb1 * Rref)$
- [0246]  $= V_{pre} - VR * t / ((Cb1 + Coffset1) * (Rref * Cb1 / (Cb1 + Coffset1)))$  (14-2)
- [0247]  $t_S = 5 * Cb1 * Rref$  (14-3)
- [0248] 통상 판독 동작에서,  $Rref$ 는 고정되고,  $Coffset1$ 의 추가에 의해, 기준 저항의 저항치가 등가적으로  $\{Rref * Cb1 / (Cb1 + Coffset1)\}$ 로 감소한다.
- [0249] 세트 검증 · 판독 동작( $SET=H$ ,  $READ=H$ )에서는, ( $V_{pre}=10*VR$ )인 경우, 하기의 식 (15-1)~(15-3)가 성립한다.
- [0250]  $V_o = V_{pre} - VR * t / ((Cb1 + Coffset1 + Coffset2) * Rcell1)$  (15-1)
- [0251]  $V_r = V_{pre} - VR * t / (Cb1 * Rref)$
- [0252]  $= V_{pre} - VR * t / [(Cb1 + Coffset1 + Coffset2) *$
- [0253]  $\{Rref * Cb1 / (Cb1 + Coffset1 + Coffset2)\}]$  (15-2)
- [0254]  $t_S = 5 * Cb1 * Rref$  (15-3)
- [0255] 세트 검증 · 판독 동작에서,  $Rref$ 는 고정되고,  $Coffset1$ 과  $Coffset2$ 의 추가에 의해, 기준 저항의 저항치가 등가적으로  $\{Rref * Cb1 / (Cb1 + Coffset1 + Coffset2)\}$ 로 감소한다.
- [0256] 리셋 검증 · 판독 동작( $SET=L$ ,  $READ=L$ )에서는, ( $V_{pre}=10 * VR$ )인 경우, 하기의 식 (16-1)~(16-3)가 성립한다.
- [0257]  $V_o = V_{pre} - VR * t / (Cb1 * Rcell1)$  (16-1)
- [0258]  $V_r = V_{pre} - VR * t / (Cb1 * Rref)$  (16-2)
- [0259]  $t_{reset} = 5 * Cb1 * Rref$  (16-3)
- [0260] 통상 판독 동작, 세트 · 검증 판독 동작, 리셋 검증 · 판독 동작에서 센스 타이밍은 변경되지 않는다.
- [0261] 등가적인 임계치는, 통상 판독 동작시, 세트 · 검증 판독 동작시, 리셋 · 검증 판독 동작시에, 이하와 같이 나타낼 수 있다.
- [0262] 통상 판독 동작시:
- [0263]  $Rth = Rref * Cb1 / (Cb1 + Coffset1)$
- [0264] 세트 검증 · 판독 동작시 :
- [0265]  $(Rth-set) = Rref * Cb1 / (Cb1 + Coffset1 + Coffset2)$
- [0266] 리셋 검증 · 판독 동작시 :
- [0267]  $(Rth-reset) = Rref.$
- [0268] ⓐ 때문에,  $(Rth-set) < Rth < (Rth-reset)$ 의 관계가 충족된다. 이와 같이 CR 방전과 정전류 방전에서는, 센스 타이밍의 괴리를 완화하는 효과를 얻을 수 있다는 점에서 변화가 없다.

## &lt;9. 제7의 실시 형태&gt;

[0269] 도 36에, 본 실시 형태에 관계된 비트선쌍의 구조를 나타낸다. 본 실시 형태는, 비트선 계층 구조를 이용하는 점에서 도 22~도 23의 구조와 유사하고, 선택 스위치(51A, 51B)를 저항체로서 동작시키는 점에서는 CR 방전의 예를 나타내는 것이다. 또한, 정전류 방전의 경우, 이하의 설명은, 지금까지의 설명을 참조하면 용이하게 이해 될 수 있을 것이다.

[0270] 비트선 계층 구조는 도 22~도 23을 참조하여 이미 상세하게 설명했기 때문에, 여기에서는 차이점을 중심으로 설명한다. 글로벌 비트선(GBL)에 복수의 메모리 셀 열이 스위치를 통해 병렬 접속되고 있는 점은, 도 22~도 23과 공통된다. 이것은, 글로벌 비트 보선(/GBL)에 복수의 참조 메모리 셀 열이 스위치를 통해 병렬 접속되고 있는 것과도 마찬가지이다. 여기에서는, 편의상, 판독 대상의 선택 셀을 포함하는 행방향의 셀 열을 선택 서브 어레이로 칭하고, 모든 셀이 선택되지 않은 비선택 셀인 행방향의 셀 열을 비선택 서브 어레이로 칭한다.

[0271] 글로벌 비트선(GBL)에서, 비선택의 로컬 비트선(LBL)의 갯수에 따라 추가 용량(CoOffset)의 수를 제어한 것은 도 23과 마찬가지이다. 본 실시 형태에서는, 이러한 동작을, 차동 센스 앰프(7B)의 참조 노드(전위(Vr))에 접속되어 있는 글로벌 비트 보선(/GBL)에 대해서도 수행한다. 즉, 글로벌 비트 보선(/GBL)에서는, 복수의 로컬 비트 보선(/LBL)에 접속된 수에 따라, 참조 노드측의 추가 용량(CoOffset)이 조정된다.

[0272] 상기 상술된 쌍방의 측에서 추가 용량(CoOffset)의 조정을 행하면, 도 34의 경우와 동일한 작용 효과를 얻을 수 있고, 센스 노드측에서만 추가 용량(CoOffset)이 조정된다면, 도 35와 동일한 작용 효과를 얻을 수 있다.

[0273] 이상 설명한 제 4~제6의 실시 형태는, 기준 저항을 전환하는 방식(도 24, 도 25)과 조합시켜 사용하는 것도 가능하다.

[0274] 이상의 6개의 실시 형태에서는, ReRAM을 예로 설명하였지만, 본 발명의 실시 형태는 ReRAM 이외의 상 변화 메모리와 같은 저항 변화형 메모리에 폭넓게 적용될 수 있다. 또한, 플래시 메모리 등의 다른 종류의 불휘발성 메모리에 있어서도, 워드선 제어를 행하지 않는, 즉 전류가 일정하지 않은 판독 동작이 수행될 수 있는 경우가 있다. 예를 들면 MCL-NOR 타입에서는 그러한 동작의 보고예가 존재한다. 따라서, 이와 같은 동작이라면, 판독한 정보의 논리에 따라, 또는, 판독 종류(모드)에 따라 센스 타이밍의 피리가 현저한 경우도 존재한다. 따라서 본 발명은 판독 전류의 다이내믹 레인지가 넓은 저항 변화형 메모리에의 적용이 바람직하지만, 이상의 실시 형태의 기재는, 다른 불휘발성 메모리에의 적용을 배제하는 것을 의미하지 않는다.

[0275] 이상의 제1~제6의 실시 형태 및 제1의 변형예에서는, 이른바 다이내믹 판독 동작을 행하는 ReRAM에서, 차동 증폭형 센스 앰프의 타이밍 설정의 범위가 확대하고, 오동작의 마진 설계가 용이화된다는 이익을 얻을 수 있다.

[0276] 본 발명은 2009년 11월 16일자로 일본특허청에 특허출원된 일본특허원 제2009-261127호를 우선권으로 주장한다.

[0277] 당업자라면, 첨부된 특허청구범위 또는 그 등가의 범위 내에서, 설계상의 필요 또는 다른 요인에 따라, 여러 가지 변경예, 조합예, 부분 조합예 및 수정예를 실시할 수 있을 것이다.

**부호의 설명**

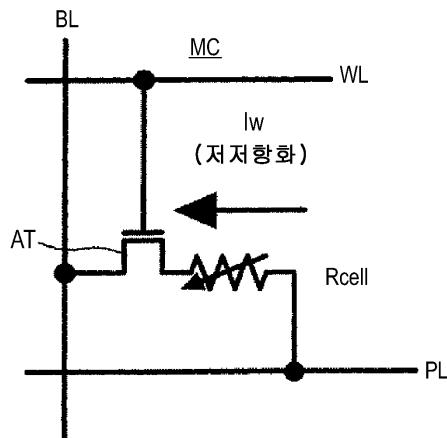
1…메모리 셀 어레이	4…로우 디코더
4A…WL 드라이버 유닛	5…BLI 스위치
6…CSW 드라이버	6A…CSW 드라이버 유닛
7…센스 앰프	7A…싱글 앤드형 센스 앰프
7B…차동 센스 앰프	9…I/O 버퍼
10…기록 · 소거 드라이버	11…제어 회로
12…플레이트 드라이버	17…오프셋 용량 부가 회로
18S…세트 용량 스위치	18r…리드 용량 스위치
18R…리셋 용량 스위치	20…X 셀렉터
30…Y 셀렉터	51, 51u, 51d, 51A, 51B…스위치

52…NMOS 스위치	71…프리차지 트랜지스터
101…하부 전극	102…절연체막
103…도체막	171…스위치
R cell…가변 셀 저항	MC…메모리 셀
RC…참조 셀	BL…비트선
/BL…비트 보선	WL…워드선
PL…플레이트선	AT…액세스 트랜지스터
Rcell…메모리 셀 저항	Rref…기준 저항
Coffset…추가 용량	Vo…센스 노드 전위
Vr…참조 노드 전위	

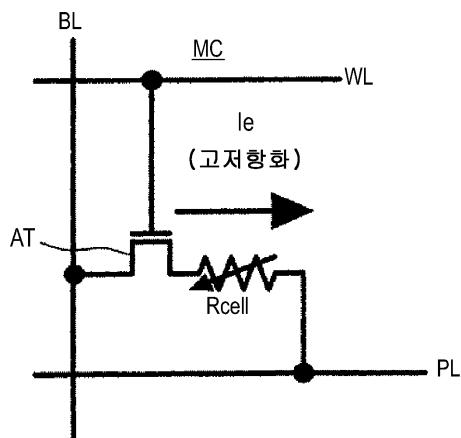
## 도면

### 도면1

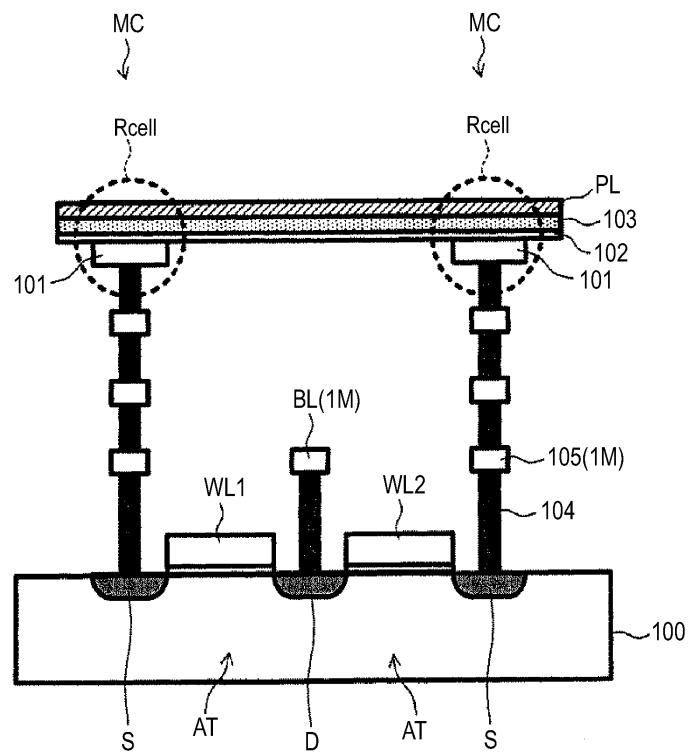
*A*



*B*

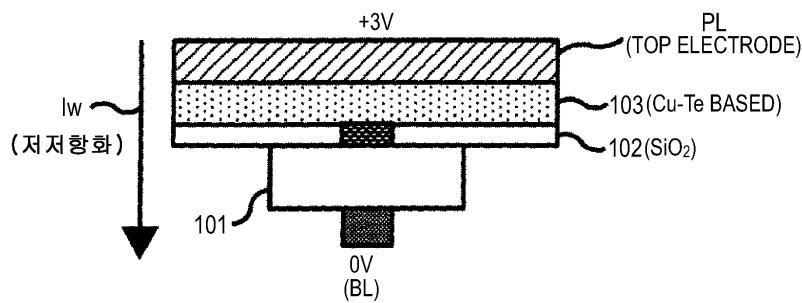


도면2

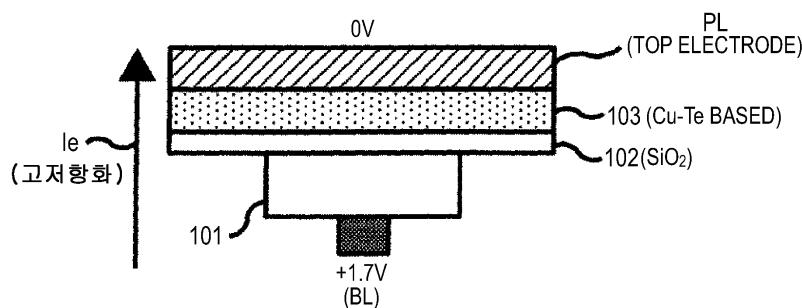


도면3

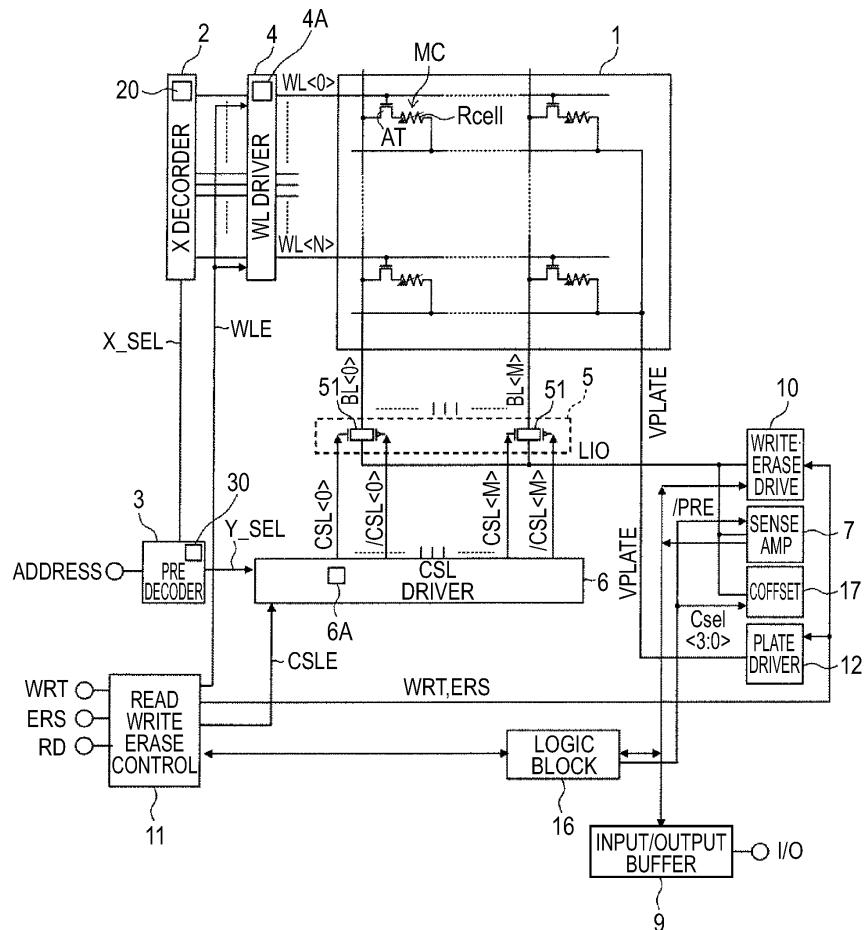
A



B

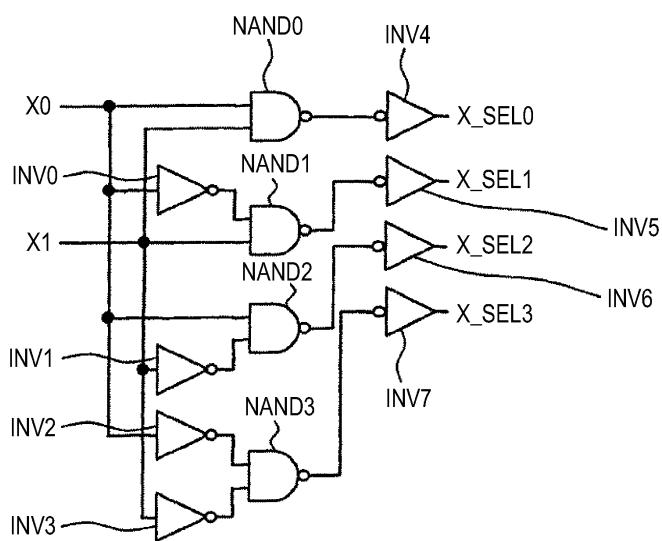


## 도면4

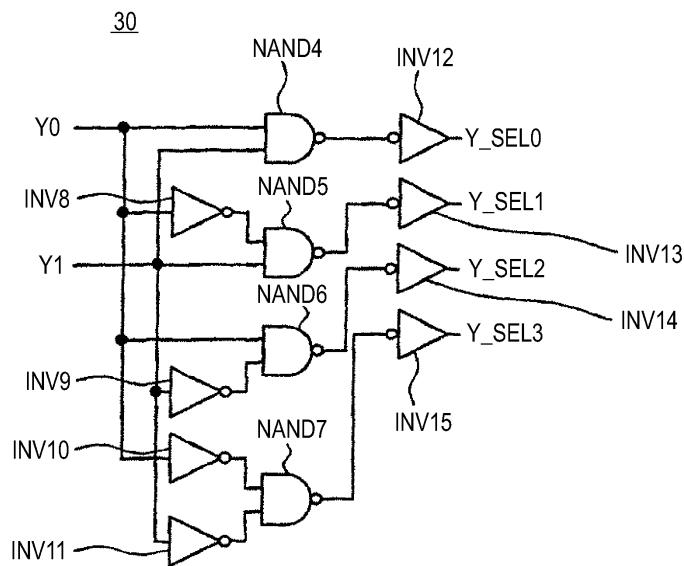


## 도면5

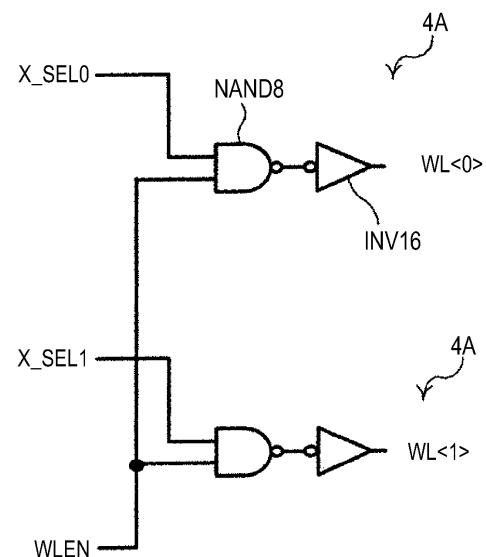
20



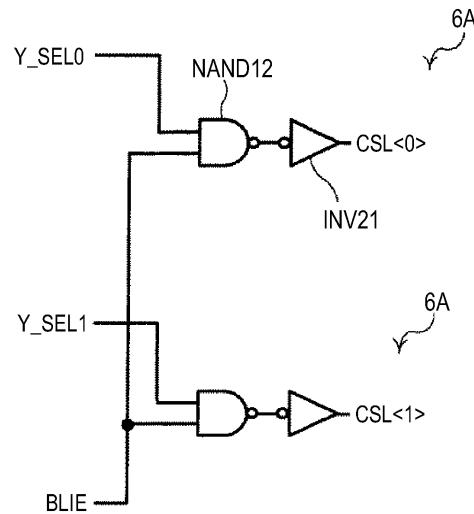
## 도면6



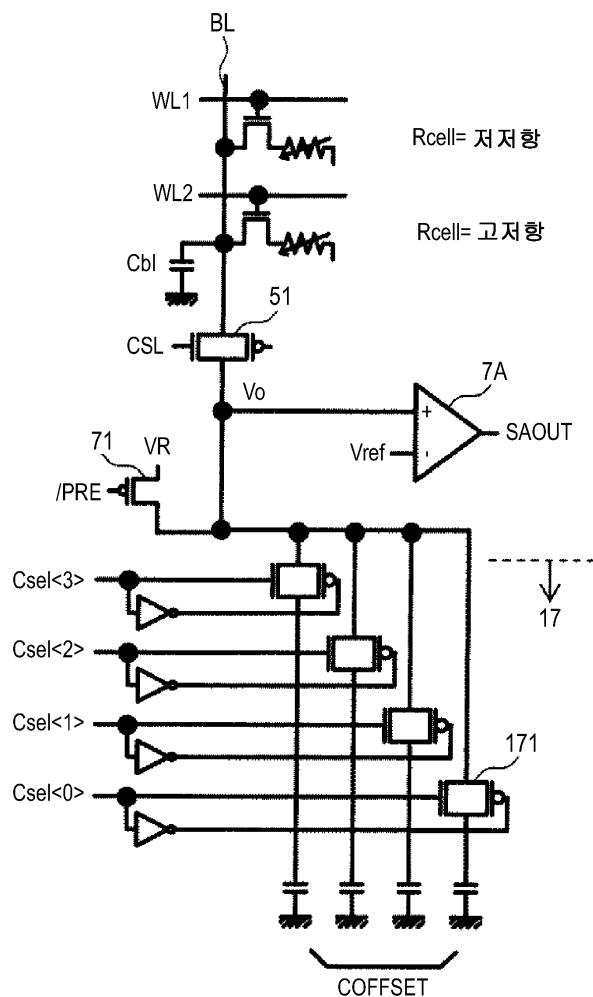
## 도면7



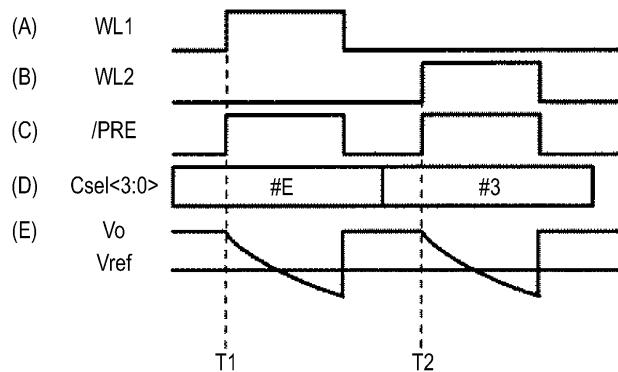
도면8



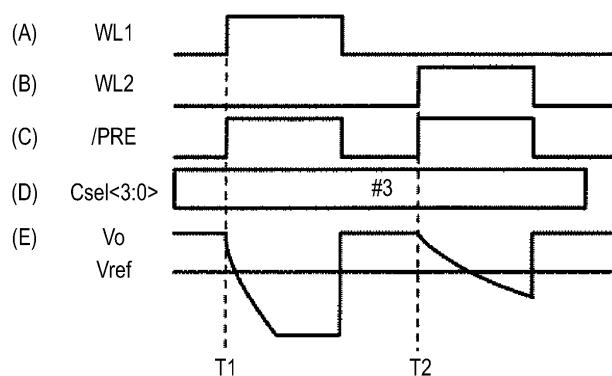
도면9



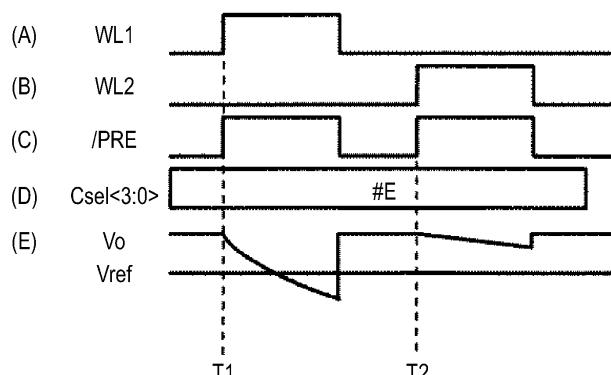
## 도면10



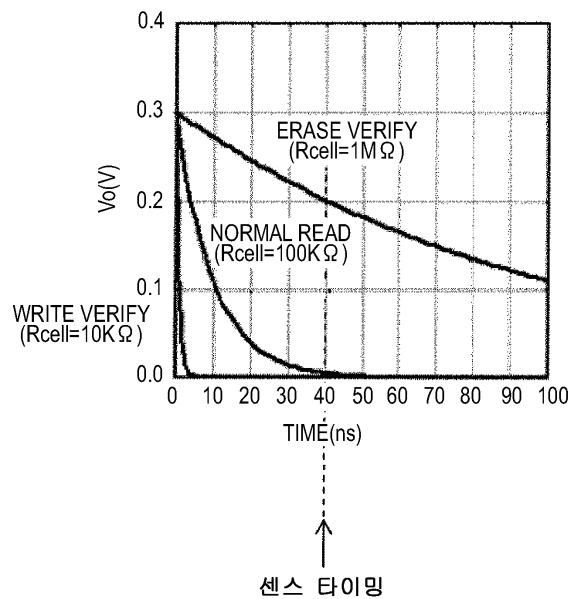
## 도면11



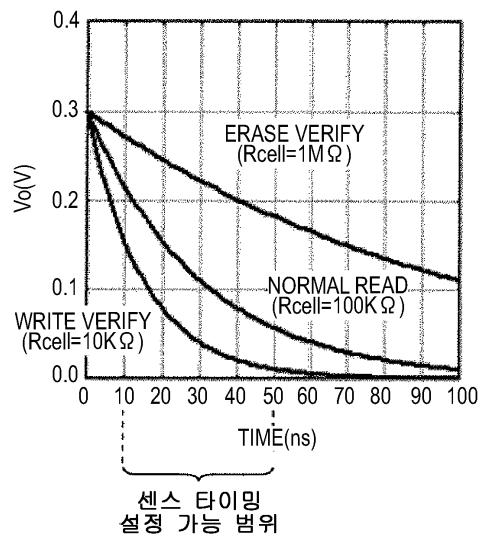
## 도면12



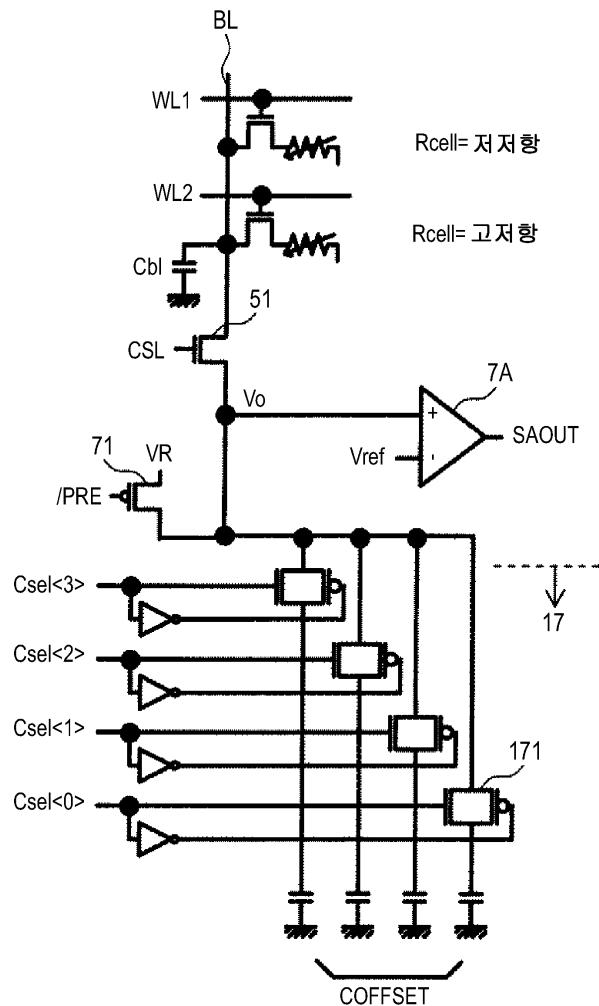
도면13



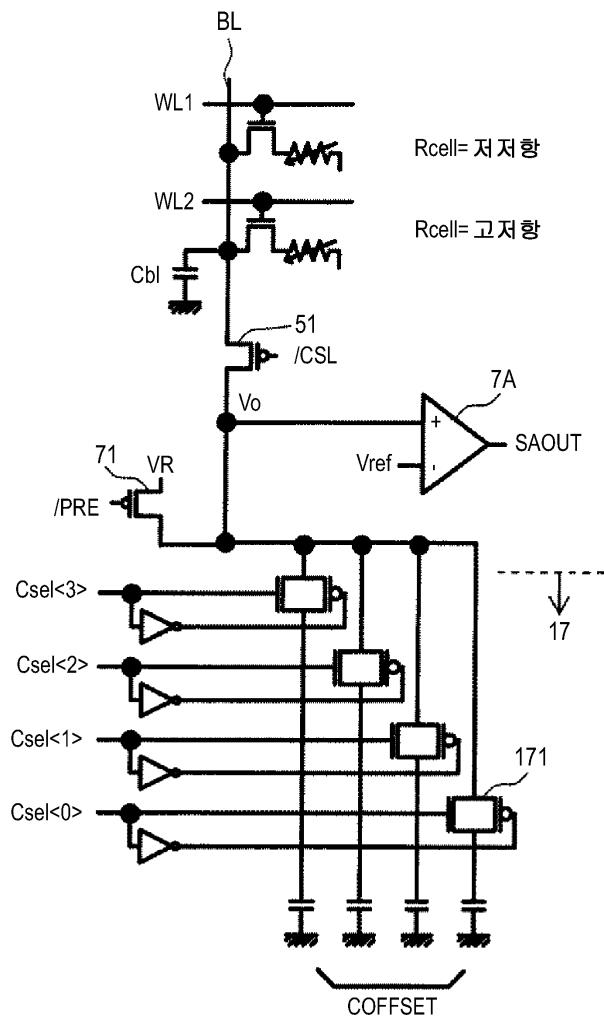
도면14



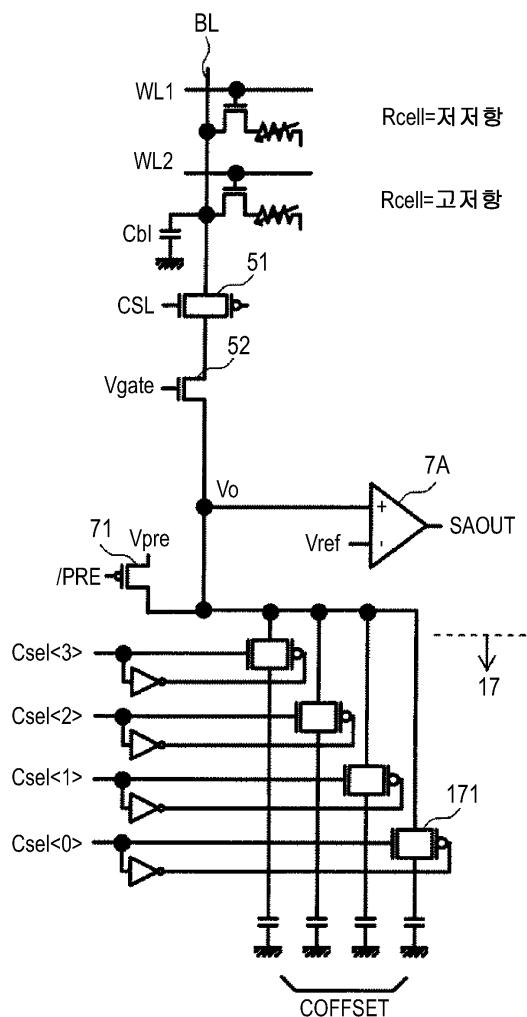
도면15



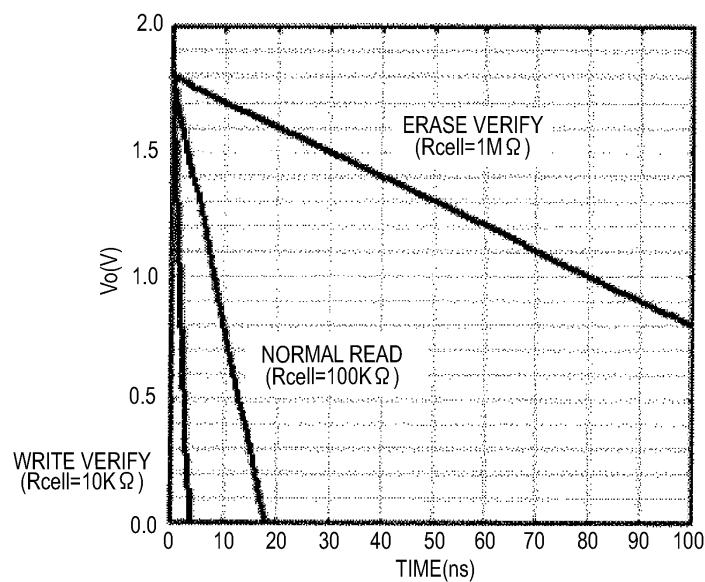
도면16



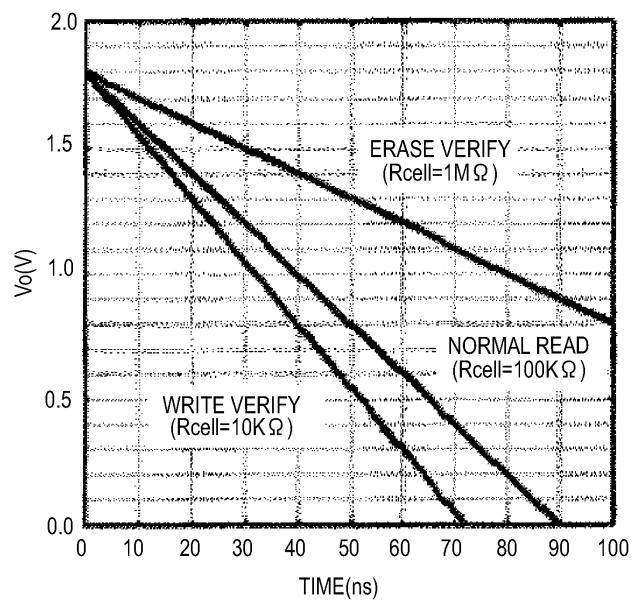
도면17



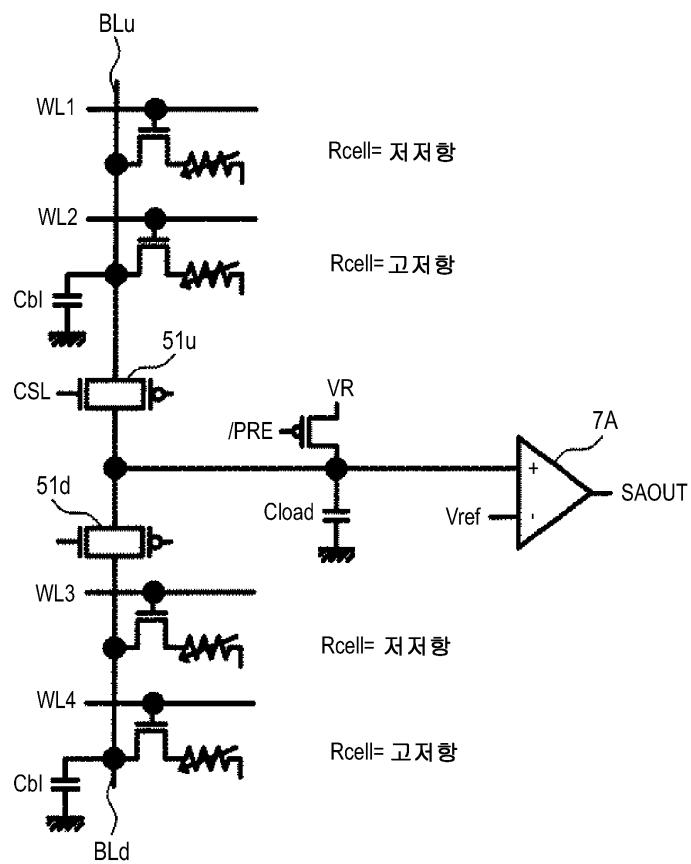
도면18



도면19

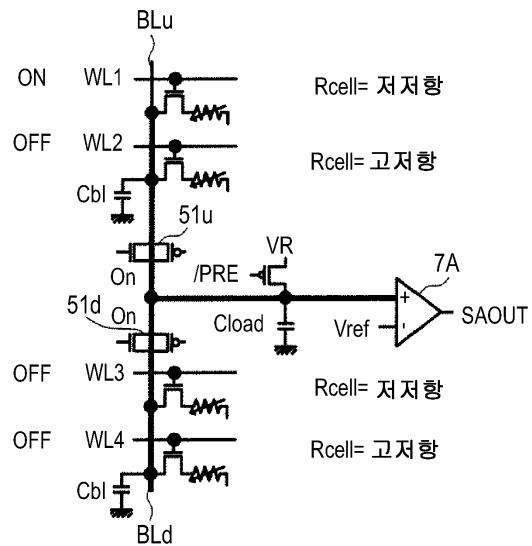


도면20

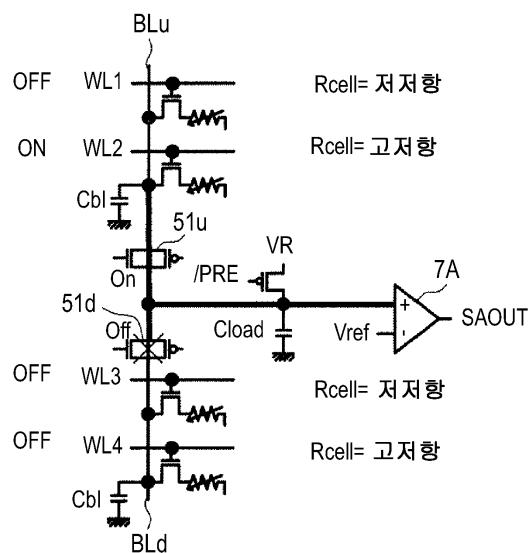


## 도면21

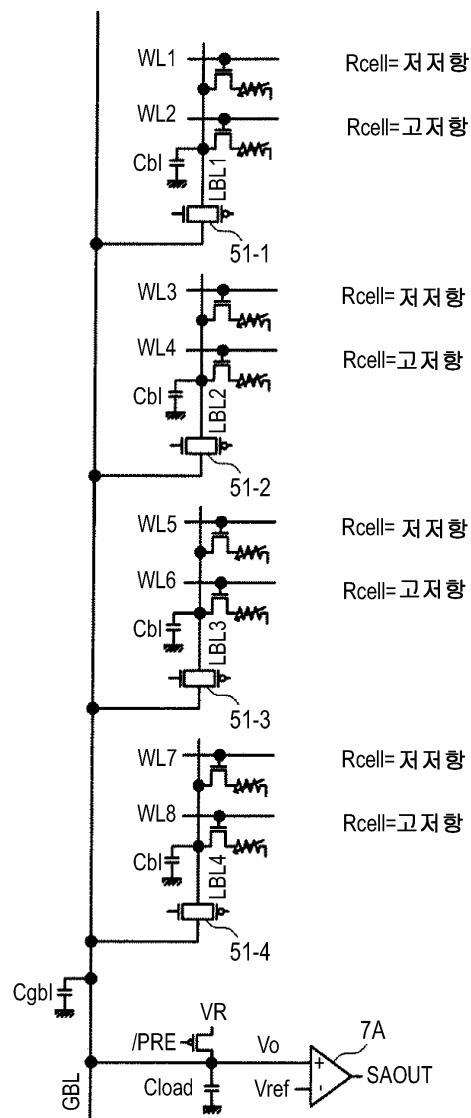
A



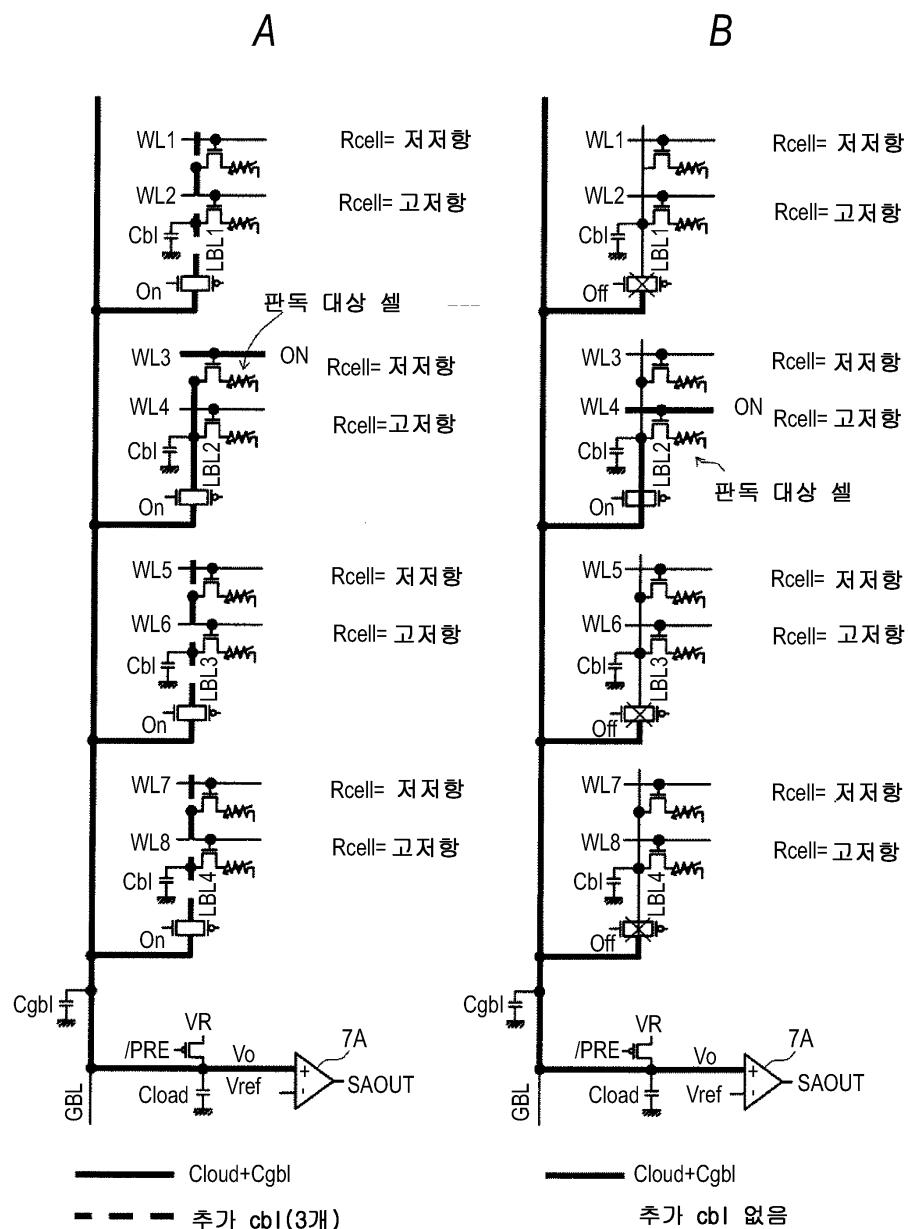
B



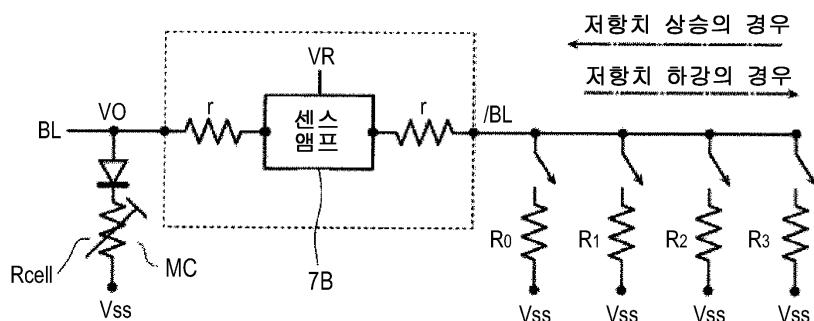
도면22



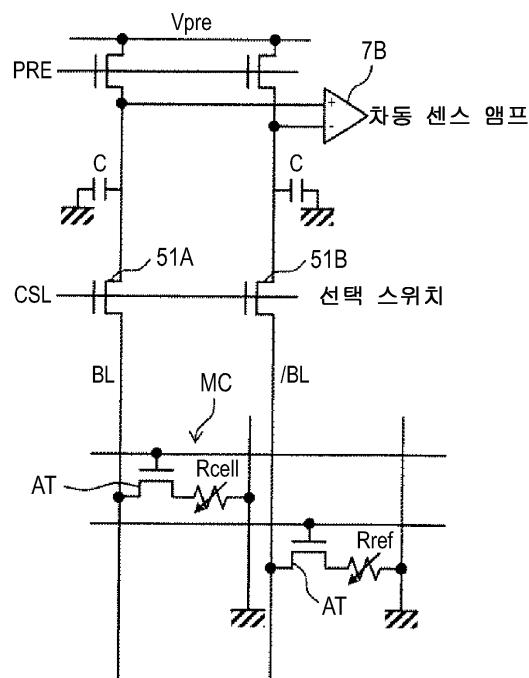
도면23



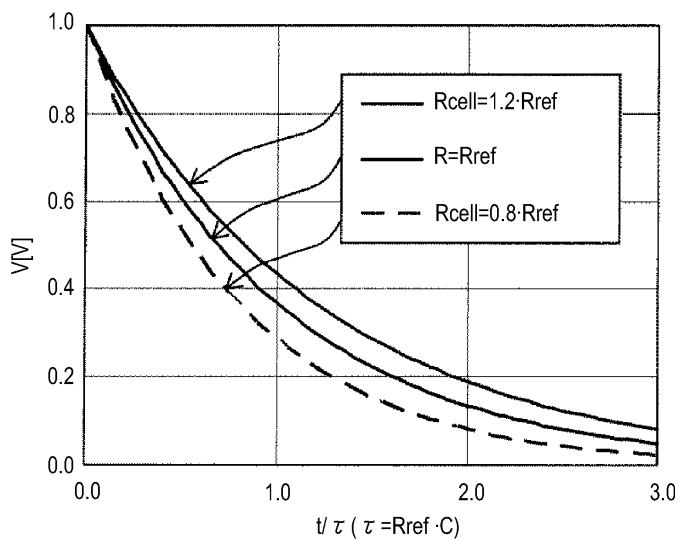
도면24



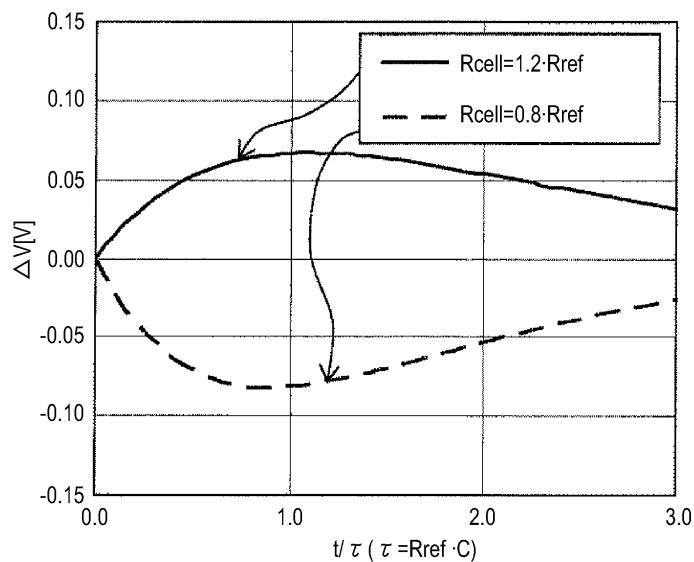
도면25



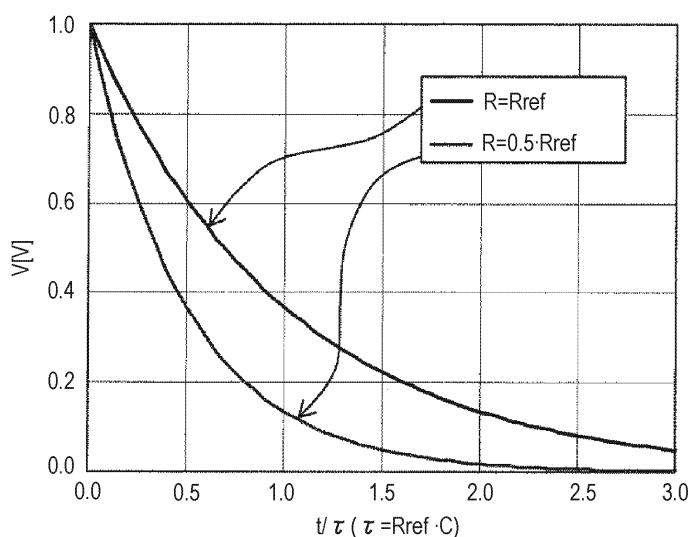
도면26



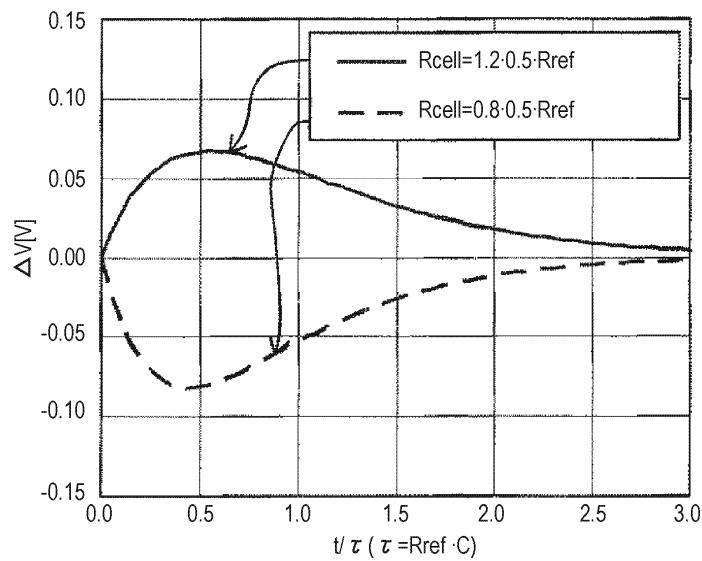
도면27



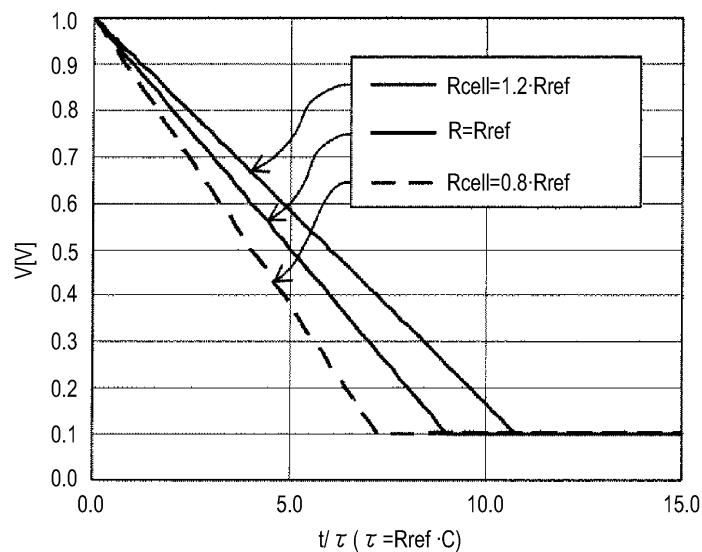
도면28



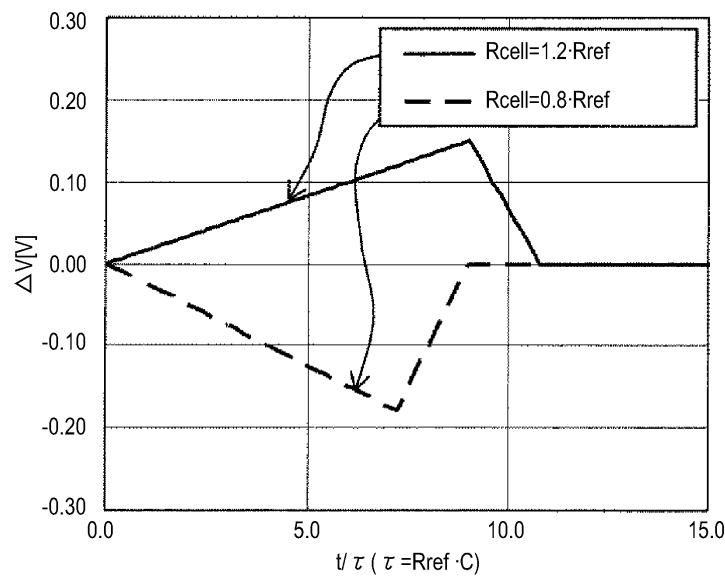
도면29



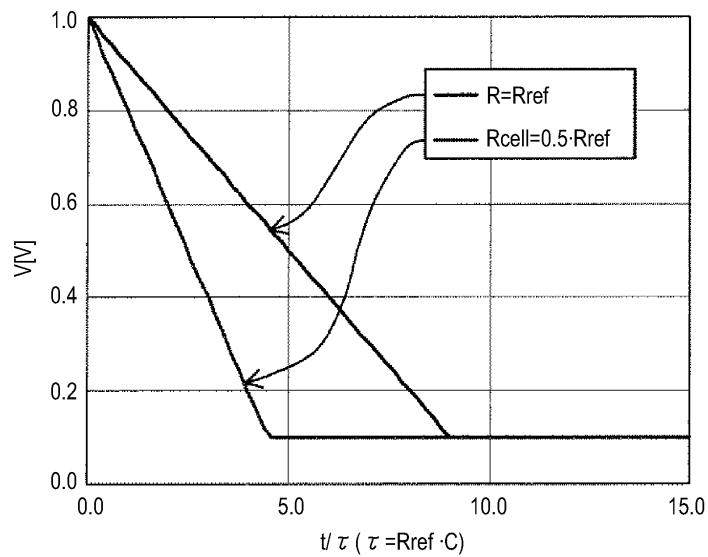
도면30



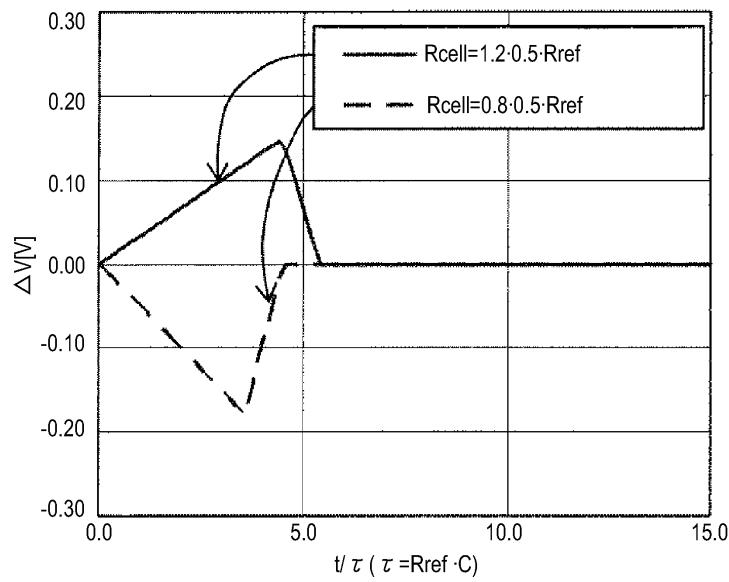
도면31



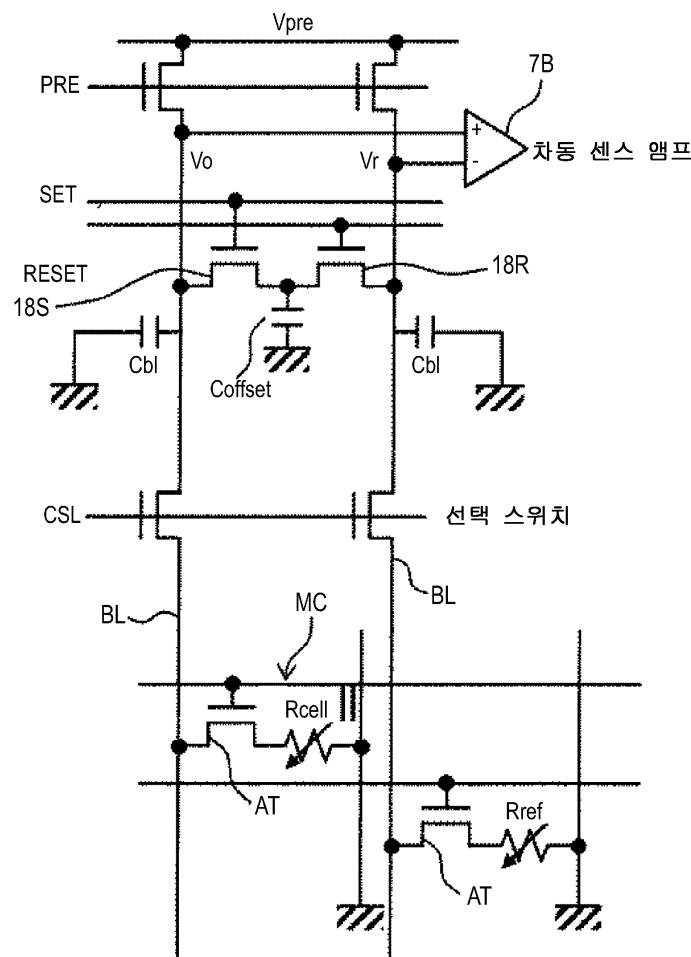
도면32



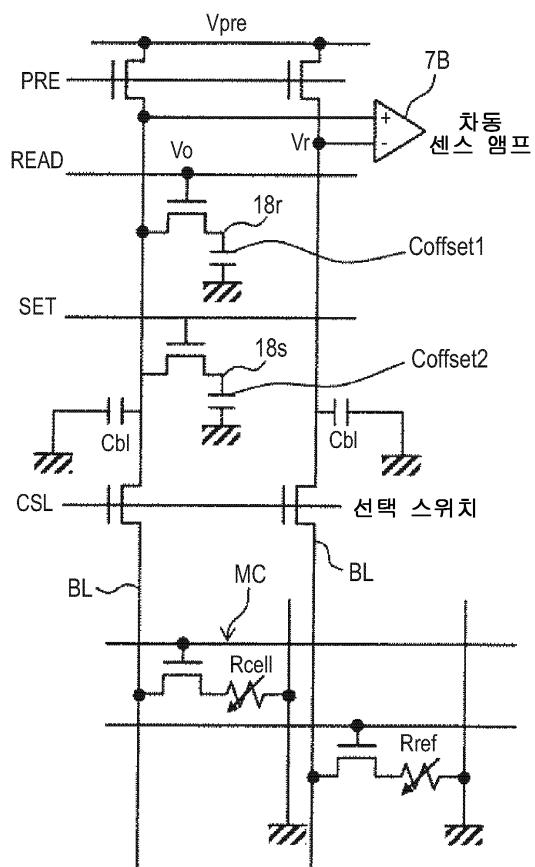
도면33



도면34



도면35



도면36

