



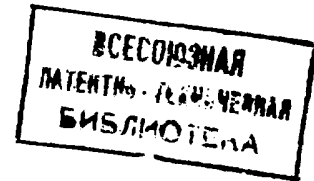
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1569843** **A 1**

(51) **G 06 F 15/16**

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4460517/24-24
(22) 14.07.88
(46) 07.06.90. Бюл. № 21
(72) В.М.Вакулин, С.В.Гурин,
А.Н.Ильин, В.И.Кобозев
и М.В.Харитонов
(53) 681.325 (088.8)
(56) Электроника, № 11, 1977,
с. 39-43.

Авторское свидетельство СССР
№ 1277129, кл. G 06 F 15/16, 1986.

(54) МНОГОПРОЦЕССОРНАЯ ВЫЧИСЛИТЕЛЬ-
НАЯ СИСТЕМА

(57) Изобретение относится к вычисли-
тельной технике и может быть исполь-

зовано при построении многопроцессор-
ных вычислительных систем. Цель изоб-
режения - увеличение производи-
тельности и надежности системы за счет
обеспечения возможности бесконфликт-
ной фиксации номера процессора, зах-
ватившего разделяемый ресурс. Цель
достигается тем, что система содер-
жит N процессоров 1, блоки 2 общей
памяти, устройства 3 ввода, арбитр
4 общей шины, устройства 5 вывода и
N блоков 6 состояния. Причем каждый
процессор имеет выход 7 адреса,
вход-выход 8 данных, выходы режима
чтения 9 и режима записи 10, а так-
же вход 11 разрешения и выход 12 го-
товности. 2 з.п.ф-лы, 2 ил.

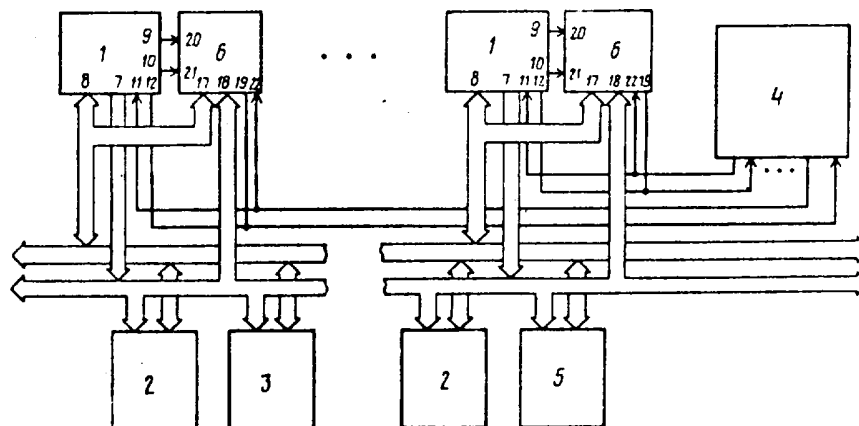


Fig. 1

(19) **SU** (11) **1569843** **A 1**

Изобретение относится к вычислительной технике и может быть использовано при построении многопроцессорных вычислительных систем.

Цель изобретения - увеличение производительности и надежности системы за счет обеспечения возможности бесконфликтной фиксации номера процессора, захватившего разделяемый ресурс.

На фиг. 1 показана структурная схема многопроцессорной вычислительной системы; на фиг. 2 - функциональная схема блока состояния.

Система содержит (фиг. 1) N процессоров 1, блоки 2 общей памяти, устройство 3 ввода, арбитр 4 общей шины, устройство 5 вывода, N блоков 6 состояния, причем каждый процессор 1 имеет выход 7 адреса, вход-выход 8 данных, выход 9 режима чтения, выход 10 режима записи, вход 11 разрешения и выход 12 готовности.

Блок 6 состояния (фиг. 2) содержит устройство 13 управления, два блока 14 и 15 памяти, коммутатор 16. Блок 6 состояния имеет вход-выход 17 данных, вход 18 адреса, выход 19 готовности, входы чтения 20, записи 21 и разрешения 22.

Устройство 13 управления содержит блок 23 памяти, регистр 24, генератор 25 импульсов, сумматор 26 по модулю два, элемент И-НЕ 27.

Устройство 13 управления имеет выходы готовности 28, разрешения 29, признака разрешения связи 30, признака записи связи 31, кода связи 32, признака разрешения захвата 33, признака записи захвата 34, кода захвата 35, вход 36 блокировки записи захвата, адресный вход 37, вход-выход 38 данных, входы признаков разрешения 39, записи 40 и чтения 41.

Система работает следующим образом.

Любой из процессоров 1 при необходимости работы с каким-либо устройством на общей шине запрашивает по индивидуальной линии арбитр 4 общей шины. Арбитр 4 общей шины разрешает процессору 1 занять общую шину системы. Заняв общую шину, процессор 1 инициирует операцию записи или считывания и ждет ответ от устройства 3 или 5 ввода-вывода или блока 2 общей памяти. Каждое устройство 3 или 5 или блок 2 дешифрирует старшую часть адреса, выставленного на общую шину

процессором 1, и в случае совпадения снимает сигнал готовности, т.е. устанавливает на линии готовности общей шины уровень логического нуля. Затем принимает или выдает данные на общую шину и снова выдает сигнал готовности уровнем логической единицы. Такой способ формирования сигнала готовности в отличие от традиционного, где сигнал готовности выдается уровнем логического нуля, становится необходимым, когда в системе предусмотрены операции общей записи или чтения - обращение одновременно к нескольким устройствам на общей шине. В этом случае сигнал готовности устанавливается тогда, когда его установит последнее устройство 3 или 5 блок 2 из числа тех, к кому было адресовано сообщение.

При захвате очередного программного ресурса (например, процесса управления очередью заданий и т.д.) процессор 1 выполняет операцию общего чтения вектора захватов, отвечающего за данный процесс.

А так как каждый блок 6 выдает один бит информации, на общей шине системы формируется вектор захватов. После того как процессор 1 прочитал вектор захватов, он анализирует его на нуль, т.е. на отсутствие захватов, и, если он не нулевой - присутствует хотя бы один захват, приступает к работе с процессором 1. При этом вектор захватов становится равным нулю.

Допустим, что еще одному процессору 1 потребовался данный процесс. Он выполняет ту же операцию, но, так как вектор равен нулю, ожидает освобождения захвата либо устанавливает связь с первым, читая вектор связей, смежный вектору захватов, где согласно алгоритму, по номеру разряда, равному номеру i ($i = 1, \dots, N$) процессора 1, захватившего процесс, установлен бит равный единице. Освобождение процесса процессор 1 выполняет посредством записи-захвата в свой блок 6. Операции индивидуального чтения захвата и связи и записи связи используются в аварийном режиме, в режиме отладки и тестирования.

Блок 6 состояния работает следующим образом. С общей шины блок 6 принимает адресное слово. Младшая часть адреса поступает в блоки 14 и 15 памяти для выбора ячейки семафора.

14-й и 15-й разряды адреса поступают на сумматор 26 по модулю два в устройстве 13 управления. Блок 26 в случае равенства поступившего кода и эталонного выдает сигнал на блок 23 памяти, который совместно с регистром 24 представляет синхронный автомат. После поступления сигнала с блока 26 в зависимости от остальных сигналов на разрядах адреса блока 23 памяти автомат переходит к выполнению одной из операций. 13-й разряд адреса и сигналы на входах 20 и 21 чтения и записи указывают какой тип операции необходимо выполнить, 12-й разряд отвечает за выбор блока 14 или 15 памяти. Присутствие сигнала на входе 22 разрешения указывает на то, что операцию выполняет тот из процессоров 1, к которому относится блок 6. Выполняя операцию "Чтение общее" автомат учитывает состояние входа, на который поступает сигнал с выхода элемента И-НЕ 27. При выполнении данного действия, если на разрядах данных общей шины установится нуль, запись кода связи не произойдет. Выполняя операцию "Запись индивидуальная" автомат учитывает состояние своего входа, на который поступает сигнал с выхода второго блока 15 памяти. В случае отсутствия бита свидетеля запись захвата блокируется, а содержимое ячейки захвата сохраняется. Таким образом предотвращается случайная запись в ячейку первого блока 14 памяти. Часть сигналов с выхода регистра 24 поступает в качестве обратной связи на адресные входы блока 23 памяти, другая часть поступает на блоки памяти 15 и 14 в качестве управляющих сигналов. Информация с выходов первого и второго блоков 14 и 15 памяти поступает через коммутатор 16 на 1-й разряд данных общей шины. Управление коммутацией осуществляется 12-м разрядом адреса, а разрешение коммутации осуществляется сигналом, поступающим с выхода блока 23 памяти на вход разрешения коммутатора 16, при выдаче сигнала разрешения сумматором 26 по модулю два и присутствию сигнала "чтение" на входе чтения 20 блока 6.

При отказе процессора, захватившего процесс, в надежной системе должна быть произведена реконфигура-

ция с исключением отказавшего процессора из списков доступных процессоров. В предлагаемой системе определение номера отказавшего процессора легко выполнить по вектору кодов связи. Отказ любого блока состояния не приводит к отказу всей системы синхронизации. Отказавший блок программно легко маскируется каждым процессом системы с помощью выполнения операции "И" между принятым вектором семафоров и вектором маски. В этом случае, процессор, к которому прикреплен отказавший блок состояния, либо исключается из списков действующих, либо переходит в разряд пассивных устройств.

Для того, чтобы зафиксировать возможный отказ блока 6, процессору достаточно после захвата прочитать вектор кодов связи и повторно прочитать вектор кодов захвата. При этом вектор кодов захвата должен быть равен нулю, а вектор кодов связи должен содержать код связи (бит равный единице) только в разряде собственного блока состояния. Все остальные ситуации считаются некорректными и требуют от процессоров системы действий по их устранению.

В результате того, что каждый блок состояния выдает состояния семафоров на свой разряд магистрали данных, максимальное количество блоков 6, а следовательно, и активных процессоров в системе, может быть не больше числа разрядов магистрали данных. Такое ограничение можно считать несущественным, если учесть, что в системах с общей шиной максимальное число абонентов ограничено нагрузочной способностью линий связи и эффективностью использования общей шины. Поэтому при 32-разрядной магистрали данных максимальное значение N, равное 32-м, можно считать вполне достаточным.

50 Ф о р м у л а и з о б р е т е н и я

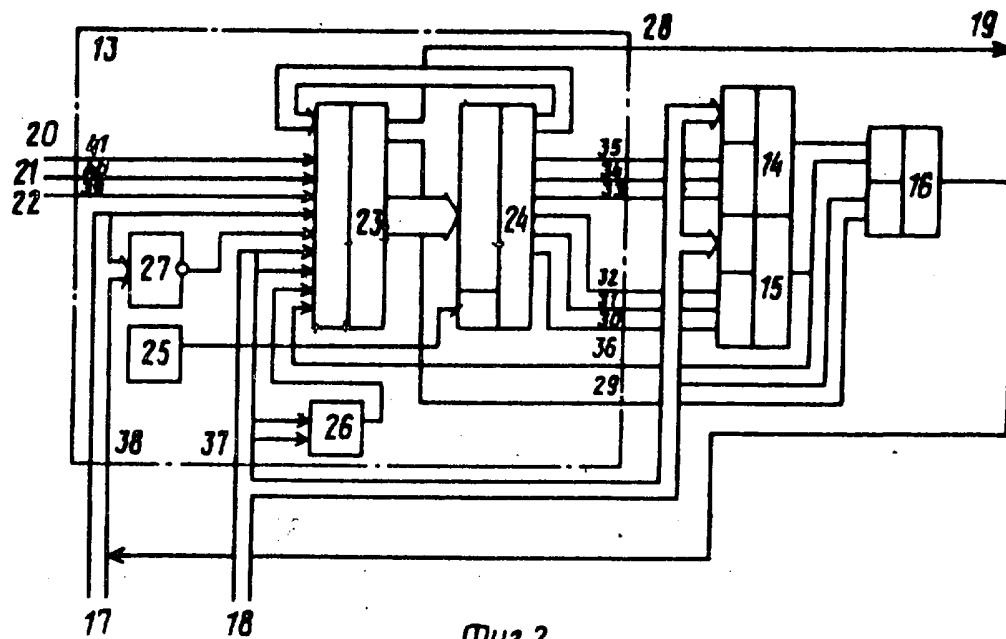
1. Многопроцессорная вычислительная система, содержащая N процессоров, блоки общей памяти, устройства ввода, арбитр общей шины, устройства вывода и блок состояния, причем выходы адреса и входы-выходы данных процессоров соответственно подключены к входам адреса и входам-выходам

данных блоков общей памяти и устройств ввода и вывода, вход разрешения и выход готовности каждого процессора подключен к соответствующим входу разрешения и входу готовности арбитра общей шины, отличающаяся тем, что, с целью повышения производительности и надежности системы за счет обеспечения возможности бесконфликтной фиксации номера процессора, захватившего разделяемый ресурс, система содержит дополнительно $N - 1$ блоков состояния, причем входы-выходы данных и входы адреса всех блоков состояния соответственно подключены к входам-выходам данных и выходам адреса процессоров, входы чтения, записи и разрешения i -го ($i = 1; N$) блока состояния подключены соответственно к выходам режима чтения, режима записи и входу разрешения i -го процессора, выход готовности i -го блока состояния подключен к выходу готовности i -го процессора.

2. Система по п. 1, отличающаяся тем, что блок состояния содержит устройство управления, причем выход коммутатора подключен к входу-выходу младшего разряда данных блока состояния, входы разрядов адреса блоков памяти подключены к соответствующим входам разрядов младшей группы адреса блока состояния, входы разрядов старшей группы адреса блока состояния подключены к соответствующим входам разрядов адреса устройства управления, выход готовности которого является выходом готовности блока состояния, выход разрешения устройства управления подключен к управляющему входу коммутатора, адресный вход которого подключен к входу старшего разряда адреса блока состояния, выход кода признака захвата и выход кода признака связи устройства управления подключены к входам данных соответственно первого и второго блоков памяти, выходы признаков записи и разрешения захвата и связи устройства управления подключены к входам записи и разрешения соответственно первого и второго блоков памяти, информационные выходы которых подключены к

соответствующим информационным входам коммутатора, информационный выход второго блока памяти подключен к входу блокировки записи захвата устройства управления, входы признаков чтения, записи и разрешения которого являются соответственно входами чтения, записи и разрешения блока состояния, вход-выход данных устройства управления является вход-выходом данных блока состояния.

3. Система по пп. 1 и 2, отличающаяся тем, что устройство управления содержит блок памяти, регистр, генератор импульсов, сумматор по модулю два и элемент И - НЕ, причем выход генератора импульсов подключен к синхровходу регистра, старшие разряды входа которого подключены к соответствующим старшим разрядам входа адреса блока памяти, два старших разряда информационного выхода которого являются соответственно выходами готовности и разрешения устройства управления, остальные разряды информационного выхода блока памяти подключены к разрядам информационного входа регистра, шесть младших разрядов выхода которого, начиная с младшего, являются соответственно выходами признака разрешения связи, признака записи связи, кода связи, признака разрешения захвата, признака записи захвата, кода захвата устройства управления, девять младших разрядов входа адреса блока памяти, начиная с младшего, подключены соответственно к входу блокировки записи захвата устройства управления, выходу сумматора по модулю два, младшему разряду старшей группы, старшему разряду младшей группы адресного входа устройства управления, выходу элемента И - НЕ, младшему разряду входа-выхода данных устройства управления, входам признаков разрешения, записи и чтения устройства управления, входы элемента И - НЕ подключены к соответствующим разрядам входа-выхода данных устройства управления, два старших разряда адресного входа устройства управления подключены к соответствующим входам сумматора по модулю два.



Фиг. 2

Составитель С.Аверьянова

Редактор Л.Зайцева

Техред М.Ходанич

Корректор Л.Патай

Заказ 1451

Тираж 571

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101