(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2018 년 5 월 31 일 (31.05.2018)

WIPO | PCT

(10) 국제공개번호
WO 2018/097410 A1

(51) 국제특허분류:
H01L 23/06 (2006.01) *H01L 23/29* (2006.01)
H01L 23/31 (2006.01) *H01L 23/60* (2006.01)

(21) 국제출원번호: PCT/KR2017/002403

(22) 국제출원일: 2017 년 3 월 6 일 (06.03.2017)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2016-0159624 2016 년 11 월 28 일 (28.11.2016) KR
10-2017-0002543 2017 년 1 월 6 일 (06.01.2017) KR

(71) 출원인: 주식회사 네패스 (NEPES CO., LTD.) [KR/KR]; 27651 충청북도 음성군 삼성면 금일로965번길 105, Chungcheongbuk-do (KR).

(72) 발명자: 권용태 (KWON, Yongtae); 28415 충청북도 청주시 흥덕구 증안로 33, 104동 1402호, Chungcheongbuk-do (KR). 이준규 (LEE, Junkyu); 28115 충청북도 청주시 청원구 오창읍 양청1길 23-1, 104호, Chungcheongbuk-do (KR). 이재천 (LEE, Jaecheon); 28117 충청북도 청주시 청원구 오창읍 2산단로 167, 401호 703호, Chungcheongbuk-do (KR). 윤민아 (YOON, Mina); 28117 충청북도 청주시 청원구 오창읍 2산단로 167, 401호 1801호, Chungcheongbuk-do (KR).

(74) 대리인: 특허법인 이상 (E-SANG PATENT & TRADEMARK LAW FIRM); 06747 서울시 서초구 바우뫼로 188, 3층, Seoul (KR).

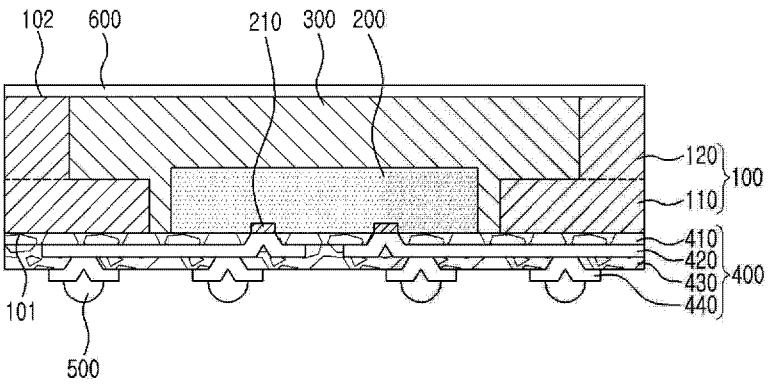
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:
— 국제조사보고서와 함께 (조약 제21조(3))

(54) **Title:** SEMICONDUCTOR PACKAGE HAVING RELIABILITY AND METHOD FOR PRODUCING SAME

(54) **발명의 명칭:** 신뢰성을 가지는 반도체 패키지 및 이의 제조방법



(57) **Abstract:** A semiconductor package having high reliability and a method for producing same are disclosed. An insulation frame accommodating a semiconductor chip and a molding layer has a first thru-hole and a second thru-hole having a larger width than the first thru-hole. The semiconductor chip is disposed via the first thru-hole.

(57) **요약서:** 높은 신뢰성을 가지는 반도체 패키지 및 그 제조방법이 개시된다. 반도체 칩과 몰딩층이 수용되는 절연 프레임에는 제1 관통공과 제1 관통공보다 넓은 폭을 가지는 제2 관통공이 형성된다. 제1 관통공을 통해 반도체 칩은 배치된다.

WO 2018/097410 A1

명세서

발명의 명칭: 신뢰성을 가지는 반도체 패키지 및 이의 제조방법

기술분야

[1] 본 발명은 반도체 패키지 및 이의 제조방법에 관한 것으로, 더욱 상세하게는 절연 프레임을 이용하여 높은 신뢰성을 확보할 수 있는 반도체 패키지 및 이의 제조방법에 관한 것이다.

배경기술

[2] 반도체 제조공정 기술의 발달로 인해 반도체 칩의 사이즈는 축소되고 있다. 반도체 칩의 사이즈의 축소는 독립적인 기능을 수행하는 하나의 반도체 칩의 면적이 축소됨을 의미한다. 또한, 사용환경에서 반도체 칩은 높은 신뢰성을 가질 것이 요구된다. 높은 신뢰성을 가지는 반도체 칩은 장시간 사용하더라도 전기적 특성이 유지되며, 외부 온도의 변화에도 특정의 범위 이내에서 안정적이 동작을 수행한다. 또한, 외부환경에서 유입되는 다양한 화학적 또는 기계적 인자에 대해서도 전기적 특성의 변화는 최소화되어야 한다.

[3] 이를 위해 사용환경에서 반도체 칩은 패키지 타입으로 제공된다. 패키지는 반도체 칩을 포장하는 것으로 외부 환경으로부터 반도체 칩을 보호하고, 안정적인 동작을 담보할 수 있는 제조기술이라 할 수 있다. 다만, 사용환경에서 반도체 패키지에 요구하는 조건은 다양하며, 작은 면적과 두께를 가지며, 외부환경의 영향에 따른 특성의 변동이 최소화될 것이 요구된다.

[4] 특히, 하나의 반도체 칩에서 다양한 회로가 구현되므로, 반도체 칩은 다수의 패드들을 가진다. 다수의 패드는 반도체 패키지에서 외부 연결단자와 전기적으로 연결된다. 외부 연결단자는 사용환경에서 제공되는 인쇄회로기판 등에 전기적으로 연결된다. 다만, 반도체 칩에서 패드들의 수가 증가하면, 솔더볼 또는 범프 등의 외부 연결단자들 사이의 간격이 감소하는 문제가 발생된다. 이를 해결하기 위해 반도체 칩이 차지하는 면적을 벗어난 영역까지 외부 연결단자들이 배치되는 팬-아웃 패키지가 개발된다.

[5] 팬-아웃 패키지는 반도체 칩 측면 영역까지 몰딩재가 확장되고, 몰딩재 상에 재배선층이 형성되는 패키지 타입이다. 상기 패키지 타입은 반도체 칩의 외곽을 몰딩재가 감싸는 형태로 제공된다. 다만, 반도체 칩의 두께가 감소하는 경향으로 인해 몰딩재 만으로 패키지를 구성하는 경우, 기계적 응력 등으로부터 반도체 칩을 보호하는데 일정한 한계가 있으며, 외부의 수분 등으로부터 반도체 칩을 충분히 보호하지 못하는 문제가 발생된다.

[6] 특히, 몰딩재는 절연성 고분자를 주성분으로 하고 있으므로, 지속적인 사용환경에서 에이징(aging) 현상 등으로 인해 고분자 사슬이 느슨해지고 기계적 강도와 소재가 가지는 내화학성이 감소하는 문제가 발생한다. 이를 해결하기 위해 금속 재질의 프레임이 사용된다. 금속 재질의 프레임은 제조공정에서

몰딩재 및 반도체 칩의 외곽을 감싸는 형태로 제공된다. 다만, 금속 재질의 프레임은 대기 중에 산화되는 특성으로 인해 낮은 내화학성을 가진다. 또한, 연성 및 전성으로 인해 제조공정에서 반도체 패키지의 휨 현상을 발생시킨다.

[7] 따라서, 안정적인 내화학성을 가지고, 외부 응력으로부터 반도체 칩을 보호하는 반도체 패키지는 여전히 요청된다 할 것이다.

발명의 상세한 설명

기술적 과제

[8] 본 발명이 이루고자 하는 제1 기술적 과제는 신뢰성이 향상된 반도체 패키지를 제공하는데 있다.

[9] 또한, 본 발명이 이루고자 하는 제2 기술적 과제는 상기 제1 기술적 과제를 달성하기 위한 반도체 패키지의 제조방법을 제공하는데 있다.

과제 해결 수단

[10] 상술한 제1 기술적 과제를 달성하기 위한 본 발명은, 제1면 및 상기 제1면에 대향하는 제2면을 가지는 절연 프레임; 상기 절연 프레임의 관통공에 배치되는 반도체 칩; 상기 관통공에 배치된 상기 반도체 칩을 매립하는 몰딩층; 및 상기 반도체 칩의 활성면 상의 패드와 전기적으로 연결되고, 상기 절연 프레임의 상기 제1면 상에 신장되어 형성된 재배선층을 포함하고, 상기 절연 프레임의 상기 제1면과 인접한 상기 반도체 칩 측면 영역의 몰딩층의 폭보다 상기 활성면에 대향하는 상기 반도체 칩의 배면 상의 측면 연장선 영역의 몰딩층의 폭이 더 큰 것을 특징으로 하는 반도체 패키지를 제공한다.

[11] 상술한 제2 기술적 과제를 달성하기 위한 본 발명은, 제1면과 상기 제1면에 대향하는 제2면을 가지는 프레임 원장을 식각하여 상기 제1면으로부터 형성된 제1 관통공 및 상기 제2면으로부터 형성되고 상기 제1 관통공보다 큰 폭을 가지는 제2 관통공을 형성하는 단계; 상기 프레임 원장의 식각에 따른 관통공에 반도체 칩을 배치하는 단계; 상기 반도체 칩이 배치된 관통공을 충진하는 몰딩층을 형성하는 단계; 및 상기 프레임 원장의 상기 제1면과 동일 평면을 이루는 상기 반도체 칩의 활성면 상의 패드와 전기적으로 연결되는 재배선층을 형성하는 단계를 포함하는 반도체 패키지의 제조방법을 제공한다.

발명의 효과

[12] 상술한 본 발명에 따르면, 반도체 칩 및 몰딩층이 수용되고, 재배선층이 형성되는 프레임은 절연성 재질로 구성된다. 절연 프레임의 사용은 기존의 금속 재질의 프레임의 사용에 비해 강한 내화학성을 확보할 수 있다. 또한, 반도체 패키지의 실장 공정에서 인접한 패키지와의 단락 현상 또는 하부의 배선 패턴과의 단락 현상은 방지된다.

[13] 또한, 절연 프레임은 내부에 제1 관통공 및 제2 관통공을 가진다. 제1 관통공을 통해 반도체 칩이 실장된다. 반도체 칩의 측면에 배치된 절연 프레임을 통해 다양한 원인에 따른 응력에 의한 반도체 패키지의 변형은 최소화된다. 또한, 제2

관통공을 매립하는 몰딩층에 의해 반도체 칩에서 발생되는 열은 외부로 용이하게 배출될 수 있다.

[14] 또한, 본 발명에서는 응력의 효과적인 분산과 기계적 강도의 확보를 위해 절연 프레임의 표면은 강화성 재질로 개질될 수 있다.

[15] 또한, 절연 프레임과 몰딩층 사이에는 버퍼층이 형성되어 응력의 흡수 동작이 수행된다. 이를 통해 반도체 패키지의 기계적 안정성은 확보되며, 몰딩층은 서로 다른 전도성을 가질 수 있으며, 반도체 칩의 배면 상에 형성된 제2 몰딩층에는 도전성 입자가 첨가된다. 이를 통해 전자파 차폐가 달성되고, 전자파의 간섭에 의한 반도체 칩의 오동작은 방지된다.

도면의 간단한 설명

[16] 도 1은 본 발명의 제1 실시예에 따른 반도체 패키지를 도시한 단면도이다.

[17] 도 2 내지 도 7은 본 발명의 제1 실시예에 따라 상기 도 1의 반도체 패키지를 제조하는 방법을 설명하기 위한 단면도들 및 평면도이다.

[18] 도 8 및 도 9는 본 발명의 제1 실시예에 따라 상기 도 6의 프레임 원장에 대한 다양한 컷팅예를 도시한 단면도들이다.

[19] 도 10 내지 도 13은 본 발명의 제2 실시예에 따른 반도체 패키지 및 그 제조방법을 설명하기 위한 단면도들이다.

[20] 도 14 내지 도 16은 본 발명의 제3 실시예에 따른 반도체 패키지 및 그 제조방법을 설명하기 위한 단면도들이다.

[21] 도 17 내지 도 19는 본 발명의 제4 실시예에 따른 반도체 패키지 및 그 제조방법을 설명하기 위한 단면도들이다.

[22] 도 20은 본 발명의 제5 실시예에 따른 반도체 패키지 및 그 제조방법을 설명하기 위한 단면도이다.

발명의 실시를 위한 최선의 형태

[23] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

[24] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[25] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게

설명하고자 한다.

[26]

[27] 제1 실시예

[28] 도 1은 본 발명의 제1 실시예에 따른 반도체 패키지를 도시한 단면도이다.

[29] 도 1을 참조하면, 본 실시예의 반도체 패키지는 절연 프레임(100), 반도체 칩(200), 몰딩층(300), 재배선층(400), 외부 연결단자(500) 및 보호 필름(600)을 가진다.

[30] 절연 프레임(100)은 절연성 재질이며, 이후에 개시되는 캐리어 기판 또는 상술한 몰딩층과 유사한 열팽창 계수를 가짐이 바람직하다. 따라서, 상기 절연 프레임(100)은 절연 세라믹 또는 반도체 재질의 세라믹일 수 있다. 상기 절연 세라믹은 다양한 재질을 가지는 바, 금속 산화물 또는 금속 질화물 등이 사용될 수 있으며, 소다라임 글라스 또는 사파이어 등이 사용될 수 있다. 또한, 반도체 재질의 세라믹은 실리콘 재질을 가질 수 있으며, 이외에 ZnO, GaN 및 GaAs 등이 사용될 수도 있다. 상기 반도체 재질의 세라믹은 도핑되지 않은 상태에서는 절연성을 가지므로 도핑되지 않은 재질의 사용은 가능하다 할 것이다. 다만, 상기 절연 프레임(100)은 사용되는 캐리어 기판 또는 몰딩층(300)의 재질에 따라 다양하게 선택될 수 있다.

[31] 예컨대, 소다라임 글라스는 9~9.5 ppm/℃의 열팽창 계수를 가지며, 이는 EMC와 유사한 범위에서의 열팽창 계수로 절연 프레임(100)과 몰딩층(300) 사이의 열응력은 최소화될 수 있다. 또한, 상기 절연 프레임(100)은 하부의 제1면(101)의 폭이 상부의 제2면(102)의 폭보다 넓을 것이 요구된다.

[32] 또한, 제1면(101)으로부터 제2면(102)을 향해 형성되는 절연 프레임(100)의 내주면의 폭은 위치에 따라 달리 설정된다. 예컨대, 상기 절연 프레임(100)은 동일 재질로 구성되나, 형상에 의해 제1 절연 프레임(110)과 제2 절연 프레임(120)으로 구분될 수 있다. 제1 절연 프레임(110)은 제1면(101)을 포함하고, 내주면에 의해 제1 관통공을 형성한다. 또한, 제2 절연 프레임(120)은 제1 절연 프레임(110) 상에 정의되고, 내주면에 의해 제2 관통공을 형성한다. 제1 관통공은 제2 관통공보다 작은 폭을 가진다.

[33] 또한, 제1 관통공에는 반도체 칩(200)이 배치된다. 상기 반도체 칩(200)의 패드(210)가 형성된 활성면은 제1면(101)과 동일 평면을 이룸이 바람직하다. 또한, 상기 반도체 칩(200)의 두께는 상기 제1 절연 프레임(110)의 두께와 같거나, 다른 값을 가질 수 있다. 즉, 상기 도 1에서는 제1 절연 프레임(110)의 두께보다 반도체 칩(200)의 두께가 큰 것으로 도시되나, 상기 반도체 칩(200)의 두께는 상기 제1 절연 프레임(110)의 두께와 같거나 작아도 무방하다.

[34] 또한, 반도체 칩(200)과 절연 프레임(100) 사이에는 몰딩층(300)이 매립된다. 상기 몰딩층(300)은 제1 관통공 및 제2 관통공을 충진한다. 관통공을 충진하는 몰딩층(300)은 절연 프레임(100)의 제2면(102)과 동일 평면을 형성함이 바람직하다. 또한, 상기 몰딩층(300)은 EMC(Epoxy Molding Compound)로

구성되며, 절연성 고분자 및 무기재료인 실리카 분말 등이 혼합된 양상으로 구비된다. 또한, 상기 몰딩층(300)에는 도전성 분말이 추가될 수 있다.

[35] 또한, 상기 절연 프레임(100)의 제1면(101)과 반도체 칩(200) 사이를 매립하는 몰딩층(300)의 폭보다 절연 프레임(100)의 제2면(102) 사이의 공간을 매립하는 몰딩층(300)의 폭은 더 크게 설정된다. 즉, 상기 반도체 칩(200)의 측면을 매립하는 몰딩층(300)의 폭보다 상기 반도체 칩(300)의 배면 상의 영역으로부터 상기 제2면(102)이 형성되는 지점 사이를 매립하는 몰딩층(300)의 폭이 더 크게 설정된다.

[36] 재배선층(400)은 반도체 칩(200)의 활성면 또는 절연 프레임(100)의 제1면(101) 상에 형성된다. 형성되는 재배선층(400)은 제1 절연층(410), 제1 배선층(420), 제2 절연층(430) 및 제2 배선층(440)을 가진다. 다만, 재배선층(400)의 구성은 팬-아웃 구조의 실현을 위해 구성되는 예시에 불과하며, 당업자에 따라 상술한 재배선층(400)의 구성은 다양하게 변경하여 실시될 수 있다.

[37] 다만, 상기 재배선층(400)은 반도체 칩(200)이 차지하는 영역을 벗어난 영역에 외부 연결단자(500)를 형성할 수 있는 구성이라면 여하한 형태의 채용도 무방할 것이다. 상기 도 1에서는 제1 배선층(420)이 반도체 칩(200)이 차지하는 영역을 벗어나 절연 프레임(100)의 하부 영역까지 신장되는 것으로 도시되나, 이외에 제1 배선층(420)이 몰딩층(300) 영역까지 신장되는 경우도 본 실시예에서는 구현가능하다 할 것이다.

[38] 또한, 재배선층(400)은 외부 연결단자(500)와 전기적으로 연결된다. 외부 연결단자(500)는 솔더볼 또는 범프의 구조를 가진다. 더욱 상세하게는 외부 연결단자(500)는 제2 배선층(440) 상에 형성되고, 반도체 칩(200)의 패드(210)와 전기적으로 연결된다. 또한, 실시의 형태에 따라 상기 제2 배선층(440)은 생략될 수도 있다. 즉, 제1 배선층(420) 상에 외부 연결단자(500)가 직접 형성될 수도 있다.

[39] 또한, 실시의 형태에 따라 절연 프레임(100)의 제2면(102) 및 이와 동일 평면을 이루는 몰딩층(300) 상에는 보호 필름(600)이 구비될 수 있다. 상기 보호 필름(600)은 몰딩층(300)을 외부 환경으로부터 보호하기 위한 것으로 기계적 손상의 방지 및 수분의 침투를 방지하기 위해 구비될 수 있다. 상기 보호 필름(600)은 절연성 필름으로 에폭시 또는 아크릴의 재질을 가질 수 있다.

[40] 상기 도 1에서 제1 절연 프레임(110)에 의해 정의되는 제1 관통공 내로 반도체 칩(200)은 실장된다. 또한, 상부의 제2 절연 프레임(120)은 제1 관통공보다 넓은 폭을 가지는 제2 관통공을 정의한다. 또한, 반도체 칩(200)의 측면에 배치되는 제1 절연 프레임(110)은 제2 절연 프레임(120)보다 큰 폭을 가진다. 반도체 칩(200)의 사용 중에 발생하는 열은 몰딩층(300)에서의 열팽창을 유도한다. 특히, 반도체 칩(200)의 측면에 형성되는 몰딩층(300)의 열변형은 반도체 패키지의 구조적 변형을 발생시킨다. 따라서, 측면에 배치되고 상대적을 큰 두께를 가진 제1 절연 프레임(110)은 반도체 패키지의 열팽창에 의한 응력을 차단한다.

[41] 또한, 절연성 재질의 절연 프레임(100)은 외부로 원활히 열전달을 수행하는데 부족한 특성을 가진다. 이를 상대적으로 넓은 폭을 가지는 제2 관통공을 통해 해결할 수 있다. 즉, 제2 관통공을 충진하는 몰딩층(300)은 반도체 칩(200)에서 발생되는 열을 반도체 패키지 외부로 원활히 배출할 수 있다.

[42] 도 2 내지 도 7은 본 발명의 제1 실시예에 따라 상기 도 1의 반도체 패키지를 제조하는 방법을 설명하기 위한 단면도들 및 평면도이다.

[43] 도 2 및 도 3을 참조하면, 프레임 원장(10)이 준비된다. 상기 프레임 원장(10)의 제2면(102)을 식각하여 제2 절연 프레임(120)에 의해 정의되는 제2 관통공(121)을 형성한다. 또한, 제2 관통공(121)에 의해 노출된 부위를 추가로 식각하여 제2 관통공(121)보다 좁은 폭을 가지는 제1 관통공(111)을 형성한다.

[44] 상기 제1 관통공(111)의 형성 및 제2 관통공(121)의 형성은 순서에 무관하게 수행될 수 있다. 즉, 프레임 원장(10)의 제1면(101)을 식각하여 제1 관통공(111)을 형성한 다음, 제1면(101)에 대향하는 제2면(102)을 식각하여 제1 관통공(111)보다 넓은 폭을 가지는 제2 관통공(121)을 형성할 수 있다.

[45] 또한, 2개의 프레임 원장을 접합하여 상기 도 3에 도시된 프레임 원장을 형성할 수 있다. 예컨대, 제1 관통공이 형성된 프레임 원장과 제2 관통공이 형성된 프레임 원장을 접합하여 상기 도 3에 도시된 프레임 원장을 형성할 수 있다.

[46] 도 4는 상기 도 3에 도시된 프레임 원장을 도시한 하부 평면도이다.

[47] 도 4를 참조하면, 실선에 의해 정의되는 프레임 원장(10)의 내부 영역은 제1 관통공(111)으로 정의되고, 점선에 의해 정의되는 프레임 원장(100)의 내부 영역은 제2 관통공(121)으로 정의된다. 제1 관통공(111)에는 반도체 칩이 실장되고, 몰딩층이 매립된다.

[48] 도 5을 참조하면, 캐리어 기판(20) 상에는 상기 도 3에 도시된 프레임 원장(10)이 배치된다. 또한, 프레임 원장(10)의 관통공에는 반도체 칩(200)이 배치된다. 또한, 반도체 칩(200)이 캐리어 기판(20) 상에서 유동하는 현상을 방지하기 위해 반도체 칩(200)과 캐리어 기판(20) 사이에는 접착층 또는 점착층이 개입될 수 있다. 접착층 또는 점착층은 탈착이 용이한 필름의 형태로 제공될 수 있다.

[49] 캐리어 기판(20) 상에 배치되는 반도체 칩(200)은 패드(210) 등이 배치된 활성면이 캐리어 기판(20)을 향하고, 활성면에 대향하는 배면은 상부를 향해 개방된 양상을 가진다.

[50] 또한, 반도체 칩(200)의 배면이 위치하는 높이는 프레임 원장(10)에서 제1 관통공의 높이보다 더 클 수 있다. 또한, 실시의 형태에 따라 반도체 칩(200)의 배면이 위치하는 높이는 프레임 원장(20)에서 제1 관통공의 높이보다 동일하거나 더 낮을 수 있다. 이는 프레임 원장(10)의 관통공 내에 배치되는 반도체 칩(200)이 제1 관통공에 완전히 포함될 수 있으며, 제1 관통공을 벗어나서 제2 관통공의 일부 영역까지 배치될 수 있음을 의미한다.

[51] 이어서, 프레임 원장(10)의 관통공 내에 배치된 반도체 칩(200)에 대한 몰딩

공정이 수행된다. 몰딩공정에 의해 관통공을 매립하는 몰딩층이 형성된다. 상기 몰딩층(300)을 구성하는 EMC(Epoxy Molding Compound)는 통상의 재질을 가질 수 있다. 즉, 절연성 고분자, 실리카 분말 또는 카본 블랙이 포함된 재질을 가질 수 있다.

[52] 또한, 몰딩층(300)의 형성 이후에 프레임 원장(10)의 제2면(102) 및 몰딩층(300)의 상부에는 보호 필름(600)이 부착될 수 있다. 보호 필름(600)은 내습성과 외부의 기계적 충격을 흡수하는 역할을 수행한다.

[53] 상기 도 5에서 설명된 공정을 통해 캐리어 기판(20) 상에는 활성면이 캐리어 기판(20)을 향하는 반도체 칩(200)이 제1 관통공에 배치되고, 실시의 형태에 따라 제2 관통공의 일부에 걸쳐서 배치된다. 또한, 관통공을 매립하는 몰딩층(300)에 의해 반도체 칩(200)은 몰딩층(300)으로 차폐된다.

[54] 도 6을 참조하면, 반도체 칩(200)의 패드(210) 및 프레임 원장(10)의 제1면(101) 상에 재배선층(400)이 형성된다.

[55] 먼저, 몰딩층(300)이 형성된 프레임 원장(10)은 캐리어 기판으로부터 분리된다. 캐리어 기판과의 분리를 통해 반도체 칩(200)의 패드(210) 및 프레임 원장(10)의 제1면(101)은 노출된다. 또한, 반도체 칩(200)의 패드(210) 및 프레임 원장(10)의 제1면(101) 상에 재배선층(400) 및 외부 연결단자(500)가 순차적으로 형성된다.

[56] 재배선층(400)의 형성은 통상의 제조공정에 따른다. 즉, 증착에 의한 제1 절연막(410)이 형성되고, 제1 절연막(410)의 선택적 식각에 의해 반도체 칩(200)의 패드(210)가 노출된다. 이어서, 제1 절연막(410) 상에 제1 배선층(420)이 형성된다. 상기 제1 배선층(420)은 반도체 칩(200)의 패드(210)와 전기적으로 연결되며, 제1 배선층(420)의 일부는 패드(210)와 물리적으로 접촉한다. 또한, 제1 배선층(420)은 반도체 칩(200) 영역 이외의 영역까지 신장되게 형성된다. 제1 배선층(420) 상에는 제2 절연막(430)이 형성되며, 선택적 식각 및 통상의 증착 공정에 의해 제1 배선층(420)과 전기적으로 연결되는 제2 배선층(440)이 형성된다. 즉, 제2 절연막(430)에 대한 선택적 식각을 수행하여 특정의 영역에서 제1 배선층(420)의 일부를 노출시킨다. 이어서 금속물의 증착 공정이 수행되면, 제1 배선층(420)은 제2 배선층(440)과 전기적으로 연결된다.

[57] 또한, 재배선층(400)의 제2 배선층(440) 상에는 외부 연결단자(500)가 형성된다. 상기 외부 연결단자(500)는 솔더볼 또는 범프임이 바람직하다.

[58] 상술한 과정을 통해 프레임 원장(10)의 제1 관통공(111) 내에서 반도체 칩(200)이 실장되고, 관통공들을 매립하는 몰딩층(300)이 형성된다. 또한, 반도체 칩(200)의 활성면 및 프레임 원장(10)의 제1면(101) 상에는 재배선층(400)이 형성된다.

[59] 도 7을 참조하면, 컷팅 라인 A-A'를 따라 프레임 원장(10)을 컷팅하여 개별화된 반도체 패키지를 얻을 수 있다.

[60] 즉, 반도체 칩(200)과 상기 반도체 칩(200)을 차폐하는 몰딩층(300)을 수용하는 관통공을 가지는 프레임 원장(10)의 컷팅을 통해 상기 도 1에 도시된 반도체

패키지를 얻을 수 있다.

[61] 도 8 및 도 9는 본 발명의 제1 실시예에 따라 상기 도 6의 프레임 원장에 대한 다양한 컷팅예를 도시한 단면도들이다.

[62] 즉, 프레임 원장(10)의 컷팅에 따라 제조되는 반도체 패키지는 상기 도 1에 도시된 반도체 패키지 이외의 형상을 가진다.

[63] 도 8을 참조하면, 컷팅은 컷팅 라인 B-B'에 따라 수행되며, 제2 관통공을 매립하는 몰딩층(300)의 일부까지 진행되고, 제1 절연 프레임(110)의 일부는 컷팅에 의해 반도체 패키지 내에 잔류한다. 따라서, 반도체 패키지의 하부의 양측면에는 제1 절연 프레임(110)의 일부가 잔류한다.

[64] 즉, 몰딩층(300)의 하부 영역은 제1 절연 프레임(110)의 일부에 의해 측면이 차폐되고, 몰딩층(300)의 상부 영역은 측면이 외부로 노출된다. 상기 도 8에 도시된 몰딩층(300)의 하부 영역을 감싸는 제1 절연 프레임(110)은 반도체 칩(200)의 사용에 의해 발생되는 열변형을 차단한다. 또한, 반도체 칩(300)의 측면을 외부환경으로부터 보호한다.

[65] 도 9를 참조하면, 인접한 반도체 칩들(200) 사이에 배치된 프레임 원장(10)에 대한 컷팅은 컷팅 라인 C-C'를 따라 상기 제1 절연 프레임(110)과 반도체 칩(200) 사이를 매립하는 몰딩층(300)에 대해 수행된다. 컷팅에 의해 반도체 칩(200)의 측면에 형성된 몰딩층(300)의 측면은 노출된다. 또한, 컷팅에 의해 반도체 칩(200)의 상부를 매립하는 몰딩층(300)의 상부면도 노출된다.

[66] 상기 도 9의 컷팅에 의해 제조되는 반도체 패키지는 제조과정에서는 절연 프레임이 이용된다. 절연 프레임을 이용한 제조과정에서 몰딩 시에 발생되는 열응력에 의한 프레임 원장의 변형은 최소화된다.

[67] 또한, 상기 도 8 및 도 9의 공정을 통해 제조되는 반도체 패키지는 외부 연결단자가 반도체 칩 영역으로 한정되는 팬-인(fan-in) 타입일 수 있다.

[68]

[69] 제2 실시예

[70] 도 10 내지 도 13은 본 발명의 제2 실시예에 따른 반도체 패키지 및 그 제조방법을 설명하기 위한 단면도들이다.

[71] 도 10을 참조하면, 본 실시예의 반도체 패키지는 몰딩층(300)의 구성을 제외하고는 상기 도 1과 동일하다.

[72] 즉, 몰딩층(300)은 제1 몰딩층(310)과 제2 몰딩층(320)를 가진다.

[73] 제1 몰딩층(310)은 통상의 절연성 재질인 EMC로 구성된다. 즉, 절연성 고분자 및 실리카 등의 무기재질의 분말을 가지고, 이외에 카본 블랙 등의 소재가 추가될 수 있다.

[74] 또한, 제1 몰딩층(310)는 반도체 칩(200)의 배면을 커버하도록 형성된다. 따라서, 제1 몰딩층(310)는 반도체 칩(200)의 측면과 배면을 커버한다. 제1 몰딩층(310)의 상부에는 제2 몰딩층(320)이 구비된다.

[75] 제2 몰딩층(320)은 제1 몰딩층(310)보다 높은 도전성을 가진다. 이를 위해 제1

몰딩층(310)을 구성하는 재질에 도전성 분말이 혼입된다. 혼입되는 도전성 분말로는 도전성 산화물 입자 또는 금속 입자가 사용될 수 있다. 도전성 산화물 입자는 ZnO, ITO 또는 IZO 등이 사용될 수 있으며, 사용되는 금속 입자로는 Al, Ag, Cu, Fe, Au, Zn 등의 일반적인 금속 입자들이 사용될 수 있다.

[76] 제1 몰딩층(310)보다 높은 도전성을 가지는 제2 몰딩층(320)은 외부로부터 인가되거나, 반도체 칩(200)에서 발생되는 전자파를 차폐하는 기능을 수행한다. 이를 통해 전자파에 의한 간섭 및 간섭에 따른 반도체 칩(200)의 오동작은 방지될 수 있다. 또한, 제2 몰딩층(320)의 표면은 절연 프레임(100)의 제2면(102)과 동일 평면을 형성함이 바람직하다.

[77] 도 11을 참조하면, 제1 몰딩층(310)은 상기 반도체 칩(200)의 측면 또는 측면 일부를 커버한다. 제1 몰딩층(310) 상에 형성되는 제2 몰딩층(320)은 반도체 칩(200)의 상부를 커버하고, 실시의 형태에 따라 반도체 칩(200)의 측면 일부, 즉 제1 몰딩층(310)이 커버하지 않는 잔류 부위를 커버할 수 있다. 다만, 제2 몰딩층(320)은 패드(210)가 형성된 활성영역에서 웰이나 트랜지스터의 고농도 도핑 영역이 형성된 부위를 커버하지 않음이 바람직하다. 즉, 절연성의 제1 몰딩층(310)은 소자의 동작에 직접 관여하는 반도체 칩(200)의 소정 영역까지 그 측면을 커버할 필요가 있다.

[78] 또한, 제2 몰딩층(320)은 상기 도 10에 설명된 바대로 도전성 분말이 혼입된다. 상기 도 10의 구조에서 상기 제2 몰딩층(320)은 전자파 간섭을 차단할 뿐 아니라, 반도체 칩(200)에 접지를 제공하는 기능을 수행한다. 이를 통해 보다 안정된 조건에서 반도체 칩(200)의 동작을 유도할 수 있는 잇점이 있다.

[79] 예컨대, 반도체 칩(200)은 활성면에 별도의 접지 패드를 가진다. 접지 패드는 약하게 도핑되거나 도핑되지 않는 벌크 영역과 전기적으로 연결된다. 그러나, 접지 패드를 통해 공급되는 접지 전압은 벌크 영역까지 충분히 공급되지 않을 수 있다. 이는 반도체 칩(200)에서 벌크 영역에서의 노이즈를 발생시키는 원인이 되며, 이를 통해 몸체 효과(body effect)를 유발할 수 있다.

[80] 상기 도 11에서는 제1 몰딩층(310)보다 높은 도전성을 가진 제2 몰딩층(320)을 통해 반도체 칩(200)의 배면을 커버하도록 하여 전자파 간섭 및 몸체 효과를 방지한다.

[81] 이외에 상기 도 11에 도시된 반도체 패키지는 다른 방법을 통해서 제조될 수 있다.

[82] 도 12를 참조하면, 제1 관통공이 형성된 제1 절연 프레임은 캐리어 기판 상에 배치된다. 또한, 제1 관통공을 통해 반도체 칩은 캐리어 기판 상에 배치된다. 배치되는 반도체 칩의 패드가 형성된 활성면은 캐리어 기판을 향한다.

[83] 이어서, 제1 관통공을 매립하는 제1 몰딩층이 형성된다. 상기 도 12에서는 반도체 칩의 두께가 제1 절연 프레임을 상회하는 것으로 도시되나, 반도체 칩의 두께는 제1 절연 프레임보다 낮은 값을 가질 수 있다. 이러한 경우, 제1 몰딩층은 반도체 칩의 측면과 배면을 차폐할 수 있으며, 반도체 칩의 측면 일부를 차폐할

수도 있다.

[84] 도 13을 참조하면, 상기 도 12에 도시된 제1 절연 프레임 상에 제2 절연 프레임을 배치한다. 제2 절연 프레임은 제1 관통공보다 큰 폭을 가지는 제2 관통공을 가진다.

[85] 이어서, 제2 관통공을 매립하는 제2 몰딩층을 형성한다. 이후에 캐리어 기판은 제거되고, 반도체 칩(200)의 패드(210)와 전기적으로 연결되는 재배선층(400) 및 외부 연결단자(500)를 형성한다.

[86] 또한, 제1 프레임 원장(11) 및 제2 프레임 원장(12)을 컷팅 라인 A-A'를 따라 컷팅하면, 상기 도 7에 도시된 반도체 패키지를 얻을 수 있다.

[87]

[88] 제3 실시예

[89] 도 14 내지 도 16은 본 발명의 제3 실시예에 따른 반도체 패키지 및 그 제조방법을 설명하기 위한 단면도들이다.

[90] 도 14를 참조하면, 절연 프레임(100)과 몰딩층(300) 사이에 버퍼층(700)이 형성된 것을 제외하고는 상기 도 1에 도시된 반도체 패키지와 구성 및 재질이 동일하다.

[91] 버퍼층(700)은 절연 프레임(100)과 몰딩층(300) 사이에 구비된다. 상기 버퍼층(300)은 금속 재질의 도전성을 가짐이 바람직하며, 수 um의 두께를 가짐이 바람직하다. 금속은 세라믹 또는 고분자에 비해 뛰어난 연성 및 전성을 가진다. 이는 상기 버퍼층(700)과 접하는 절연 프레임(100) 및 몰딩층(300)에서 발생되는 기계적 응력은 상기 버퍼층(700)에서 흡수될 수 있음을 의미한다.

[92] 따라서, 패키지를 제조하기 위한 공정시, 발생되는 열에 의한 절연 프레임(100)의 팽창 및 수축에 대한 기계적 버퍼링 기능을 수행할 수 있으며, 몰딩층(300)의 팽창 및 수축에 따른 기계적 버퍼링 기능을 수행할 수 있다.

[93] 또한, 상기 버퍼층(700)의 형성은 상기 제1 실시예의 도 3의 과정 이후에 수행될 수 있다. 즉, 프레임 원장(10)에서 복수개의 관통공이 형성된 이후에 도금 또는 증착 공정을 통해 프레임 원장(10)의 내벽에 금속 재질의 버퍼층(700)을 형성한다. 또한, 제1면(101) 및 제2면(102) 상에 형성된 금속층은 CMP 또는 전면 식각 공정 등을 통해 제거할 수 있다. 이를 통해 제1 관통공(111) 및 제2 관통공(121)을 정의하는 프레임 원장(10)의 내벽 상에 버퍼층(700)이 형성될 수 있다.

[94] 도 15 및 도 16을 참조하면, 절연 프레임(100)과 몰딩층(300) 사이에 버퍼층(700)이 형성된 것을 제외하고는 상기 도 10 및 도 11에서 도시된 바와 동일하다. 즉, 몰딩층(300)은 제1 몰딩층(310)과 상기 제1 몰딩층(310) 상에 형성된 제2 몰딩층(320)을 가진다. 제2 몰딩층(320)은 제1 몰딩층(310)보다 높은 전도도를 가진다.

[95] 제2 몰딩층(320)은 전자파 차폐 동작을 수행하거나, 접지를 제공할 수 있다. 또한, 제2 몰딩층(320)은 측면에 구비된 도전성의 버퍼층(700)과 접한다. 따라서,

전자파 차폐는 반도체 칩(200)의 배면 이외에 측면까지 진행된다.

[96] 버퍼층(700)의 형성은 상기 도 3에서 제1 관통공(111) 및 제2 관통공(121)이 형성된 프레임 원장(10)에 대해 수행된다. 또한, 제1 몰딩층(310)과 제2 몰딩층(320)의 형성은 상기 도 5에서 설명된 몰딩층의 형성 단계에서 2회의 몰딩공정의 수행을 통해 달성될 수 있다.

[97]

[98] 제4 실시예

[99] 도 17 내지 도 19는 본 발명의 제4 실시예에 따른 반도체 패키지 및 그 제조방법을 설명하기 위한 단면도들이다.

[100] 도 17을 참조하면, 절연 프레임(100)이 내부 절연 프레임(150) 및 외부 절연 프레임(160)을 가지는 것을 제외하고는 상기 도 1에 도시된 반도체 패키지와 그 구성 및 재질이 동일하다.

[101] 내부 절연 프레임(150)은 통상의 절연성 재질로 구성될 수 있으며, 상기 도 1에서 설명된 바와 같이 소다라임 글라스 재질을 가질 수 있다. 또한, 외부 절연 프레임(160)은 내부 절연 프레임(160) 상에 형성되며, 별도의 코팅이나 증착 공정이 수행되지 않고, 절연 프레임(100)의 표면 개질을 통해 형성됨이 바람직하다. 상기 외부 절연 프레임(160)은 내부 절연 프레임(150)보다 높은 기계적 강도를 가진다.

[102] 내부 절연 프레임(150)이 소다라임 글라스로 형성된 경우, 외부 절연 프레임(160)은 표면 강화된 소다라임 글라스일 수 있다. 이는 소다라임 글라스에 포함된 나트륨 이온이 칼륨 이온으로 치환된 구조를 가진다. 칼륨 이온은 나트륨 이온에 비해 이온 반경이 크므로 치환을 통해 글라스 내부에 압축 응력을 유발하여 기계적 강도를 향상시킬 수 있다.

[103] 표면의 강도가 향상된 외부 절연 프레임(160)의 도입을 통해 열팽창 또는 열응축에 의해 발생되는 응력은 절연 프레임(100)의 표면에 더욱 용이하게 분산될 수 있다.

[104] 또한, 외부 절연 프레임(160)의 형성공정은 상기 제1 실시예에서 도 3에 설명된 관통공들을 형성하는 공정 직후에 실시됨이 바람직하다.

[105] 즉, 상기 도 3에 개시된 프레임 원장(10)에서 프레임 원장(10)의 외주면에 대해 표면 강화 공정이 수행된다. 프레임 원장(10)이 소다라임 글라스 재질을 가지는 경우, 칼륨 이온의 치환을 통해 프레임 원장(10)의 외주면은 높은 강도를 가지는 외부 절연 프레임(160)으로 개질된다. 즉, 상기 도 17의 절연 프레임(100)의 외부 절연 프레임(160)은 내부 절연 프레임(150)이 표면 개질된 형태로 제공된다.

[106] 도 18 및 도 19를 참조하면, 관통공을 매립하는 몰딩층(300)는 제1 몰딩층(310) 및 제2 몰딩층(320)로 구성된다. 제1 몰딩층(310) 및 제2 몰딩층(320)의 배치 및 재질은 상기 제2 실시예의 도 10 및 도 11에서 설명된 바와 동일하다. 따라서, 제2 몰딩층(320)은 제1 몰딩층(310)에 비해 높은 도전성을 가진다. 이를 통해 전자파 간섭은 최소화될 수 있다.

[107]

[108] 제5 실시예

[109] 도 20은 본 발명의 제5 실시예에 따른 반도체 패키지 및 그 제조방법을 설명하기 위한 단면도이다.

[110] 도 20을 참조하면, 반도체 패키지에 반도체 칩(200)과 내부 연결단자(220)가 구비된 것을 제외하고는 상기 도 1에 도시된 반도체 패키지와 구성 및 재질이 동일하다.

[111] 즉, 절연 프레임(100)의 제1 절연 프레임(110)에 의해 정의되는 제1 관통공에는 반도체 칩(200)과 내부 연결단자(220)가 구비된다. 반도체 칩(200)과 내부 연결단자(220)는 별도의 공정을 통해 제조될 수 있다. 즉, 제조된 웨이퍼로부터 반도체 칩(200)에 대한 개별화가 진행되고, 반도체 칩(200)에 구비된 패드(210)에 내부 연결단자(220)가 형성된다. 상기 내부 연결단자(220)는 패드(210)와 재배선층(400)과의 전기적 연결을 달성할 수 있는 수단이라면 여하한 형태도 가능할 것이다. 즉, 내부 연결단자(220)를 구비한 반도체 칩(200)은 제1 관통공에 배치된다.

[112] 또한, 몰딩층(300)은 내부 연결단자(220)를 구비하는 반도체 칩(200)을 매립하며, 절연 프레임(100)의 제1면(101)과 몰딩층(300) 상에는 재배선층(400)이 구비된다. 또한, 재배선층(400) 상에는 외부 연결단자(500)가 구비된다.

[113] 상기 도 20에서 개시된 반도체 패키지는 제1 실시예의 도 5 내지 도 7의 과정을 통해 제작될 수 있다.

[114] 즉, 상기 도 5에서 캐리어 기판 상에 절연 프레임이 배치되고, 절연 프레임의 제1 관통공을 통해 내부 연결단자(220)를 구비한 반도체 칩(200)이 배치된다.

[115] 이어서, 몰딩 공정이 수행되어 내부 연결단자(220)를 가지는 반도체 칩(200)을 매립한다.

[116] 또한, 도 6의 공정에서 캐리어 기판은 제거되고, 절연 프레임(100)의 제1면(101) 및 몰딩층(300) 상에 재배선층(400)이 형성된다. 재배선층(400)의 형성시, 몰딩층(300)에 의해 내부 연결단자(220)는 매립될 수 있다. 따라서, 내부 연결단자(220)의 노출을 위한 별도의 식각 공정이 수행될 수 있다.

[117] 또한, 도 7의 공정에서 컷팅 라인 A-A'를 따라 컷팅이 수행되어 상기 도 20의 반도체 패키지를 얻을 수 있다.

[118]

[119] 상술한 본 발명에서 반도체 칩 및 몰딩층이 수용되고, 재배선층이 형성되는 프레임은 절연성 재질로 구성된다. 절연 프레임의 사용은 기존의 금속 재질의 프레임의 사용에 비해 강한 내화학성을 확보할 수 있다. 또한, 반도체 패키지의 실장 공정에서 인접한 패키지와의 단락 현상 또는 하부의 배선 패턴과의 단락 현상은 방지된다.

[120] 또한, 절연 프레임은 내부에 제1 관통공 및 제2 관통공을 가진다. 제1 관통공을 통해 반도체 칩이 실장된다. 반도체 칩의 측면에 배치된 절연 프레임을 통해

다양한 원인에 따른 응력에 의한 반도체 패키지의 변형은 최소화된다. 또한, 제2 관통공을 매립하는 몰딩층에 의해 반도체 칩에서 발생되는 열은 외부로 용이하게 배출될 수 있다.

[121] 또한, 본 발명에서는 응력의 효과적인 분산과 기계적 강도의 확보를 위해 절연 프레임의 표면은 강화성 재질로 개질될 수 있다.

[122] 또한, 절연 프레임과 몰딩층 사이에는 버퍼층이 형성되어 응력의 흡수 동작이 수행된다. 이를 통해 반도체 패키지의 기계적 안정성은 확보되며, 몰딩층은 서로 다른 전도성을 가질 수 있으며, 반도체 칩의 배면 상에 형성된 제2 몰딩층에는 도전성 입자가 첨가된다. 이를 통해 전자파 차폐가 달성되고, 전자파의 간섭에 의한 반도체 칩의 오동작은 방지된다.

청구범위

[청구항 1] 제1면 및 상기 제1면에 대향하는 제2면을 가지는 절연 프레임;
상기 절연 프레임의 관통공에 배치되는 반도체 칩;
상기 관통공에 배치된 상기 반도체 칩을 매립하는 몰딩층; 및
상기 반도체 칩의 활성면 상의 패드와 전기적으로 연결되고, 상기 절연 프레임의 상기 제1면 상에 신장되어 형성된 재배선층을 포함하고,
상기 절연 프레임의 상기 제1면과 인접한 상기 반도체 칩 측면 영역의 몰딩층의 폭보다 상기 활성면에 대향하는 상기 반도체 칩의 배면 상의 측면 연장선 영역의 몰딩층의 폭이 더 큰 것을 특징으로 하는 반도체 패키지.

[청구항 2] 제1항에 있어서, 상기 절연 프레임의 관통공은,
상기 제1면으로부터 형성된 제1 관통공; 및
상기 제2면 영역에 형성되고, 상기 제1 관통공보다 넓은 폭을 가지는 제2 관통공을 포함하는 것을 특징으로 하는 반도체 패키지.

[청구항 3] 제2항에 있어서, 상기 반도체 칩은 상기 제1 관통공 내에 수용되는 것을 특징을 하는 반도체 패키지.

[청구항 4] 제2항에 있어서, 상기 절연 프레임은 상기 제1 관통공이 형성된 제1 절연 프레임 및 상기 제2 관통공이 형성된 제2 절연 프레임을 포함하고, 상기 제1 절연 프레임과 상기 제2 절연 프레임은 동일 재질로 물리적으로 상호 일체화된 것을 특징으로 하는 반도체 패키지.

[청구항 5] 제1항에 있어서, 상기 몰딩층은 도전성 분말을 포함하는 것을 특징으로 하는 반도체 패키지.

[청구항 6] 제1항에 있어서, 상기 몰딩층은,
상기 제1면과 동일 평면을 이루는 제1 몰딩층; 및
상기 제1 몰딩층 상에 형성되고, 상기 제1 몰딩층보다 높은 전도도를 가지는 제2 몰딩층을 포함하는 것을 특징으로 하는 반도체 패키지.

[청구항 7] 제1항에 있어서, 상기 절연 프레임은 절연 세라믹 또는 반도체 재질의 세라믹을 포함하고,
상기 절연 세라믹은, 소다라임 글라스 또는 사파이어이고, 상기 반도체 재질의 세라믹은 실리콘, ZnO, GaN 또는 GaAs를 포함하는 것을 특징으로 하는 반도체 패키지.

[청구항 8] 제1항에 있어서, 상기 절연 프레임과 상기 몰딩층 사이에는 응력의 흡수를 위한 버퍼층이 더 포함되는 것을 특징으로 하는 반도체 패키지.

[청구항 9] 제1항에 있어서, 상기 절연 프레임의 제2면 및 상기 몰딩층 상에는 기계적 손상을 방지하고, 수분의 침투를 방지하기 위한 보호 필름이 더 포함되는 것을 특징으로 하는 반도체 패키지.

[청구항 10] 제1항에 있어서, 상기 반도체 칩과 상기 재배선층 사이에 상기 반도체

칩의 패드 상에 연결된 내부 연결단자를 더 포함하는 것을 특징으로 하는 반도체 패키지.

[청구항 11] 제1면과 상기 제1면에 대향하는 제2면을 가지는 프레임 원장을 식각하여 상기 제1면으로부터 형성된 제1 관통공 및 상기 제2면으로부터 형성되고 상기 제1 관통공보다 큰 폭을 가지는 제2 관통공을 형성하는 단계;
상기 프레임 원장의 식각에 따른 관통공에 반도체 칩을 배치하는 단계;
상기 반도체 칩이 배치된 관통공을 충진하는 몰딩층을 형성하는 단계; 및
상기 프레임 원장의 상기 제1면과 동일 평면을 이루는 상기 반도체 칩의 활성면 상의 패드와 전기적으로 연결되는 재배선층을 형성하는 단계를 포함하는 반도체 패키지의 제조방법.

[청구항 12] 제11항에 있어서, 상기 반도체 칩을 배치하는 단계는,
상기 캐리어 기판 상에 상기 제1면이 상기 캐리어 기판을 향하도록 상기 프레임 원장을 배치하는 단계; 및
상기 제1 관통공을 통해 상기 반도체 칩을 상기 캐리어 기판 상에 배치하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지의 제조방법.

[청구항 13] 제11항에 있어서, 상기 재배선층을 형성하는 단계 이후에, 상기 프레임 원장을 컷팅하여 반도체 패키지를 개별화하는 단계를 더 포함하고,
상기 프레임 원장의 컷팅은 상기 반도체 칩의 측면의 상기 제1 관통공을 매립하는 상기 몰딩층에 대해 수행되는 것을 특징으로 하는 반도체 패키지의 제조방법.

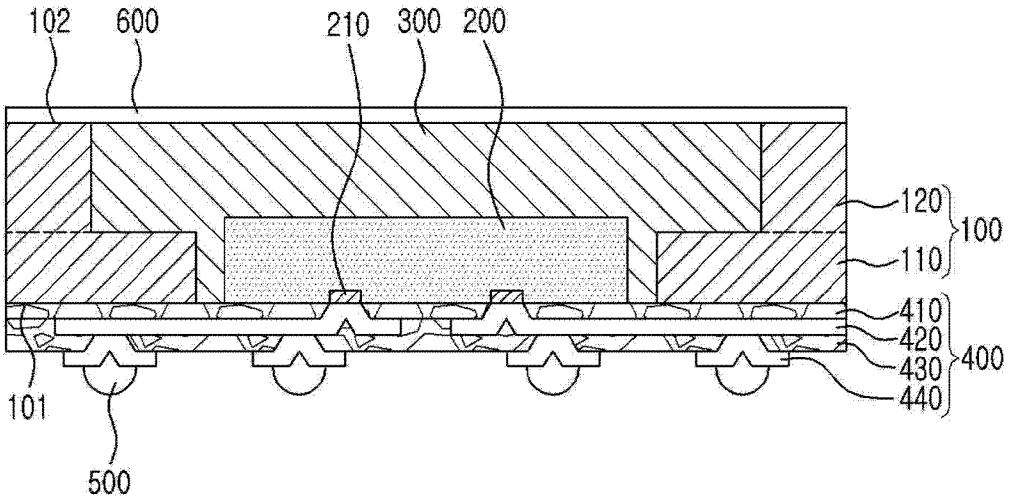
[청구항 14] 제11항에 있어서, 상기 몰딩층을 형성하는 단계는,
상기 프레임 원장의 제1면과 동일 평면으로부터 형성되는 제1 몰딩층을 형성하는 단계; 및
상기 제1 몰딩층 상에 상기 제1 몰딩층보다 높은 전도도를 가지는 제2 몰딩층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지의 제조방법.

[청구항 15] 제11항에 있어서, 상기 프레임 원장을 식각하는 단계 이후에, 상기 프레임 원장의 내주면 상에 버퍼층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 패키지의 제조방법.

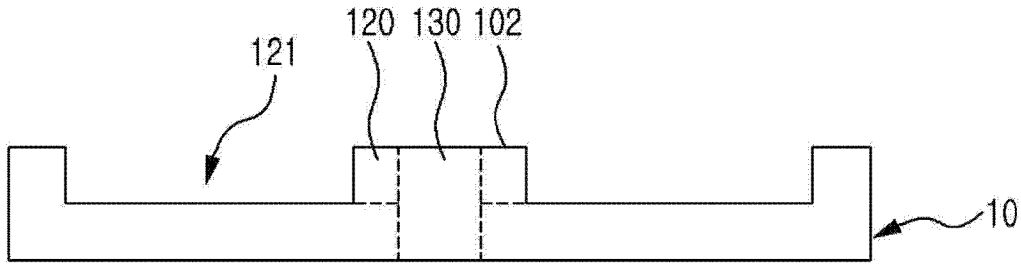
[청구항 16] 제11항에 있어서, 상기 프레임 원장을 식각하는 단계 이후에, 상기 프레임 원장의 표면을 개질하여 상기 프레임 원장의 내주면의 강도를 증가시키는 단계를 더 포함하는 것을 특징으로 하는 반도체 패키지의 제조방법.

[청구항 17] 제11항에 있어서, 상기 몰딩층을 형성하는 단계 이후에, 상기 제2면 및 상기 제2면과 동일 평면을 이루는 몰딩층 상에 보호 필름을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 패키지의 제조방법.

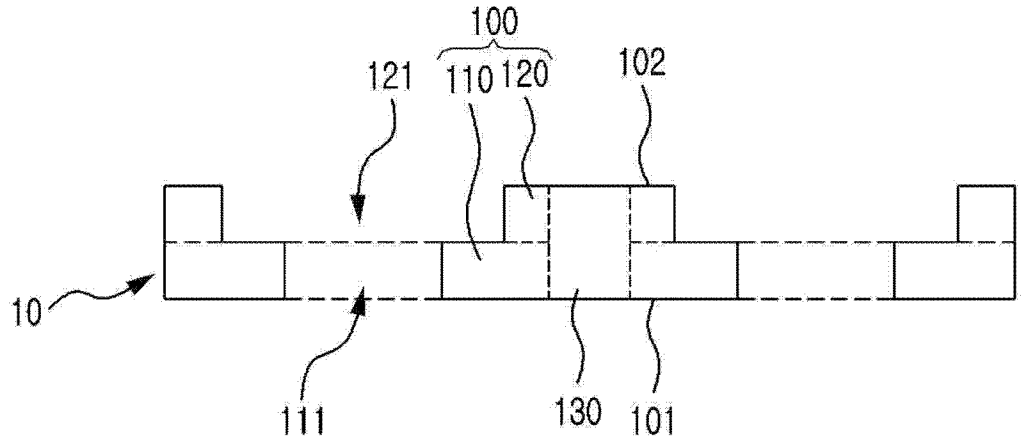
[도1]


102
600
210
300
200
120
110
100
410
420
430
440
400
101
500

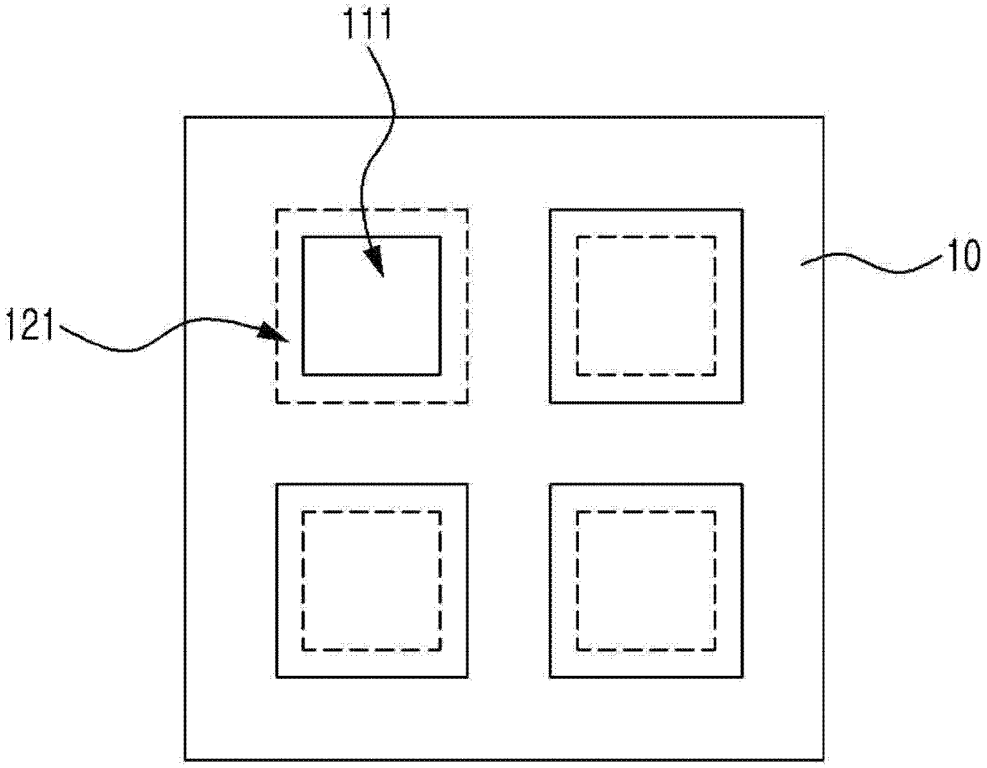
[도2]


121
120
130
102
10

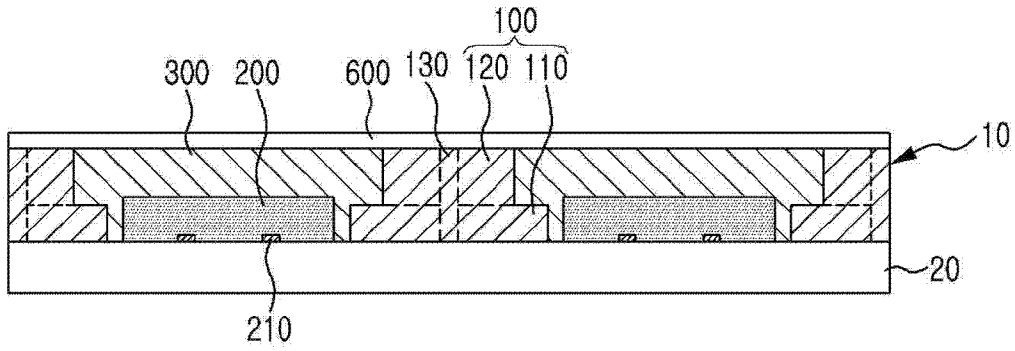
[도3]


100
121
110
120
102
10
111
130
101

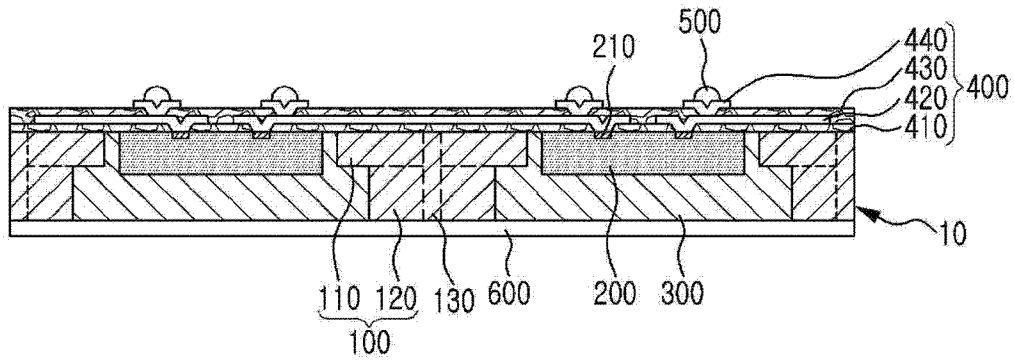
[도4]


111
121
10

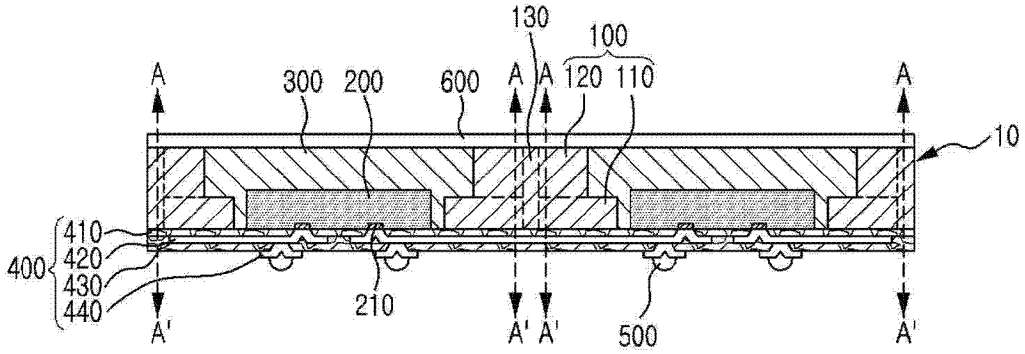
[도5]


100
300
200
600
130
120
110
10
20
210

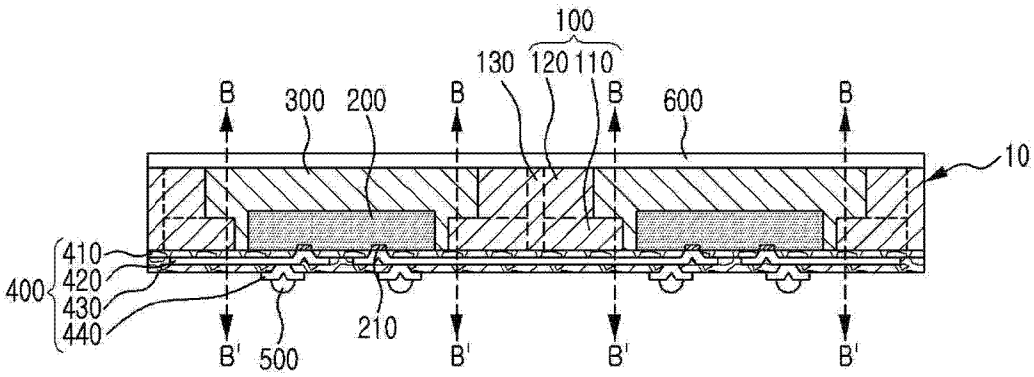
[도6]


500
210
440
430
420
410
400
10
110
120
100
130
600
200
300

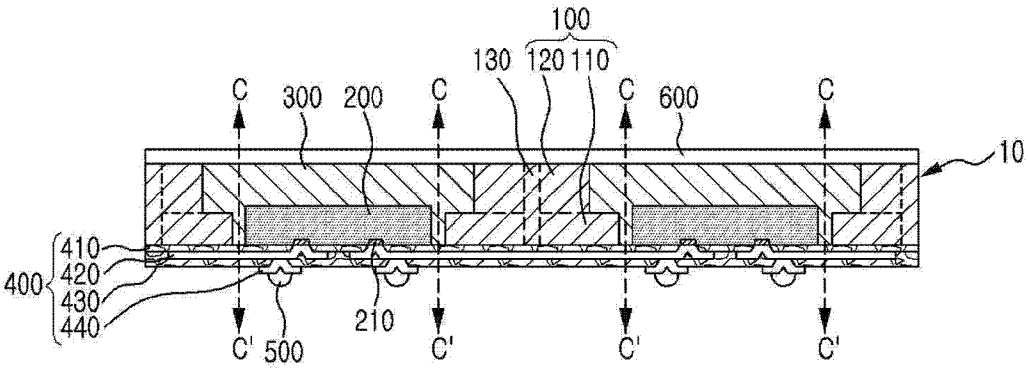
[도7]


130
100
A
300
200
600
A
A
120
110
A
10
410
420
400
430
440
210
500
A'
A'
A'
A'

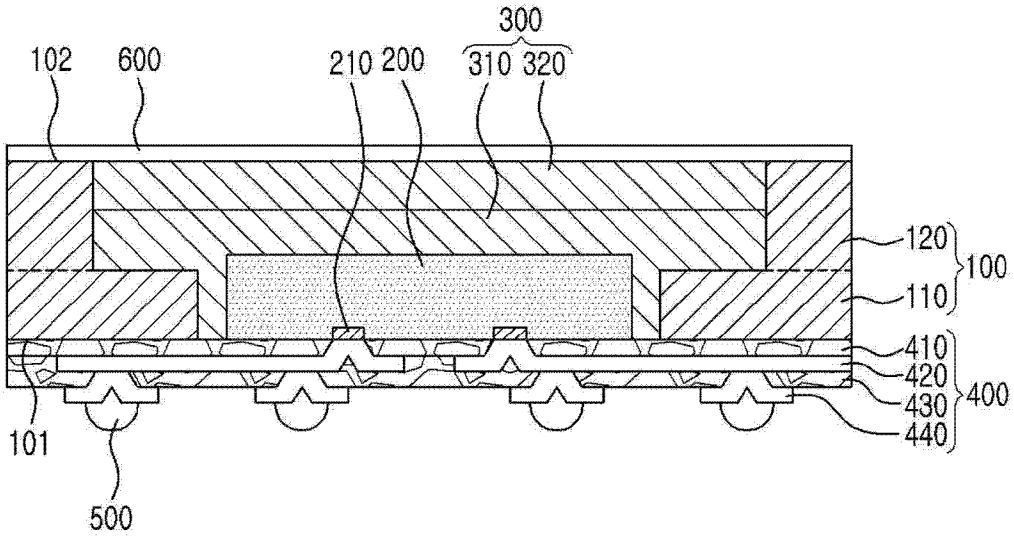
[도8]


100
130
120
110
B
300
200
B
B
600
B
10
410
420
400
430
440
210
B'
500
B'
B'
B'

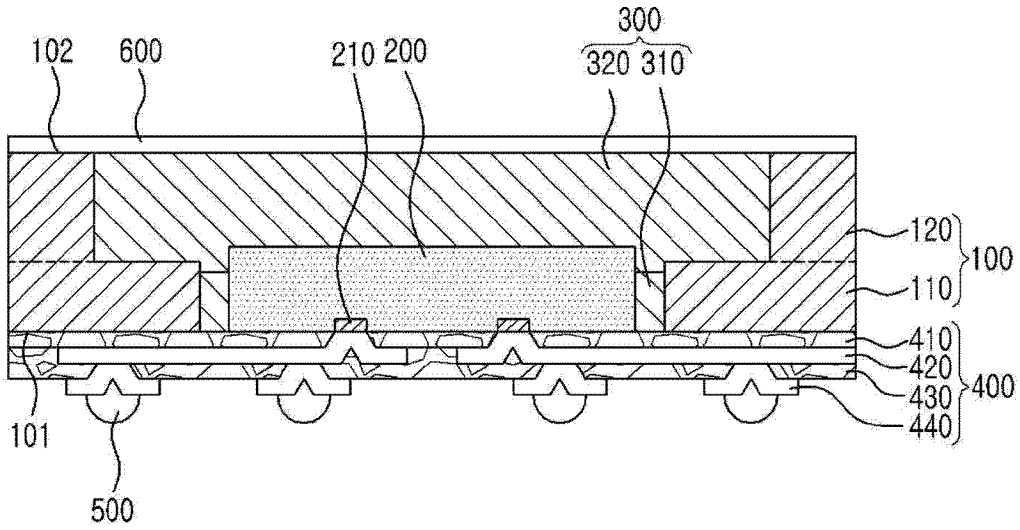
[도9]


100
130
120
110
C
300
200
C
C
600
C
10
410
420
400
430
440
210
C'
500
C'
C'
C'

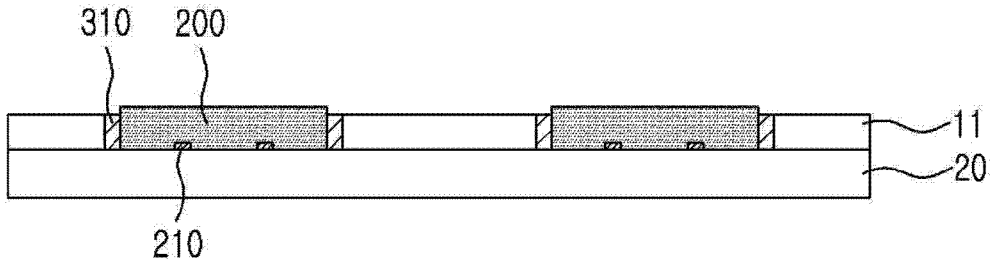
[도10]


300
102
600
210
200
310
320
120
100
110
410
420
430
400
440
101
500

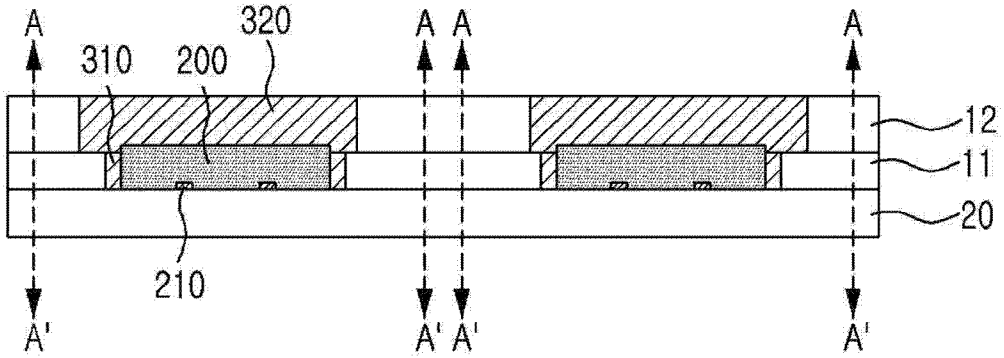
[도11]



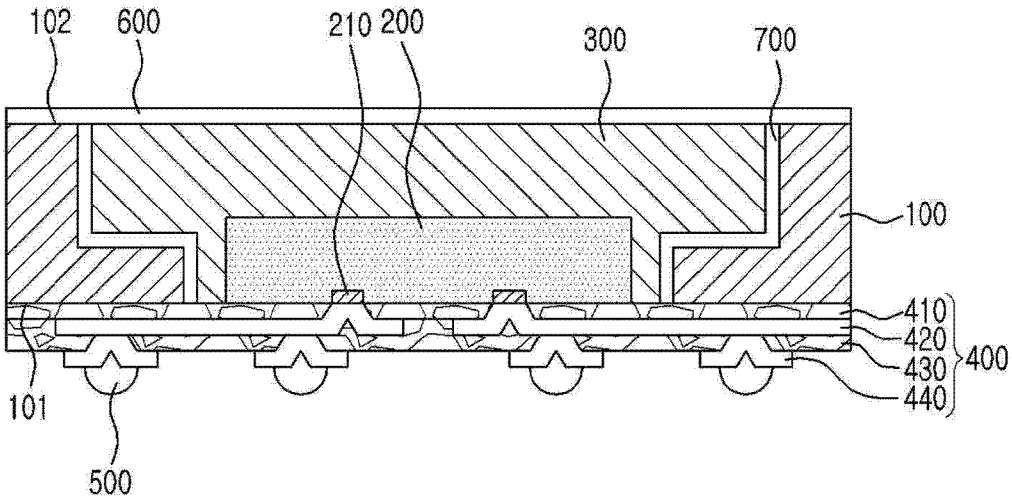
[도12]



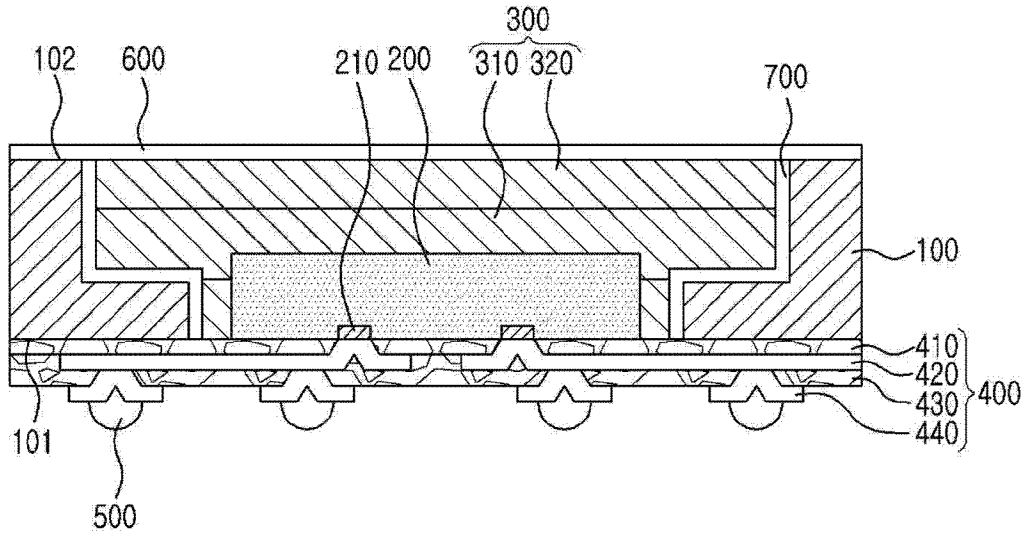
[도13]



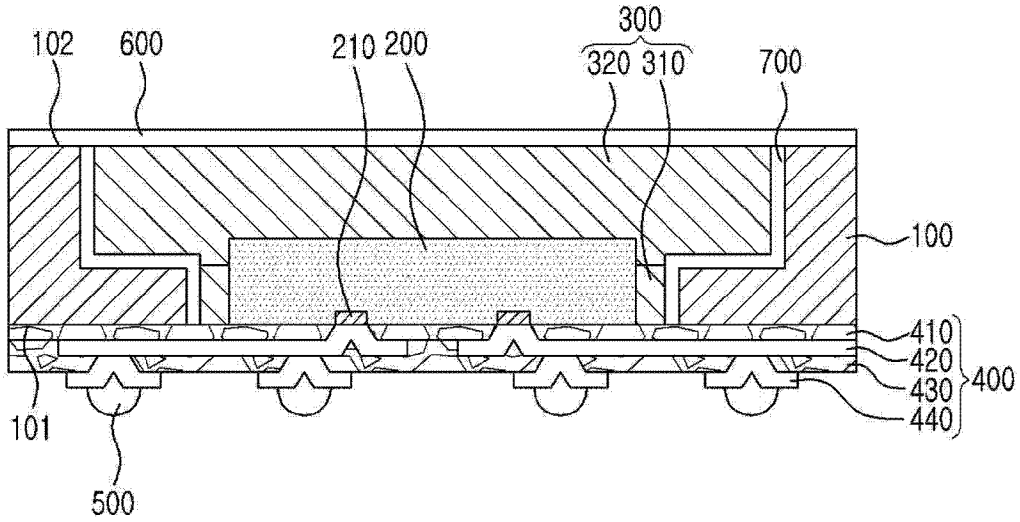
[도14]



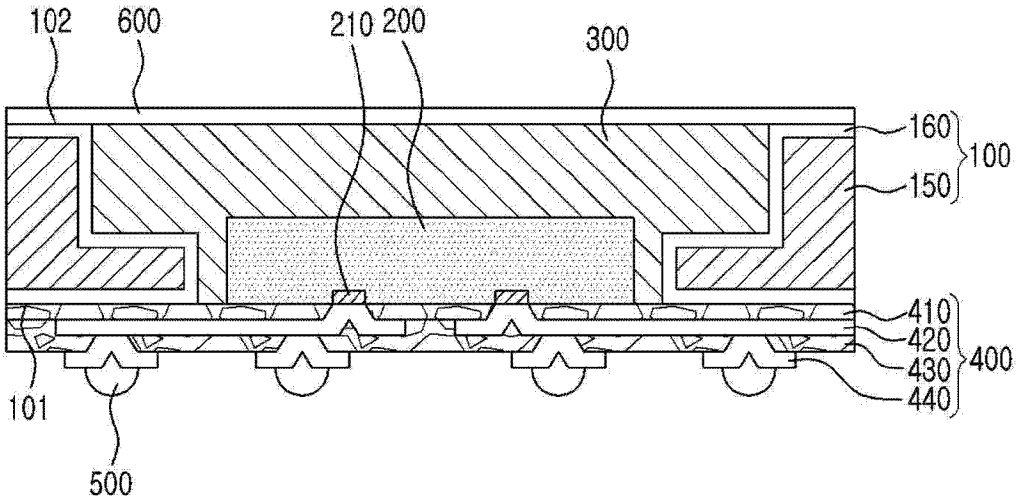
[도15]


300
102
600
210 200
310 320
700
100
410
420
430
440
400
101
500

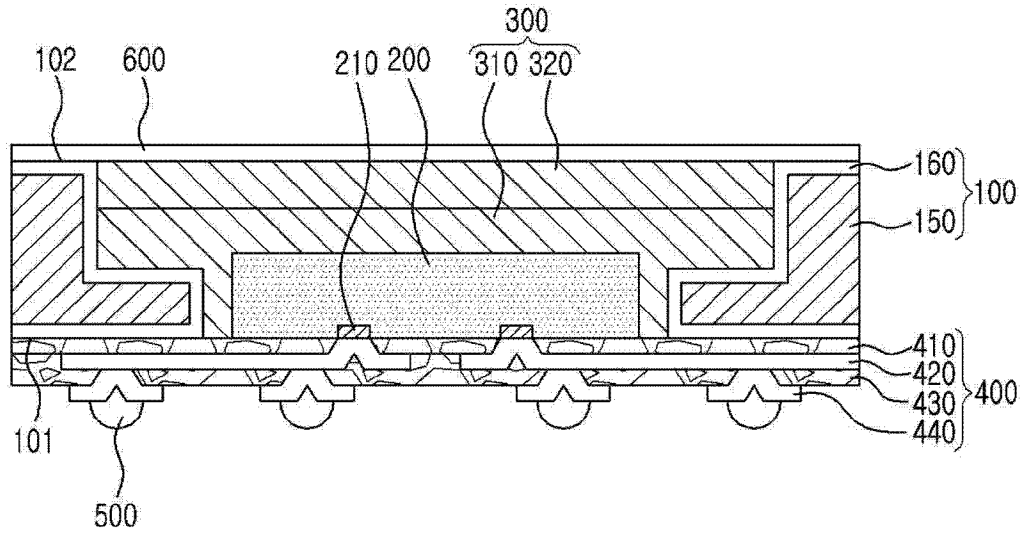
[도16]


300
102
600
210 200
320 310
700
100
410
420
430
440
400
101
500

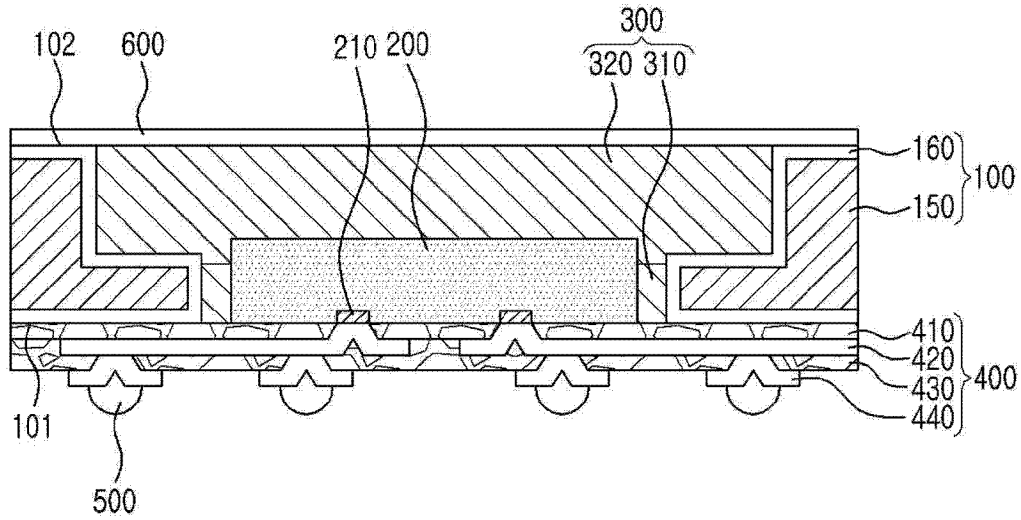
[도17]


102
600
210 200
300
160
150
100
410
420
430
440
400
101
500

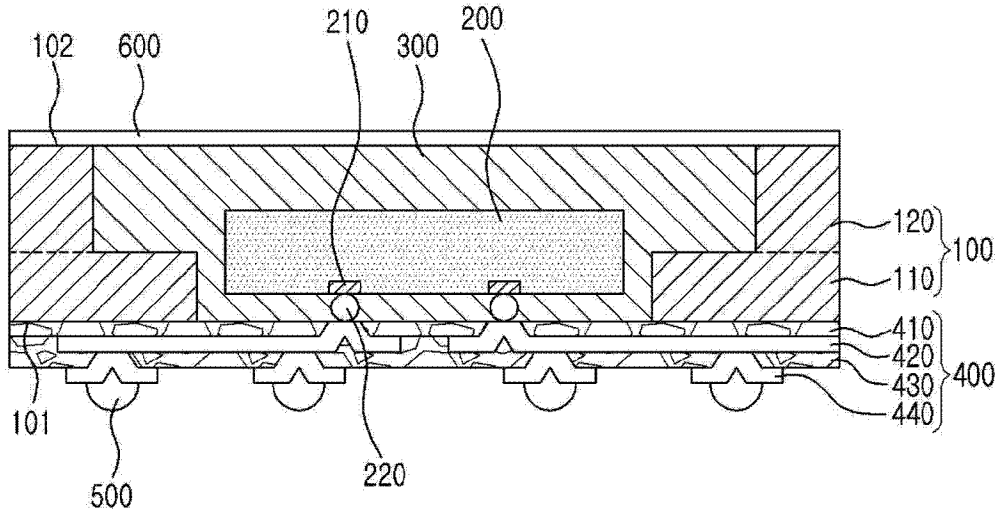
[도18]


300
102
600
210
200
310
320
160
100
150
410
420
430
400
440
101
500

[도19]


300
102
600
210
200
320
310
160
100
150
410
420
430
400
440
101
500

[도20]


210
200
102
600
300
120
100
110
410
420
430
400
440
101
500
220

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2017/002403

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/06(2006.01)i, H01L 23/31(2006.01)i, H01L 23/29(2006.01)i, H01L 23/60(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 23/06; H05K 1/18; H05K 3/46; H01L 21/56; H01L 23/34; H01L 23/36; B05D 1/00; B32B 7/06; H01L 23/28; H01L 23/31; H01L 23/29; H01L 23/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: insulation frame, semiconductor, chip, through-hole, molding, pad, redistribution line, width, carrier substrate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2015-0024944 A (IBIDEN CO., LTD.) 09 March 2015 See abstract, paragraphs [38]-[172], figures 1-83.	1,7,10
Y		2-6,8-9,11-17
Y	JP 11-135526 A (MATSUSHITA ELECTRIC WORKS LTD.) 21 May 1999 See paragraphs [8]-[24], figure 1.	2-4,11-17
Y	JP 05-129482 A (KYOCERA CORP.) 25 May 1993 See paragraphs [8]-[17], figure 1.	5
Y	KR 10-2009-0039407 A (SAMSUNG TECHWIN CO., LTD.) 22 April 2009 See paragraphs [6]-[31], figures 1-2.	6,14
Y	KR 10-2007-0096693 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 02 October 2007 See paragraphs [60]-[70], figure 3.	8,15
Y	JP 07-030017 A (SEIKO EPSON CORP.) 31 January 1995 See paragraphs [7]-[10], figures 1, 3-4.	9,17
Y	KR 10-2016-0114106 A (CORNING INCORPORATED) 04 October 2016 See paragraphs [21]-[44], figure 1.	16

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
28 AUGUST 2017 (28.08.2017)	**28 AUGUST 2017 (28.08.2017)**
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701, Republic of Korea Facsimile No. +82-42-481-8578	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2015)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2017/002403

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2015-0024944 A	09/03/2015	CN 103703874 A	02/04/2014
		JP 2012-164952 A	30/08/2012
		JP 2013-038374 A	21/02/2013
		KR 10-1539166 B1	23/07/2015
		KR 10-2013-0139369 A	20/12/2013
		TW 201309128 A	16/02/2013
		TW I436701 B	01/05/2014
		US 2012-0186861 A1	26/07/2012
		US 2012-0186866 A1	26/07/2012
		US 8785788 B2	22/07/2014
		US 8829357 B2	09/09/2014
		WO 2013-008552 A1	17/01/2013
JP 11-135526 A	21/05/1999	NONE	
JP 05-129482 A	25/05/1993	NONE	
KR 10-2009-0039407 A	22/04/2009	NONE	
KR 10-2007-0096693 A	02/10/2007	KR 10-0764461 B1	05/10/2007
JP 07-030017 A	31/01/1995	NONE	
KR 10-2016-0114106 A	04/10/2016	EP 3099484 A1	07/12/2016
		JP 2017-511756 A	27/04/2017
		SG 11201605964 A	30/08/2016
		TW 201529511 A	01/08/2015
		WO 2015-113023 A1	30/07/2015

국제조사보고서

국제출원번호
PCT/KR2017/002403

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 23/06(2006.01)i, H01L 23/31(2006.01)i, H01L 23/29(2006.01)i, H01L 23/60(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
H01L 23/06; H05K 1/18; H05K 3/46; H01L 21/56; H01L 23/34; H01L 23/36; B05D 1/00; B32B 7/06; H01L 23/28; H01L 23/31; H01L 23/29; H01L 23/60

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: 절연 프레임, 반도체, 칩, 관통공, 몰딩, 패드, 재배선, 폭, 캐리어 기판

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2015-0024944 A (이비덴 가부시키가이샤) 2015.03.09 요약, 단락 38-172, 도면 1-83 참조.	1,7,10
Y		2-6,8-9,11-17
Y	JP 11-135526 A (MATSUSHITA ELECTRIC WORKS LTD.) 1999.05.21 단락 8-24, 도면 1 참조.	2-4,11-17
Y	JP 05-129482 A (KYOCERA CORP.) 1993.05.25 단락 8-17, 도면 1 참조.	5
Y	KR 10-2009-0039407 A (삼성테크윈 주식회사) 2009.04.22 단락 6-31, 도면 1-2 참조.	6,14
Y	KR 10-2007-0096693 A (삼성전기주식회사) 2007.10.02 단락 60-70, 도면 3 참조.	8,15
Y	JP 07-030017 A (SEIKO EPSON CORP.) 1995.01.31 단락 7-10, 도면 1, 3-4 참조.	9,17
Y	KR 10-2016-0114106 A (코닝 인코포레이티드) 2016.10.04 단락 21-44, 도면 1 참조.	16

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2017년 08월 28일 (28.08.2017)	2017년 08월 28일 (28.08.2017)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-481-8578

심사관
최상원
전화번호 +82-42-481-8291

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2017/002403

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2015-0024944 A	2015/03/09	CN 103703874 A	2014/04/02
		JP 2012-164952 A	2012/08/30
		JP 2013-038374 A	2013/02/21
		KR 10-1539166 B1	2015/07/23
		KR 10-2013-0139369 A	2013/12/20
		TW 201309128 A	2013/02/16
		TW I436701 B	2014/05/01
		US 2012-0186861 A1	2012/07/26
		US 2012-0186866 A1	2012/07/26
		US 8785788 B2	2014/07/22
		US 8829357 B2	2014/09/09
		WO 2013-008552 A1	2013/01/17
JP 11-135526 A	1999/05/21	없음	
JP 05-129482 A	1993/05/25	없음	
KR 10-2009-0039407 A	2009/04/22	없음	
KR 10-2007-0096693 A	2007/10/02	KR 10-0764461 B1	2007/10/05
JP 07-030017 A	1995/01/31	없음	
KR 10-2016-0114106 A	2016/10/04	EP 3099484 A1	2016/12/07
		JP 2017-511756 A	2017/04/27
		SG 11201605964 A	2016/08/30
		TW 201529511 A	2015/08/01
		WO 2015-113023 A1	2015/07/30