

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006 年 3 月 2 日 (02.03.2006)

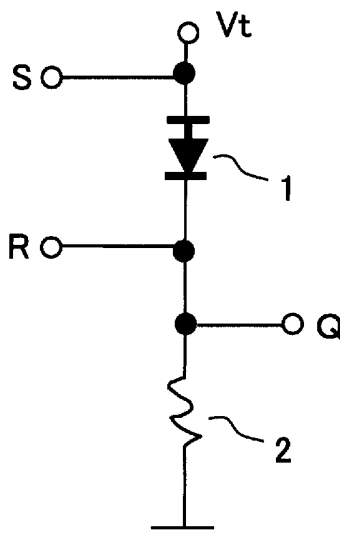
PCT

(10) 国際公開番号
WO 2006/022017 A1

- (51) 国際特許分類: **H03K 3/02**, H01L 49/02 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZW.
- (21) 国際出願番号: PCT/JP2004/012370
- (22) 国際出願日: 2004 年 8 月 27 日 (27.08.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士電機ホールディングス株式会社 (FUJI ELECTRIC HOLDINGS CO., LTD.) [JP/JP]; 〒2100858 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 川上 春雄 (KAWAKAMI, Haruo) [JP/JP]; 〒2400194 神奈川県横須賀市長坂二丁目 2 番 1 号 富士電機アドバンステクノロジー株式会社内 Kanagawa (JP).
- (74) 代理人: 奥山 尚一, 外 (OKUYAMA, Shoichi et al.); 〒1070052 東京都港区赤坂 3 丁目 2 番 1 2 号 赤坂ノアビル 8 階 Tokyo (JP).
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: LOGIC CIRCUIT

(54) 発明の名称: 論理回路



(57) Abstract: The present invention comprises a two-terminal switching element (1) that has two alternative stable resistance values for the value of a voltage applied thereto and that exhibits a first state in which the switching element (1) has a higher one of the two resistance values during application of a voltage that is equal to or less than a predetermined first threshold voltage (V_{th1}) and a second state in which the switching element (1) has a lower one of the two resistance values during application of a voltage that is equal to or greater than a predetermined second threshold voltage (V_{th2}) that is greater than the first threshold voltage (V_{th1}); a resistor element (2) connected in series with the two-terminal switching element (1); a terminal for applying a predetermined bias voltage (V_t) across the series circuit consisting of the switching element (1) and resistor element (2); a first pulse input terminal (S); and a second pulse input terminal (R). According to the present invention, a simple structure can be used to configure a flip-flop circuit necessary for a sequential logic circuit.

(57) 要約: 本発明は、印加される 1 つの電圧値に対し 2 つの安定な抵抗値を持ち、所定の第 1 の閾値電圧 (V_{th1}) 以下の電圧を印加すると各抵抗値のうちの高い抵抗値を持つ第 1 の状態になるとともに、第 1 の閾値電圧 (V_{th1}) よりも大きな所定の第 2 の閾値電圧 (V_{th2}) 以上の電圧を印加すると各抵抗値のうちの低い抵抗値を持つ第 2 の状態になる 2 端子

スイッチング素子 (1) と、2 端子スイッチング素子 (1) に直列接続された抵抗素子 (2) と、スイッチング素子 (1) と抵抗素子 (2) の直列回路の両端に所定のバイアス電圧 (V_t) を印加する端子と、第 1 のパルス入力用端子 (S) と、第 2 のパルス入力用端子 (R) と、を備えている。本発明によれば、順序論理回路に必要なフリップフロップ回路を簡便な構成で実現することが可能になる。

明 細 書

論理回路

技術分野

- [0001] 本発明は、印加される電圧に対し2つの安定な抵抗値を持つ2端子スイッチング素子を用いた論理回路に関するものである。

背景技術

- [0002] 近年、有機電子材料を用いた電子デバイスの特性は進展が目覚しい。例えば、有機ELディスプレイや有機LEDディスプレイは、各画素が個々に発光する(すなわち、自発光する)ため、視野角が広くかつカラーフィルターが不要になるという利点、バックライトが不要であることから薄型化が可能になるという利点、プラスチック等のフレキシブルな基板上に形成可能であるという利点等、従来の液晶に比して多くの利点を持っている。

また、この種の電子デバイスを駆動する回路系にも有機材料を用いることが検討されており、それが可能になれば、ウェアラブルPCやフレキシブルディスプレイなど、基板の変形が可能な電子デバイスが実現すると期待される。

- [0003] 更に、近年利用が盛んになってきたRFID(Radio Frequency IDentification)技術においても、有機電子素子の利用が検討されている。このRFID技術では、カード状、もしくはタグ状の媒体に対して、電波を用いてデータの記録または読み出しを行い、アンテナを介しての通信によって上記データを認識する。すなわち、タグ等の小型媒体とリーダーと呼ばれるデバイスとの間で、無線でデータをやり取りする。

- [0004] このRFIDは、通信範囲内であればタグ等とリーダーを接触させる必要が無いという利便性をもつので、その用途は拡大傾向にあるが、現状タグの単価が数十円以上であることから、小額な商品につけるには高過ぎるという問題点があった。

現在、タグにはシリコンチップを用いたICが用いられているが、上記の問題点を解決するため、有機電子デバイスからなるタグを用いることが検討されている。

- [0005] 上記有機電子デバイスの一例として、有機電子材料からなるトランジスタで構成したCMOS回路が提案されている。これは、所謂「組合せ論理回路」として好便に使用

可能である(例えば、特許文献1〜4参照)。

[0006] 上記有機電子材料は、基板上に薄膜として形成される。この有機電子材料からなる薄膜は、真空蒸着や溶液塗布(スピコート法、インクジェット法)等の手段により、およそ数10〜数100nmの範囲の膜厚となるように形成される。

上記基板の材料としては、ガラス、シリコン、プラスチックが多く用いられる。この基板上には、必要に応じて、真空蒸着、溶液塗布(スピコート法、インクジェット法)、スパッタ、CVD、PVDなどの手法を用いて金属電極、ITOなどの酸化物からなる電極、絶縁膜などが形成される。

[0007] 上記において、特に電子材料として有機材料を用いることのメリットとしては、製造コストが低いこと、プロセス温度が低温であることにより、プラスチック基板を使用してフレキシブルな電気機器を製造することが可能になること等である。

特許文献1:特開平9-199732号公報

特許文献2:特開2001-177109号公報

特許文献3:特開2001-203364号公報

特許文献4:特開2002-324931号公報

発明の開示

発明が解決しようとする課題

[0008] しかしながら、論理回路のうち、「組合せ論理回路」以外の「順序論理回路」に必要なフリップフロップ回路(双安定回路)を有機電子材料デバイスを用いて構成することについては具体的提案がされていない。ここで、「組合せ論理回路」は現時点での入力論理値の組合せで出力値が決まるものであり、「順序論理回路」は現時点までの入力論理値の時系列で出力値が決まるものである。

[0009] 勿論、従来のシリコン素子を用いる場合には、複数のトランジスタと整流素子を組み合わせた順序論理回路が実用化されている。しかしながら、シリコン素子を用いた順序論理回路は、有機トランジスタの作製プロセスが煩雑なため、そのまま適用した場合、特性のバラツキが大きくて良品率が低いという問題点があった。

[0010] そこで、本発明の目的は、上述の点に鑑み、有機電子材料により論理回路を構成するにあたり、「順序論理回路」に必要なフリップフロップ回路(双安定回路)を簡便な

構成で実現することにある。

課題を解決するための手段

- [0011] 上記の目的を達成するため、本発明に係る論理回路は、印加される1つの電圧値に対し2つの安定な抵抗値を持ち、所定の第1の閾値電圧以下の電圧を印加すると前記各抵抗値のうちの高い抵抗値を持つ第1の状態になるとともに、前記第1の閾値電圧よりも大きな所定の第2の閾値電圧以上の電圧を印加すると前記各抵抗値のうちの低い抵抗値を持つ第2の状態になる2端子スイッチング素子と、前記2端子スイッチング素子に直列接続された抵抗素子と、前記スイッチング素子と抵抗素子の直列回路の両端に所定のバイアス電圧を印加する端子と、前記スイッチング素子の一端に所定の電圧の第1のパルスを入力する第1のパルス入力用端子と、前記スイッチング素子の他端と前記抵抗素子の接続点に所定の電圧の第2のパルスを入力する第2のパルス入力用端子と、を備え、前記第1、第2のパルスの入力の組み合わせによって、前記スイッチング素子に前記第1および第2の状態を選択的に生起させるようにしている。
- [0012] 実施の形態において、前記スイッチング素子は、薄膜からなる下部電極層および上部電極層と、該下部電極層と上部電極層との間に介在させた薄膜からなる有機双安定層と、によって構成している。
- この場合、例えば、前記下部電極層および上部電極層記の材料としてアルミニウムを使用し、前記有機双安定層の材料としてアミノイミダゾールジシアネートを使用することができる。
- 具体的な実施例において、前記下部電極層および上部電極層は、それぞれストライプ状をなすように、かつ、互いの長手軸線が直交するように形成され、前記有機双安定層は、前記下部電極層と上部電極層の交点を被うように形成されている。
- [0013] また、本発明に係る論理回路は、印加される1つの電圧値に対し2つの安定な抵抗値を持ち、所定の第1の閾値電圧以下の電圧を印加すると前記各抵抗値のうちの高い抵抗値を持つ第1の状態になるとともに、前記第1の閾値電圧よりも大きな所定の第2の閾値電圧以上の電圧を印加すると前記各抵抗値のうちの低い抵抗値を持つ第2の状態になる第1の2端子スイッチング素子と、前記第1の2端子スイッチング素

子と同じ電気的特性を有し、該第1の2端子スイッチング素子に対して極性が揃った方向に直列接続された第2の2端子スイッチング素子と、前記第1、第2のスイッチング素子の直列回路の両端に所定のバイアス電圧を印加する端子と、前記第1、第2のスイッチング素子の直列回路の一端に所定の電圧の第1のパルスを入力する第1のパルス入力用端子と、前記第1、第2のスイッチング素子の接続点に所定の電圧の第2のパルスを入力する第2のパルス入力用端子と、前記第1、第2のスイッチング素子の直列回路の他端に所定の電圧の第3のパルスを入力する第3のパルス入力用端子と、を備え、前記第1、第2および第3のパルスの入力の組み合わせによって、前記第1、第2のスイッチング素子に前記第1および第2の状態を選択的に生起させている。

[0014] さらに、本発明に係る論理回路は、印加される1つの電圧値に対し2つの安定な抵抗値を持ち、所定の第1の閾値電圧以下の電圧を印加すると前記各抵抗値のうちの高い抵抗値を持つ第1の状態になるとともに、前記第1の閾値電圧よりも大きな所定の第2の閾値電圧以上の電圧を印加すると前記各抵抗値のうちの低い抵抗値を持つ第2の状態になる第1の2端子スイッチング素子と、前記第1の2端子スイッチング素子と同じ電気的特性を有し、該第1の2端子スイッチング素子に対して極性が揃った方向に直列接続された第2の2端子スイッチング素子と、前記第1、第2のスイッチング素子の直列回路の両端に所定のバイアス電圧を印加する端子と、前記第1、第2のスイッチング素子の直列回路の両端に所定の電圧の第1のパルスを入力する第1のパルス入力用端子と、前記第1、第2のスイッチング素子の接続点に所定の電圧の第2のパルスを入力する第2のパルス入力用端子と、を備え、前記第1、第2のパルスの入力の組み合わせによって、前記第1、第2のスイッチング素子に前記第1および第2の状態を選択的に生起させている。

[0015] 実施の形態において、前記第1、第2のスイッチング素子は、薄膜からなる下部電極層および上部電極層と、該下部電極層と上部電極層との間に介在させた薄膜からなる有機双安定層と、によって構成している。

この場合、前記下部電極層の材料としてアルミニウムを使用するとともに、前記上部電極層の材料として金を使用し、前記有機双安定層の材料としてピスキノメタンを

使用することができる。

具体的な実施例において、前記下部電極層および上部電極層は、それぞれストライプ状をなすように、かつ、互いの長手軸線が直交するように形成され、前記有機双安定層は、前記下部電極層と上部電極層の交点を被うように形成されている。

発明の効果

[0016] 本発明によれば、印加される1つの電圧値に対し2つの安定な抵抗値を持ち、所定の第1の閾値電圧以下の電圧を印加すると前記各抵抗値のうちの高い抵抗値を持つ第1の状態になるとともに、前記第1の閾値電圧よりも大きな所定の第2の閾値電圧以上の電圧を印加すると前記各抵抗値のうちの低い抵抗値を持つ第2の状態になる2端子スイッチング素子を使用するので、順序論理回路に必要なフリップフロップ回路(双安定回路)を簡便な構成で実現することが可能になる。

また、本発明によれば、有機電子材料を用いて上記2端子スイッチング素子を構成することにより、製造コストをより低減し、かつ、フレキシブルな電気機器を製造することが可能になる。

なお、本発明に適用する2端子スイッチング素子としては、有機電子材料を用いたものに限定されない。すなわち、上記のような電気的特性を有するものであれば、無機電子材料で形成した2端子スイッチング素子も適用可能である。

図面の簡単な説明

[0017] [図1]図1は、本発明に係る論理回路の第1の実施形態を示す回路図である。

[図2]図2は、図1の論理回路に使用された2端子スイッチング素子の電気特性および動作点を例示したグラフである。

[図3]図3は、本発明に係る論理回路の第2の実施形態を示す回路図である。

[図4]図4は、図1の論理回路に使用された2端子スイッチング素子の電気特性および動作点を例示したグラフである。

[図5]図5(a)はパルス入力回路の一例を示し、図5(b)はこの入力回路によって形成されるパルスの波形の一例を示している。

[図6]図6は、実施例1、2および3に係る2端子スイッチング素子の構成を概念的に示す断面図である。

[図7]図7は、実施例1、2に係る論理回路の構成を示す平面図である。

[図8]図8は、実施例3に係る論理回路の構成を示す平面図である。

[図9]図9は、実施例1に係る論理回路における2端子スイッチング素子の特性を示すグラフである。

[図10]図10は、実施例2、3に係る論理回路における2端子スイッチング素子の特性を示すグラフである。

符号の説明

[0018] 1, 1A, 1B 2端子スイッチング素子

2 抵抗

20 抵抗

21 コンデンサ

22 入力信号

23 出力信号

40 基板

41, 411 下部電極層

42, 421 有機双安定層

43, 431 上部電極層

44 バイアス印加電極

45 パルス入力S端子

46 パルス入力R端子

47 抵抗

48 出力用Q端子

50 アース用端子

発明を実施するための最良の形態

[0019] 図1は、最も簡便な構成を有する本発明に係る論理回路の実施の形態を示している。この論理回路は、2端子スイッチング素子1に抵抗2を直列接続した構成を有する。

上記2端子スイッチング素子1は、図2に例示したような電気特性(電流電圧特性)、

すなわち、印加される1つの電圧値に対し2つの安定な抵抗値を示す電気特性を有し、かつ、閾値電圧 V_{th1} 以下の電圧を印加すると、高抵抗状態(符号11で例示したような電流電圧特性を示す状態)なり、また、閾値電圧 V_{th2} 以上の電圧を印加すると、低抵抗状態(符号12で例示したような電流電圧特性を示す状態)になる。なお、符号13は、抵抗2の電気特性を例示している。

[0020] この論理回路に、直流バイアスとして電圧 V_t を印加すると、2端子スイッチング素子1の上記二つの状態に応じて2つの動作点が存在することになる。図2では、2端子スイッチング素子1が低抵抗状態および高抵抗状態にあるときの各動作点の電圧をそれぞれ V_{on} および V_{off} として示している。

[0021] 低抵抗状態において、2端子スイッチング素子1の他端と抵抗2との接続点にあるパルス入力用R端子に($V_{on}-V_{th1}$)のパルスを入力すると、該2端子スイッチング素子1が高抵抗状態に遷移し、これによって、上記接続点にある出力用Q端子の電位が(V_t-V_{on})から(V_t-V_{off})へと変化する。

一方、高抵抗状態において、2端子スイッチング素子1の一端(直流バイアス電圧 V_t の印加点)にあるパルス入力用S端子に($V_{th2}-V_{off}$)のパルスを入力すると、該2端子スイッチング素子1が低抵抗状態に遷移し、その結果、Q端子の電位が(V_t-V_{off})から(V_t-V_{on})へと変化する。

[0022] 両方のパルスが入力されない場合、出力用Q端子の状態に変化はない。また、入力用R、S端子に同時に上記パルスが入力された場合は、両方のパルスが打ち消し合うので、やはりQ端子の状態に変化はない。したがって、入力用R、S端子に対するパルスの入力を1、非入力を0、現在の出力用Q端子の状態値を Q_n 、パルスが入力された直後の該Q端子の状態値を Q_{n+1} とすると、R、S端子に対するパルスの入力と非入力の組合せに応じて、Q端子の電圧が表1のように変化することになる。

なお、R、S端子に入力するパルスは、それぞれの条件を同時に満たすものであれば同じ高さのパルスを用いることが可能である。

[表1]

S	R	Q_{n+1}	備考
0	0	Q_n	不変
1	0	$V_t - V_{on}$	セット
0	1	$V_t - V_{off}$	リセット
1	1	Q_n	不変

ところで、フリップフロップ回路は、その機能によって、RS(Reset/set) フリップフロップ回路、JKフリップフロップ回路、T(Trigger) フリップフロップ回路、D(Delay) フリップフロップ回路に分類される。(例えば、宮田武雄著「速解論理回路」、1998年、コロナ社参照)

このうち、最も基本的なRSフリップフロップ回路の論理表は表2に示すとおりである。

[表2]

S	R	Q_{n+1}	備考
0	0	Q_n	不変
1	0	1	セット
0	1	0	リセット
1	1	-	禁止

[0023] 前記表1において、出力用Q端子の値が($V_t - V_{on}$)の時をセット状態、($V_t - V_{off}$)の時をリセット状態と定義すれば、図1の論理回路が表2の動作をしていることが明確である。この時、 $S=R=1$ の入力は禁止される。

なお、その他のタイプのフリップフロップ回路は、RSフリップフロップ回路を元に、他種類の素子を併用して構成することが可能である(上記文献参照)。

[0024] 図3は、本発明に係る論理回路の他の実施形態を示している。

図3に示す論理回路は、図2の電気特性を持つ2端子スイッチング素子1A、1Bを直列接続した構成を有する。この論理回路の両端に、例えば $V_t = (V_{th1} + V_{th2})$ の直流バイアス電圧を印加し、2端子スイッチング素子1Aの一端(バイアス電圧 V_t の印加点)にあるパルス入力用S端子、2端子スイッチング素子1A、1Bの直列接続点にあるパルス入力用R端子および接地点にあるパルス入力用T端子に十分な電圧の正パルスを選択的に入力した時の論理は表3ようになる。この表3において、スイッチング

素子1A、1Bの状態0および1は、それらの素子の高抵抗状態および低抵抗状態を表す。

[表3]

S	R	T	A	B	Q_{n+1}	備考
0	0	0	不変	不変	Q_n	不変
0	0	1	不変	0		
0	1	0	0	1	1	リセット
0	1	1	0	不変		
1	0	0	1	不変		
1	0	1	1	0	0	セット
1	1	0	不変	1		
1	1	1	不変	不変	Q_n	不変

[0025] ところで、図3に示すT端子とS端子に同一のパルスと同時に入力した場合、この論理回路は表4のように論理動作する。表4の動作は、表1の動作と一致している。これは、この図3の論理回路もRSフリップフロップ回路としての機能を有することを示している。

[表4]

S	R	Q_{n+1}	備考
0	0	Q_n	不変
1	0	$V_t - V_{on}$	セット
0	1	$V_t - V_{off}$	リセット
1	1	Q_n	不変

[0026] この論理回路の場合、各スイッチング素子1A、1Bの動作点は、図4のようになる。図2と図4の比較から明らかなように、図3に示す論理回路のT端子とS端子に同一のパルスを同時に入力した場合には、セット、リセットのいずれの状態においても、スイッチング素子1A、1Bの内的一方が高抵抗状態になる。したがって、この論理回路によれば、電流値が抑制されるという特徴が得られる。

[0027] 本発明に関わる2端子スイッチング素子1、1A、1Bとしては、上記の機能を有するものであれば多くの素子を使用可能である。例えば、強誘電性半導体(ZnCdS、

SrTiO₃(Cr

0.2% dope)等)と金属電極で構成されたショットキーダイオード、各種有機材料(CuTCNQを含む電荷移動錯体、アミノイミダゾール系材料、ビスキノメタン系材料)を金属電極で挟んだ2端子素子が従来報告されているが、それらは総て使用可能である。

- [0028] これらのうち、無機材料を用いたものは集積化が容易である。また、有機材料を用いたものは低温プロセスを用いるため低コストであり、かつプラスチック基板の使用が可能である。特に安価なICタグを生産するには、後者のメリットが大きい。

また、2端子スイッチング素子1A、1B間の配線については、アルミ等の金属蒸着膜が使用可能である。また、炭素系の導電材料を塗布、もしくは印刷することによって上記配線を施すことも可能である。

- [0029] 本発明に係るスイッチング素子1、1A、1Bを形成するための基板としては、可撓性基板として、ポリイミド、ポリエーテルイミド、ポリサルホン、ポリエーテルサルホン、ポリフェキレンサルファド、バラ系アラミド、ポリエーテルケトン、ポリエステル、ポリカーボネート、ポリイミド、ポリエーテルスルホン、アモルファスポリオレフィン、エポキシ樹脂あるいはフッ素樹脂などの高分子プラスチックフィルムを用いることができる。

中でも、強度の点ではポリエステル又はポリカーボネートが好ましく、特にポリエチレンテレフタレート等のポリエステルが好ましい。基板の厚みは0.05mmから2mmが好ましく、0.1mmから1mmが更に好ましい。また可撓性基板として、非ガラス基板やシリコン基板を用いることも可能である。

- [0030] 2端子スイッチング素子1、1A、1Bを構成する有機薄膜の形成方法としては、真空蒸着の他、塗布法を用いることが可能である。塗布法としては、スピコートやブレードコートなどの他、スクリーン印刷、キャスト、ディップなどが挙げられる。また、目的とする低分子前駆体或いは目的とする高分子前駆体を用いて前述の適切な方法により薄膜を形成し、その後に加熱処理等により目的とする有機半導体層に変換する方法も挙げられる。

- [0031] 上記塗布法に用いる塗布用溶液は、有機材料を適当な溶剤に溶解、もしくは分散させることによって作製することが可能である。溶剤は有機材料の種類によって適宜

選択することが可能であるが、例えばTHF(テトラヒドロフラン)やDCM(ジクロロメタン)は、多くの有機材料を溶解可能であることから好適である。この他、アセトニトリル、ベンゼン、ブタノール、シクロヘキサン、ジクロロエタン、エタノール、酢酸エチルなどが使用可能であるが、これに限定されるものではない。

[0032] また、上記各実施形態では、バイアス電圧 V_t に入力パルスを重畳させているが、これには多くの方法が採用可能である。例えば、図5(a)に示すような抵抗20と適切な容量のコンデンサ21との直列回路を介して図5(b)の左方に示すような左右非対称なパルス22を入力すると、コンデンサ21にその非対称性に応じた変位電流が流れるので、図5(b)の右方に示すような正もしくは負のパルス23を上記バイアス電圧 V_t に重畳することができる。

[0033] ここで、バイアス電圧 V_t の範囲について説明する。バイアス電圧 V_t の範囲は、 $V_t = V_{on} + V_{off}$ および $V_{th1} < V_{on} < V_{off} < V_{th2}$ という関係に基づいて、下記のように表される。

$$2V_{th1} < V_{on} + V_{off} = V_t < V_{th2}$$

バイアス電圧 V_t の値は、上記の範囲内で適宜選択することができるが、一般には、その値をできるだけ小さく設定することが望ましい。なぜなら、バイアス電圧 V_t の値が小さいほど論理回路に流れる電流が小さくなって消費電力が低減されるからである。

[0034] 以下、本発明の実施例について詳細に説明する。

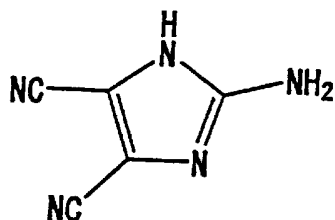
実施例 1

[0035] 以下の手順で、図6に示すような構成の2端子スイッチング素子を作成した。

すなわち、このスイッチング素子は、ガラスからなる基板40上に薄膜からなる下部電極層41、有機双安定層42および上部電極層43を順次形成することによって構成されている。

下部電極層41は、基板40の表面にアルミニウムを成膜することによって、有機双安定層42は、下記化学式で表されるアミノイミダゾールジシアネートを下部電極層41上に成膜することによって、また、上部電極層43は、アルミニウムを有機双安定層42上に成膜することによってそれぞれ形成した。

[化1]



下部電極層41、有機双安定層42および上部電極層43は、それぞれ、約100nm、80nmおよび100nmの厚さとなるように成膜した。この成膜の手段として、真空蒸着法を使用する場合、拡散ポンプ排気によって蒸着装置の真空度を 3×10^{-6} torr程度に設定した。

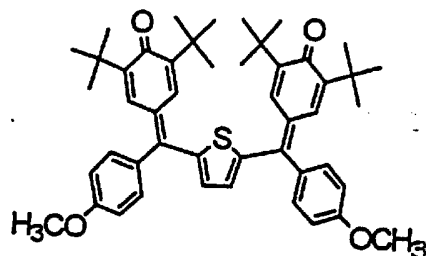
アルミニウムの蒸着は、抵抗加熱方式により成膜速度 $3 \text{ \AA} / \text{sec}$ で実施し、また、アミノイミダゾールジシアネートの蒸着は、抵抗加熱方式により成膜速度 $2 \text{ \AA} / \text{sec}$ で実施した。この時、下部電極層41と上部電極層43は、幅約0.5mmのストライプ状をなすように、かつ、互いの長手軸線が直交するように形成し、また、有機双安定層42は、下部電極層41と上部電極層43の交点を被うように形成した(図7参照)。従って、この実施例1に係る2端子スイッチング素子の有効面積は、 $0.5 \times 0.5 = 0.25 \text{ mm}^2$ となる。

[0036] その後、上部電極層43に、バイアス印加電極44とパルス入力用S端子45を接続し、下部電極層41にパルス入力R端子46と抵抗用端子47、および出力用Q端子48を接続した。抵抗用端子47には、図示していない抵抗(図1の抵抗2に対応)が接続される。この抵抗は、その値が例えば $0.8 \text{ M}\Omega$ に設定され、その他端が接地される。上記のようにして実施例1の論理回路を得た。この論理回路の等価回路は、図1に示した通りである。

実施例 2

[0037] この実施例2に係る論理回路は、上記有機双安定層42の材料として下記の化学式で表されるビスキノメタン系化合物を用い、上部電極層43の材料として金を使用した点を除き、実施例1の論理回路と同様である。

[化2]



実施例 3

[0038] 図8に示すように、この実施例3に係る論理回路は、二つの2端子スイッチング素を備えている。

各2端子スイッチング素子は、それらの下部電極層41および411の材料としてアルミニウムを、それらの有機双安定層42および421の材料として、上記ビスキノメタン系化合物を、さらに、それらの上部電極層43、431の材料として金をそれぞれ使用している。

この実施例では、まず、下部電極層41、有機双安定層42および上部電極層43の形成材料を厚さ約100nm、80nmおよび100nmとなるように順次成膜することによって一方の2端子スイッチング素子を形成した。

[0039] その後、上記一方の2端子スイッチング素子の上部電極層43上に下部電極層411を形成し(その形成位置は、一方の2端子スイッチング素子の下部電極層41の位置よりも図8における右方側にずれている)、更に、この下部電極層411上に上記有機双安定層42および上部電極層43に対応する有機双安定層421および上部電極層431を順次形成することによって他方の2端子スイッチング素子を形成した。

なお、電極層411、有機双安定層421および上部電極層431の形成材料も厚さ約100nm、80nmおよび100nmとなるようにそれぞれ成膜される。

[0040] 上記一方の2端子スイッチング素子の電極層41および43は、それぞれ幅約0.5mmのストライプ状をなすように、かつ、互いの長手軸線が直交するように形成され、他

方の2端子スイッチング素子の電極層411,431も同様の形態で形成されている。また、有機双安定層42は、電極層41、43の交点を被うように形成され、同様に、有機双安定層421は、電極層411,431の交点を被うように形成されている。従って、上記二つのスイッチング素子の有効面積は、それぞれ約 $0.5 \times 0.5 = 0.25 \text{mm}^2$ である。

[0041] 上記各2端子スイッチング素子の形成後、上部電極層431にバイアス印加電極44とパルス入力用S端子45を接続するとともに、下部電極層411にパルス入力用R端子46と出力用Q端子48を接続し、さらに、下部電極層41にアース用端子50とパルス入力用T端子49を接続した。なお、アース用端子50は接地される。

このように形成された論理回路の等価回路は、図3に示した通りである。

試験例1

[0042] 上記実施例1で得られたスイッチング素子1の特性は、図9に示す通りであり、また、上記実施例2で得られたスイッチング素子1と上記実施例3で得られた各スイッチング素子の特性は、それぞれ図10に示す通りであった。なお、バイアス電圧とパルス入力は外部回路より与えた。

上記実施例1、2および3に係る論理回路の駆動条件の一例と、この条件下における各論理回路の動作点電圧 V_{on} 、 V_{off} の値を表5にまとめた。この表5から明らかなように、いずれの実施例に係る論理回路もRSフリップフロップ回路としての良好な動作が確認された。

[表5]

(単位:V)

	Vth1	Vth2	バイアス電圧	パルス電圧S	パルス電圧R	V_{on}	V_{off}
実施例1	0.5	2.4	2.4	0.7	0.7	1.1	2.0
実施例2	0.5	6.0	3.0	0.7	0.7	1.5	2.5
実施例3	0.5	6.0	3.3	1.0	1.0	0.7	5.2

以上、本発明の実施の形態および実施例について説明したが、本発明の技術的範囲がこれらによって限定されないことは明らかである。

請求の範囲

- [1] 印加される1つの電圧値に対し2つの安定な抵抗値を持ち、所定の第1の閾値電圧以下の電圧を印加すると前記各抵抗値のうちの高い抵抗値を持つ第1の状態になるとともに、前記第1の閾値電圧よりも大きな所定の第2の閾値電圧以上の電圧を印加すると前記各抵抗値のうちの低い抵抗値を持つ第2の状態になる2端子スイッチング素子と、
- 前記2端子スイッチング素子に直列接続された抵抗素子と、
- 前記スイッチング素子と抵抗素子の直列回路の両端に所定のバイアス電圧を印加する端子と、
- 前記スイッチング素子の一端に所定の電圧の第1のパルスを入力する第1のパルス入力用端子と、
- 前記スイッチング素子の他端と前記抵抗素子の接続点に所定の電圧の第2のパルスを入力する第2のパルス入力用端子と、を備え、
- 前記第1、第2のパルスの入力組み合わせによって、前記スイッチング素子に前記第1および第2の状態を選択的に生起させることを特徴とする論理回路。
- [2] 前記スイッチング素子は、薄膜からなる下部電極層および上部電極層と、該下部電極層と上部電極層との間に介在させた薄膜からなる有機双安定層と、によって構成されていることを特徴とする請求の範囲1に記載の論理回路。
- [3] 前記下部電極層および上部電極層記の材料としてアルミニウムを使用し、前記有機双安定層の材料としてアミノイミダゾールジシアネートを使用したことを特徴とする請求の範囲2に記載の論理回路。
- [4] 前記下部電極層および上部電極層は、それぞれストライプ状をなすように、かつ、互いの長手軸線が直交するように形成され、前記有機双安定層は、前記下部電極層と上部電極層の交点を被うように形成されていることを特徴とする請求の範囲2または3に記載の論理回路。
- [5] 印加される1つの電圧値に対し2つの安定な抵抗値を持ち、所定の第1の閾値電圧以下の電圧を印加すると前記各抵抗値のうちの高い抵抗値を持つ第1の状態になるとともに、

前記第1の閾値電圧よりも大きな所定の第2の閾値電圧以上の電圧を印加すると前記各抵抗値のうちの低い抵抗値を持つ第2の状態になる第1の2端子スイッチング素子と、

前記第1の2端子スイッチング素子と同じ電気的特性を有し、該第1の2端子スイッチング素子に対して極性が揃った方向に直列接続された第2の2端子スイッチング素子と、

前記第1、第2のスイッチング素子の直列回路の両端に所定のバイアス電圧を印加する端子と、

前記第1、第2のスイッチング素子の直列回路の一端に所定の電圧の第1のパルスを入力する第1のパルス入力用端子と、

前記第1、第2のスイッチング素子の接続点に所定の電圧の第2のパルスを入力する第2のパルス入力用端子と、

前記第1、第2のスイッチング素子の直列回路の他端に所定の電圧の第3のパルスを入力する第3のパルス入力用端子と、を備え、

前記第1、第2および第3のパルスの入力の組み合わせによって、前記第1、第2のスイッチング素子に前記第1および第2の状態を選択的に生起させることを特徴とする論理回路。

- [6] 印加される1つの電圧値に対し2つの安定な抵抗値を持ち、所定の第1の閾値電圧以下の電圧を印加すると前記各抵抗値のうちの高い抵抗値を持つ第1の状態になるとともに、前記第1の閾値電圧よりも大きな所定の第2の閾値電圧以上の電圧を印加すると前記各抵抗値のうちの低い抵抗値を持つ第2の状態になる第1の2端子スイッチング素子と、

前記第1の2端子スイッチング素子と同じ電気的特性を有し、該第1の2端子スイッチング素子に対して極性が揃った方向に直列接続された第2の2端子スイッチング素子と、

前記第1、第2のスイッチング素子の直列回路の両端に所定のバイアス電圧を印加する端子と、

前記第1、第2のスイッチング素子の直列回路の両端に所定の電圧の第1のパルス

を入力する第1のパルス入力用端子と、

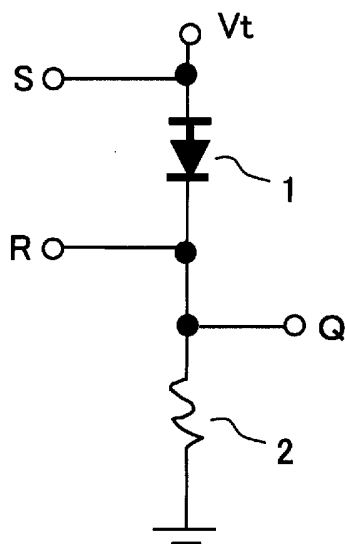
前記第1、第2のスイッチング素子の接続点に所定の電圧の第2のパルスを入力する第2のパルス入力用端子と、を備え、

前記第1、第2のパルスの入力の組み合わせによって、前記第1、第2のスイッチング素子に前記第1および第2の状態を選択的に生起させることを特徴とする論理回路。

- [7] 前記第1、第2のスイッチング素子は、薄膜からなる下部電極層および上部電極層と、該下部電極層と上部電極層との間に介在させた薄膜からなる有機双安定層と、によって構成されていることを特徴とする請求の範囲5または6に記載の論理回路。
- [8] 前記下部電極層の材料としてアルミニウムを使用するとともに、前記上部電極層記の材料として金を使用し、前記有機双安定層の材料としてピスキノメタンを使用したことを特徴とする請求の範囲7に記載の論理回路。
- [9] 前記下部電極層および上部電極層は、それぞれストライプ状をなすように、かつ、互いの長手軸線が直交するように形成され、前記有機双安定層は、前記下部電極層と上部電極層の交点を被うように形成されていることを特徴とする請求の範囲7または8に記載の論理回路。

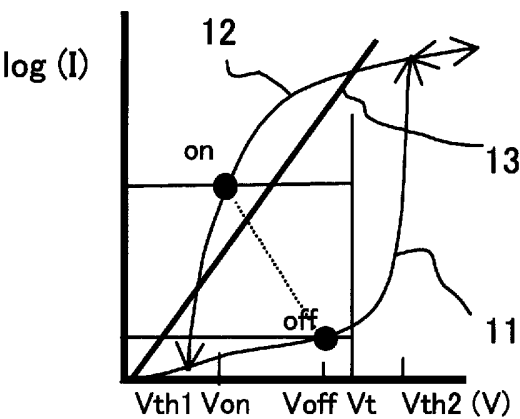
[図1]

FIG.1



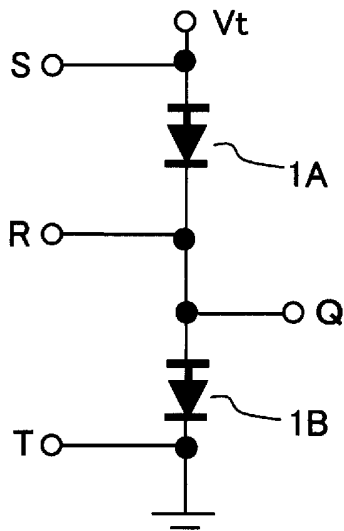
[図2]

FIG.2



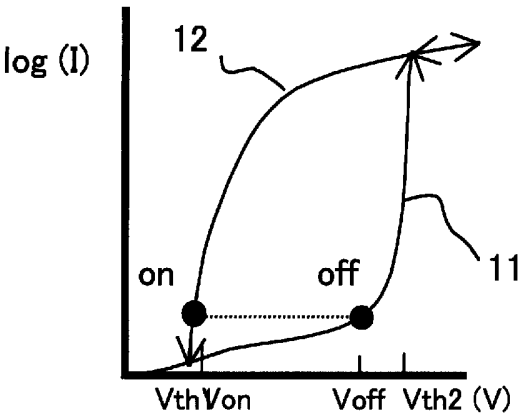
[図3]

FIG.3



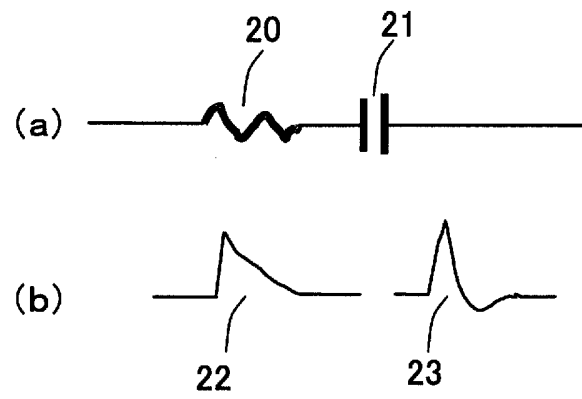
[図4]

FIG.4



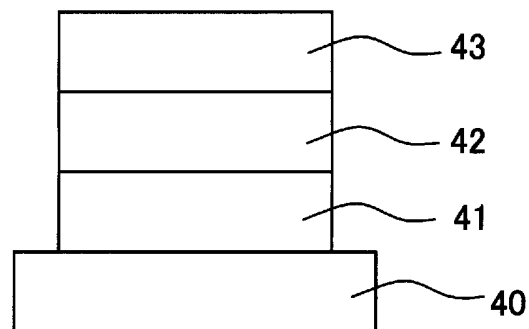
[図5]

FIG.5



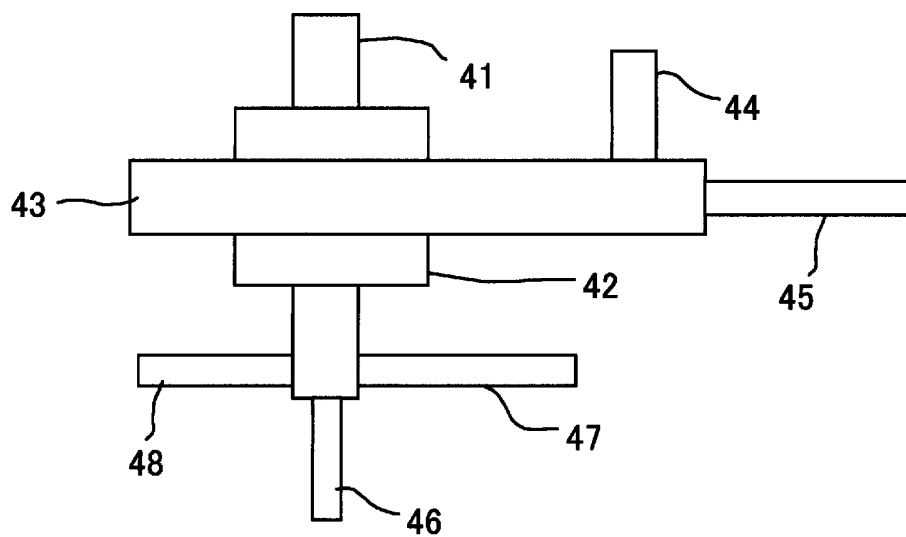
[図6]

FIG.6



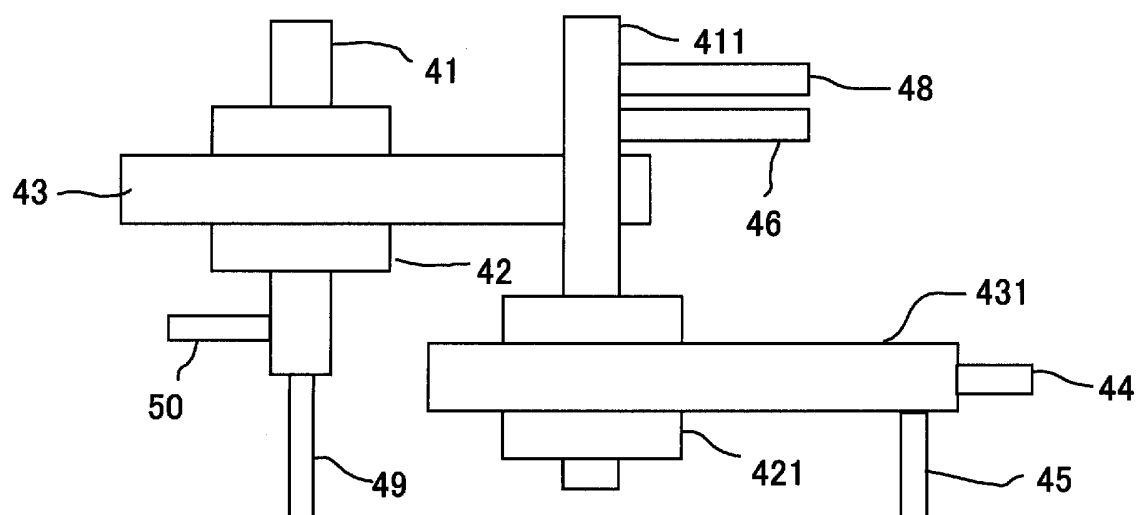
[図7]

FIG.7



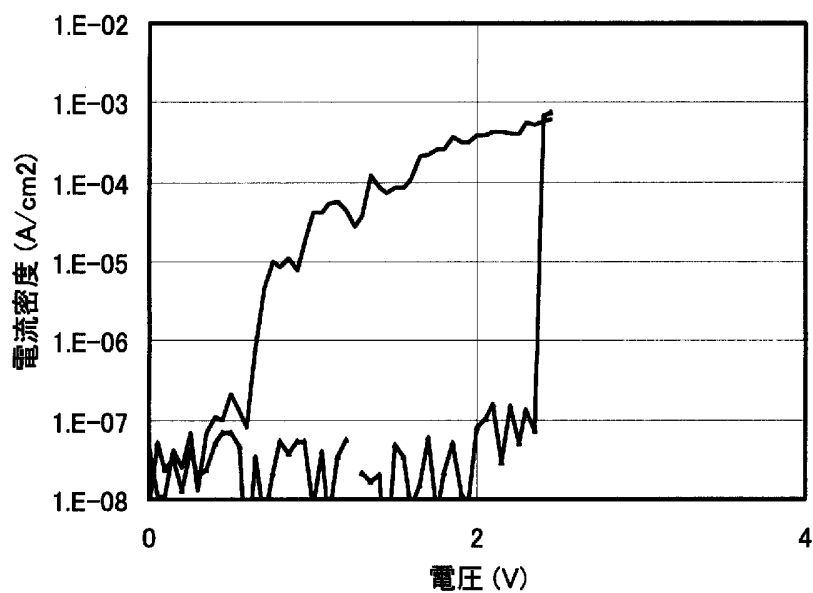
[図8]

FIG.8



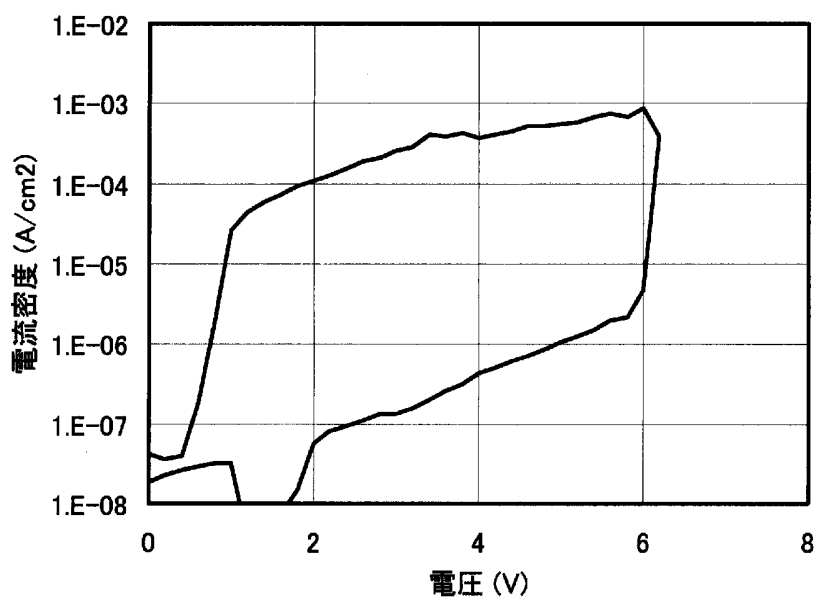
[図9]

FIG.9



[図10]

FIG.10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/012370

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H03K3/02, H01L49/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03K3/02, H01L49/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-513513 A (The Regents of the University of California), 30 April, 2004 (30.04.04), Par. Nos. [0029] to [0040]; Figs. 1 to 3	1-9
A	JP 1-214078 A (Canon Inc.), 28 August, 1989 (28.08.89), Pages 2 to 6; Figs. 1 to 3	1-9
A	US 4985621 A (Massachusetts Institute of Technology), 15 January, 1991 (15.01.91), Pages 2 to 4; Figs. 1 to 2	1-9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 November, 2004 (05.11.04)

Date of mailing of the international search report
22 November, 2004 (22.11.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2004/012370

JP 2004-513513 A	2004.04.30	WO 02/037500 A1 AU 6506801 A EP 1344223 A1 US 2004/0027849 A1
JP 1-214078 A	1989.08.28	EP 0330395 A2 US 5170238 A DE 68928024 T
US 04985621 A	1991.01.15	(Family: none)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ⁷ H03K3/02、H01L49/02

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ⁷ H03K3/02、H01L49/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国実用新案登録公報 1996-2004年
 日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2004-513513 A (ザ リージェンツ オブ ザ ユニバーシティ オブ カルフォルニア) 2004. 04. 30、段落【0029】-【0040】、第1図 -第3図	1-9
A	J P 1-214078 A (キヤノン株式会社) 1989. 08. 28、2頁-6頁、第1図-第3図	1-9

☒ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

05. 11. 2004

国際調査報告の発送日

22.11.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

清水 稔

5 X

3572

電話番号 03-3581-1101 内線 3555

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US 4985621 A (マサチューセッツ インスティテュート テクノロジー) 1991. 01. 15、2頁-4頁、第1図-第2図	1-9

JP 2004-513513 A 2004.04.30

WO 02/037500 A1

AU 6506801 A

EP 1344223 A1

US 2004/0027849 A1

JP 1-214078 A 1989.08.28

EP 0330395 A2

US 5170238 A

DE 68928024 T

US 04985621 A 1991.01.15

ファミリーなし