



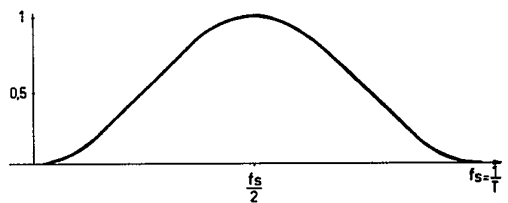
Erfindungspatent für die Schweiz und Liechtenstein
Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

⑫ PATENTSCHRIFT A5

<p>⑳ Gesuchsnummer: 10547/79</p> <p>㉑ Anmeldungsdatum: 27.11.1979</p> <p>㉓ Priorität(en): 30.11.1978 NL 7811731</p> <p>㉔ Patent erteilt: 29.11.1985</p> <p>㉕ Patentschrift veröffentlicht: 29.11.1985</p>	<p>㉗ Inhaber: N.V. Philips' Gloeilampenfabrieken, Eindhoven (NL)</p> <p>㉘ Erfinder: Peek, Johannes Bernhard Heinrich, Eindhoven (NL) Mecklenbräuker, Wolfgang Friedrich Georg, Eindhoven (NL) Claasen, Theodor Antonius Carel Maria, Eindhoven (NL) Van Hurck, Nicolaas, Eindhoven (NL)</p> <p>㉙ Vertreter: Patentanwalts-Bureau Isler AG, Zürich</p>
-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

⑤④ Analog/Digital-Wandler.

⑤⑦ Der Analog/Digital-Wandler dient zum Umwandeln eines analogen Signals in eine Reihe von Kodewörtern, die je eine durch eine Summe $a+b$ darstellbare Anzahl von Bits enthalten. Eine Integrations- und Amplitudenbegrenzungsanordnung (12, 13), welchen das analoge Signal zugeführt ist, erzeugen ein Hilfssignal. Ein Hilfs-Analog/Digital-Wandler (5) wandelt das Hilfssignal in eine Reihe von Kodewörtern um, die je b Bits enthalten. Dem Hilfswandler (5) sind Abtastimpulse zugeführt, deren Abtastfrequenz (f_s) grösser als die Nyquist-Abtastfrequenz (f_x) des analogen Signals ist. Am Ausgang des Hilfswandlers (5) ist eine Reihenschaltung eines digitalen Differentiationswerkes (15) und einer digitalen Amplitudenwiederherstellungsanordnung (14) angeschlossen. Mit dieser Reihenschaltung ist ein Digitalfilter (10) verbunden, das die Kodewörter mit $b+a$ Bits abgibt. Mit diesem Analog/Digital-Wandler lässt sich das Quantisierungsrauschen verringern, das durch die notwendige Quantisierung der analogen Signalabtastwerte entsteht.



PATENTANSPRÜCHE

1. Analog/Digital-Wandler zum Umwandeln eines analogen Signals, dessen Frequenzspektrum in einem bestimmten Signalfrequenzband liegt, in eine Reihe von Kodewörtern, die je eine durch eine Summe $b + a$ darstellbare Anzahl von Bits enthalten, gekennzeichnet durch einen Eingang zum Empfangen des analogen Signals, durch Integrations- und Amplitudenbegrenzungsmittel (12, 13) zum Erzeugen eines Hilfssignals, das eine amplitudenbegrenzte Form des zugeführten integrierten analogen Signals ist, durch Mittel zum Koppeln des Eingangs der Integrations- und Amplitudenbegrenzungsmittel (12, 13) mit dem Eingang für das analoge Signal, durch einen Hilfs-Analog/Digital-Wandler (5), welchem das Hilfssignal zum Umwandeln des Hilfssignals in eine Reihe von Kodewörtern zugeführt ist, die je b Bits enthalten, und welchem Abtastimpulse zugeführt sind, die mit einer Abtastfrequenz auftreten, welche grösser als die Nyquist-Abtastfrequenz des analogen Signals ist, durch eine Reihenschaltung eines digitalen Differentiationswerkes (15) und digitaler Amplitudenwiederherstellungsmittel (14), die am Ausgang des Hilfs-Analog/Digital-Wandlers (5) angeschlossen sind, und durch ein Digitalfilter (10), das mit dem Ausgang der Reihenschaltung (14, 15) gekoppelt und zum Unterdrücken ausserhalb des Signalfrequenzbandes liegender Frequenzkomponenten und zur Abgabe der Kodewörter mit $b + a$ -Bits eingerichtet ist.

2. Analog/Digital-Wandler nach Anspruch 1, dadurch gekennzeichnet, dass die Funktion, welche den Zusammenhang zwischen dem von den Integrations- und Amplitudenbegrenzungsmitteln (12, 13) gelieferten Hilfssignal und dem integrierten Wert des diesen Mitteln zugeführten Signals beschreibt, eine periodische Funktion ist.

3. Analog/Digital-Wandler nach Anspruch 1, dadurch gekennzeichnet, dass die Amplitudenwiederherstellungsmittel (14) eine Addieranordnung (21) enthalten, von der ein erster Eingang an den Ausgang des Differentiationsnetzwerkes (15) angeschlossen ist und deren Ausgang mit dem Eingang des Digitalfilters (10) gekoppelt ist.

4. Analog/Digital-Wandler nach Anspruch 3, dadurch gekennzeichnet, dass der Ausgang des Differentiationsnetzwerkes (15) ausserdem an eine Polaritätsdetektorschaltung (40) angeschlossen ist, die eine Schaltungsanordnung (41) steuert, über welche eine erste bzw. eine zweite Bezugzahl einem zweiten Eingang der Addieranordnung (21) in Abhängigkeit von der Polarität der vom Differentiationsnetzwerk (15) gelieferten Zahlen zugeführt ist.

5. Analog/Digital-Wandler nach Anspruch 1, dadurch gekennzeichnet, dass die Kopplungsmittel mit einer Addieranordnung (42) versehen sind, der ein konstantes Bezugssignal (V_{max}) zugeführt ist.

6. Analog/Digital-Wandler nach Anspruch 1, dadurch gekennzeichnet, dass das Digitalfilter (10) ein die Abtastfrequenz erniedrigendes Filter ist.

Die Erfindung bezieht sich auf einen Analog/Digital-Wandler gemäss dem Oberbegriff des Patentanspruchs 1.

A/D Wandler werden in den verschiedensten technischen Bereichen verwendet. Ausführungsbeispiele von A/D-Wandlern lassen sich im nachstehend angeführten Bezugsmaterial 1 finden. Im allgemeinen verwandeln sie ein zeitkontinuierliches analoges Signal in ein zeit- und amplitudendiskretes Signal. Für diese Umwandlung wird das analoge Signal mit einer bestimmten Abtastfrequenz abgetastet. Jeder der auf diese Weise erhaltenen Abtastwerte wird in einer bestimmten Zeit, in der sogenannten Konversionszeit, kodiert, d.h., dass

ausgehend von diesem Abtastwert ein Kodewort oder eine Zahl zusammengestellt wird, das eine Anzahl Ziffern oder Bits enthält. Damit die erforderliche Anzahl Bits eine vorbestimmte Anzahl nicht überschreitet, wird der Abtastwert zunächst quantisiert, d.h., dass die Grösse dieses Abtastwertes einer ganzen Anzahl Male einer vorbestimmten elementaren Spannung bzw. einem vorbestimmten elementaren Strom entsprechend gemacht wird. Diese elementare Spannung bzw. dieser elementare Strom wird als Quantisierungsschrittgrösse bezeichnet. Das Kodewort gibt nun an, wie viele Male die Quantisierungsschrittgrösse in dem quantisierten Abtastwert enthalten ist. Die Anzahl Bits jedes dieser Kodewörter wird durch den Abstand zwischen dem grössten positiven und kleinsten negativen Wert des zu kodierenden analogen Signals und durch die gewünschte Quantisierungsschrittgrösse bestimmt. Diese Quantisierungsschrittgrösse bestimmt ihrerseits das Quantisierungsrauschen, das durch den Quantisierungsvorgang eingeführt wird. Dieses Quantisierungsrauschen ist bekanntlich der Quantisierungsschrittgrösse direkt proportional und muss unterhalb einer vorbestimmten Schwelle liegen. Die Höhe dieser Schwelle wird festgelegt, wenn bekannt ist, was für eine Signalart kodiert werden muss. So wird beispielsweise beim Kodieren von Sprachsignalen mehr Quantisierungsrauschen erlaubt werden können als beim Kodieren von Musiksignalen, von denen nach Dekodierung eine Hi-Fi-Qualität verlangt wird.

In der Praxis wird das Quantisierungsrauschen nicht als absolute Grösse, sondern relativ zu dem Signal betrachtet und zwar wird insbesondere in der Praxis das Verhältnis zwischen dem Signal und dem Quantisierungsrauschen betrachtet, und dieses Verhältnis wird in Dezibel (dB) ausgedrückt. Dieses Verhältnis wird weiterhin als SNR bezeichnet und entspricht für ein sinusförmiges Signal bekanntlich etwa

$$\text{SNR} = (6n - 2)\text{dB} \quad (1)$$

Dabei ist n die Anzahl Bits jedes der Kodewörter.

Aus (1) folgt, dass die Anzahl Bits n jedes der Kodewörter grösser werden muss, wenn ein grösserer Wert von SNR verlangt wird. Weil zum Kodieren eines Sprachsignals mehr Quantisierungsrauschen erlaubt werden kann als beim Kodieren eines Musiksignals, werden in der Praxis zum Kodieren eines Sprachsignals meistens 12-Bit-Kodewörter gewählt, aber zum Kodieren eines Musiksignals mindestens 14-Bit-Kodewörter verlangt.

Je mehr Bits ein Kodewort enthalten muss, um so grösser muss die Genauigkeit und Stabilität der Komponenten sein, aus denen der A/D-Wandler aufgebaut wird, und je höher ist dadurch auch der Preis. Dieser Preis bildet nun eine Hemmung zum Gebrauch dieser A/D-Wandler in beispielsweise einer Audio-Apparatur, wie beispielsweise Heimtonbandgeräten.

Nachstehend wird ein Kodewort, das beispielsweise aus d -Bits besteht, als « d -Bit-Kodewort» bezeichnet. Auf entsprechende Weise wird ein Analog/Digital-Wandler, der zum Umwandeln eines analogen Signals in d -Bit-Kodewörter eingerichtet ist, als « d -Bit-A/D-Wandler» bezeichnet.

Die Erfindung hat zur Aufgabe, einen Analog/Digital-Wandler der eingangs genannten Art zu schaffen, der auf wirtschaftlich verantwortbare Weise realisiert werden kann.

Erfindungsgemäss weist der Analog/Digital-Wandler die im kennzeichnenden Teil des Patentanspruchs 1 angeführten Merkmale auf.

Mit dem Analog/Digital-Wandler nach der Erfindung wird eine $(b + a)$ -Bit-A/D-Umwandlung verwirklicht, während dazu ein im allgemeinen preisgünstigerer und einfacher b -Bit-Hilfs-A/D-Wandler verwendet wird. Um dennoch

ein Signal-Quantisierungsrauschverhältnis zu erhalten, das zu einem $(b + a)$ -Bit-A/D-Wandler gehört, wird an dem analogen Eingangssignal eine Vorverarbeitung durchgeführt, bevor dieses Signal dem Hilfs-A/D-Wandler zugeführt wird. An dem Ausgangssignal des Hilfs-A/D-Wandlers wird daraufhin noch eine Nachverarbeitung durchgeführt. Durch die Nachverarbeitung wird das Quantisierungsrauschsignal, das durch den A/D-Wandler eingeführt wird, auf ein derartiges Frequenzband verschoben, so dass dieses Signal durch das Digitalfilter unterdrückt werden kann. Die Vorverarbeitung dient dazu, die genannte Unterdrückung des Rauschsignals ohne Beeinflussung des erwünschten Signals zu verwirklichen.

Einzelheiten und Ausführungsbeispiele ergeben sich aus den Zeichnungen.

Fig. 1 zeigt auf schematische Weise den Aufbau eines A/D-Wandlers,

Fig. 2 zeigt auf schematische Weise das Leistungsspektrum eines analogen Signals,

Fig. 3 zeigt eine Periode des Leistungsspektrums eines zeitdiskreten und amplitudenkontinuierlichen Signals,

Fig. 4 zeigt eine Periode des Leistungsspektrums eines zeit- und amplitudendiskreten Signals und das durch das Diskretisieren der Amplitude eingeführte Rauschsignalleistungsspektrum,

Fig. 5 zeigt eine Periode des Ausgangssignals des A/D-Wandlers nach Fig. 1, wenn diesem das in Fig. 2 dargestellte analoge Signal zugeführt wird und die Abtastfrequenz f_s , gleich $2Nf_x$ ist mit $N = 2$,

Fig. 6 zeigt das Symbol eines Dezimators,

Fig. 7 zeigt eine Periode des Leistungsspektrums des Ausgangssignals des in Fig. 6 dargestellten Dezimators, wenn diesem ein Signal mit dem in Fig. 5 dargestellten Leistungsspektrum zugeführt wird,

Fig. 8 zeigt auf schematische Weise den allgemeinen Aufbau des Analog-Digital-Wandlers nach der Erfindung,

Fig. 9 zeigt den Verlauf der im Ausdruck (25) auftretenden Funktion $\sin^2(2\pi fT/2)$,

Fig. 10 zeigt den im Ausdruck (32) definierten Zusammenhang zwischen der Anzahl zusätzlicher Bits a und dem Erhöhungsfaktor N der Abtastfrequenz,

Fig. 11 zeigt auf schematische Weise eine Abwandlung des in Fig. 8 dargestellten Analog-Digital-Wandlers,

Fig. 12 zeigt in einer graphischen Darstellung den Verlauf einer periodischen Amplitudenbegrenzungsfunktion, die in jeder Periode nichtlinear ist,

Fig. 13 zeigt in einer graphischen Darstellung den Verlauf einer periodischen Amplitudenbegrenzungsfunktion, die in jeder Periode linear ist,

Fig. 14 zeigt eine Vereinfachung des in Fig. 11 dargestellten A/D-Wandlers,

Fig. 15 zeigt detailliert ein Ausführungsbeispiel der Reihenschaltung, die durch das integrierende Netzwerk und die Amplitudenbegrenzungsanordnung mit linearer periodischer Begrenzungsfunktion gebildet wird,

Fig. 16 zeigt eine dreieckförmige Begrenzungsfunktion zum Gebrauch in dem A/D-Wandler, der in Fig. 8 dargestellt ist,

Fig. 17 zeigt das bevorzugte Ausführungsbeispiel des A/D-Wandlers,

Fig. 18 zeigt detailliert ein Ausführungsbeispiel der Vorverarbeitungsanordnung zum Gebrauch in dem A/D-Wandler, der in Fig. 17 dargestellt ist,

Fig. 19 zeigt eine verschaltete Darstellung des in Fig. 17 dargestellten A/D-Wandlers.

Auf das nachstehende Bezugsmaterial wird hingewiesen:

1. Special Issue on Analog/Digital Conversion; IEEE Transactions on Circuits and Systems, Vol. CAS-25, Nr. 7, Juli 1978.

2. Digital Signal Processing; A.V. Oppenheim, R.W. Schaffer; Prentice-Hall 1975; Seiten 413–418.

3. DE-OS 28 11 576.

4. Optimum FIR Digital Filter Implementations for Decimation, Interpolation and Narrow Band Filtering; L.R. Rabiner, R.E. Chrochiere; IEEE Transactions on Acoustics, Speech and Signal Processing, Vol. ASSP-23, Oktober 1975, Seiten 444–456.

5. Further Considerations in the Design of Decimators and Interpolators; R.E. Chrochiere, L.R. Rabiner; IEEE Transactions on Acoustics, Speech and Signal Processing, Vol. ASSP-24, August 1976, Seiten 296–311.

6. Computation Rate and Storage Estimation in Multirate Digital Filtering with Half-Band Filters; M.G. Bellanger; IEEE Transactions on Acoustics, Speech and Signal Processing, Vol. ASSP-25, August 1977, Seiten 344–346.

Obenstehend ist angegeben, dass zum Umwandeln eines analogen Signals in ein digitales Signal dieses analoge Signal zunächst abgetastet werden muss, dass die auf diese Weise erhaltenen Signalabtastwerte quantisiert werden müssen und dass zum Schluss die quantisierten Signalabtastwerte in einer Zahl ausgedrückt werden müssen (vorzugsweise dargestellt im Dual-Code). Wie in Fig. 1 auf schematische Weise dargestellt, enthält ein A/D-Wandler dazu im allgemeinen eine 25 Abtastanordnung 1, eine Quantisieranordnung 2 und eine Kodieranordnung 3. Der Abtastanordnung 1 werden Abtastimpulse zugeführt, die mit einer vorbestimmten Frequenz f_s , der sogenannten Abtastfrequenz, auftreten. Diese Abtastimpulse werden von einem Taktimpulsgenerator 4 erzeugt. Die Kodieranordnung 3 liefert nun die genannten digitalen Zahlen, und diese Zahlen enthalten alle dieselbe Anzahl Bits. Wenn nun vorausgesetzt wird, dass der in Fig. 1 dargestellte A/D-Wandler einen b -Bit-A/D-Wandler darstellt, enthält jede der Zahlen, die von der Kodieranordnung 3 geliefert 35 werden, b Bits, die die Werte $c_0, c_1, c_2, c_3 \dots$ bzw. c_{b-1} aufweisen, wobei c_i gleich 0 oder 1 ist.

Wird nun, vorausgesetzt, dass das Eingangssignal dieses A/D-Wandlers zwischen den Grössen $-V_{\max}$ und $+V_{\max}$ variieren darf, so stellt die obengenannte digitale Zahl eine Spannung bzw. einen Strom dar zur Grösse von:

$$(-1)^{c_0} \cdot (c_1 2^{-1} + c_2 2^{-2} + c_3 2^{-3} + \dots + c_{b-1} 2^{-(b-1)}) V_{\max} \quad (2)$$

Die Grösse $2^{-b+1} V_{\max}$ wird die Quantisierschrittgrösse 45 genannt und mit q bezeichnet, so dass gilt:

$$q = 2^{-b+1} V_{\max} \quad (3)$$

In dieser Einleitung wird angegeben, welchen Einfluss 50 jede der Bearbeitungen «Abtasten» und «Quantisieren» auf das Leistungsspektrum des ursprünglichen analogen Signals hat. Dazu wird von einem reellen analogen Signal ausgegangen, das dem in Fig. 1 auf schematische Weise dargestellten b -Bit-A/D-Wandler zugeführt wird. Dieses analoge Signal 55 wird als $x_a(t)$ bezeichnet, und davon wird, vorausgesetzt, dass sein Frequenzspektrum nur beim Frequenzintervall $0 \leq f \leq f_x$ von Null abweicht. Das Leistungsspektrum dieses Signals $x_a(t)$ wird als $P_{x_a}(f)$ bezeichnet, und dieses Leistungsspektrum ist in Fig. 2 auf schematische Weise dargestellt.

Wird nun dieses Signal $x_a(t)$ der Abtastanordnung 1 zugeführt, die mit einer Abtastfrequenz $f_s = 2f_x$ Muster von $x_a(t)$ nimmt, so tritt am Ausgang dieser Abtastanordnung eine Reihe von Abtastwerten auf, die als $\hat{x}(n)$ bezeichnet werden und wofür gilt, dass

$$\hat{x}(n) = x_a(nT) \quad \text{mit } -\infty < n < \infty \quad (4)$$

$$n = \text{ganz zahlig und } T = 1/f_s$$

Das Leistungsspektrum dieses zeitdiskreten Signals wird als $P_x(f)$ bezeichnet. Eine Periode dieses Leistungsspektrums ist in Fig. 3 dargestellt.

Die Signalabstastwerte $\hat{x}(n)$ werden daraufhin der Quantisieranordnung 2 zugeführt, die einen nicht linearen Quantisierungsvorgang $Q[\cdot]$ an diesen Signalabstastwerten $x_a(nT)$ durchführt. Dadurch werden quantisierte Signalabstastwerte erhalten, die als $\bar{x}(n)$ bezeichnet werden und wofür gilt:

$$\bar{x}(n) = Q[x_a(nT)] = x(n)V_{\max} \quad (5)$$

in (5) ist $x(n)$ eine b-Bit-Zahl. Infolge der quantisierten Signalabstastwerte $\bar{x}(n)$, die der Kodieranordnung zugeführt werden, liefert diese letztere die genannten b-Bit-Zahlen $x(n)$.

Wenn $x_a(t)$ amplitudenbegrenzt ist, kann die Quantisierbearbeitung auch auf eine andere Weise geschrieben werden, und zwar kann jeder quantisierte Signalabstastwert $\bar{x}(n)$ wie folgt ausgedrückt werden:

$$\bar{x}(n) = x_a(nT) + e(n) \quad (6)$$

In diesem Ausdruck ist $e(n)$ der Quantisierfehler, und für diesen Fehler gilt:

$$-q/2 < e(n) < +q/2 \quad (7)$$

Diese Quantisierfehler $e(n)$ können als Abstastwerte eines Rauschsignals betrachtet werden, das ein Leistungsdichtespektrum hat, das über das Frequenzintervall $0 \leq f \leq 2f_x$ einheitlich verteilt ist. Dieses Rauschsignal kann daher als «weisses Rauschen» betrachtet werden (siehe Bezugsmaterial 2). Wird nun die Gesamtrauschleistung dieses Rauschsignals mit P_e und das Leistungsspektrum mit $P_e(f)$ bezeichnet, so gilt, dass:

$$P_e = q^2/12 \quad (8)$$

$$P_e(f) = q^2T/12 \quad (9)$$

In Fig. 4 ist auf schematische Weise das Leistungsspektrum von $\bar{x}(n)$ angegeben. Insbesondere zeigt Fig. 4, dass dieses Leistungsspektrum durch die Summe des Leistungsspektrums von $\hat{x}(n)$ und des Leistungsspektrums von $e(n)$ gebildet wird. Wird nun die Gesamtleistung von $\hat{x}(n)$ durch $P_{\hat{x}}$ dargestellt, so ist das Signal-Rauschverhältnis des Signals $x(n)$ gleich:

$$P_{\hat{x}}/P_e = 12P_{\hat{x}}/q^2 \quad (10)$$

Aus (10) folgt, dass das Signal-Rauschverhältnis nur durch die Wahl eines kleineren Wertes von q erhöht werden kann. Bei gleichbleibendem Wert von V_{\max} erfordert ein geringerer Wert von q eine grössere Anzahl Bits für die Zahlen $x(n)$. Wenn vorausgesetzt wird, dass die Quantisierschrittgrösse auf einen Wert $q_1 = q/2^a$ verringert wird, wird der A/D-Wandler $(b+a)$ -Bits-Zahlen $x(n)$ liefern müssen. Das digitale Ausgangssignal dieses $(b+a)$ -Bits-A/D-Wandlers wird nun ein Signal-Rauschverhältnis aufweisen, das dem folgenden Wert entspricht:

$$12P_{\hat{x}} \cdot 2^{2a}/q^2 \quad (11)$$

was 2^{2a} mal grösser ist als das in (10) zum Ausdruck gebrachte Signalrauschverhältnis.

Wie im Abschnitt E(1.1) angegeben, können die Abstastwerte $e(n)$ als die Abstastwerte eines Rauschsignals mit einer Rauschleistung, die über das Frequenzintervall $0 \leq f \leq f_x$ gleichmässig verteilt ist, betrachtet werden. Für den b-Bit-A/

D-Wandler wurde vorausgesetzt, dass $f_s = 2f_x$ ist, wodurch im Frequenzintervall $0 \leq f \leq f_x$ sowie in Frequenzintervall $f_x \leq f \leq 2f_x$ ein Rauschsignal vorhanden ist mit einer Rauschleistung, die dem Wert $q^2/24$ entspricht.

Dadurch, dass in diesem b-Bit-A/D-Wandler die Abtastfrequenz f_s höher gewählt wird als $2f_x$, beispielsweise N mal höher, so dass $f_s = 2Nf_x$ ist, wird die Rauschleistung über ein N mal grösseres Frequenzintervall verteilt. Weil die Gesamtrauschleistung gleich $q^2/12$ bleibt, ist nun im Frequenzintervall $0 \leq f \leq f_x$ sowie im Intervall

$(2N-1)f_x \leq f \leq 2Nf_x$ eine Rauschleistung mit der Grösse $q^2/(24N)$ vorhanden. In Fig. 5 ist das Leistungsspektrum des digitalen Ausgangssignals dieses A/D-Wandlers auf schematische Weise für $N=2$ dargestellt.

Die Frequenzkomponenten, die in dem Frequenzintervall $f_x \leq f \leq (2N-1)f_x$ liegen, können nun mit Hilfe eines digitalen Tiefpassfilters unterdrückt werden.

Danach kann die Abtastfrequenz um einen Faktor N verringert werden, so dass die Komponenten des digitalen Signals wieder mit der Abtastfrequenz $2f_x$ auftreten.

Das Verringern der Abtastfrequenz um einen Faktor N kann mit einer Anordnung erreicht werden, die nur jede N -Zahl, die von dem digitalen Tiefpassfilter geliefert wird, durchlässt und alle übrigen Zahlen unterdrückt. Eine derartige Anordnung ist im Bezugsmaterial 3 beschrieben und dort als SRR-Element bezeichnet. Die Kaskadenschaltung des genannten digitalen Tiefpassfilters und des SRR-Elementes wird auch als Dezimator bezeichnet und wird mit dem in Fig. 6 dargestellten Symbol angegeben. In diesem Symbol stellt N den Verringerungsfaktor dar. Ausführungsbeispiele eines derartigen Dezimators sind beispielsweise im Bezugsmaterial 4, 5 und 6 beschrieben.

Wird nun dem Dezimator ein Signal $\bar{y}(n)$ mit dem in Fig. 5 dargestellten Leistungsspektrum zugeführt, so liefert dieser Dezimator ein Ausgangssignal $y(n)$ mit einem Leistungsspektrum $P_y(f)$, dessen Form in Fig. 7 auf schematische Weise dargestellt ist.

Die Gesamtrauschleistung in dem Frequenzintervall $0 \leq f \leq 2f_x$ ist nun gleich $P_{e,y}$ mit:

$$P_{e,y} = q^2/(12N) \quad (12)$$

und das Signal-Rauschverhältnis des Signals $y(n)$ entspricht:

$$P_{\hat{x}}/P_{e,y} = P_{\hat{x}}/(q^2/12N) = 12NP_{\hat{x}}/q^2 \quad (13)$$

Dieser Ausdruck lässt sich nun dem Ausdruck (11) gleich machen, und zwar dadurch, dass N gleich 2^{2a} gewählt wird, so dass beispielsweise für $a=4$ gilt: $N=256$. Um eine grosse Verbesserung des Signal-Rauschverhältnisses zu erreichen, wird im allgemeinen eine sehr hohe Abtastfrequenz erforderlich sein.

Der Grund, dass die Erhöhung der Abtastfrequenzen im wesentlichen nur wenig Verbesserung im Signal-Rauschverhältnis ergibt, ist, dass dadurch die Rauschleistung nur über ein grösseres Frequenzintervall verteilt wird. Eine bessere Verteilung der Rauschleistung würde eine weitere Verbesserung des Signal-Rauschverhältnisses ergeben, aber dann muss diese Verteilung derart sein, dass weniger Rauschleistung in den Frequenzintervallen vorhanden ist, die durch das gewünschte Signal beansprucht werden und näher in den übrigen Frequenzintervallen. Für das Signal, dessen Leistungsspektrum in Fig. 5 dargestellt ist, bedeutet Obenstehendes, dass es in den Frequenzintervallen $0 \leq f \leq f_x$ und $3f_x \leq f \leq 4f_x$ weniger Rauschleistung und in dem Frequenzintervall $f_x \leq f \leq 4f_x$ mehr Rauschleistung geben muss. In diesem Fall dürfte das Rauschsignal nicht mehr als weisses Rauschen betrachtet werden, und es werden aufeinanderfolgende

Rauschsignalabstastwerte $e(n)$ korreliert sein.

Eine Rauschleistung mit den obenstehend gemeinten Eigenschaften wird mit Hilfe eines Deltamodulators und auch durch einen differentiellen Pulskodemodulator erhalten. Derartige A/D-Wandler sind mit einer Rückkopplungsschleife versehen, die dafür sorgt, dass die aufeinander folgenden Rauschsignalabstastwerte stark korreliert sind. Dadurch wird der grösste Teil der Rauschleistung bei den Frequenzen in der Nähe von $f_s/2$ liegen. Der Nachteil eines rückgekoppelten Kreises ist u.a. die Tatsache, dass ein genauer D/A-Wandler in der Schleife erforderlich ist (siehe beispielsweise das Bezugsmaterial 1 Seiten 448–460).

Nachstehend wird der in Fig. 8 dargestellte allgemeine Aufbau einer Anordnung zum Umwandeln eines analogen Signals $x_a(t)$ in ein digitales Signal $x(n)$ beschrieben, von dem es scheint, dass es von einem $(b+a)$ -Bit-A/D-Wandler erzeugt ist, während diese Anordnung dazu einen b -Bit-A/D-Wandler benutzt, der nicht in eine Rückkopplungsschleife aufgenommen ist.

Die in Fig. 8 dargestellte Anordnung enthält einen b -Bit-A/D-Wandler 5, der auf herkömmliche Weise aufgebaut ist. Diesem A/D-Wandler werden Abstastimpulse mit einer Abstastfrequenz $f_s = 2Nf_x$ zugeführt. Dieser A/D-Wandler ist mit einem analogen Signaleingang 6 und einem digitalen Signalausgang 7 versehen. Wird nun, wie in der Figur angegeben, über den Eingang 6 ein analoges Signal $z_a(t)$ diesem b -Bit-A/D-Wandler zugeführt, so tritt am Ausgang desselben ein digitales Signal auf, das durch die b -Bit-Zahlen $z(n)$, die mit einer Frequenz $2Nf_x$ auftreten, gebildet wird.

Der Eingang 6 dieses A/D-Wandlers 5 ist an den Ausgang einer Vorbearbeitungsanordnung 8 angeschlossen, der dem analogen Signal $x_a(t)$, dessen Leistungsspektrum in Fig. 2 dargestellt ist, zugeführt wird. Der Ausgang 7 des A/D-Wandlers 5 ist an den Eingang einer Nachbearbeitungsanordnung 9 angeschlossen, deren Ausgang an den Eingang eines die Abstastfrequenz erniedrigenden Filters 10 («Decimator») angeschlossen ist, das einen Verringerungsfaktor N hat. Der Ausgang des Filters 10 ist mit dem Ausgang 11 der Anordnung gekoppelt. An diesem Ausgang 11 treten nun mit einer Abstastfrequenz $2f_x$ die gewünschten $(b+a)$ -Bit-Zahlen $x(n)$ auf.

Die Vorbearbeitungsanordnung 8 enthält ein integrierendes Netzwerk 12 und eine Amplitudengrenzungsanordnung 13, die eine vorbestimmte feste Begrenzungsfunktion $f\{\cdot\}$ aufweist. Das integrierende Netzwerk 12 liefert infolge des ihm zugeführten Signals $x_a(t)$ ein Signal $y_a(t)$, für das gilt:

$$y_a(t) = K \int_b x_a(\tau) d\tau \quad (14)$$

In (14) ist K eine beliebige Konstante. Das Signal $y_a(t)$ wird der Begrenzungsanordnung 13 zugeführt, die das Ausgangssignal $z_a(t)$ liefert, für das gilt

$$z_a(t) = f\{y_a(t)\} \quad (15)$$

Dieses Signal $z_a(t)$ wird nun dem b -Bit-A/D-Wandler 5 zugeführt, der auf diese Weise die Zahlen $z(n)$ liefert. Entsprechend (5) und (6) gilt nun:

$$z(n)V_{\max} = z_a(nT) + e(n); T = 1/(2Nf_x) \quad (16)$$

Die Nachbearbeitungsanordnung 9 enthält eine Amplitudenwiederherstellungsanordnung 14 und ein Differentiationsnetzwerk 15. Die Wiederherstellungsanordnung 14 liefert infolge der ihr zugeführten Zahlen $z(n)$ die Zahlen $\hat{z}(n)$, für die gilt, dass

$$\hat{z}(n)V_{\max} = g\{z(n)V_{\max}\} = g\{z_a(nT) + e(n)\} \quad (17)$$

in (17) ist $g\{\cdot\}$ die Wiederherstellungsfunktion. Für eine inverse Funktion der Funktion $f\{\cdot\}$ sein müssen. Das bedeutet, dass genaue Amplitudenwiederherstellung und $g\{\cdot\}$ die inverse Funktion der Funktion $f\{\cdot\}$ sein müssen. Das bedeutet, dass im allgemeinen für eine Veränderliche α gelten muss:

$$\alpha = g\{f\{\alpha\}\} \quad (18)$$

Aus (15) und (17) folgt nun

$$\hat{z}(n)V_{\max} = g\{f\{y_a(nT)\}\} + r(n) \quad (19)$$

$$\hat{z}(n)V_{\max} = y_a(nT) + r(n) \quad (20)$$

Dieses digitale Signal $\hat{z}(n)$ wird nun dem Differentiationsnetzwerk 15 zugeführt, von dem vorausgesetzt wird, dass es erster Ordnung ist. Dieses Differentiationsnetzwerk 15 liefert das Ausgangssignal $\hat{z}(n)$, für das gilt:

$$\hat{z}(n) = \hat{z}(n) - \hat{z}(n-1) \quad (21)$$

so dass

$$\hat{z}(n)V_{\max} = y_a(nT) - y_a[(n-1)T] + r(n) - r(n-1).$$

Mit (14) folgt daraus:

$$\hat{z}(n)V_{\max} = K \int_{(n-1)T}^{nT} x_a(\tau) d\tau + r(n) - r(n-1) \quad (22)$$

Weil K eine beliebige Konstante ist, kann diese gleich $1/T$ gewählt werden, wodurch das erste Glied in (22) dem Wert $x_a(nT - T/2)$ nahezu entsprechend wird und folglich (22) übergeht in:

$$\hat{z}(n)V_{\max} \approx x_a(nT - T/2) + r(n) - r(n-1) \quad (23)$$

Die Zahlen $\hat{z}(n)$ enthalten ebenso wie die Zahlen $z(n)$ je b Bits und werden dem Filter 10 zugeführt, der die Zahlen $x(n)$ liefert. In diesem Filter 10 werden die Zahlen $\hat{z}(n)$ auf übliche Weise mit Filterkoeffizienten multipliziert, die ebenfalls eine bestimmte Anzahl Bits enthalten, beispielsweise $a_1 = a + a_0$ Bits. Die von diesem Filter gelieferten Zahlen $\bar{x}(n)$ enthalten nun $b + a_1 = b + a + a_0$ Bits, von denen nur $b + a$ relevant sind. Nur diese $b + a$ Bits jeder der Zahlen $\bar{x}(n)$ werden dem Ausgang 11 der Anordnung zugeführt. Das Beseitigen der a_0 am wenigsten signifikanten Bits der Zahlen $\bar{x}(n)$ wird beispielsweise dadurch erreicht, dass die Zahlen $\bar{x}(n)$ gerundet werden, und diese Bearbeitung ist in Fig. 8 auf symbolische Weise durch die Beseitigungsanordnung 16 dargestellt, der die $(b + a + a_0)$ -Bits Zahlen $\bar{x}(n)$ zugeführt werden und die die $(b + a)$ -Bits Zahlen $x(n)$ liefert.

Dass mit der in Fig. 8 dargestellten Anordnung tatsächlich eine Verschiebung der Rauschleistung nach ausserhalb des Signalbandes liegenden Frequenzen verwirklicht wird, ist wie folgt ersichtlich.

Wird das Rauschsignal in $z(n)$ durch $s(n)$ dargestellt, so gilt nach (22):

$$s(n) = r(n) - r(n-1) \quad (24)$$

Wird das Leistungsspektrum von $r(n)$ durch $P_r(f)$ dargestellt und das von $s(n)$ durch $P_s(f)$, so lässt sich ableiten:

$$P_s(f) = 4P_r(f) \sin^2(2\pi fT/2) \quad (25)$$

In Fig. 9 ist der Verlauf der Funktion $\sin^2(2\pi fT/2)$ darge-

stellt. Wenn $P_r(f)$ für alle Werte von f endlich ist, stellt es sich aus Fig. 9 heraus, dass das ursprünglich im Signalband vorhandene Rauschen unterdrückt wird.

Wird nun vorausgesetzt, dass das Filter eine Funktion erfüllt, die der eines idealen Tiefpassfilters mit einer Grenzfrequenz $1/(2NT)$ entspricht, und wird die Gesamtleistung des in dem Signalband liegenden Rauschsignals durch P_e' dargestellt, so gilt:

$$P_e' = 2 \cdot \int_0^{1/2NT} 4P_r(f) \sin^2(2\pi fT/2) df \quad (26)$$

Wird nun einfachheitshalber vorausgesetzt, dass die Funktion $g\{\cdot\}$ eine lineare Funktion ist, so gilt:

$$r(n) = g\{e(n)\} = ke(n) \quad (27)$$

worin k eine Konstante darstellt. Die gesamte Rauschleistung von $e(n)$ ist in (8) zum Ausdruck gebracht, und das Leistungsspektrum von $e(n)$ ist in (9) angegeben. Daraus folgt:

$$P_r(f) = kP_e(f) = kTq^2/12 \quad (28)$$

Mit (28) geht (26) über in:

$$P_e' = \frac{2}{3} kTq^2 \cdot \int_0^{1/2NT} \sin^2(2\pi fT/2) df \quad (29)$$

$$P_e' = kq^2/6\pi (\pi/N - \sin\pi/N)$$

Es wird gelten müssen, dass die in (29) definierte Rauschleistung der Rauschleistung entspricht, die von einem A/D-Wandler geliefert wird, in der eine Quantisierschrittgröße $q \cdot 2^{-a}$ angewandt wird, wobei die Abtastfrequenz dem Wert $2f_x$ entspricht und die $(b+a)$ -Bit-Zahlen liefert. Wird die letztere Rauschleistung durch P_e dargestellt, so gilt dafür:

$$P_e = q^2 \cdot 2^{-a}/12 \quad (30)$$

und für P_e' , die in (29) definiert ist, gilt:

$$P_e' = P_e \quad (31)$$

Für einen gewünschten Wert von a folge aus (29), (30) und (31) der zugehörige Wert von N ; und zwar gilt:

$$a = -\frac{1}{2} \log_2 [2k/N(1 - N/\pi \sin \pi/N)] \quad (32)$$

Diese in (32) definierte Funktion ist für $k=1$ in Fig. 10 dargestellt. Aus dieser Fig. 10 geht hervor, dass, wenn beispielsweise $a=4$ erwünscht wird, $N=9,2$ gewählt werden muss.

Obenstehend ist an die Amplitudenbegrenzungsfunktion nur eine besondere Anforderung gestellt. Von dieser Funktion wird nämlich vorausgesetzt, dass sie invertierbar ist, weil sonst keine Amplitudenwiederherstellungsfunktion gefunden werden kann. Dass jedoch nicht jede invertierbare Funktion als Amplitudenbegrenzungsfunktion benutzt werden kann, dürfte aus dem nachfolgenden Beispiel hervorgehen. Folgendes wird vorausgesetzt:

$$z_a(t) = \arctan y_a(t) \quad (33)$$

Für eine genaue Wiederherstellung der Amplitude wird nun weiter gelten müssen:

$$\bar{z}(n)V_{\max} = \tan\{z_a(nT) + e(n)\} \quad (34)$$

Aus (33) und (34) folgt, dass wenn $e(n)=0$ ist, tatsächlich, wie es beabsichtigt wird, gilt, dass:

$$z(n)V_{\max} = \tan\{\arctan y_a(nT)\} = y_a(nT).$$

Weil jedoch $e(n)$ im allgemeinen ungleich Null ist, wird dieser Zusammenhang äusserst gestört.

5 Eine sehr günstige Amplitudenbegrenzungsfunktion wird dadurch erhalten, dass eine in einem bestimmten Intervall definierte und in diesem Intervall monoton verlaufende und invertierbare Funktion periodisch wiederholt wird. Dabei soll dieses Intervall und folglich auch die genannte Periode geeignet gewählt werden. Untenstehend wird diese Periode durch R bezeichnet, und davon wird vorausgesetzt, dass sie der nachfolgenden Beziehung entspricht:

$$R = k'V_{\max} \quad (35)$$

15 darin ist k' eine Zahl, die mit einer endlichen Anzahl Bits dargestellt werden kann. Eine mögliche Amplitudenbegrenzungsfunktion wird nun gegeben durch:

$$20 z_a(t) = F\{\eta[y_a(t) - kR]\} \quad (36)$$

so dass:

$$25 z_a(t) = F\{\eta[y_a(nT) - k_n R]\} \quad (37)$$

In (36) und (37) ist η eine beliebige Zahl, während wieder gelten muss:

$$30 -V_{\max} \leq z_a(t) \leq +V_{\max} \quad (38)$$

Diese Beziehung (38) legt den Wert von R fest.

Weil die am Ausgang der Wiederherstellungsanordnung 14 auftretenden Zahlen $\bar{z}(n)$ der Formel (20) entsprechen müssen, kann abgeleitet werden, dass für die Amplitudenwiederherstellungsfunktion gelten muss:

$$\bar{z}(n)V_{\max} = 1/\eta G\{z(n)V_{\max}\} + k_n R$$

oder

$$40 \bar{z}(n) = 1/\eta \cdot 1/V_{\max} \cdot G\{z(n)V_{\max}\} + k_n k' \\ = 1/\eta G\{z(n)\} + k_n k' \quad (39)$$

mit: $G\{F\{\xi\}\} = \xi$

Wenn nun vorausgesetzt wird, dass

$$1/\eta G\{z(n)\} = z'(n)$$

45 ist, geht (39) über in:

$$\bar{z}(n) = z'(n) + k_n k'$$

55 Damit folgt im allgemeinen aus (21):

$$\hat{z}(n) = z'(n) - z'(n-1) + (k_n - k_{n-1})k' \quad (40)$$

Weil das Eingangssignal $x_a(t)$ amplitudenbegrenzt ist, ist nach (23) auch jede Zahl $\hat{z}(n)$ amplitudenbegrenzt. Das bedeutet, dass obschon k_n und k_{n-1} je unbegrenzt sind, die Differenz $k_n - k_{n-1}$ eine endliche Zahl darstellt.

Weil weiterhin $\hat{z}(n)V_{\max}$ nie grösser sein kann als V_{\max} , gilt, wenn die Periode R grösser oder gleich V_{\max} gewählt wird, dass dann:

65 entweder

$$k_n - k_{n-1} = 0$$

oder

$$k_n - k_{n-1} = -1$$

oder

$$k_n - k_{n-1} = +1$$

Wie in (41) angegeben, kann $k_n - k_{n-1}$ einen der drei möglichen Werte annehmen. Dies hängt zusammen mit der Tatsache, dass $y_a(nT)$ grösser sowie kleiner sein kann als $y_a[(n-1)T]$. Sollte jedoch $x_a(t)$ immer positiv sein, so würde $y_a(t)$ monoton zunehmen. In diesem Fall wird dann $k_n - k_{n-1}$ nur 0 oder +1 sein können. Es wird davon ausgegangen, dass

$$0 < x_a(t) < 2V_{\max} \quad (42)$$

ist und dass

$$R \geq 2V_{\max} \quad (43)$$

ist; dann gilt

$$\text{wenn } z_a(nT) > z_a[(n-1)T], \text{ so ist } k_n - k_{n-1} = 0 \quad (44)$$

$$\text{wenn } z_a(nT) < z_a[(n-1)T], \text{ so ist } k_n - k_{n-1} = 1.$$

Obenstehendes bedeutet weiterhin, dass $\hat{z}(n)$ aus der Differenz $z'(n) - z'(n-1)$ völlig bestimmt werden kann. Wenn nämlich

$$z'(n) - z'(n-1) < 0$$

so ist

$$k_n - k_{n-1} = 0 \quad (45)$$

und ist

$$\hat{z}(n) = z'(n) - z'(n-1)$$

Ist dagegen

$$z'(n) - z'(n-1) < 0$$

so ist

$$k_n - k_{n-1} = 1 \quad (46)$$

und ist

$$\hat{z}(n) = z'(n) - z'(n-1) + k''.$$

In Fig. 11 ist auf schematische Weise eine Abwandlung der in Fig. 1 dargestellten Anordnung dargestellt, wobei die durch den Ausdruck (36) definierte Amplitudenbegrenzungsfunktion nun insbesondere gegeben wird durch

$$z_a(t) = \arctan\{y_a(t) = kR\} \quad (47)$$

und wobei die durch den Ausdruck (30) definierte Amplitudenwiederherstellungsfunktion nun gegeben wird durch

$$\hat{z}(n) = \tan\{z(n)\} + k_n k' \quad (48)$$

Es sei bemerkt, dass die in den Ausdrücken (36) und (39) auftretende Konstante η gleich Eins gewählt worden ist. Für die Periode R muss nun ein Wert derart gewählt werden, dass die Formel (38) erfüllt wird, so dass gelten muss:

$$-\tan V_{\max} \leq y_a(t) - kR \leq +\tan V_{\max} \quad (49)$$

Diese Formel wird erfüllt durch:

$$R = 2 \tan V_{\max} \quad (50)$$

Der im Ausdruck (47) definierte Zusammenhang zwischen $z_a(t)$ und $y_a(t)$ ist in Fig. 12 graphisch dargestellt. Insbesondere zeigt Fig. 12 den Zusammenhang zwischen $z_a(t)/V_{\max}$ und $y_a(t)$ und erfüllt die Periode R den Ausdruck (50).

Aus (40) und (48) folgt nun, dass:

$$\hat{z}(n) = \tan z(n) - \tan z(n-1) + (k_n - k_{n-1})k' \quad (51)$$

Weil $\tan V_{\max}$ grösser ist als V_{\max} , gilt für $k_n - k_{n-1}$ der Ausdruck (41).

Die in Fig. 11 dargestellte Anordnung ist weitgehend auf dieselbe Art und Weise aufgebaut wie die in Fig. 8 dargestellte Anordnung. In dieser Fig. 11 sind der Fig. 8 entsprechende Elemente mit denselben Bezugszeichen angegeben wie in Fig. 8.

Wie in Fig. 11 angegeben, wird die Amplitudenbegrenzungsanordnung 13 nun durch eine Reihenschaltung zweier Hilfsamplitudenbegrenzer 17 und 18 gebildet. Der Hilfsbegrenzer 17 liefert ein Restsignal $\hat{y}_a(t)$ sowie die Zahl $k_n - k_{n-1}$. Für den Zusammenhang zwischen dem Eingangssignal $\hat{y}_a(t)$ und dem Ausgangssignal $y_a(t)$ dieses Hilfsbegrenzers 17 gilt:

$$\hat{y}_a(t) = y_a(t) - kR = y_a(t) - 2k \tan V_{\max} \quad (52)$$

Dieses Signal $\hat{y}_a(t)$ wird dem Hilfsbegrenzer 18 zugeführt, der das Signal $z_a(t)$ liefert, für das gilt:

$$z_a(t) = \arctan \hat{y}_a(t) \quad (53)$$

Die vom Hilfsbegrenzer 17 gelieferte Zahl $k_n - k_{n-1}$ wird einem konstanten Faktormultiplizierer 19 zugeführt, dem zugleich die Zahl k' zugeführt wird und der auf diese Weise die Zahl $(k_n - k_{n-1})k'$ liefert.

Zum Berechnen der im Ausdruck (51) definierten Zahlen $\hat{z}(n)$ wird die Amplitudenwiederherstellungsanordnung 14 nun durch eine Reihenschaltung einer Hilfsamplitudenwiederherstellungsschaltung 20 und eines Addierers 21 gebildet. Das Differentiationsnetzwerk 15 liegt nun zwischen dem Ausgang der Hilfswiederherstellungsanordnung 20 und dem Eingang des Addierers 21. Die Zahlen $z(n)$, die von dem Hilfs-A/D-Wandler 5 geliefert werden, werden nun der Hilfswiederherstellungsanordnung 20 zugeführt, die dadurch die Zahlen $z'(n)$ liefert, für die gilt:

$$z'(n) = \tan z(n) \quad (54)$$

Diese Zahlen $z'(n)$ werden dem Differentiationsnetzwerk 15 zugeführt, das dadurch die Zahlen liefert, die der Differenz $z'(n) - z'(n-1)$ entsprechen und die ihrerseits dem Addierer 21 zugeführt werden, dem zugleich die Zahl $(k_n - k_{n-1})k'$ zugeführt wird. Am Ausgang dieses Addierers 21 treten nun die in (51) definierten Zahlen $z(n)$ auf, die weiterhin auf dieselbe Art und Weise verarbeitet werden wie in der Anordnung, die in Fig. 8 dargestellt ist.

In dem in Fig. 11 dargestellten Ausführungsbeispiel wird die Begrenzungsanordnung 13 durch zwei Hilfsbegrenzer 17 und 18 und die Anordnung 14 durch eine Reihenschaltung einer Hilfswiederherstellungsanordnung 20 und eines Addierers 21 gebildet. Zwar ist die Hilfsbegrenzungsanordnung 17 auf einfache und wirtschaftliche Weise verwirklicht aber das Implementieren der Hilfsbegrenzeranordnung 18 und der Hilfswiederherstellungsanordnung 20 ist nicht immer auf ein-

fache und wirtschaftliche Weise erzielbar. Die Hilfswiederherstellungsanordnung 20 und die Hilfsbegrenzungsanordnung 18 können jedoch auch durch eine direkte Verbindung gebildet werden, und zwar wenn die durch den Ausdruck (36) definierte Begrenzungsfunktion gegeben wird durch:

$$z_a(t) = \eta[y_a(t) - kR] \quad (55)$$

Für $\eta = 1$ kann R gleich $2V_{\max}$ gewählt werden, so dass:

$$z_a(t) = \hat{y}_a(t) = y_a(t) = 2kV_{\max} \quad (56)$$

Der in (56) gegebene Zusammenhang zwischen $z_a(t)$ und $y_a(t)$ ist in Fig. 13 auf graphische Weise dargestellt. Weil der Ausdruck (56) dieselbe Form hat wie der Ausdruck (52), ist in Fig. 13 im allgemeinen auf graphische Weise der Zusammenhang zwischen

$$\hat{y}_a(t)/(R/2) \text{ und } y_a(t)/(R/2) \text{ dargestellt.}$$

Zu der Begrenzungsfunktion, wie diese in (56) definiert ist, gehört nach (39) eine Wiederherstellungsfunktion, die wie folgt definiert werden muss:

$$\bar{z}(n) = z(n) + k_n k' \quad (57)$$

so dass (Fig. 8):

$$\begin{aligned} \hat{z}(n) &= z'(n) - z'(n-1) + (k_n - k_{n-1})k' = \\ z'(n) - z'(n-1) &+ (k_n - k_{n-1})k' \end{aligned} \quad (58)$$

in Fig. 4 ist ein Ausführungsbeispiel dargestellt, das auf der in (56) definierten Begrenzungsfunktion und auf der in (57) definierten Wiederherstellungsfunktion basiert. Bei diesem Ausführungsbeispiel ist weiterhin noch vorausgesetzt, dass das dem integrierenden Netzwerk 12 zugeführte Signal immer positiv ist, so dass die im Abschnitt E(3) angegebenen Ausdrücke (44), (45, 46) auch noch gelten. Diese in Fig. 14 dargestellte Anordnung weicht nun von der in Fig. 11 dargestellten Anordnung in den folgenden Punkten ab:

1. Die Vorbearbeitungsanordnung 8 liefert nun keine Zahlen $k_n - k_{n-1}$ und die Hilfsbegrenzungsanordnung 18 wird nun durch eine direkte Verbindung gebildet;

2. Die Nachbearbeitungsanordnung 9 ist nun mit einem Polaritätsdetektor 40 versehen, dessen Eingang an den Ausgang des Differentiationsnetzwerkes 15 angeschlossen ist, wobei der Ausgang über eine Torschaltung 40 an einen Eingang des Addierers 21 angeschlossen ist. Dieser Torschaltung 40 wird zugleich die Zahl k' zugeführt. Jeweils wenn $z'(n) - z'(n-1)$ positiv ist, liefert die Torschaltung 41 die Zahl Null und wird $\hat{z}(n) = z'(n) - z'(n-1)$. Jeweils wenn $z'(n) - z'(n-1)$ jedoch negativ ist, liefert die Torschaltung 41 die Zahl k' und wird $\hat{z}(n) = z'(n) - z'(n-1) + k'$. Ebenso wie die Hilfsbegrenzungsanordnung 18 wird nun auch die Hilfswiederherstellungsanordnung 20 durch eine direkte Verbindung gebildet.

3. Um dafür zu sorgen, dass für jedes beliebige Eingangssignal $x_a(t)$, für das $-V_{\max} < x_a(t) < +V_{\max}$ gilt, das dem integrierenden Netzwerk 12 zugeführte Signal immer positiv ist, ist die Vorbearbeitungsanordnung 8 mit einer Addieranordnung 42 versehen, der das Signal $x_a(t)$ zugeführt wird so wie ein konstantes Signal mit der Grösse V_{\max} . Am Ausgang dieser Addieranordnung 42 tritt also ein Signal $x_a'(t)$ auf, das immer positiv ist und für das gilt:

$$x_a'(t) = x_a(t) + V_{\max}$$

Zum Erzeugen des Signals $\hat{y}_a(t)$ und der Zahl $k_n - k_{n-1}$ kann die in Fig. 15 auf schematische Weise dargestellte Schaltungsanordnung verwendet werden. In dieser Schaltungsanordnung sind die Funktionen des integrierenden Netzwerkes 12 und die der Hilfsbegrenzungsanordnung 17 kombiniert. Diese Schaltungsanordnung enthält eine gesteuerte Stromquellenschaltung 22, der das Eingangssignal $x_a(t)$ als Steuersignal zugeführt wird. Diese Stromquellenschaltung liefert einen Strom I_0 , dessen absolute Grösse dem Absolutwert von $x_a(t)$ proportional ist und dessen Richtung durch die Polarität von $x_a(t)$ bestimmt wird. Der Strom I_0 , der geliefert wird, wenn $x_a(t)$ positiv ist, wird als Ladestrom bezeichnet, während als Entladestrom der Strom I_0 bezeichnet wird, der geliefert wird, wenn $x_a(t)$ negativ ist. Dieser Strom I_0 wird einem Kondensator C zugeführt, der zwischen einem Punkt 23 der Schaltungsanordnung und Erde liegt. Die Spannung am Kondensator C wird nun über einen Emitterfolger 24 dem Ausgang 25 dieser Schaltungsanordnung zugeführt, an der auf diese Weise das Restsignal $\hat{y}_a(t)$ auftritt.

Damit die in Fig. 13 dargestellte sägezahnförmige Kennlinie erhalten wird, ist der Punkt 23 über einen Schalter 26, der nur auf symbolische Weise angegeben ist, an eine Spannung entsprechend $+R/2$ angeschlossen. Dieser Punkt 23 ist weiterhin auch an einen Eingang einer Vergleichsanordnung 28 angeschlossen sowie an einen Eingang einer Vergleichsanordnung 29. Dem zweiten Eingang der Vergleichsanordnung 28 wird die Spannung $-R/2$ und dem zweiten Eingang der Vergleichsanordnung 29 die Spannung $+R/2$ zugeführt. Solange die Spannung am Kondensator C kleiner ist als $R/2$, liefert die Vergleichsanordnung 29 eine logische «0». Wird jedoch die Spannung am Kondensator C grösser als $+R/2$, so liefert die Vergleichsanordnung 29 eine logische «1». Die von der Vergleichsanordnung 29 gelieferten logischen Signale steuern den Schalter 27, derart, dass beim Auftreten einer logischen «0» dieser Schalter geöffnet (dargestellte Stellung) und beim Auftreten einer logischen «1» dieser Schalter geschlossen ist. Wenn sich der Schalter 27 schliesst, wird der Punkt 23 an eine Spannung entsprechend $-R/2$ gelegt, wodurch der Kondensator C sich entlädt bis zu dieser Spannung $-R/2$. Solange die Spannung am Kondensator C grösser ist als $-R/2$ liefert die Vergleichsanordnung 28 eine logische «0». Wird jedoch die Spannung am Kondensator C kleiner als $-R/2$, so liefert die Vergleichsanordnung 28 eine logische «1». Die von der Vergleichsanordnung 28 gelieferten logischen Signale steuern den Schalter 26, derart, dass beim Auftreten einer logischen «0» dieser Schalter geöffnet (dargestellte Stellung) und beim Auftreten einer logischen «1» dieser Schalter geschlossen ist. Wenn der Schalter 26 sich schliesst, wird der Punkt 23 an eine Spannung $R/2$ gelegt, wodurch sich der Kondensator C bis zu dieser Spannung $R/2$ auflädt. Der Ausgang der Vergleichsanordnung 29 ist weiterhin mit dem Vorwärtszähleingang 31 eines Vorwärts-Rückwärts-Zählers 30 verbunden. Jeweils, wenn diese Vergleichsanordnung 29 eine logische «1» abgibt, wird die Zählstellung dieses Zählers 30 um eine Einheit erhöht. Der Ausgang der Vergleichsanordnung 28 ist weiterhin mit dem Rückwärtszähleingang 32 des Zählers 30 verbunden. Jeweils wenn die Vergleichsanordnung 28 eine logische «1» abgibt, wird die Zählstellung des Zählers 30 um eine Einheit verringert. Dieser Zähler 30 ist weiterhin noch mit einem Ausgang 33 versehen sowie mit einem Rückstelleneingang 34. Dem genannten Rückstelleneingang 34 werden die Abtastimpulse zugeführt, die auch dem Hilfs-A/D-Wandler 5 zugeführt werden, so dass zu den Zeitpunkten nT , wo der A/D-Wandler ein Muster von $z_a(t)$ nimmt, dieser Zähler 30 in die Nullstellung gebracht wird. Kurze Zeit bevor dieses Rückstellen des Zählers 30 erfolgt, wird die Zählstellung dem in Fig. 11 dargestellten Multiplizierer 19 zugeführt. Dies ist in Fig. 15 auf schematische Weise mittels des Schalters 35 ange-

geben, der an den Ausgang 33 des Zählers 30 angeschlossen ist und der ebenfalls durch die Abtastimpulse gesteuert wird. Auf diese Weise wird am Ausgang dieses Schalters 35 die gewünschte Zahl $k_n - k_{n-1}$ erhalten.

In den Anordnungen, die in den Fig. 11 und 14 dargestellt sind, kann die Begrenzungsanordnung 17 auf die Art und Weise aufgebaut werden, wie dies in Fig. 15 dargestellt ist. Diese in Fig. 15 dargestellte Schaltungsanordnung weist jedoch den Nachteil auf, dass der Kondensator C jeweils nach dem Erreichen der Spannung $R/2$ oder der Spannung $-R/2$ in sehr kurzer Zeit entladen bzw. aufgeladen werden muss. Es ist oft einfacher, statt der in Fig. 13 dargestellten nicht kontinuierlichen Begrenzungsfunktion eine kontinuierliche Begrenzungsfunktion zu verwirklichen. Ein Beispiel einer kontinuierlichen Begrenzungsfunktion ist in Fig. 16 auf graphische Weise dargestellt. Wie aus dieser Figur hervorgeht, ist die Periode dieser kontinuierlichen Begrenzungsfunktion nun gleich $4V_{\max}$ und bei einem bestimmten Wert von $y_a(t)$ innerhalb einer bestimmten Periode nicht mehr eindeutig ein Wert von $y_a(t)$ bestimmt. Diese Mehrdeutigkeit lässt sich auf die Art und Weise lösen, wie dies in Fig. 17 dargestellt ist.

Das in Fig. 17 dargestellte bevorzugte Ausführungsbeispiel der erfindungsgemässen Anordnung entspricht grossenteils der Anordnung, die in Fig. 14 dargestellt ist, weicht jedoch an den folgenden Punkten davon ab.

1. Mit der Begrenzungsanordnung 17 ist nun eine Begrenzungsfunktion verbunden, deren Verlauf in Fig. 16 auf graphische Weise dargestellt ist.

2. Der Ausgang dieser Begrenzungsanordnung 17 ist nun auch an den Eingang eines differenzierenden Netzwerkes 43 angeschlossen. Der Ausgang des Netzwerkes 43 ist an den Eingang einer Quantisieranordnung 44 angeschlossen. Diese Quantisieranordnung 44 wird durch die Abtastimpulse gesteuert, die mit der Frequenz $f_s = 2Nf$ auftreten, und sie liefert jeweils zu einem Abtastzeitpunkt entweder die Zahl $+1$ oder die Zahl -1 , abhängig von der Tatsache, ob zu diesem Abtastzeitpunkt die Neigung des Ausgangssignals der Begrenzungsanordnung positiv oder negativ ist. Die auf diese Weise erzeugten Zahlen werden über eine Verzögerungsanordnung 45 einem Multiplizierer 46 zugeführt. Die Verzögerungszeit dieser Verzögerungsanordnung 45 entspricht der Zeit, die der Hilfs-A/D-Wandler 5 braucht, um einen Abtastwert $z_a(nT)$ von $z_a(t)$ in einer Zahl $z(n)$ umzuwandeln.

3. Zwischen dem Ausgang der Wiederherstellungsanordnung 20 und dem Differentiationsnetzwerk 15 liegt der genannte Multiplizierer 46.

Weil von der in Fig. 16 graphisch dargestellten Begrenzungsfunktion der Absolutwert der Neigung dieser Funktion gleich 1 ist, können die Begrenzungsanordnung 18 und die Wiederherstellungsanordnung 20 je wieder durch eine Verbindung gebildet werden.

In Fig. 18 ist detailliert ein Ausführungsbeispiel einer Vorbearbeitungsanordnung dargestellt, wie diese vorzugsweise in der Anordnung verwendet wird, die in Fig. 17 dargestellt ist, und mit der die in Fig. 16 graphisch dargestellte Begrenzungsfunktion verwirklicht wird. Diese Vorbearbeitungsanordnung enthält eine gesteuert erste Stromquellschaltung in Form eines npn-Transistors 47, dessen als Steuereingang wirksame Basis über einen Koppelkondensator 48 mit dem Eingang der Vorbearbeitungsanordnung gekoppelt ist, dem das Signal $x_a(t)$ zugeführt wird. Auch ist diese Basis über einen Widerstand 49 und eine Zener-Diode 50 an Erdpotential gelegt. Der Verbindungspunkt der Zener-Diode 50 und des Widerstandes 49 ist über eine Reihenschaltung aus den Widerständen 51 und 52 an die positive Klemme einer Gleichspannungsspeisequelle gelegt. Der Emitter des Transistors 47 liegt über einen Widerstand 53 ebenfalls an Erdpotential. Diese erste Strom-

quellschaltung liefert einen Ausgangsstrom I_0 , der als Speisestrom einem Differenzverstärker 54 zugeführt wird.

Der Differenzverstärker 54 wird durch zwei npn-Transistoren 55 und 56 gebildet, deren Emittierelektroden miteinander und mit dem Kollektor des Transistors 47 verbunden sind. Die Basis des Transistors 55 ist weiterhin mit dem gemeinsamen Verbindungspunkt der zwei Widerstände 51 und 52 verbunden. Der Basis des Transistors 56 wird das Ausgangssignal einer Schmitt-Triggerschaltung 57 zugeführt. Der Kollektor des Transistors 55 liegt am Eingang einer stromgesteuerten zweiten Stromquellschaltung 58, deren Ausgang an den Kollektor des Transistors 56 angeschlossen ist. Diese zweite Stromquellschaltung 58 ist als sogenannte Stromspiegelschaltung ausgebildet und wird insbesondere auf bekannte und in der Figur angegebene Art und Weise durch zwei pnp-Transistoren 59 und 60 und einen als Diode geschalteten Transistor 61 gebildet. Der Kollektor und die Basis der Transistoren 60 bzw. 59 sind dabei miteinander und mit dem Kollektor des Transistors 55 verbunden. Die Emittierelektroden der Transistoren 60 und 61 sind an die positive Klemme der Gleichspannungsspeisequelle angeschlossen. Der Ausgang dieser Stromspiegelschaltung 58 wird durch den Kollektor des Transistors 59 gebildet, und dieser ist mit dem Kollektor des Transistors 56 verbunden.

Die in Fig. 18 dargestellte Vorbearbeitungsanordnung ist weiterhin mit einem Integrationskondensator C versehen, der zwischen einem Punkt 62 und Erdpotential liegt. Dieser Punkt 62 ist weiterhin mit dem Kollektor des Transistors 56 sowie mit dem Eingang der Schmitt-Triggerschaltung 57 und mit dem Eingang eines Emitterfolgers 63 verbunden. Am Ausgang dieses Emitterfolgers tritt das Restsignal $\hat{y}_a(t)$ auf. Die Schmitt-Triggerschaltung ist dabei derart eingestellt, dass sie eine Spannung liefert, die den Transistoren 56 in den leitenden Zustand bringt, wenn die Spannung am Kondensator C höher wird als $+V_{\max}$. Wird jedoch die Spannung am Kondensator C niedriger als $-V_{\max}$, so liefert diese Schmitt-Triggerschaltung eine Ausgangsspannung, die den Transistor 56 sperrt. Wenn der Transistor 56 gesperrt ist, ist der Transistor 55 leitend, so dass in dem Kollektorkreis des Transistors 55 und folglich auch in dem Kollektorkreis des Transistors 59 ein Strom I_1 fließt, der als Ladestrom dem Kondensator C zugeführt wird. Wenn der Transistor 56 leitend ist, ist der Transistor 55 gesperrt. In den Kollektorkreisen der Transistoren 55 und 59 fließt nun kein Strom. In dem Kollektorkreis des Transistors 56 fließt nun ein Strom I_2 , der als Entladestrom dem Kondensator C zugeführt wird. Die Grösse jedes der Ströme I_1 und I_2 wird durch die Grösse von I_0 bestimmt. Dieser Strom I_0 ist seinerseits wieder der Spannung an der Basis des Transistors 47 proportional, und diese Spannung entspricht der Eingangsspannung $x_a(t)$ zuzüglich einer Spannung V_{50} an der Zener-Diode 50. Durch eine genaue Bemessung der Widerstände 49, 51 und 52 entspricht die Spannung V_{50} dem Wert V_{\max} , so dass die Basisspannung des Transistors 47 dem Wert $x_a'(t) = x_a(t) + V_{\max}$ entspricht.

Ausser dem Restsignal $\hat{y}_2(t)$ liefert diese in Fig. 18 dargestellte Vorbearbeitungsanordnung auch ein Signal, das dem Signal entspricht, das am Ausgang der in Fig. 17 dargestellten Quantisieranordnung 44 auftritt. In dieser Anordnung nach Fig. 18 tritt das gemeinte Signal nämlich am Ausgang der Schmitt-Triggerschaltung 57 auf. Der genannte Ausgang wird nun ausserdem über einen Emitterfolger 64 und eine Abtastanordnung 65 an den Eingang des Verzögerungsnetzwerkes 45 angeschlossen. Diese Abtastanordnung 65 wird wieder durch die Abtastimpulse gesteuert.

Zum Schluss wird folgendes bemerkt:

1. Ausser den obenstehend eingehend beschriebenen Begrenzungsfunktionen sind, wie bereits erwähnt, noch eine Vielzahl anderer Begrenzungsfunktionen anwendbar. Wie aus

dem Obenstehenden hervorgeht, ist es vorteilhaft, für diese Begrenzungsfunktion zu fordern, dass sie periodisch und innerhalb jeder Periode invertierbar sind. Ausser den obenstehend bereits beschriebenen Funktionen ist ein besonders interessantes Beispiel einer derartigen Funktion die Funktion:

$$z_a(t) = V_{\max}(\sin y_a(t)/2V_{\max}\pi) \quad (59)$$

Stellt diese Funktion nun die Begrenzungsfunktion der Begrenzungsanordnung 13 dar, die in der Vorbearbeitungsanordnung verwendet wird, die in Fig. 14 dargestellt ist, so gilt für das Ausgangssignal $z_a(t)$ dieser Vorbearbeitungsanordnung insbesondere:

$$z_a(t) = V_{\max}\sin(\pi/2T\{t + \int_0^t x_a(\tau)/V_{\max}d\tau\}) \quad (60)$$

Mit $\pi/(2T) = \omega_0$ ist (60) die mathematische Darstellung eines frequenzmodulierten Signals mit der Trägerfrequenz $\omega_0/2\pi$ und mit einem Frequenzhub $\omega_0/2\pi$. Dies bedeutet, dass die Vorbearbeitungsanordnung als FM-Modulator ausgebildet werden kann.

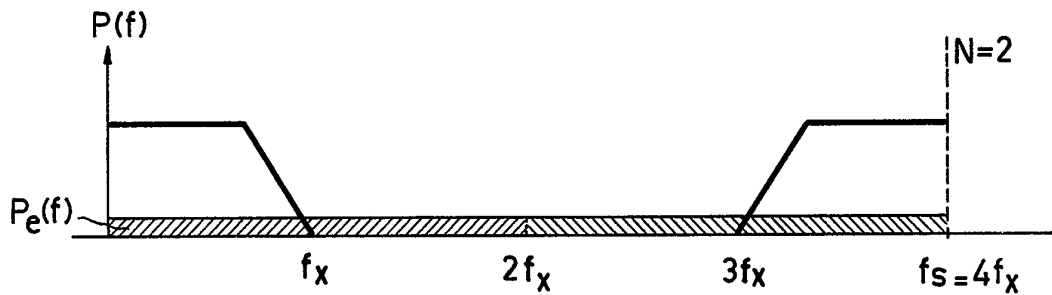
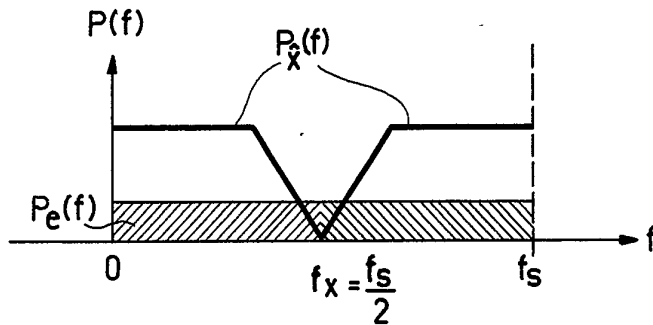
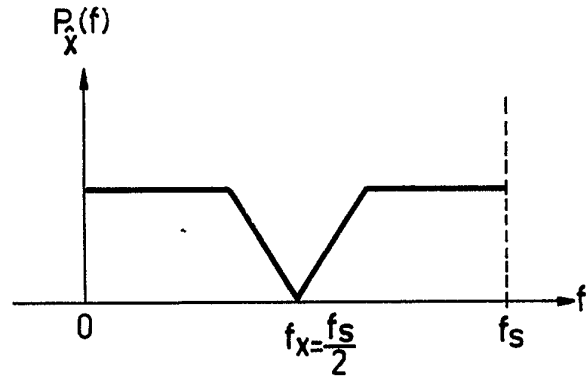
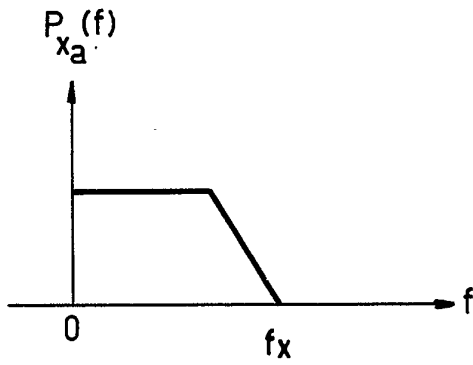
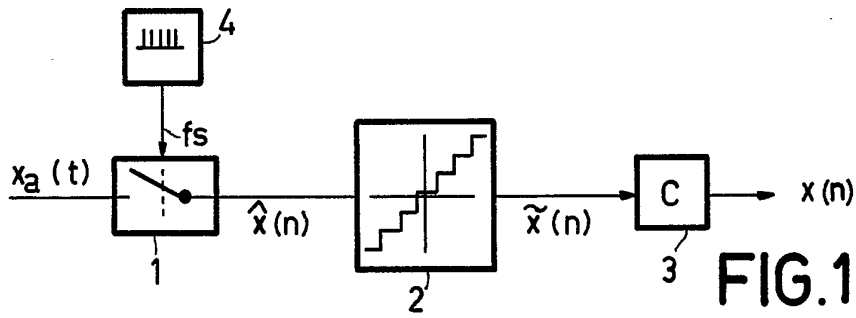
2. Wie im Ausdruck (23) angegeben, ist $z(n)$ dem Wert $x_a(nT - T/2)$ proportional. Durch Verwendung einer Abtast- und Halteschaltung in der Vorbearbeitungsanordnung 8 kann dafür gesorgt werden, dass $z(n)$ dem Wert $x_a(nT)$ proportional wird. In diesen Anordnungen, die in den Fig. 8 und 11 dargestellt sind, kann die gemeinte Abtast- und Halteschaltung derart an den Eingang des integrierenden Netzwerkes 12 angeschlossen werden, dass $x_a(t)$ über diese Schaltungsanordnung diesem integrierenden Netzwerk 12 zugeführt wird, so dass dann gilt:

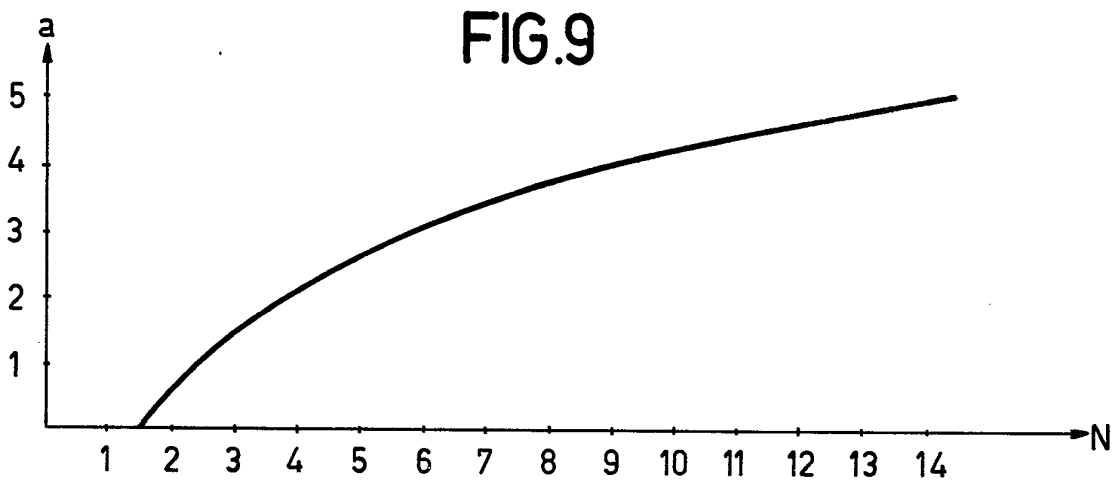
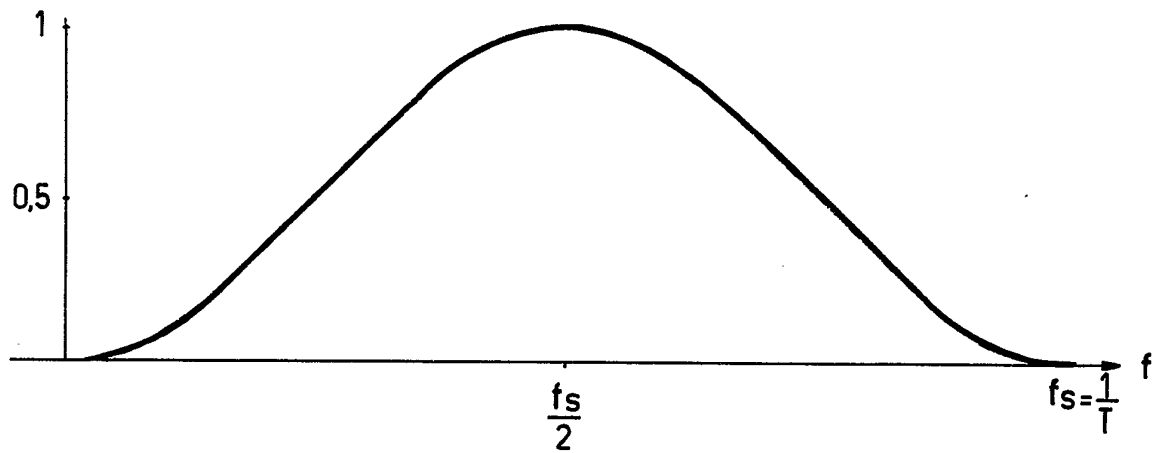
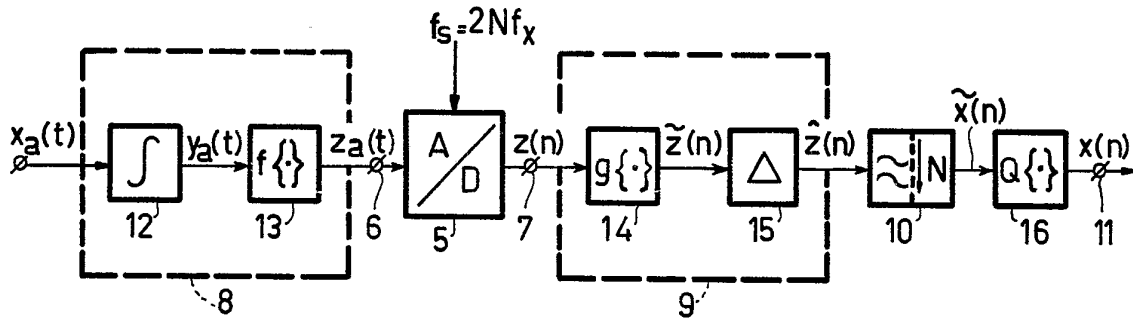
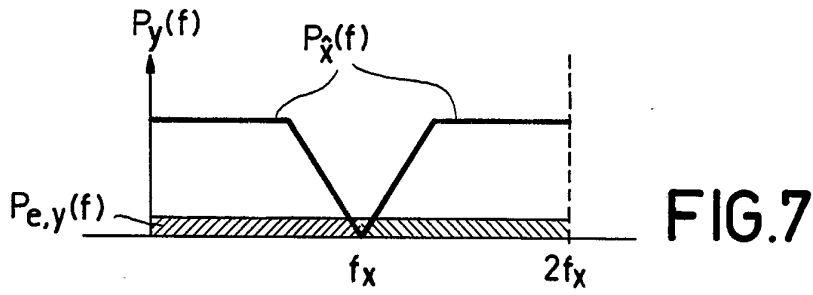
$$\hat{z}(n)V_{\max} = x_a(nT) + r(n) - r(n-1).$$

In den Anordnungen, die in den Fig. 14 und 17 dargestellt

sind, kann die gemeinte Abtast- und Halteschaltung zwischen den Eingang der Anordnung und den Eingang der Addieranordnung 42 aufgenommen werden, aber auch zwischen den Ausgang der Addieranordnung 42 und den Eingang des integrierenden Netzwerkes 12.

3. Aus Fig. 10 lässt sich der Wert von N ablesen, der erforderlich ist, um mit dem Wandler nach der Erfindung, die mit einem b -Bits-Hilfs-A/D-Wandler ausgebildet ist, $(b+a)$ -Bit-Kodewörter zu erhalten. Beispielsweise gilt für $a=4$, dass $N=9,2$ gewählt werden muss. Dies bedeutet, dass, wenn $x(n)$ ein 16-Bit-Kodewort sein muss, dann ein 12-Bit-Hilfs-A/D-Wandler angewandt werden muss, der jedoch noch relativ teuer sein kann. Es ist jedoch möglich, bei demselben Wert von N die 16-Bits-Kodewörter zu erhalten durch Verwendung eines Hilfs-A/D-Wandlers, der Kodewörter liefert, die noch weniger als 12 Bits enthalten. Dies kann mit jeder der obenstehend beschriebenen Anordnungen erreicht werden, und zwar dadurch, dass eine derartige Anordnung auf bekannte Weise «verschachtelt» wird. Dadurch, dass beispielsweise die in Fig. 17 dargestellte Anordnung verschachtelt wird, wird die in Fig. 19 dargestellte Anordnung erhalten. In dieser in Fig. 19 dargestellte Anordnung wird das analoge Signal $x_a(t)$ über eine Reihenschaltung von M Vorbearbeitungsanordnungen 8(1), 8(2), ..., 8(M) dem Hilfs-A/D-Wandler 5 zugeführt. Die von diesem Hilfs-A/D-Wandler 5 gelieferten Kodewörter $z_3(n)$ werden ihrerseits über eine Reihenschaltung von M Nachbearbeitungsanordnungen 9(1), 9(2), ..., 9(M) dem Digitalfilter 10 zugeführt. In der Anordnung, die in Fig. 19 dargestellt ist, ist M gleich drei. Die drei Vorbearbeitungsanordnungen 8(1), 8(2) und 8(3) sind je so aufgebaut wie die in Fig. 17 dargestellte Vorbearbeitungsanordnung, und es wird vorausgesetzt, dass sie je entsprechend der Schlussbemerkung 2 mit einer Abtast- und Halteschaltung versehen sind. Auch die drei Nachbearbeitungsanordnungen 9(1), 9(2) und 9(3) sind je aufgebaut, wie die in Fig. 17 dargestellte Nachbearbeitungsanordnung.





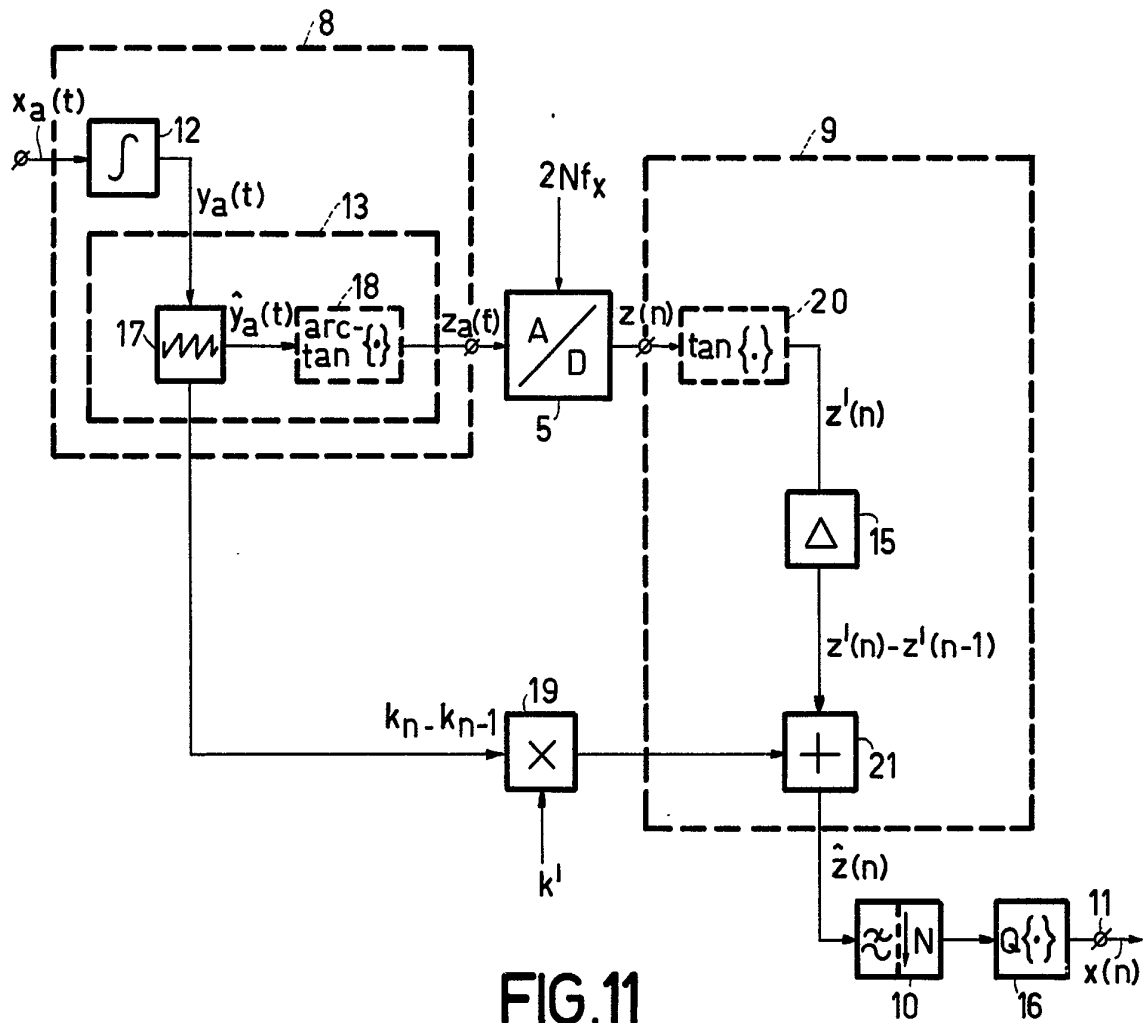


FIG.11

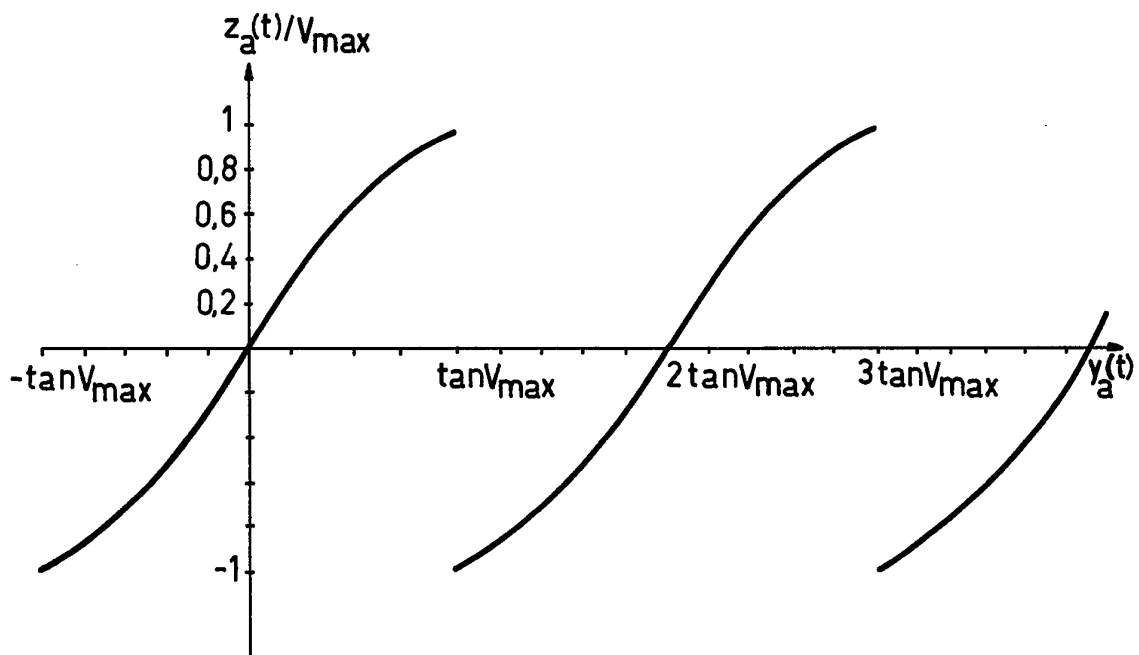


FIG.12

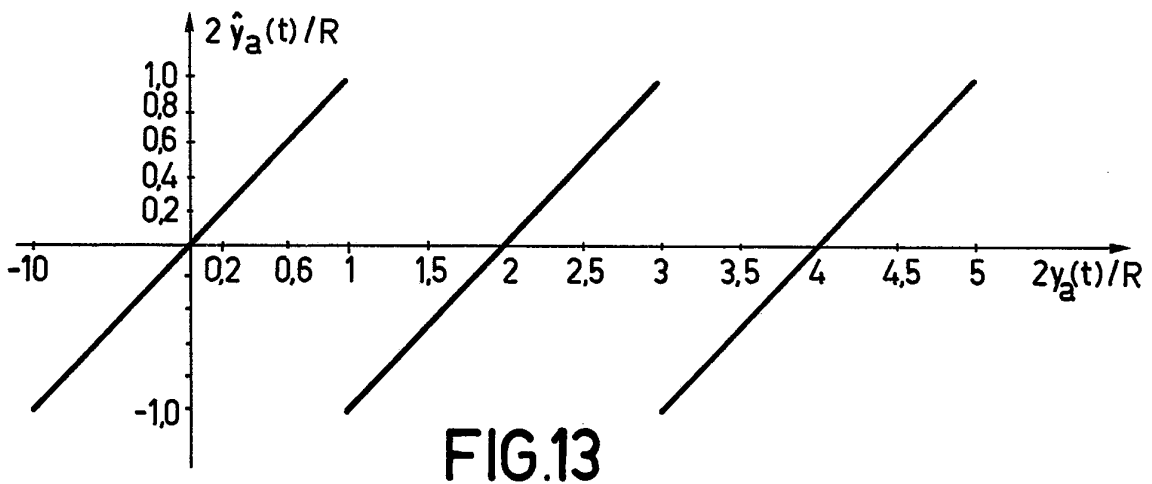


FIG.13

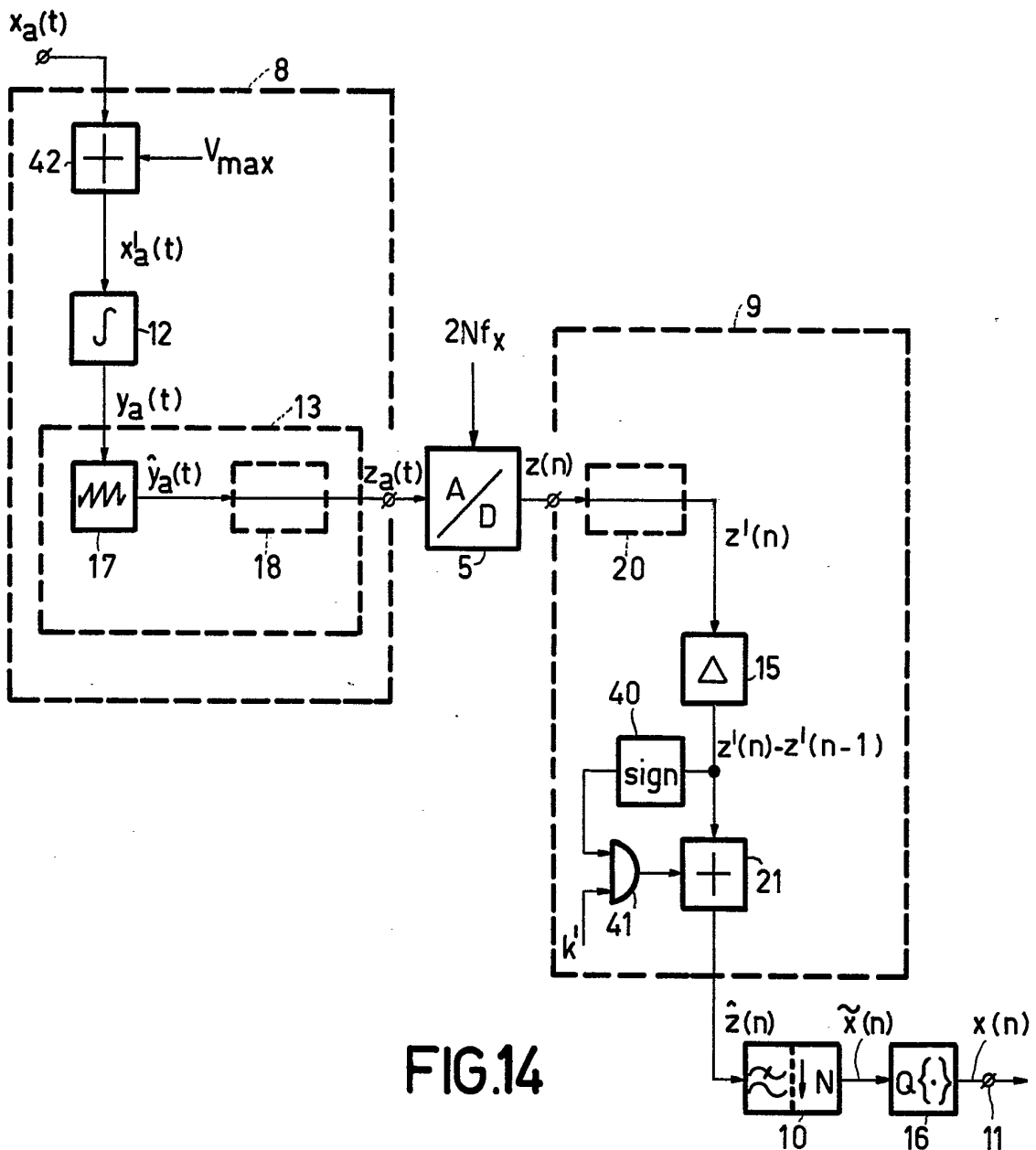


FIG.14

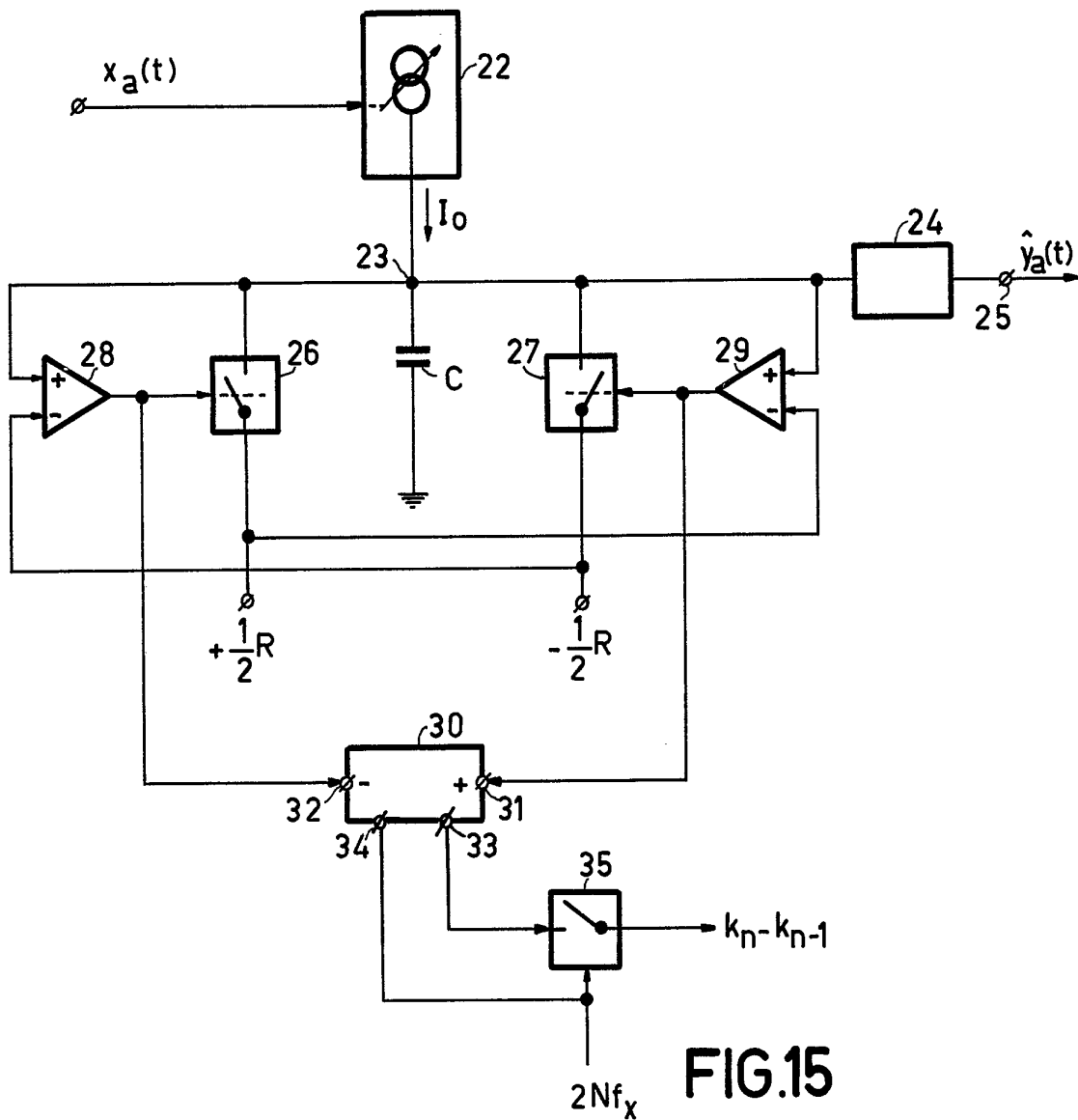


FIG.15

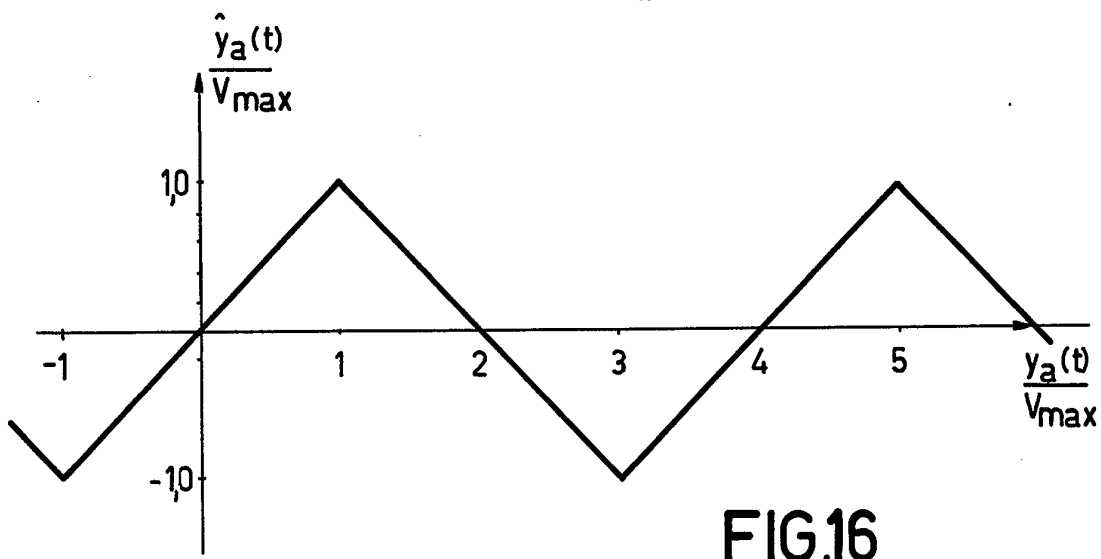


FIG.16

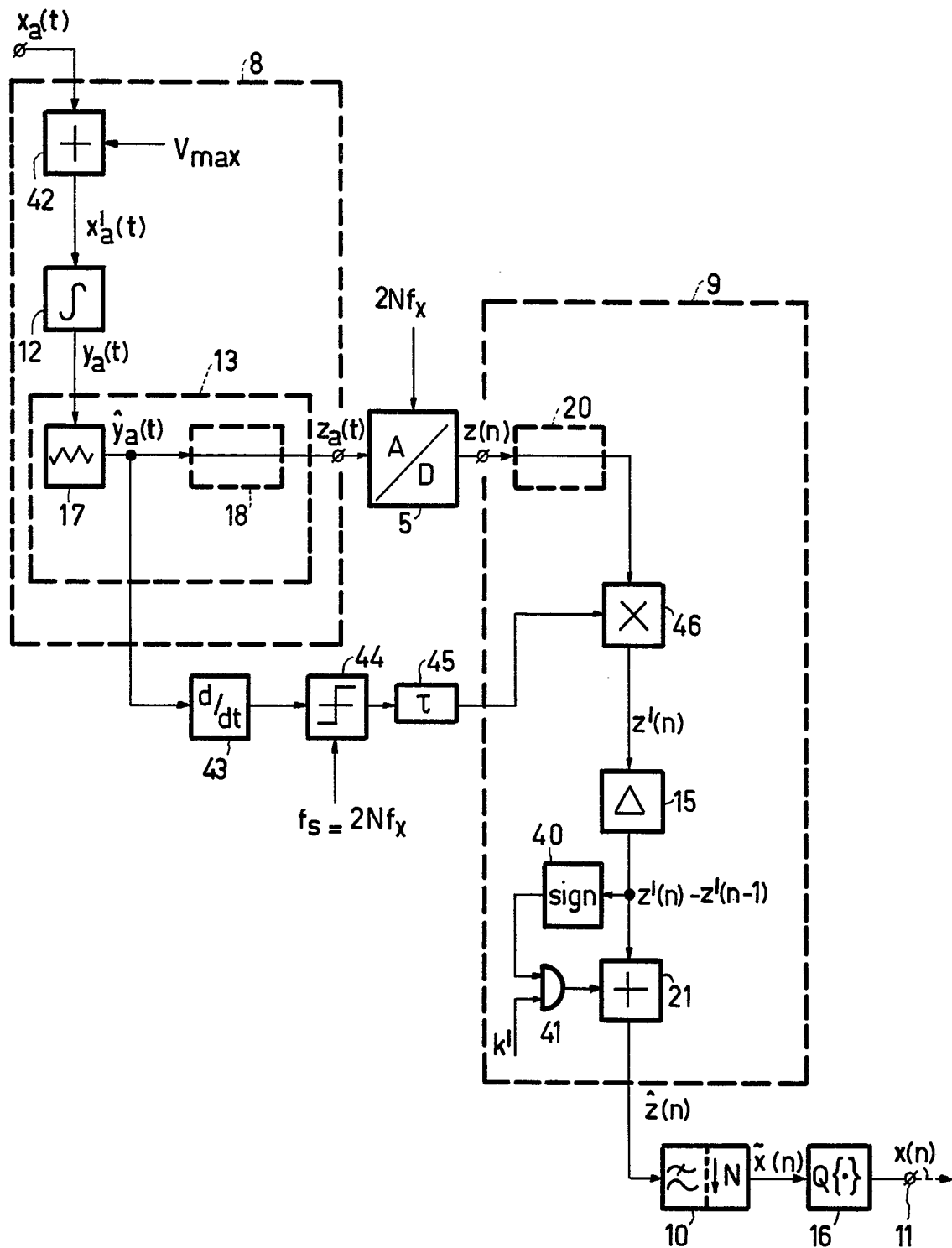


FIG.17

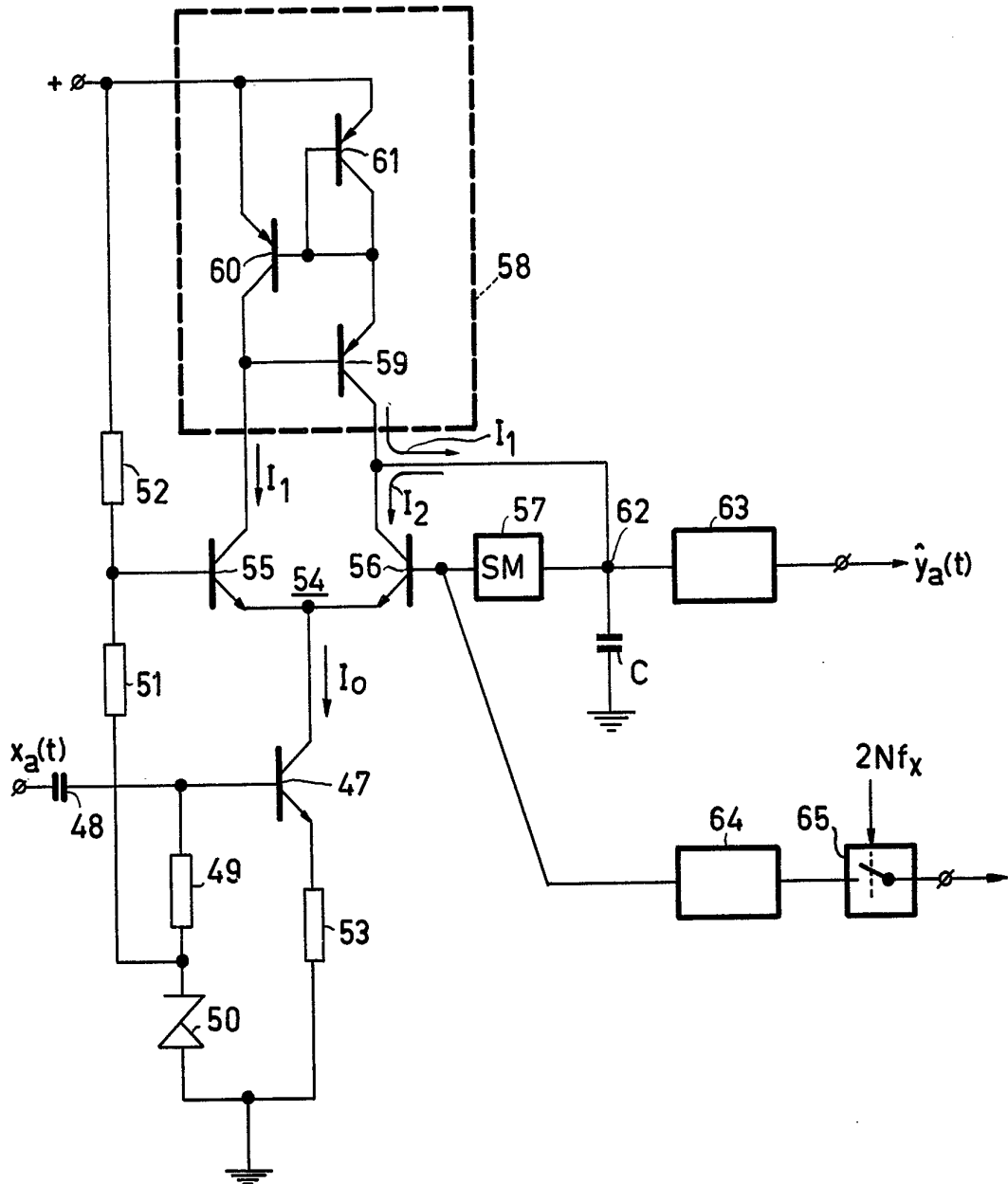


FIG.18

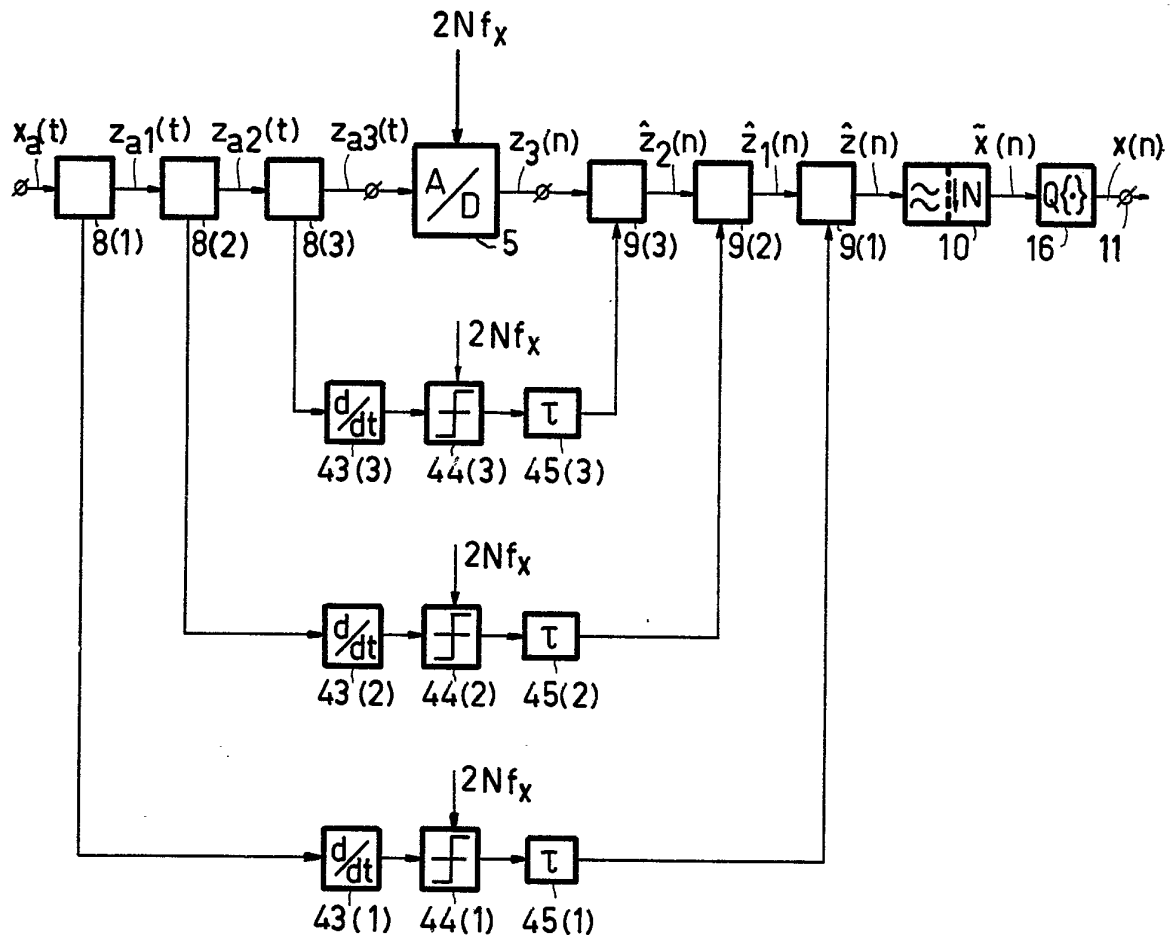


FIG.19