

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】令和6年10月7日(2024.10.7)

【国際公開番号】WO2023/120403
 【出願番号】特願2023-569388(P2023-569388)

【国際特許分類】

G 0 6 F 17/16(2006.01)

G 0 6 F 17/10(2006.01)

G 0 6 F 7/24(2006.01)

10

【F I】

G 0 6 F 17/16 P

G 0 6 F 17/10 S

G 0 6 F 7/24 Z

【手続補正書】

【提出日】令和5年10月20日(2023.10.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

20

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

3入力バイライン浮動小数点積和演算器とローカルメモリから構成される演算ユニットであって、

積和演算器は、インデックスレジスタとデータレジスタを組にした第1の入力レジスタ及び第2の入力レジスタ、データレジスタである第3の入力レジスタ及び出力レジスタを備え、

積和演算器の第1の入力レジスタ及び第2の入力レジスタには、ローカルメモリから読み出したインデックス値Aとインデックス値Bが各インデックスレジスタに格納され、ローカルメモリから読み出したデータAとデータBが各データレジスタに格納され、

インデックス値Aとインデックス値Bが比較され、値が一致する場合には、データAとデータBの乗算値と第3の入力レジスタのデータ値が加算されて積和演算器の出力レジスタに格納されると共に、第3の入力レジスタに戻り、

インデックス値Aとインデックス値Bの値が一致しない場合には、データAとデータBの乗算をしないで、第3の入力レジスタのデータ値をそのまま出力レジスタに格納されると共に、第3の入力レジスタに戻ることとを特徴とする演算ユニット。

30

【請求項2】

疎行列Aと疎行列Bの行列積の演算において、インデックス値Aは疎行列の列番号で、インデックス値Bは疎行列の転置行列の列番号であり、

各疎行列におけるゼロ値の要素が圧縮され、非ゼロ値の要素がインデックス値とデータを組としてローカルメモリに記憶される請求項1に記載の演算ユニット。

40

【請求項3】

クロック信号のタイミングn+1で、積和演算器の第1段の第1の入力レジスタ及び第2の入力レジスタには、ローカルメモリから読み出したインデックス値Aとインデックス値Bが各インデックスレジスタに格納され、ローカルメモリから読み出したデータAとデータBが各データレジスタに格納され、

クロック信号のタイミングn+2で、インデックス値Aとインデックス値Bが比較され、値が異なる場合には定数Cが積和演算器の第1段の出力データレジスタに格納され、値

50

が一致する場合にはデータ A とデータ B の乗算が実行されて積和演算器の第 1 段の出力データレジスタに格納され、

クロック信号のタイミング $n + 3$ で、積和演算器の第 2 段の出力データレジスタに加算結果が伝搬され、

クロック信号のタイミング $n + 4$ で、積和演算器の第 3 段の出力データレジスタに正規化済の積和演算結果が伝搬され、

クロック信号のタイミング $n + 5$ で、積和演算器の第 3 段の出力データレジスタから積和演算器の第 1 段の第 3 の入力レジスタであるデータレジスタに戻される、ことを特徴とする請求項 1 又は 2 に記載の演算ユニット。

【請求項 4】

入力ベースアドレスレジスタと入力オフセットアドレスレジスタを含む第 1 のアドレス計算機構および第 2 のアドレス計算機構を備え、

第 1 および第 2 のアドレス計算機構は、各々の入力ベースアドレスレジスタおよび入力オフセットアドレスレジスタにアドレス情報をロードし、ローカルメモリから読み出したインデックス値 A とインデックス値 B を比較し、第 1 のアドレス計算機構は、 $A = B$ の場合に前記入力ベースアドレスレジスタに次要素参照に必要な値を加算し、第 2 のアドレス計算機構は、 $A \neq B$ の場合に前記入力ベースアドレスレジスタに次要素参照に必要な値を加算し、アドレス加算結果を前記入力ベースアドレスレジスタに戻すことを特徴とする請求項 1 ~ 3 の何れかに記載の演算ユニット。

【請求項 5】

クロック信号の第 1 のタイミングで、各々の入力ベースアドレスレジスタおよび入力オフセットアドレスレジスタにアドレス情報をロードし、

クロック信号の第 2 のタイミングで、ローカルメモリから読み出したインデックス値 A とインデックス値 B を比較し、第 1 のアドレス計算機構は、 $A = B$ の場合に前記入力ベースアドレスレジスタに次要素参照に必要な値を加算し、第 2 のアドレス計算機構は、 $A \neq B$ の場合に前記入力ベースアドレスレジスタに次要素参照に必要な値を加算し、

クロック信号の第 3 および第 4 のタイミングで、アドレス加算結果をデータ保持レジスタに伝搬させ、

クロック信号の次のタイミングで、前記データ保持レジスタの内容を前記入力ベースアドレスレジスタに戻すことを特徴とする請求項 4 に記載の演算ユニット。

【請求項 6】

第 1 及び第 2 のアドレス計算機構は、ローカルメモリを複数空間に分割するアドレスマスク機構を備え、

クロック信号の第 1 のタイミングで、前記入力オフセットアドレスレジスタに値をセットし、

クロック信号の第 2 のタイミングで、前記入力オフセットアドレスレジスタの値をデータ保持レジスタに伝搬させ、

クロック信号の第 3 のタイミングで、各々の前記アドレス加算結果と前記入力オフセットアドレスレジスタの値を加算し、

クロック信号の第 4 のタイミングで、前記アドレスマスク機構により互いに異なる空間に分離してローカルメモリ参照のためのアドレスラッチに格納し、

クロック信号の第 5 のタイミングで、ローカルメモリから読み出したインデックスとデータの組をメモリ出力レジスタに格納し、

クロック信号の次のタイミングで、前記メモリ出力レジスタから読み出し、前記インデックス値として利用することを特徴とする請求項 5 の演算ユニット。

【請求項 7】

3 入力パイプライン浮動小数点積和演算器とローカルメモリから構成される演算ユニットを用いる演算方法であって、

インデックスレジスタとデータレジスタを組にした第 1 の入力レジスタ及び第 2 の入力レジスタ、データレジスタである第 3 の入力レジスタ及び出力レジスタを備える積和演算

10

20

30

40

50

器を用い、

積和演算器の第 1 の入力レジスタ及び第 2 の入力レジスタには、ローカルメモリから読み出したインデックス値 A とインデックス値 B が各インデックスレジスタに格納され、ローカルメモリから読み出したデータ A とデータ B が各データレジスタに格納されるステップと、

インデックス値 A とインデックス値 B が比較されるステップと、

インデックス値 A とインデックス値 B が一致する場合には、データ A とデータ B の乗算値と第 3 の入力レジスタのデータ値が加算されて積和演算器の出力レジスタに格納されると共に、第 3 の入力レジスタに戻すステップと、

インデックス値 A とインデックス値 B の値が一致しない場合には、データ A とデータ B の乗算をしないでスキップし、第 3 の入力レジスタのデータ値をそのまま出力レジスタに格納されると共に、第 3 の入力レジスタに戻すステップ、を備えることを特徴とする演算方法。

10

【請求項 8】

前記演算方法が、疎行列 A と疎行列 B の行列積の演算方法であって、

インデックス値 A は疎行列の列番号で、インデックス値 B は疎行列の転置行列の列番号で、各疎行列におけるゼロ値の要素が圧縮されるステップと、

各疎行列における非ゼロ値の要素がインデックス値とデータを組としてローカルメモリに記憶されるステップを更に備えることを特徴とする請求項 7 に記載の演算方法。

【請求項 9】

各々の入力ベースアドレスレジスタおよび入力オフセットアドレスレジスタにアドレス情報をロードするステップと、

ローカルメモリから読み出したインデックス値 A とインデックス値 B を比較するステップと、

第 1 のアドレス計算機構が、A B の場合に前記入力ベースアドレスレジスタに次要素参照に必要な値を加算するステップ、或いは、第 2 のアドレス計算機構が、A B の場合に前記入力ベースアドレスレジスタに次要素参照に必要な値を加算するステップと、

アドレス加算結果を前記入力ベースアドレスレジスタに戻すステップを更に備えることを特徴とする請求項 7 又は 8 に記載の演算方法。

【請求項 10】

3 入力パイプライン浮動小数点積和演算器とローカルメモリから構成される演算ユニットを用いるマージソートの演算方法であって、

インデックスレジスタとデータレジスタを組にした第 1 の入力レジスタ及び第 2 の入力レジスタ、データレジスタである第 3 の入力レジスタ及び出力レジスタを備える積和演算器を用い、

積和演算器の第 1 の入力レジスタ及び第 2 の入力レジスタには、ローカルメモリから読み出したインデックス値 A とインデックス値 B が各インデックスレジスタに格納され、ローカルメモリから読み出したデータ A とデータ B が各データレジスタに格納されるステップと、

インデックス値 A とインデックス値 B が比較されるステップと、

インデックス値 A とインデックス値 B のデータの読み出し結果の大小関係に従い、後続の演算ユニットにローカルメモリの 2 つの読み出しアドレスと 2 つの読み出しデータを送り、アドレスとデータの各々の大小関係に従い、何れかのデータをストアするステップと

40

、マージソート全体の $\log N$ 段のうち、1 段分のソート結果をローカルメモリにストアするステップと、

ローカルメモリのストア先アドレスを単調に増加するステップ、を備えることを特徴とする演算方法。

【請求項 11】

3 入力パイプライン浮動小数点積和演算器とローカルメモリから構成される演算ユニット

50

トであって、

入力ベースアドレスレジスタと入力オフセットアドレスレジスタを含む第1のアドレス計算機構および第2のアドレス計算機構を備え、

第1および第2のアドレス計算機構は、各々の入力ベースアドレスレジスタおよび入力オフセットアドレスレジスタにアドレス情報をロードし、ローカルメモリから読み出したインデックス値Aとインデックス値Bを比較し、第1のアドレス計算機構は、A=Bの場合に前記入力ベースアドレスレジスタに次要素参照に必要な値を加算し、第2のアドレス計算機構は、A=Bの場合に前記入力ベースアドレスレジスタに次要素参照に必要な値を加算し、アドレス加算結果を前記入力ベースアドレスレジスタに戻り、

積和演算器は、インデックスレジスタとデータレジスタを組にした第1の入力レジスタ及び第2の入力レジスタ、データレジスタである第3の入力レジスタ及び出力レジスタを備え、

積和演算器の第1の入力レジスタ及び第2の入力レジスタには、ローカルメモリから読み出したインデックス値Aとインデックス値Bが各インデックスレジスタに格納され、ローカルメモリから読み出したデータAとデータBが各データレジスタに格納され、

インデックス値Aとインデックス値Bが比較され、値が一致する場合には、データAとデータBの乗算値と第3の入力レジスタのデータ値が加算されて積和演算器の出力レジスタに格納されると共に、第3の入力レジスタに戻ることを特徴とする演算ユニット。

【請求項12】

3入力パイプライン浮動小数点積和演算器とローカルメモリから構成される演算ユニットを用いる演算方法であって、

各々の入力ベースアドレスレジスタおよび入力オフセットアドレスレジスタにアドレス情報をロードするステップと、

ローカルメモリから読み出したインデックス値Aとインデックス値Bを比較するステップと、

第1のアドレス計算機構が、A=Bの場合に前記入力ベースアドレスレジスタに次要素参照に必要な値を加算するステップ、或いは、第2のアドレス計算機構が、A=Bの場合に前記入力ベースアドレスレジスタに次要素参照に必要な値を加算するステップと、

アドレス加算結果を前記入力ベースアドレスレジスタに戻すステップと、

インデックスレジスタとデータレジスタを組にした第1の入力レジスタ及び第2の入力レジスタ、データレジスタである第3の入力レジスタ及び出力レジスタを備える積和演算器を用い、ローカルメモリから読み出したインデックス値Aとインデックス値Bが各インデックスレジスタに格納され、ローカルメモリから読み出したデータAとデータBが各データレジスタに格納されるステップと、

インデックス値Aとインデックス値Bが比較されるステップと、

インデックス値Aとインデックス値Bが一致する場合には、データAとデータBの乗算値と第3の入力レジスタのデータ値が加算されて積和演算器の出力レジスタに格納されると共に、第3の入力レジスタに戻すステップ、を備えることを特徴とする演算方法。

10

20

30

40

50