

申請日期	91-8-17
案 號	091117763
類 別	G06F 7/00

A4  
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書 I224248  
~~新 型~~

一、發明名稱	中 文	具有多重低功率模式的微處理器和用於該微處理器的模擬裝置
	英 文	MICROPROCESSOR WITH MULTIPLE LOW POWER MODES AND EMULATION APPARATUS FOR SAID MICROPROCESSOR
二、發明人	姓 名	約瑟夫 W. 翠西斯 JOSEPH W. TRIECE
	國 籍	美國 U.S.A.
住、居所		美國亞歷桑那州瑪利寇帕郡鳳凰城市南7路15610號 15610 SOUTH SEVENTH PLACE, MARICOPA COUNTY PHOENIX, AZ 85048-6308, U.S.A.
	姓 名 (名稱)	美商微晶片科技公司 MICROCHIP TECHNOLOGY INCORPORATED
三、申請人	國 籍	美國 U.S.A.
	住、居所 (事務所)	美國亞歷桑那州查德勒市西查德勒路2355號 2355 WEST CHANDLER BLVD, CHANDLER, AZ 85224-6199, U.S.A.
代 表 人 姓 名		馬利 K. 西門 MARY K. SIMMONS

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

美國 2001年08月14日 09/929,622 有 無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝  
訂  
線

## 五、發明說明(1)

本發明通常關於具有以低功率模式運算能力之微處理器，特別是關於在微控制器(microcontrollers)與微處理器內用於控制功率消耗的配置與方法。並且，本發明關於一種用於模擬(emulate)包含該低功率模式之微處理器的方法與裝置。

微處理器，特別是微控制器於使用如電池等獨立電源的許多應用中來被使用。許多微處理器提供特定量測(measurement)的方式來節省能源以到達電池電量(battery life)的程度。例如，許多微處理器能夠以不同時鐘速度來執行。因此，一特別單元可提供數種系統時鐘以與微處理器核心(core)時鐘輸入連接。並且，於一微處理器的完全靜態具體實施例中，該系統時鐘可完全被關閉以進而保存更多的電池電量。然而，本技藝所已知之低功率模式對於使用電池做為其主要電力來源的微處理器之應用並非具有足夠的彈性。

因此，本發明揭示可克服前文所述問題與現存技術其他缺點與缺陷之典範具體實施例。

於第一典範具體實施例中，一微處理器包含接收第一時鐘訊號之中央處理單元、接收第二時鐘訊號之數個周邊、從數個時鐘訊號選出該第一時鐘訊號之第一選擇單元與從數個時鐘訊號選出該第二時鐘訊號之第二選擇單元。該中央處理單元包含一執行單元當執行一低功率模式指令以選擇該中央處理單元與該周邊單元的時鐘訊號時來控制該選擇單元。

## 五、發明說明(2)

微處理器之另一典範具體實施例進一步還包含低功率模式暫存器以決定與該選擇單元耦合之低功率模式。仍另一改良(improvement)還包含與該低功率模式暫存器耦合之遮罩(mask)暫存器以限制對該低功率模式暫存器的存取。

該選擇單元可包含與該低功率模式暫存器耦合之多工器(multiplexer)以控制接收數個時鐘訊號之選擇開關(select switch)的選擇開關控制單元。仍另一具體實施例包含一同步器(synchronizer)單元以同步化該時鐘訊號的切換。另一具體實施例與該低功率模式暫存器耦合之控制器邏輯以用於控制接收數個時鐘訊號之選擇開關的選擇開關控制單元。

該複數個時鐘訊號可由內部、外部、或部分地內部之震盪器(oscillator)單元所產生。進而，於另一典範具體實施例中，一可程式化除法器單元可被用來提供各式時鐘訊號。震盪器單元可以是比該系統時鐘震盪器具有較低頻率之低功率震盪器。

於仍另一典範具體實施例中，該微處理器進一步包含一監視計時器(watchdog timer)以產生用於設定預定時鐘而來饋(fed)入該選擇單元之控制訊號。

一包含一個或更多上述特徵之系統提供關於改進使用不同功率模式的效率性與多樣性(versatility)之高度改良彈性(flexibility)。例如在許多應用中，周邊單元於中央處理單元完全關閉時必須能夠全然地運作。本具體實施例可輕易地延伸到多重選擇單元，因此不同的周邊可根據其所對

## 五、發明說明(3)

應規格來接收不同的時鐘訊號。

仍另一典範具體實施例顯示包含一第一微處理器之微處理器模擬單元，其包含：於執行到一低功率指令時接收一第一時鐘訊號並且產生一低功率模式訊號之中央處理單元。並且，一第一選擇單元被提供來從數個時鐘訊號中選出該第一時鐘訊號以及一第一暫存器(register)與該選擇單元耦合以用來儲存一低功率模式數值。提供於該中央處理單元內之一執行(execution)單元以當執行到一低功率指令時來控制該選擇單元。該微處理器模擬單元進一步包含一具有停用(deactivated)中央處理單元與接收一第二時鐘訊號之複數個周邊的第二微處理器。並且，一第二選擇單元被提供來從數個時鐘訊號中選出該第二時鐘訊號並且一第二暫存器與該選擇單元耦合以儲存一低功率模式數值。第一與第二暫存器以兩者同時被寫入的方式來耦合。一控制單元接收該低功率模式訊號以將該第一暫存器的資料移轉到該第二暫存器與控制該第二選擇單元。

一種用於設定中央處理單元與位於微控制器配置內至少一周邊單元的時鐘訊號之方法，包含下列步驟：

- 選擇一第一與第二時鐘數值；
- 執行一低功率指令；
- 將該第一時鐘訊號與該中央處理單元耦合；與
- 將該第二時鐘訊號與該周邊單元耦合。

另一種模擬具有數種低功率模式微處理器的方法，包含下列步驟：

## 五、發明說明(4)

- 提供具有一第一低功率模式暫存器之微處理器；
- 提供具有一第二低功率模式暫存器之微控制器；
- 停用該微控制器之中央處理單元並且將該微處理器與該微控制器耦合以形成一單一微控制器；

-於執行位於該微處理器內之低功率模式指令時，根據該低功率模式暫存器內容來將一時鐘訊號與該微處理器耦合並且根據該低功率模式暫存器內容來將一時鐘訊號與該微控制器耦合。

本揭示更完整的理解與優點可藉由參照以下描述並與所伴隨圖式聯用來獲知，其中類似的元件參照編號指示著類似的特徵，並且其中：

圖1顯示根據本發明顯示一微控制器之典範具體實施例的區塊圖；

圖2更詳細地繪出用於該微處理器核心的時鐘選擇單元之典範具體實施例；

圖3A為用於根據圖1周邊的時鐘選擇單元之典範具體實施例；

圖3B顯示用於圖2與3A中所示選擇單元之同步器(synchronizer)電路具體實施例；

圖3C顯示用於產生多重時鐘訊號之震盪器(oscillator)配置；

圖4繪出根據本發明之另一典範具體實施例；

圖5為根據本發明顯示不同功率安全(safe)模式的狀態圖(state diagram)；

## 五、發明說明(5)

圖6為根據本發明顯示另一具體實施例的流程圖；

圖7為根據本申請案與一微控制器頭端(header)板耦合之模擬器區塊圖。

換到圖式，現在將描述本申請案之典範具體實施例。於圖1，元件參考編號100顯示一微處理器或微控制器的中央處理單元。中央處理單元100透過匯流排104與一記憶體單元110耦合。為了將中央處理單元100與多重周邊單元耦合，提供一匯流排140。中央處理單元100透過此匯流排140與數個周邊單元120..130耦合。提供一第一選擇單元150以輸出一時鐘訊號來饋入中央處理單元100之系統時鐘輸入。四種不同輸入訊號可饋入選擇單元150。第一震盪器單元190產生一主系統時鐘153以饋入到選擇單元150其中一個選擇輸入。另一輸入152直接與接地(ground)耦合。一低功率震盪器單元191產生其他時鐘訊號以饋入可程式化除法器(programmable divider)單元180。可程式化除法器單元180之輸出151與選擇單元150之第三輸入相耦合。中央處理單元100產生控制除法器單元180之控制訊號。震盪器單元190與低功率震盪器單元191分別與外部晶體192與195相耦合。另一內部RC震盪器單元170完全地被整合並且產生一輸出訊號154以饋入選擇單元150之第四輸入。內部RC震盪器單元170不需要任何外部組件。中央處理單元100包含一執行單元101來產生控制選擇單元150之控制訊號。執行單元101執行以在記憶體單元110中之程式順序來儲存的指令。第二選擇單元160也經由執行單元101來受到中央處理

## 五、發明說明(6)

單元100控制。第二選擇單元160接收不同時鐘訊號151、153、與154。第四輸入155直接與接地耦合。選擇單元160的輸出訊號與周邊單元120..130之時鐘輸入相耦合。如果記憶體單元110還需要一系統時鐘，所對應之時鐘輸入也與選擇單元160輸出相耦合。因此，提供與中央處理單元100耦合之一監視計時器105。該監視計時器105從內部RC震盪器單元170接收一時鐘訊號。監視計時器105產生一控制訊號以饋入選擇單元150與160。

本典範具體實施例運作方式如下。正常模式通常於做為預設模式的重置(reset)之後而被選上。一重置單元(未顯示)或來自中央處理單元100之重置訊號產生個別的控制訊號以傳送給選擇單位150與160來選擇由震盪器單元190所產生之系統時鐘153。並且，監視計時器105可以產生一置換(override)訊號159，其與重置有著相同的效果並且可用來做喚醒(wake-up)訊號以選擇正常運作模式。置換訊號159還選擇系統時鐘153。因此，於正常模式中，選擇單元150將此訊號153與中央處理單元100之時鐘輸入終端相耦合。並且，於正常運作模式下，如果該單元需要一時鐘訊號時，選擇單元160還選擇系統時鐘153以分派到所有周邊單元120..130與記憶體單元110。數種低功率模式被提供，其中中央處理單元100控制選擇單元150與160以挑選四種輸入時鐘其中一種以分別地分派到中央處理單元與周邊單元。因而，具有不同時鐘頻率之不同時鐘訊號可被分開配送到中央處理單元與周邊單元。



## 五、發明說明( 7 )

於另一具體實施例中，單一震盪器單元可被用來提供數種時鐘訊號，例如藉由具有不同輸出之計數器或除法器單元。該配置顯示於圖3C。震盪器800外部地耦合到一晶體820。震盪器800之輸出饋入到包含數個輸出811、812、813、814、815之計數器或除法器單元810。每個輸出811、812、813、814、815代表一計數器之不同位元。因而，例如輸出815攜載震盪器單元800輸出頻率 $f$ 、輸出814攜載 $f/2$ 、輸出813攜載 $f/4$ 、輸出812攜載 $f/8$ 、輸出811攜載 $f/16$ 。從一模式切換到另一模式將稍後再解釋。如先前所述，所有周邊單元120..130、記憶體單元110與中央處理單元100皆包含一靜態設計。因而，接地(grounding)訊號152可被選擇做為系統時鐘，其依序停止中央處理單元100且/或所有周邊單元120..130與記憶體單元110，其個別地與選擇單元160或150來耦合。於此關閉(shut off)模式，僅有監視計時器105保持在動作狀態。並且，中央處理單元100可包含必要的電路以維持(uphold)選擇單位150與160之個別控制訊號，因此其個別的狀態可被維持住。當然於中央處理單元100持續地未接收到任何時鐘訊號時，選擇單位150與160可提供個別的電路以維持住其狀態。

除了特定的時鐘選擇，預先定義之一表列的周邊可完全地關閉來保存更多的能源。例如，如果挑選低功率震盪器單元給中央處理單元與周邊時，則所有其他震盪器單元可完全被關閉。某些周邊以特定時鐘訊號是無法作用的並且因此可切掉電源供應。一預先定義表列可為實體接線(hard

## 五、發明說明(8)

wired)或是在主記憶體中以定義哪些周邊應該停留於運作中或哪些可被關閉的方式來提供。

換到圖2,其中相同的元件參照編號代表相同元件,中央處理單元100經由資料與控制線與遮罩暫存器(mask register)251相耦合。遮罩暫存器251與低功率模式暫存器252(於本典範具體實施例中為三位元)相耦合。低功率模式暫存器252的位元0與第一反向器(inverter)253之輸入與及閘(AND gate)256之第一輸入相耦合。低功率模式暫存器252的位元2與第二反向器254之輸入、另一及閘255之第一輸入、和及閘256之第二輸入相耦合。第一反向器253的輸出與及閘255之第二輸入相耦合。提供一同步器(synchronizer)與控制單元257以接收數個輸入訊號並且產生控制一選擇開關(select switch)258之輸出訊號。選擇開關258可被同步器與控制單元257放到四個不同位置1、2、3、4。第一位置將選擇開關258之選擇終端(select terminal)與接地耦合、第二位置選擇內部RC震盪器訊號、第三位置選擇耦合除法器單元180之輸出訊號、第四位置將系統時鐘與選擇開關258之選擇終端相耦合。選擇開關258之選擇終端與中央處理單元100之時鐘輸入終端及同步與控制單元157之同步器輸入相耦合。同步與控制單元257之控制輸入4與終端259相耦合。控制輸入1與反向器254的輸出相耦合。同步與控制單元257之控制輸入2連接到及閘255的輸出並且控制輸入3與及閘256的輸出相耦合。中央處理單元100產生一控制訊號以傳送到同步與控制單元257。

## 五、發明說明(9)

根據本典範具體實施例之微控制器藉由像是睡眠(sleep)命令等特殊指令切換到低功率模式。為了選擇不同低功率模式，提供了一特殊暫存器252。遮罩暫存器251為選項並且提供額外功能性給該微控制器，如將於下文所解釋。暫存器252為一特殊功能暫存器，可以是其他特殊功能暫存器之一部份，例如具有三個未被使用位元之特殊功能暫存器。特殊功能暫存器252之三個位元可理論地提供八種不同型態的低功率模式。於根據本發明之典範具體實施例中，僅使用六種不同型態的低功率模式。如能讓熟些本技藝人士所理解，該系統當然可擴展成更多型態模式或限定在更少型態的模式。如前文所提及，遮罩暫存器251可提供額外的安全性以允許中央處理單元100僅設定或清除由此遮罩暫存器251所指示之特定位元。例如，如果僅有一位元在遮罩暫存器251中被設定，則於低功率模式暫存器中所對應位元可被改變。於另一具體實施例中，遮罩暫存器251決定優先等級(priority level)。低功率模式暫存器則包含現有的優先並僅可改變成更低的優先。

如先前所指示，僅一單一命令被用來喚起一低功率模式。該低功率模式的型態由暫存器252來定義並可因此由程式順序內之個別指令來設定。不同低功率模式將稍後與周邊單元之不同時鐘訊號的選擇一併解釋。

圖3A顯示用來選擇周邊單元時鐘訊號的選擇電路典範具體實施例。再次，相同的元件參照編號關於類似的元件。如參照圖2所描述，中央處理單元100經由遮罩暫存器251

## 五、發明說明(10)

與模式暫存器252相耦合。模式暫存器252的位元0與2:4多工器310之第一輸入相耦合。多工器310之第二輸入與模式暫存器252的位元1相耦合。多工器310將兩個位元輸入訊號解多工(de-multiplex)成四個分離的輸出訊號以饋入至同步器與控制單元320。同步器與控制單元320受中央處理單元100所控制並且接收時鐘選擇開關330之用在同步目的地輸出訊號。時鐘選擇開關330有四個位置、0、1、2、3，其中在位置0之該接地訊號被選擇、在位置1之該系統時鐘訊號被選擇、在位置2之從內部RC震盪器單元來的時鐘訊號被選擇、在位置3之從除法器單元180來的輸出訊號被選擇。

表一根據典範具體實施例來顯示該微控制器之不同低功率模式。並且，繪出提供給中央處理單元與周邊單元之不同時鐘訊號。最後，關於不同低功率模式，表1顯示選擇開關258與選擇開關330之不同位置或多工器450所選擇輸入與開關495切換位置。表1底部那列顯示正常運作模式，低功率模式暫存器152於此無任何效應。

表1

模式	暫存器252	CPU	周邊	開關258	開關330
閒置(IDLE)	001	關	SYS	1	1
假寐(DOZE)	010	關	INTRC	1	2
打盹(NAP)	110	INTRC	INTRC	2	2
小睡(SNOOZE)	011	關	TIOSC	1	3
貓盹(CATNAP)	111	TIOSC	TIOSC	3	3
睡眠(SLEEP)	000	關	關	1	0
正常	-	SYS	SYS	4	1

## 五、發明說明 ( 11 )

於正常運作模式中，中央處理單元還有周邊單元接收該系統時鐘153。為達此目的，同步器與控制單元257之輸入4及同步器與控制單元320之輸入321兩者皆例如從重置單元或從監視計時器105接收訊號259，以置換同步器與控制單元257與320之所有其他輸入並且選擇該系統時鐘153以做為輸出訊號來饋入到中央處理單元100與所有周邊單元120..130與110。

如果中央處理單元100執行一睡眠指令時，一控制訊號將由執行單元101傳送或初始給同步器與控制單元257與320。根據模式暫存器252的狀態，選擇開關258與330將選擇不同輸入訊號。例如，如果暫存器252包含001，則反向器254的輸出將為邏輯的"1"並且及閘255與256的輸出將變成為"0"。因而，同步器與控制單元257將選擇開關位置1，其將中央處理單元100之系統時鐘。同時，多工器310將對模式暫存器252的位元0與位元1解多工以挑選選擇開關330之位置1。因而，該系統時鐘將被選擇以做為所有周邊單元120..130之時鐘訊號。該模式稱為閒置(IDLE)並且在不需要中央處理單元100任何支援之任何低功率模式是有用處的，例如受中央處理單元程控(programmed)之脈衝寬度調變器(pulse width modulator)可獨立地運作並且控制外部裝置。於該調變器之低功率模式的運轉期間內仍為必需的，但是中央處理單元可被關機。閒置模式以關閉中央處理單元100並且保持周邊所有運作來調適此特殊情況。

## 五、發明說明 ( 12 )

第二種低功率模式稱為假寐(DOZE)模式並且用模式暫存器252的數值010來呈現。於此模式中，以選擇開關258處在位置1之方式，中央處理單元不接收時鐘訊號。暫存器252的位元0與位元1現在對選擇開關330由多工器310解多工成開關位置2。因而，內部RC-震盪器單元170的輸出訊號被選擇以做為周邊單元120..130的時鐘訊號。第三種低功率模式稱為打盹(NAP)模式。於此模式中，暫存器252的位元2為高值並且暫存器252的位元0為低值，因而將及閘255的輸出變成高值並且對選擇開關258選擇開關位置2。解多工器310從暫存器252的位元1與位元0接收10並且對選擇開關330選擇開關位置2。因而，內部RC-震盪器單元170的輸出被選擇給中央處理單元100與周邊單元120..130。此模式在中央處理單元與周邊皆須運作但用較慢時鐘來執行之應用中特別地有用。

第四種低功率模式稱為小睡(SNOOZE)模式。該模式將用模式暫存器252的數值011來指示。當模式暫存器252的位元2為"0"時，供應給中央處理單元100的時鐘再次為關閉。開關330將受控制來選擇開關位置3，因此選用了除法器單元180的輸出。

接著次個低功率模式稱為貓盹(CATNAP)模式。於此模式中，中央處理單元100與周邊單元120..130接收相同的時鐘訊號，即為除法器單元180的輸出，選擇開關258轉到位置3並且選擇開關330也轉到位置3。最能保存能源之低功率模式稱為睡眠(SLEEP)模式並且由暫存器252以具有000的內

## 五、發明說明 ( 13 )

容來反應。於此模式中，選擇開關258轉到位置1並且選擇開關330轉到位置0，因此藉由耦合地線之所對應輸入來關掉任何時鐘訊號的供應。

從一時鐘訊號切換到另一時鐘訊號的程序可能需要同步化來防止中央處理單元的未定義狀態。為達此目的，圖3B顯示一合適的電路來同步化此切換動作。一反及閘640與及閘650提供給同步化單元600。反及閘640之第一輸入620接收開關258或330的輸出訊號並且第二輸入接收將被選用之時鐘訊號。反及閘640的輸出與及閘650的第一輸入相耦合，及閘650的第二輸入610從解碼器電路接收開關控制訊號。因而，切換動作可能僅發生在現今與新選用的帶頭時鐘(bot clocks)兩者皆為"0"並且將因此被同步化。

如圖1中所示之具體實施例可簡易地修改成對CPU與周邊設定不同的時鐘訊號。表1僅顯示一些被選用的模式。其他模式是可能的，於非特別模式中該周邊接收正常系統時鐘並且CPU接收較慢的時鐘或反之情境的設定亦然。

圖4根據本發明顯示另一典範具體實施例。第一震盪器單元包含與兩個終端耦合之外部晶體405。第一內部反向器406與這些終端耦合。反向器406之輸出連接到第二反向器407，其輸出攜載第一時鐘訊號以饋入到預除器(prescaler)410來進一步經由終端412與多工器450之第一輸入來分派。第二震盪器以另一外部晶體430來形成並且兩反向器431與432與先前所述相同的方式來與晶體430耦合。反向器432的輸出因而攜載該第二時鐘訊號來饋入到

## 五、發明說明 ( 14 )

PLL 電路 440 的輸入，其輸出與多工器 450 之第二輸入相耦合。並且，反向器 432 的輸出與多工器 450 之第三輸入相耦合。一內部 RC-震盪器以編號 460 來標示並且提供饋入多工器 450 第四輸入之第四時鐘訊號。並且，提供一內部監視震盪器 (watchdog oscillator) 470 來提供第五時鐘訊號給監視計時器單元 490 與多工器 450 第五輸入。一接地訊號饋入到多工器 450 之第六輸入。多工器 450 之輸出與所有需要時鐘訊號的周邊單元時鐘輸入相耦合並且對可控制開關 (controllable switch) 495 第一終端，該開關與 CPU 時鐘輸入終端相耦合。提供一事件切換單元 (event switch unit) 420 來控制多工器 450 並且從外部終端 415、內部終端 422 與監視計時器 490 接收控制訊號。多工器 450 還受震盪器控制暫存器 (oscillator control register, OSCON) 480 之控制。OSCON 暫存器 480 內之一位元進而控制事件切換單元 420。一飽和計數器 (saturating counter) 475 包含與監視震盪器 470 輸出耦合之時鐘輸入。飽和計數器之重置輸入與反向器 432 輸出相耦合並且飽和計數器的輸出與事件切換單元 420 相耦合。

本具體實施例以具有不同 CPU 設定並且該週邊單元藉此提供最少必須的硬體與最少矽資產 (silicon real estate) 需求之可能性來提供多樣性的時鐘分派。基本上，多工器選擇數個時鐘訊號其中一個訊號並且將所選用的訊號傳送給 CPU 與周邊單元兩者或是僅給周邊單元，因此 CPU 不會收到時鐘訊號並且被關機。第二震盪器 430、431、432 提供正常系統時鐘，因而位於 OSCON 暫存器 480 中之一個或更多



## 五、發明說明 ( 15 )

位元可控制PLL電路的設定。於另一具體實施例中，一第二多工器可藉由OSCON暫存器480內之另一位元，而用來在兩個正常系統時鐘之間來選擇。然而，於所示之具體實施例中，兩個系統時鐘訊號(第二與第三時鐘訊號)皆饋入到多工器450。內部震盪器460與470可具有或不具有PLL電路來做為RC震盪器。飽和計數器475被用來監視正確的系統時鐘運作。為達此目的，該計數器可做8個時鐘移轉(transition)的計數。系統時鐘的任何移轉皆會重置計數器475。因而，如果外部晶體失效時，飽和計數器將不會被重置並且經由事件切換單元420來驅動到一內部時鐘來源的切換。並且一旗標將被設定以指示該系統時鐘來源失效。

對於圖4之具體實施例，通常兩種型態的低功率模式可如表2中所見來被提供。

表 2

模式	暫存器	CPU	週邊	多工器 450	開關495
睡眠模式0 睡眠	000	關閉	關閉	6	開
睡眠模式1 假寐	010	第一時鐘	第一時鐘	1	關
睡眠模式2 小睡	011	第四、五時鐘	第四、五時鐘	4/5	關
閒置模式0 閒置	001	關閉	第二、三時鐘	2/3	開
閒置模式1 貓盹	111	關閉	第一時鐘	1	開
閒置模式2 打盹	110	關閉	第四、五時鐘	4/5	開
正常	-	第二、三時鐘	第二、三時鐘	2/3	關

於閒置模式中CPU皆為關閉並且於睡眠模式中周邊和CPU皆接收相同的時鐘訊號。

於睡眠模式中，當開關495受控制為開的狀態以及多工器

## 五、發明說明 ( 16 )

450受控制來切換到接地之第六輸入時，CPU和周邊被停用。這也關閉一快閃/可抹除可程式化唯讀記憶體(erasable programmable read only memory, EPROM)偏壓(bias)電路與任何其他高電流核心電路，因為該程式記憶體陣列非在使用中。如果所對應插斷啟動位元被設定時，此模式可經由終端415於任何重置或插斷(interrupt)發生時來跳脫。

於假寐模式中，預定震盪器來源被關閉以在次個週期內來節省電力。從現有的時鐘切換到該第一震盪器可以等待特定數目的時鐘移轉來被同步化，例如八個週期。第一震盪器405、406、407被用來提供時鐘訊號給周邊與CPU。快閃/Eprom陣列之偏壓電路被配置在低功率模式，將依序來拉長存取時間。這不是個問題，因為系統時鐘從通常提供非常緩慢的時鐘訊號、如由32 kHz之第一震盪器來衍生(derive)。假寐模式可經由終端415於任何重置或插斷發生時來跳脫。

於小睡模式中，系統時鐘可從第二或第三時鐘訊號切換到其中一個內部震盪器。預定震盪器來源被關閉以在次個週期內來節省電力。從現有的時鐘切換到該內部震盪器460或470可以等待特定數目的時鐘移轉來被同步化，例如八個週期。第三或第四震盪器460或470被用於提供時鐘訊號給周邊與CPU。如果所對應插斷啟動位元被設定時，小睡模式可經由終端415於任何重置或插斷發生時來跳脫。

於閒置模式期間內，多工器450根據OSCON暫存器490內之位元來挑選時鐘訊號2或3。開關495為開並且因此無任何

## 五、發明說明 ( 17 )

時鐘訊號饋入到CPU。此模式為不必使系統時鐘失效之唯一低功率模式。當該裝置進入閒置模式時，核心將會失效。這還關閉快閃/Eprom偏壓電路與任何其他高電流核心電路，因為該程式記憶體陣列非在使用中。如果所對應插斷啟動位元被設定時，此模式可經由終端415於任何重置或插斷發生時來跳脫。

於貓盹模式中，當開關495被控制為開時，CPU被停用。再次，這也可關閉快閃/Eprom偏壓電路與任何其他高電流核心電路，因為程式記憶體陣列非在使用中。所有週邊從第一震盪器單元405、406、407接收該時鐘訊號。如果所對應插斷啟動位元被設定時，此模式可經由終端415於任何重置或插斷發生時來跳脫。

於打盹模式中，當開關495被控制為開時，CPU被停用。這也可關閉快閃/EPROM偏壓電路與任何其他高電流核心電路，因為程式記憶體陣列非在使用中。所有週邊根據OSCON暫存器480中之設定來從震盪器460或470接收時鐘訊號。如果所對應插斷啟動位元被設定時，此模式可經由終端415於任何重置或插斷發生時來跳脫。

圖5顯示可反應從不同低功率模式之不同切換能力的狀態圖。於本圖中，正常運作模式被標示為"執行"。從此狀態藉由將低功率模式暫存器設定到所對應數值並且執行睡眠指令，微控制器可移轉到六個不同低功率模式之其中一個模式。無論何時當中央處理單元100以選用接地訊號來做為系統時鐘訊號而被關閉時，如果中央處理單元100不能執

## 五、發明說明 ( 18 )

行任何指令時不會有進一步移轉可以發生。因而僅有重置或喚醒訊號，例如從監視計時器105可以重新啟動中央處理單元100。

兩種低功率模式允許進一步移轉到其他低功率模式。打盹模式允許移轉到睡眠、假寐、與小睡模式。於本具體實施例中，貓盹與閒置為不可選擇的。然而通常是可能實作一具體實施例來允許那些以虛線來指示相關打盹與貓盹模式的選擇。圖4所示之具體實施例不包括可能從低功率模式切換到更高功率模式的模式。

遮罩暫存器251可被用於另一具體實施例以限制該系統可切換到的模式。為達此目的，遮罩暫存器可包含一優先權數值。不同模式從最低指定到最高之不同優先權等級。無論何時當進入一低功率模式時，該遮罩暫存器可自動被設定成所對應優先權等級。因而，只有更高被優先化(prioritized)的低功率模式可被系統設定直到一重置或喚醒訊號已被產生。

圖6顯示仍另一典範具體實施例，其中該暫存器開始被設定成最高優先權等級。於本具體實施例中，如該系統行經預先定義順序的低功率模式時，中央處理單元不必設定低功率模式暫存器252的新數值。例如該順序可被儲存在記憶體單元110中。低功率模式暫存器可用來做為指向加入到一表格指標(table pointer)之偏置(offset)數值的間接定址暫存器。表3顯示不同功率模式之典範順序。

## 五、發明說明 ( 19 )

表 3

低功率模式	CPU	周邊
111	SYS	SYS
110	TIOSC	SYS
101	TIOSC	TIOSC
100	INTRC	TIOSC
011	INTRC	INTRC
010	INTRC	關
001	關	關

於步驟 500 中，該系統以低功率模式暫存器 252 中之數值 111 來代表的正常模式來開始。然而，暫存器 252 先預設為 110，其代表了在執行睡眠指令之後系統將進入之次個低功率等級。該數值為在一重置或來自監視計時器 105 喚醒訊號之後被設定的預定數值。步驟 510 檢查一睡眠指令是否已被執行。如果為是，於步驟 520 中，該時鐘訊號根據低功率模式暫存器 252 的數值來設定。接著，該低功率模式暫存器的數值減少 1。如果為否，該順序跳過步驟 520 並且繼續進行步驟 530，其中喚醒指令的執行被監視著。該指令對該睡眠指令為互補且允許增加該系統速度與功率消耗的反向功能。如果一喚醒指令已被執行，該系統先增加低功率暫存器的內容且根據低功率暫存器 252 的內容來設定時鐘訊號。如果於低功率模式 001 中所有時鐘皆被關閉，當然僅有重置或喚醒訊號可重新啟動中央處理單元 100。當系統透過暫存器 252 來存取該表格時，對該順序之任何變動可在程式

## 五、發明說明( 20 )

執行期間內進行。暫存器 252 可實作成一計數器來執行上述工作。

圖 7 繪出顯示一模擬器配置之另一典範具體實施例。模擬器被用來測試與偵錯(debug)以新的或現存微處理器為基礎的應用。通常於一應用中之微處理器或微控制器被移除並且用一模擬器頭端板來置換。該頭端板通常包含對應微控制器或微處理器之保釋(bond-out)晶片版本。該模擬器能正確地監視所有相關訊號並且以數個如設定中斷點(breakpoints)、中斷條件、單一或多重步驟運算等選項來追蹤程式順序。特別地，採用模擬器來進行即時運算與監控是可能的。並且，一模擬器可輕易地調適到具有不同周邊、記憶體、效能特徵等之微控制器數種不同版本。為達到此目的，如圖 7 所示之模擬器配置包含一模擬器單元，其包括與模擬器程式記憶體(emulator program memory)706 耦合之模擬器控制單元(emulator control unit)705。一模擬器頭端板 710 透過一個或多重匯流排與模擬器單元 700 相耦合。一模擬器頭端板 710 包含主晶片(master chip)720、例如為一微控制器型態之保釋版本。通常，單一型態的微控制器在包含各種不同周邊之許多不同版本內是可獲得的。因此，此家族之唯一保釋晶片版本會被使用，然而通常沒有或僅有最少的周邊會出現。此保釋晶片 720 包含到內部訊號之連接端子，其通常在標準微控制器上係以無法存取而來允許模擬單元 700 之存取與監視能力。

第二從屬(slave)晶片 730 與該主晶片 720 相耦合。該從屬

## 五、發明說明( 21 )

晶片 730 為將被模擬之微控制器版本，因而該中央處理單元被停用。從屬晶片 730 與主晶片 720 耦合的方式為在該從屬晶片上之所有周邊可被存取並且受該主晶片的控制。圖 7 顯示這些連接之某些典範連接(connection)。例如兩種晶片皆分別包含內部資料匯流排 722 和 733。這些匯流排 722 與 733 透過匯流排 717 來耦合。主晶片 720 之中央處理單元 723 連接到資料匯流排 722。主晶片之低功率模式暫存器 721 還透過資料匯流排 722 來與中央處理單元 723 耦合。時鐘選擇電路 724 與低功率模式暫存器 721 及中央處理單元 723 相耦合。中央處理單元 723 產生一睡眠控制訊號 715 以饋入從屬晶片 730 之控制單元 732。並且，中央處理單元 723 產生一重置控制訊號 716，也饋入到控制單元 732。控制單元 732 產生一控制訊號給在從屬晶片 730 上之時鐘選擇單元 734，其與模式控制暫存器 731 相耦合。時鐘選擇單元 734 之輸出訊號 719 饋入到主晶片 720，於此處其經由可控制開關 724 被饋入到中央處理單元 723。可控制開關受到模式控制暫存器 721 之控制。並且，時鐘訊號 719 被饋入到在主晶片 720 板上之任何周邊來做為內部周邊時鐘訊號 725。時鐘訊號 719 還從分派給周邊單元來做為從屬晶片 730 上的周邊時鐘訊號 735 之處經由訊號線 718 回到從屬晶片 730 之時鐘輸入。

於模擬器環境中模擬前文所述之低功率模式會引起數個問題。從屬晶片具有其自有低功率模式暫存器 731、其擁有相對應的時鐘選擇電路 734，但沒有任何主動的中央處理單元來控制相對應的模式暫存器。時鐘選擇電路 734 由控制單

## 五、發明說明( 22 )

元 732 來接收相對應的控制訊號。中央處理單元 723 產生一睡眠指示器訊號 715 而通常用來通知外部組件進入一低功率模式。根據本具體實施例，此訊號被用來對控制單元 732 指示將進入一低功率模式。中央處理單元 723 讀寫低功率模式暫存器 721。於從屬晶片上之模式控制暫存器 731 經由匯流排 733、717、722 與中央處理單元 723 耦合並且對應到相同的位址。因而，任何對模式暫存器 721 的寫入還同時影響模式控制暫存器 731。於睡眠指令被執行之後，控制單元 732 啟動該時鐘電路 734 來選擇所對應之時鐘訊號。控制單元 732 可包含相對應電路來產生那些控制訊號之適合的時序(timing)。被選用的時鐘訊號饋入到主晶片 720。主晶片 720 包含可控制開關 724 來決定該時鐘訊號是否將饋入到中央處理單元或是該中央處理單元 723 將要關機。該時鐘訊號來分派到周邊單元以做為周邊時鐘訊號 725，只要其是在主晶片 720 上來實作。時鐘訊號(未顯示在圖 7 中)之任何其他可能的處置(manipulation)在主晶片上發生。該時鐘訊號還從分派給從屬晶片 730 之所有周邊單元以做為周邊時鐘訊號 735 之處饋回到從屬晶片 730 之時鐘輸入。因而，中央處理單元 723 在 715 上產生脈衝以選用在從屬晶片 730 上之時鐘供應訊號並且將分派在主晶片 720 上之時鐘訊號。主晶片 720 還可以產生一重置訊號 716。該訊號可由中央處理單元 723 或在該晶片上其他合適的單元來產生。該重置訊號 716 還饋入到控制單元 732 以接著將低功率模式暫存器設定成其預設數值並且還控制該時鐘選擇電路 734 到所對應之預



## 五、發明說明 ( 23 )

設數值、像是系統時鐘。

因而本發明已被良好地調整成執行該目標並且獲得前述目的與優點、還有其他固有性質。於本發明已被繪出、描述，並且以參照本發明之典範具體實施例來定義，該參照並非意指在本發明之限定，並且無任何限制將可被推論。本發明能夠做相當的修改、改變、或在形式與功能上等效、如將對那些熟悉本普通技藝以及具有本揭示利益之人士來發生。本發明之所繪與已描述具體實施例僅為範例而已，並且非窮盡本發明的範圍。結果是，本發明僅意圖受限於所附加申請專利範圍的精神與範圍、並在所有方面給予等效事物完全之認定。

四、中文發明摘要(發明之名稱：具有多重低功率模式的微處理器和用於該微處理器的模擬裝置)

一種微處理器，包含一接收第一時鐘訊號之中央處理單元、複數個接收第二時鐘訊號之周邊裝置、一從數個時鐘訊號選出該第一時鐘訊號之第一選擇單元與從數個時鐘訊號選出該第二時鐘訊號之第二選擇單元。該中央處理單元包含一執行單元，當執行一低功率模式指令時，選擇該中央處理單元與該周邊單元的時鐘訊號時來控制該選擇單元。

英文發明摘要(發明之名稱：MICROPROCESSOR WITH MULTIPLE LOW POWER MODES AND EMULATION APPARATUS FOR SAID MICROPROCESSOR)

A microprocessor comprises a central processing unit receiving a first clock signal, a plurality of peripherals receiving a second clock signal a first select unit for selecting the first clock signal out of a plurality of clock signals and a second select unit for selecting the second clock signal out of the plurality of clock signals. The central processing unit comprises an execution unit which controls the select units upon execution of a low power mode instruction to select a clock signal for the central processing unit and the peripheral units.

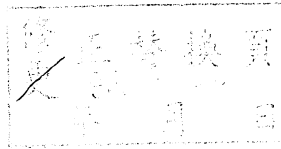
## 五、發明說明 ( 24 )

## 元 件 符 號 說 明

100、723	中央處理單元
101	執行單元
104	匯流排
105	監視計時器
110	記憶體單元
120、130	周邊單元
140	匯流排
150	第一選擇單元
153	主系統時鐘
159	置換訊號
160	第二選擇單元
170、460	內部RC震盪器單元
190	第一震盪器單元
191	低功率震盪器單元
192、195、405	外部晶體
251	遮罩暫存器
252、721	低功率模式暫存器
253、254、406、407、431、432	反向器
255、256、650	及閘
157、257、320	同步器與控制單元
258	選擇開關
259、412	終端

## 五、發明說明 ( 25 )

- 310 2:4多工器
- 330 時鐘選擇開關
- 410 預除器
- 415 外部終端
- 420 事件切換單元
- 422 內部終端
- 405、406、407、430、431、432 震盪器
- 440 PLL 電路
- 450 多工器
- 470 監視震盪器
- 475 飽和計數器
- 480 震盪器控制暫存器
- 490 監視單元
- 495 可控制開關
- 600 同步化單元
- 640 反及閘
- 700 仿真器單元
- 705 仿真器控制單元
- 706 仿真器程式記憶體
- 710 仿真器頭端板
- 715 睡眠指示器訊號
- 716 重置控制訊號
- 717 匯流排
- 718 訊號線



## 五、發明說明 ( 26 )

- |         |           |
|---------|-----------|
| 719     | 時鐘訊號      |
| 720     | 主晶片       |
| 722、733 | 內部資料匯流排   |
| 724     | 時鐘選擇電路    |
| 725     | 內部周邊時鐘訊號  |
| 730     | 第二從屬晶片    |
| 732     | 控制單元      |
| 734     | 時鐘選擇單元    |
| 800     | 震盪器       |
| 810     | 計數器或除法器單元 |
| 820     | 晶體        |

## 六、申請專利範圍

1. 一種微處理器，包含：
  - 一中央處理單元，接收第一時鐘訊號；
  - 複數個周邊，接收第一時鐘訊號；
  - 一第一選擇單元，用於在複數個時鐘訊號中選出該第一時鐘訊號；
  - 第二選擇單元，用於在複數個時鐘訊號中選出該第二時鐘訊號；與
  - 一執行單元，位於該中央處理單元內、當執行一低功率模式指令時、控制該選擇單元。
2. 如申請專利範圍第1項之微處理器，進一步包含一低功率模式暫存器，用於決定與該選擇單元耦合之低功率模式。
3. 如申請專利範圍第2項之微處理器，進一步包含與該低功率模式暫存器耦合之一遮罩暫存器，用於限制對該低功率模式暫存器的存取。
4. 如申請專利範圍第2項之微處理器，進一步包含與該低功率模式暫存器耦合之一多工器，用於控制一選擇開關控制單元，該選擇開關控制單元控制一選擇開關來接收該等複數個時鐘訊號。
5. 如申請專利範圍第4項之微處理器，進一步包含一同步器單元，用於同步化該時鐘訊號的切換。
6. 如申請專利範圍第1項之微處理器，其中該第一選擇單元為接收該第二時鐘訊號之一開關。
7. 如申請專利範圍第1項之微處理器，其中該等時鐘訊號

煩請委員明示  
參上本頁無變更實質內容  
是否准予修正？  
年 月 日所提之裝  
訂



## 六、申請專利範圍

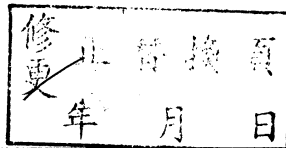
- 之其中一個訊號由震盪器單元來產生。
8. 如申請專利範圍第1項之微處理器，其中該等時鐘訊號之其中一個訊號由低功率震盪器單元來產生。
9. 如申請專利範圍第1項之微處理器，其中該等時鐘訊號之其中一個訊號由內部震盪器來產生。
10. 如申請專利範圍第7項之微處理器，進一步包含一除法器單元，係耦合在該震盪器單元與該選擇單元之間。
11. 如申請專利範圍第1項之微處理器，進一步包含一監視計時器來產生一控制訊號，用於設定一預設時鐘而饋入該選擇單元。
12. 一種微處理器，包含：
- 一中央處理單元，具有一時鐘輸入；
  - 複數個周邊單元，具有時鐘輸入；
  - 一第一選擇單元，用於在複數個時鐘訊號中選出一時鐘訊號，該被選用之時鐘訊號饋入到該周邊單元之該時鐘輸入；
  - 一可控制開關，用於將該被選用時鐘訊號與該中央處理單元之該時鐘輸入相耦合；與
  - 一執行單元，位於該中央處理器內，其當執行一低功率模式指令時，控制該選擇單元與該開關。
13. 如申請專利範圍第12項之微處理器，進一步包含與該選擇單元與該開關耦合之一低功率模式暫存器，用於功率模式的決定。
14. 如申請專利範圍第12項之微處理器，其中該選擇單元為

## 六、申請專利範圍

一多工器。

15. 如申請專利範圍第12項之微處理器，其中該等時鐘訊號之其中一個訊號由震盪器單元來產生。
16. 如申請專利範圍第12項之微處理器，其中該等時鐘訊號之其中一個訊號由低功率震盪器單元來產生。
17. 如申請專利範圍第12項之微處理器，其中該等時鐘訊號之其中一個訊號由內部震盪器來產生。
18. 如申請專利範圍第12項之微處理器，進一步包含產生該時鐘訊號其中一個訊號之一內部監視震盪器。
19. 如申請專利範圍第18項之微處理器，進一步包含一具有計數輸入與重置輸入和輸出之飽和計數器，該重置輸入與該等複數個時鐘訊號其中一訊號耦合，該計數輸入與該監視震盪器耦合，並且該輸出與該選擇單元耦合。
20. 一種微處理器模擬單元，其包含：
  - 一第一微處理器，包含：
    - 一中央處理單元，具有時鐘輸入並且當執行低功率指令時能產生一低功率模式訊號；
    - 一可控制開關，與該時鐘輸入耦合；
    - 一第一暫存器，與該開關耦合，用於儲存一低功率模式數值；
    - 一執行單元，位於該中央處理單元內，其當執行低功率指令時能控制該開關，
  - 一第二微處理器，包含：
    - 複數個周邊單元，具有時鐘輸入；





A8  
B8  
C8  
D8

## 六、申請專利範圍

一 選擇單元，用於從該複數個時鐘訊號中選出一系統時鐘訊號，其中該被選用時鐘訊號被饋入到該周邊單元之該可控制開關與該時鐘輸入；

一 第二暫存器，與該選擇單元耦合，用於儲存一低功率模式數值，其中該第二暫存器透過匯流排與該第一暫存器相耦合。

21. 如申請專利範圍第20項之微處理器模擬單元，其中該第一微處理器產生一重置訊號以饋入到該控制單元來選擇預設時鐘數值。

22. 一種對微控制器配置內之中央處理單元與至少一周邊單元設定時鐘訊號的方法，包含下列步驟：

選擇一低功率模式；

選擇一時鐘數值；

執行一低功率指令；

依照該低功率模式：

將該時鐘訊號與該中央處理單元耦合或解耦合；以

及

將該時鐘訊號與該周邊單元耦合。

23. 如申請專利範圍第22項之方法，進一步包含下列步驟：

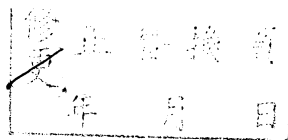
將與該低功率模式結合之數值存入在低功率模式暫存器；

根據該暫存器的內容來控制第一與第二開關以分別地選擇該中央處理單元與該周邊單元之該時鐘訊號。

24. 如申請專利範圍第22項之方法，其中時鐘數值從由複數

發明說明書 93年 月 日所提之  
法說明書實質內容是否准予修正?

裝  
訂



## 六、申請專利範圍

個震盪器單元提供之複數個時鐘訊號中選出。

25. 一種對微控制器配置內之中央處理單元與至少一周邊單元設定時鐘訊號的方法，包含下列步驟：
- 選擇一第一與第二時鐘數值；
  - 執行一低功率指令；
  - 將該第一時鐘訊號與該中央處理單元耦合；與
  - 將該第二時鐘訊號與該周邊單元耦合。
26. 如申請專利範圍第25項之方法，進一步包含下列步驟：
- 將與該低功率模式結合之數值存入在低功率模式暫存器；
- 根據該暫存器的內容來控制第一與第二開關以分別地選擇該第一與第二時鐘訊號。
27. 如申請專利範圍第25項之方法，其中時鐘數值從由複數個震盪器單元所提供之複數個時鐘訊號中選出。
28. 如申請專利範圍第25項之方法，其中時鐘數值從由與一震盪器耦合之除法器所提供之複數個時鐘訊號中選出。
29. 如申請專利範圍第25項之方法，進一步包含儲存一遮罩數值的步驟來僅允許預先定義數值給該低功率模式暫存器。
30. 如申請專利範圍第29項之方法，其中該遮罩數值為一優先權等級並且僅低功率數值可允許給該低功率模式暫存器。
31. 如申請專利範圍第25項之方法，其中該耦合與該被選用時鐘數值同步化。

## 六、申請專利範圍

32. 如申請專利範圍第25項之方法，進一步包含下列步驟：

提供與該低功率模式表列(list)相結合之周邊單元表列以指示一周邊單元於所對應低功率模式內是否將被關閉；

於選擇一低功率模式時，關閉在該表列上被註記之那些周邊單元。

33. 一種模擬具有複數個低功率模式之微控制器的方法，包含下列步驟：

提供具有一第一低功率模式暫存器之微處理器；

提供具有一第二低功率模式暫存器之微控制器；

停用該微控制器之一中央處理單元並且將該微處理器與該微控制器相耦合以形成單一微控制器；

將低功率模式暫存器對應到相同位址；

根據該低功率模式暫存器內容來選擇於該微控制器內之一時鐘訊號並且將該時鐘訊號轉移到該微處理器；

根據該第一低功率模式暫存器內容來將該時鐘訊號與該微處理器耦合或解耦。

34. 如申請專利範圍第33項之方法，其中該轉移由一低功率模式控制訊號來初始。

35. 一種於微控制器內初始化不同低功率模式的方法，包含下列步驟：

預先定義低功率模式之一優先權表列，其定義中央處理器單元與至少一周邊單元之時鐘訊號；

設定於該表列內之優先權等級；

## 六、申請專利範圍

當執行一第一低功率模式指令時，根據被選用表列項目(entry)並且選擇次個表列項目來選擇該時鐘訊號。

36. 如申請專利範圍第35項之方法，進一步包含下列步驟：

當執行一第二低功率模式指令時，選擇先前表列項目並且因此選擇該時鐘訊號。

37. 如申請專利範圍第35項之方法，其中該表列經由一暫存器以間接定址來被定址。

38. 如申請專利範圍第37項之方法，其中該暫存器為一計數器暫存器並且該選擇由增減該計數器數值來執行。

93. 3. 19

第 091117763 號專利申請案  
中文圖式替換本(93 年 3 月)

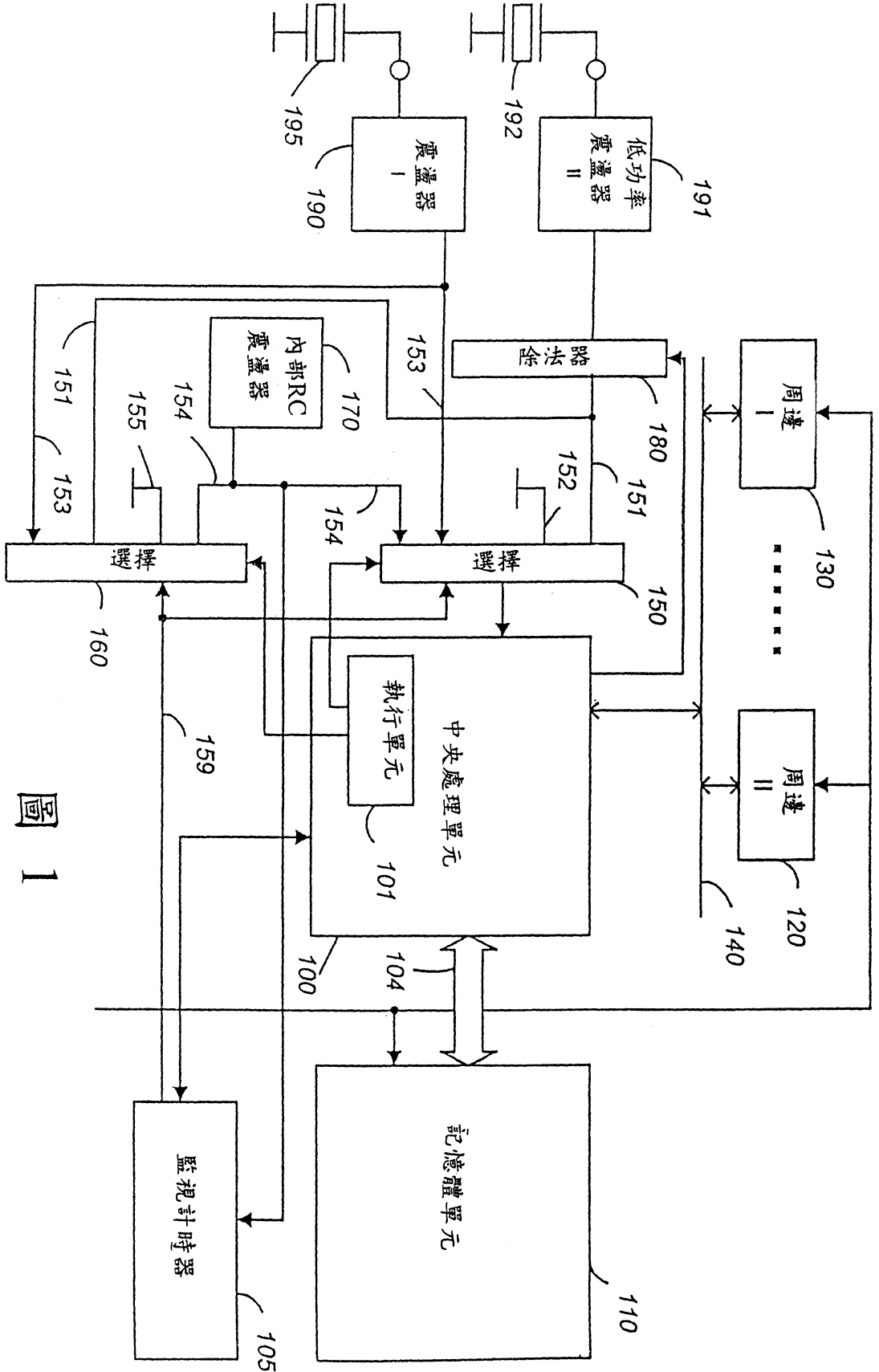


圖 1

93. 3. 19 日所提之  
修正本有無變更實質內容？是否准予修正？

第 8 頁

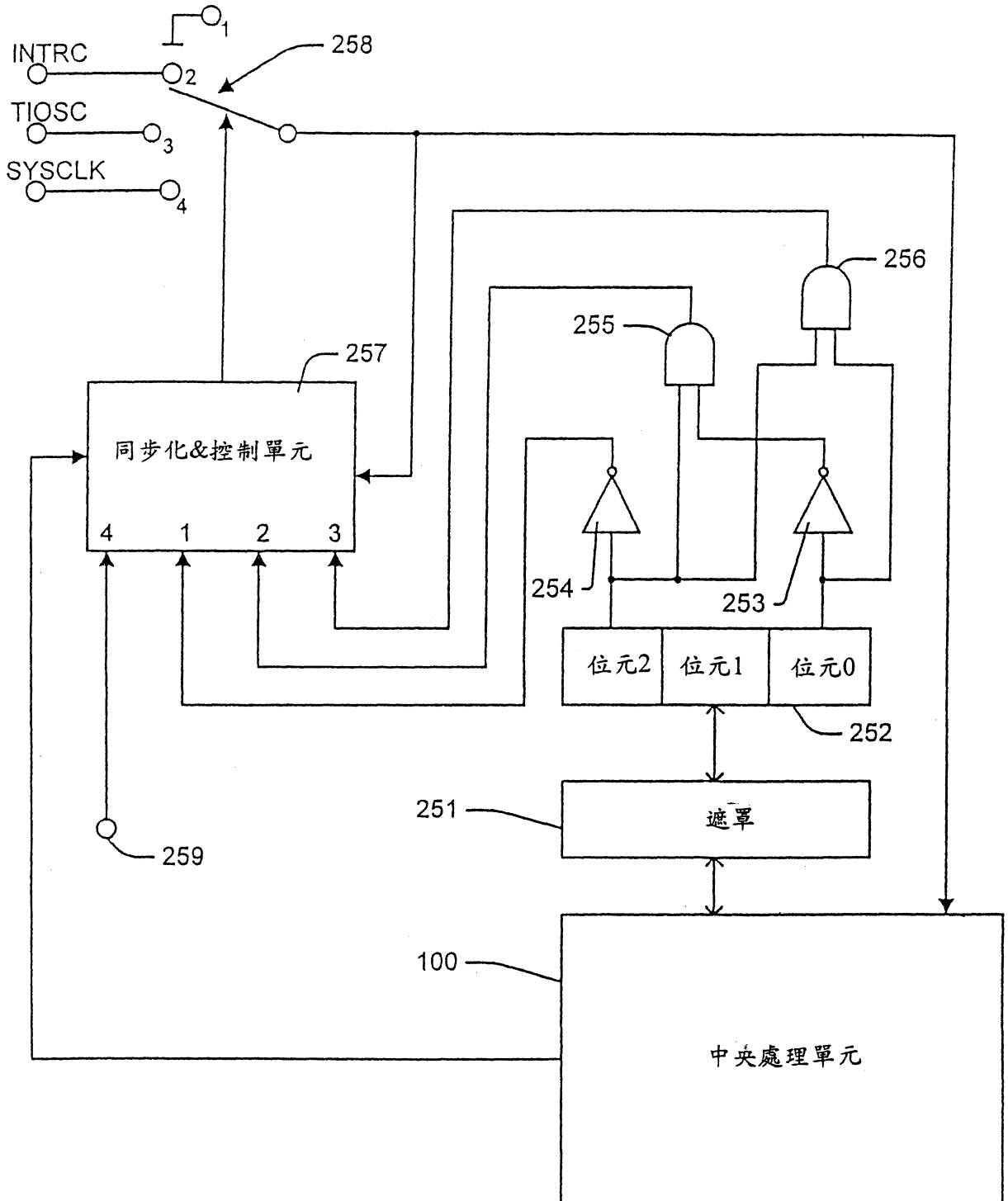


圖 2

修正換頁  
 年 月 日

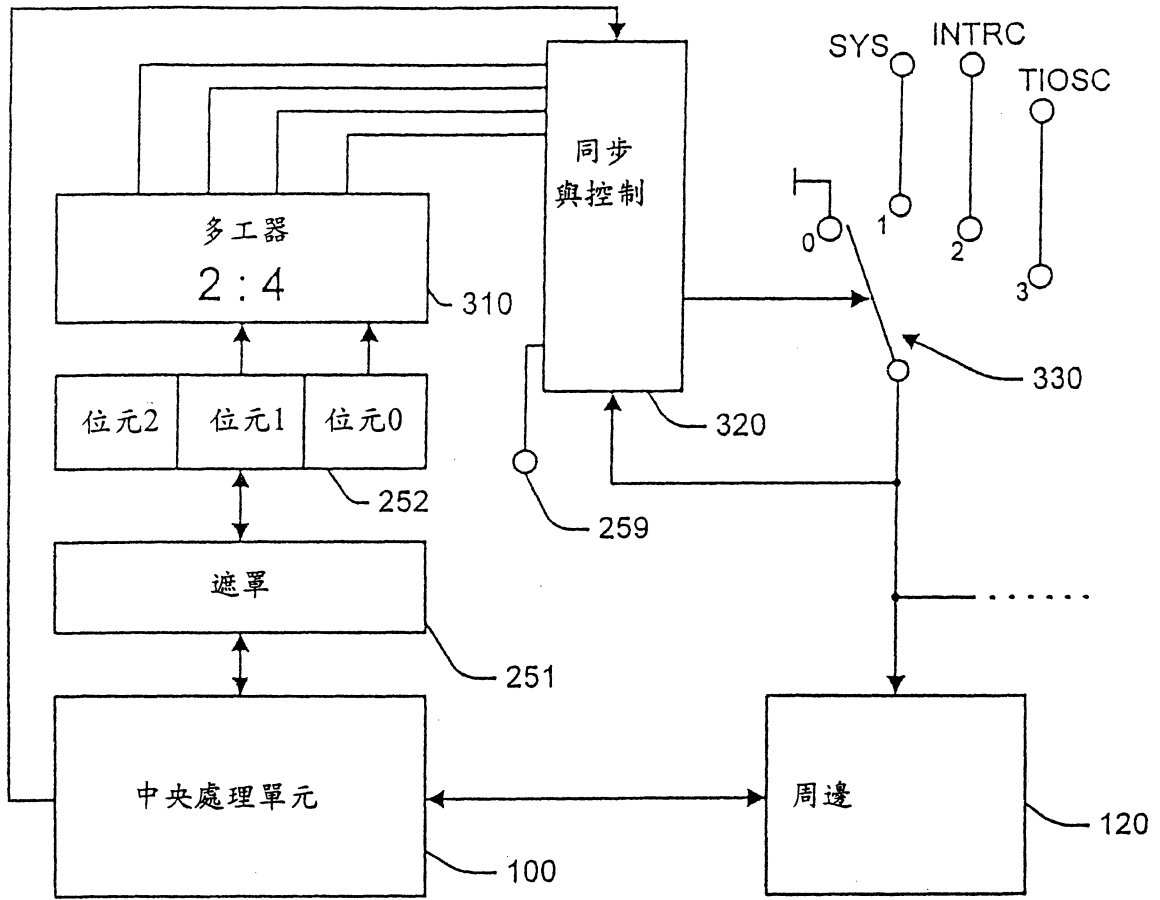


圖 3a

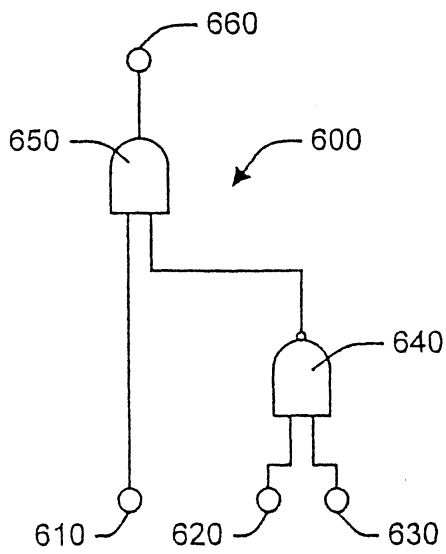


圖 3b

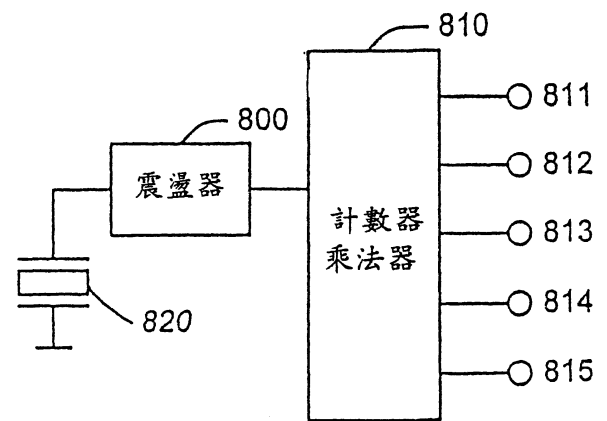


圖 3c

修正替換類  
年 月 日

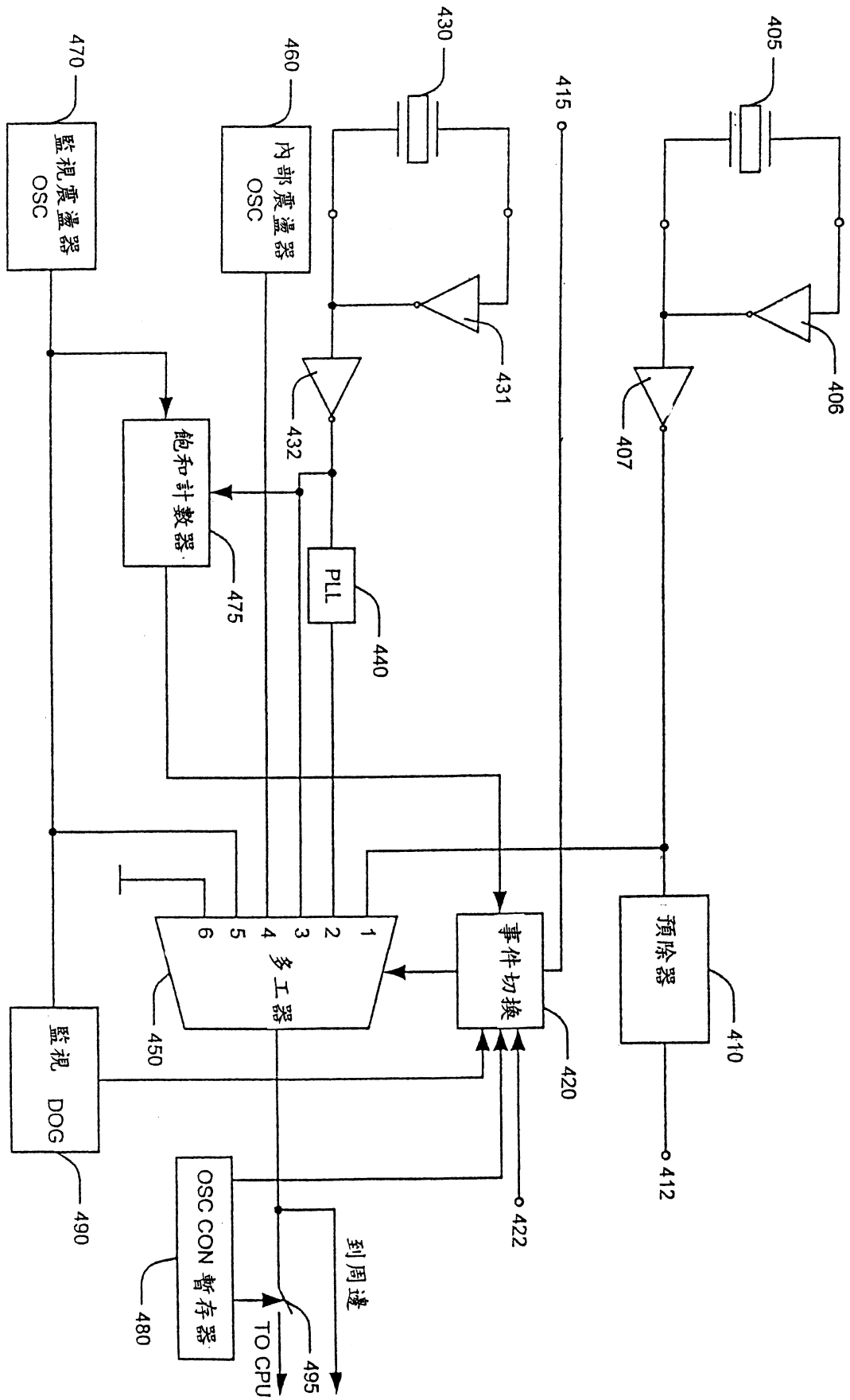


圖 4



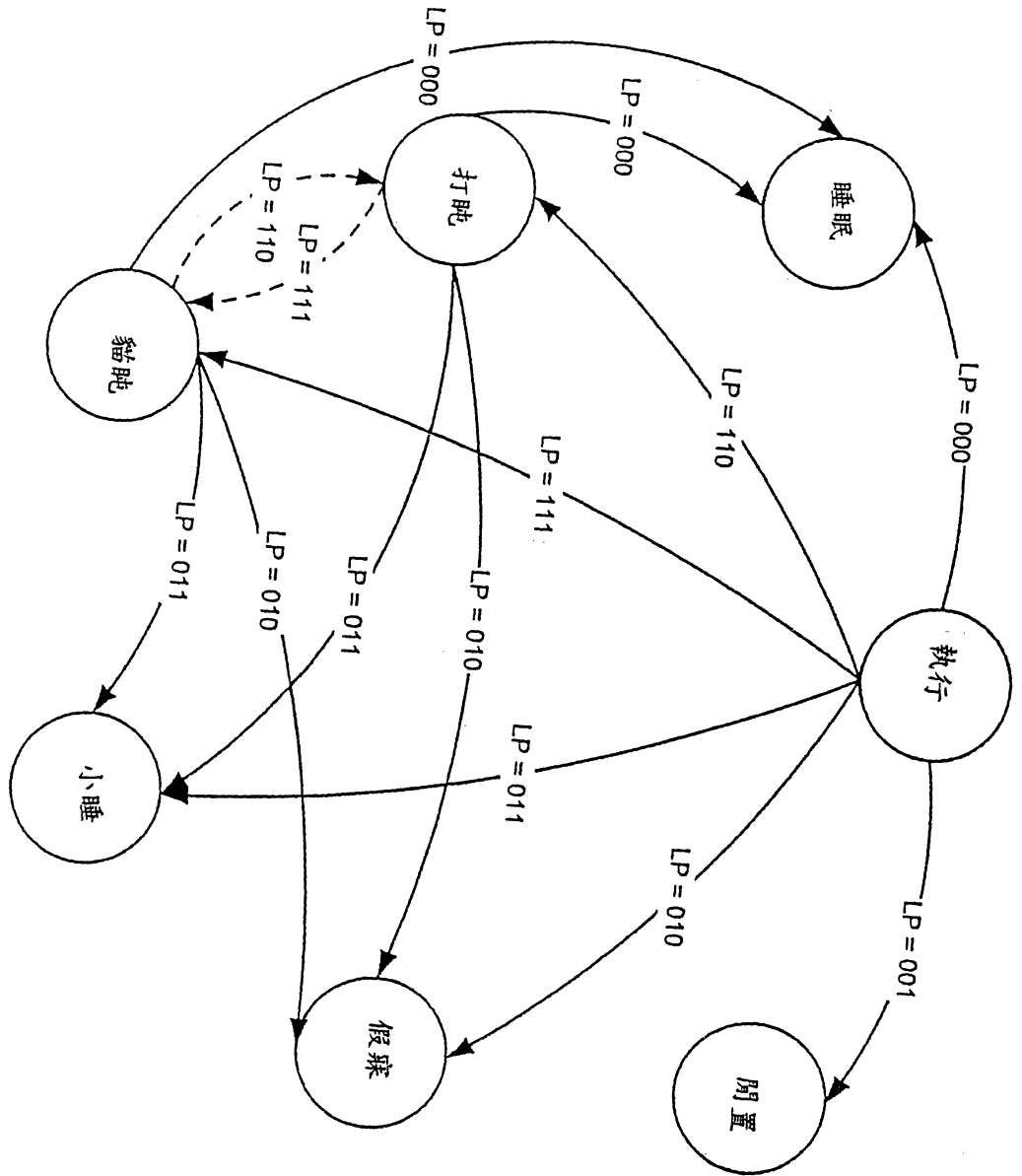


圖 5

頁 換 替 正 修  
日 月 年 費

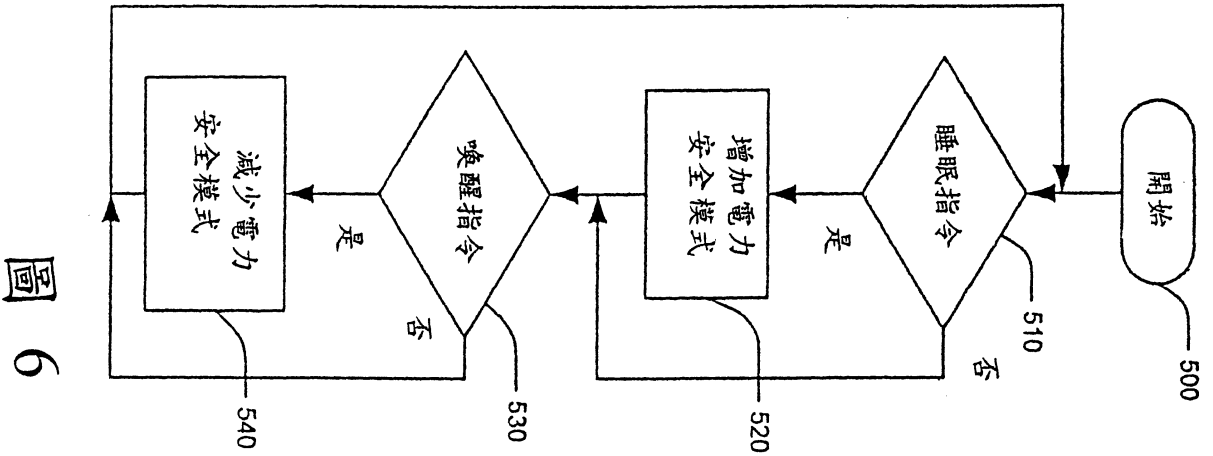


圖 6

修正換頁  
年 月 日

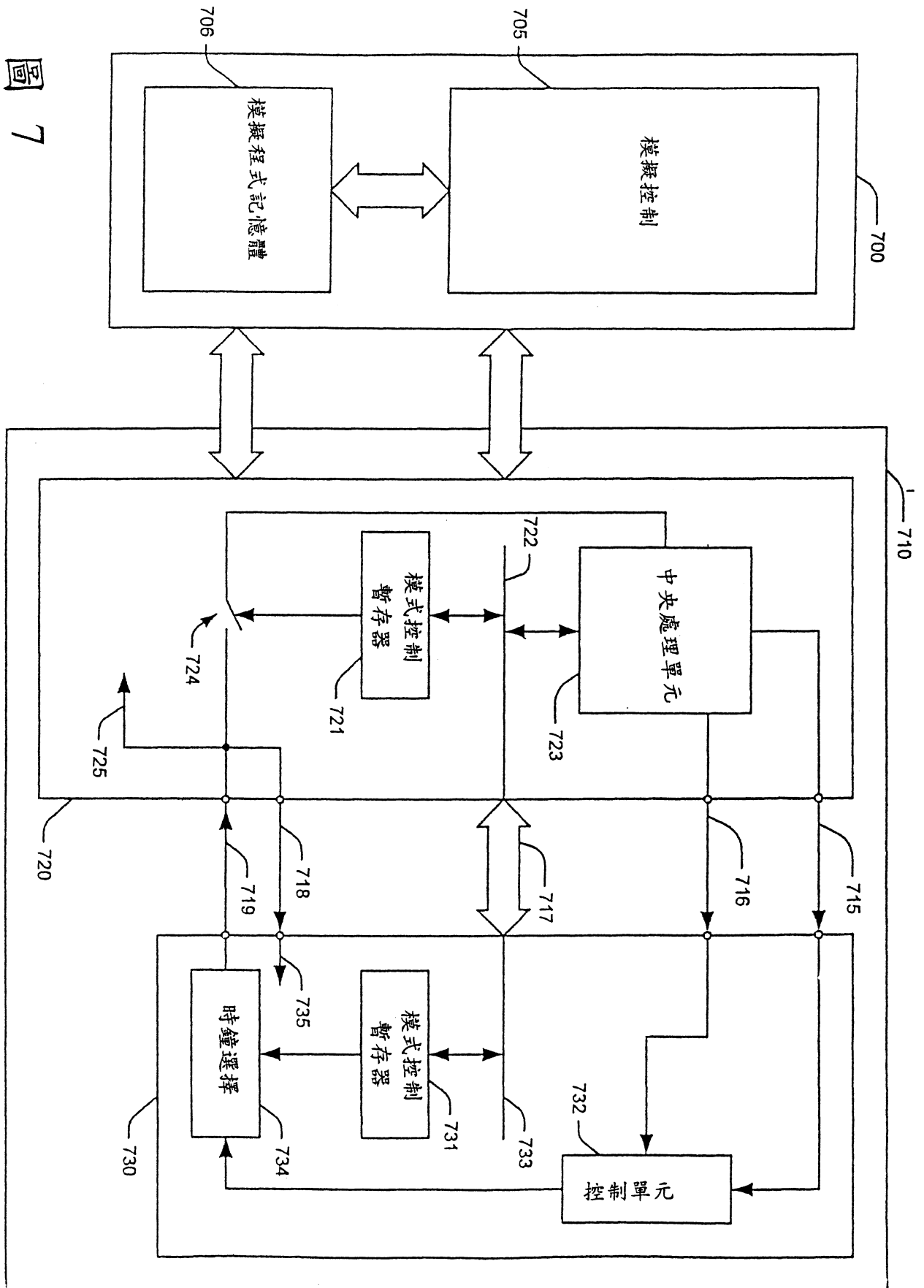


圖 7