

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁶
G11C 11/407

(11) 공개번호 특1997-0076830
(43) 공개일자 1997년 12월 12일

(21) 출원번호 특1996-0015944
(22) 출원일자 1996년 05월 14일
(71) 출원인 삼성전자 주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 한규한
서울특별시 서대문구 홍제 4동 186-2 (2/6)

심사청구 : 없음

(54) 메모리 장치의 비트라인전압 제어회로

요약

본 발명은 메모리 장치의 비트라인전압 제어회로에 관한 것으로서, 로우 어드레스 스트로브 신호에 응답하여 인에이블 되는 어드레스 스트로브 마스터 신호와 등화 제어신호에 응답하여 액티브 초기구간을 검출하고 검출된 신호를 제어신호로 발생하는 액티브 초기구간 검출수단과, 상기 액티브 초기구간 검출수단에 응답하여 제1비트라인 전압을 더 낮은 제2비트라인전압으로 다운시키는 비트라인 구동전압 제어수단과, 상기 등화 제어신호에 응답하여 액티브구간 초기에는 상기 비트라인 구동전압 제어수단으로부터 제공되는 제1 및 제2비트라인 구동전압에 의해 상기 제1, 제2비트라인을 등화시키기 위한 등화회로를 구비하는 것을 특징으로 한다.

따라서, 상술한 바와 같이 본 발명에서는 종래의 비트라인 전압 발생부의 제한을 개선하기 위해 비트라인 전압 제어수단을 설치하고 액티브 초기구간 검출수단에서 발생하는 제어신호의 액티브 초기에 비트라인 구동전압 제어수단을 통해 제1, 제2비트라인 전압을 양 비트라인 전압차의 절반레벨 이하로 낮추고, 센스증폭기(미도시)가 감지할 수 있는 비트라인 전압 마진을 비트라인전압 감소분 만큼 증대시킴으로써, 저전압원 마진이 향상되어, 저전압원에서 동작 가능한 대용량과 저소비전력의 메모리 장치의 구현을 가능하게 한다.

대표도

도3

명세서

[발명의 명칭]

메모리 장치의 비트라인전압 제어회로

[도면의 간단한 설명]

제3도는 본 발명에 의한 메모리 장치의 비트라인전압 제어회로의 구성을 나타낸 회로도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

로우 어드레스 스트로브 신호에 응답하여 인에이블 되는 로우 어드레스 스트로브 마스터 신호와 등화 제어신호에 응답하여 액티브 초기구간을 검출하고 검출된 신호를 제어신호로 발생하는 액티브 초기구간 검출수단; 상기 액티브 초기구간 검출수단에 응답하여 제1비트라인 구동전압을 더 낮은 제2비트라인 구동전압으로 다운시키는 비트라인 구동전압 제어수단; 및 상기 등화 제어신호에 응답하여 액티브구간 초기에는 상기 제1비트라인 구동전압 제어수단으로부터 제공되는 제1 및 제2비트라인 구동전압에 의해 상기 제1, 제2비트라인을 등화시키기 위한 등화회로를 구비하는 것을 특징으로 하는 메모리 장치의 비트라인전압 제어회로.

청구항 2

제1항에 있어서, 상기 비트라인 구동전압 제어수단은 제1비트라인 구동전압과 제2비트라인 구동전압 사이에 연결되어 상기 액티브 초기구간 검출신호에 응답하여 액티브 초기구간에만 턴온되는 MOS 트랜지스

터로 구성된 것을 특징으로 하는 메모리 장치의 비트라인전압 제어회로.

청구항 3

제1항에 있어서, 상기 액티브 초기구간 검출수단은 상기 로우 어드레스 마스터신호와 등화 제어신호를 부정 논리곱하는 낸드게이트와 상기 낸드게이트의출력을 반전하여 상기 액티브 제어신호를 발생하는 인버터로 구성된 것을 특징으로 하는 메모리장치 비트라인전압 제어회로.

※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

도면3

