

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
COURBEVOIE

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

3 057 105

②1 N° d'enregistrement national : **16 59621**

⑤1 Int Cl⁸ : **H 01 L 29/15 (2017.01), H 01 L 29/40**

①2

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 05.10.16.

③0 Priorité :

④3 Date de mise à la disposition du public de la demande : 06.04.18 Bulletin 18/14.

⑤6 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

⑥0 Références à d'autres documents nationaux apparentés :

Demande(s) d'extension :

⑦1 Demandeur(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES Etablissement public — FR.

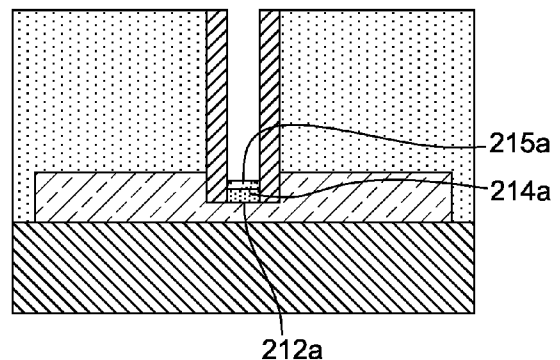
⑦2 Inventeur(s) : BARRAUD SYLVAIN.

⑦3 Titulaire(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES Etablissement public.

⑦4 Mandataire(s) : BREVALEX Société à responsabilité limitée.

⑤4 DISPOSITIF A BOITE(S) QUANTIQUE(S) COMPORTANT DES DOPANTS LOCALISES DANS UNE COUCHE SEMI-CONDUCTRICE MINCE.

⑤7 Procédé de réalisation d'un dispositif quantique doté d'une structure d'ilot quantique, comprenant la formation d'un empilement comprenant une première couche semi-conductrice à base de matériau semi-conducteur non-dopé sur laquelle on fait croître par épitaxie au moins une deuxième couche semi-conductrice dopée, le dopage étant réalisé pendant la croissance par épitaxie, une première région (212a) appartenant à la première couche semi-conductrice et une deuxième région (214a) appartenant à la deuxième couche semi-conductrice étant aptes à former un ilot quantique.



FR 3 057 105 - A1



**DISPOSITIF A BOITE(S) QUANTIQUE(S) COMPORTANT DES DOPANTS LOCALISES DANS UNE
COUCHE SEMI-CONDUCTRICE MINCE**

DESCRIPTION

DOMAINE TECHNIQUE ET ART ANTÉRIEUR

5 La présente demande a trait aux dispositifs quantiques dotés d'un ou plusieurs ilots quantiques et en particulier à ceux mettant en œuvre le phénomène de blocage de Coulomb.

 Les ilots quantiques encore appelés « boites quantiques » ou « points quantiques » (« quantum dots » selon la terminologie anglo-saxonne) sont des structures
10 semi-conductrices réalisées à l'échelle submicronique dans lesquelles des électrons libres sont présents. Dans ces structures, les électrons libres sont confinés sous forme d'un gaz d'électrons. Les ilots ou boites quantiques sont couplées à des régions formant des réservoirs d'électrons, communément appelés régions de source et de drain via des barrières tunnels.

15 Le principe du transport électronique dans ces structures repose essentiellement sur le blocage de Coulomb. Un électron ne peut être ajouté dans une boite quantique possédant un autre électron que s'il possède assez d'énergie pour surmonter la répulsion de Coulomb entre deux électrons.

 On sait mettre en œuvre des boites (ou ilots) quantiques à partir d'une
20 hétéro-structure formée à partir d'un empilement de deux matériaux semi-conducteurs de type III-V : du GaAs et de l'AlGaAs. Dans une telle structure, les électrons libres sont fortement confinés à l'interface entre le GaAs et l'AlGaAs, formant ainsi un gaz d'électrons susceptible de se déplacer sur 2 dimensions. Le confinement dans les deux autres dimensions est alors obtenu en déplaçant le gaz électronique à l'aide d'électrodes
25 métalliques polarisées.

 Un tel type de structure est décrit par exemple dans le document de Hanson et al. « Spins in few-electron quantum dots », Rev. Mod. Phys. 79, 1217, Octobre 2007.

D'autres structures de boîtes quantiques sont décrites dans le document Quantum computation: « Silicon comes back », Schreiber et al., Nature Nanotechnology Volume:9, Pages: 966–968 , 2014. Certaines mettent en œuvre un piégeage des électrons dans une hétéro-structure Si/SiGe tandis que d'autres réalisent un confinement d'électrons à l'interface entre une couche de matériau semi-conducteur et un oxyde Al₂O₃.

Selon une autre approche, on met en œuvre une structure dotée d'îlot quantique dans lequel le spin de l'électron est lié à un dopant Phosphore présent dans un matériau semi-conducteur, en particulier du Si purifié Si₂₈. La mise en œuvre d'une telle structure pose problème car le nombre de dopants doit être faible (idéalement un seul dopant) et leur positionnement très bien contrôlé.

Le document « Controlled shallow single-ion implantation in silicon using an active substrate for sub- 20-keV ions », de Jamieson et al. Appl. Phys. Lett. 86, 202101 (2005) prévoit la mise en œuvre d'un dispositif quantique à structure d'îlot quantique en silicium dopé au phosphore. Les dopants sont générés par implantation ionique. Avec une telle méthode demeure le risque d'une mauvaise localisation des dopants.

Il se pose le problème d'une mise en œuvre, d'un nouveau dispositif quantique, améliorée vis-à-vis d'inconvénients donnés ci-dessus.

EXPOSÉ DE L'INVENTION

Un but de la présente invention est de réaliser un dispositif quantique doté d'au moins une structure d'îlot quantique comportant une région dopée dont les dopants sont localisés de manière très précise.

Ainsi un mode de réalisation de la présente invention concerne un procédé de réalisation d'un dispositif quantique comprenant la formation d'un empilement comprenant une première couche semi-conductrice à base de matériau semi-conducteur non-dopé sur laquelle on fait croître par épitaxie au moins une deuxième couche semi-conductrice dopée, le dopage étant réalisé pendant la croissance par épitaxie, une première région appartenant à la première couche semi-conductrice et une deuxième région appartenant à la deuxième couche semi-conductrice étant aptes à former un îlot quantique.

En réalisant la région dopée par croissance et dopage concomitants, on obtient une localisation précise de dopant(s) et une interface entre région dopée et région non-dopée de l'îlot quantique définie de manière précise. Par ailleurs, un tel dopage par épitaxie permet la mise en œuvre d'une région semi-conductrice dopée d'épaisseur très fine, de préférence de l'ordre de plusieurs nanomètres, typiquement entre 2 nm et 5 nm.

La région semi-conductrice est avantageusement encapsulée de part et d'autre par des espaceurs positionnés sur des flancs d'une grille de contrôle électrostatique.

Les îlots quantiques du dispositif ont une position et une géométrie parfaitement contrôlée et définie par la dimension de la grille

Après la formation de la région dopée, on peut réaliser sur ledit empilement au moins une grille de contrôle électrostatique de l'îlot quantique, la grille étant agencée en regard de la première région et de la deuxième région.

La formation dudit empilement peut comprendre la croissance d'une troisième couche semi-conductrice à base de matériau semi-conducteur non-dopé sur la deuxième couche semi-conductrice.

Une telle couche permet de ne pas mettre les dopants de la deuxième couche semi-conductrice dopée directement en contact avec le diélectrique (ou oxyde) de grille.

Selon une première possibilité de mise en œuvre du procédé, après formation de la grille, on prévoit des étapes consistant à :

- amincir des portions dudit empilement situées de part et d'autre desdites régions et de la grille, l'amincissement étant réalisé de sorte à dévoiler des bords latéraux de ladite deuxième région, une épaisseur e'_1 de la première couche semi-conductrice étant conservée, puis

- formation d'espaceurs isolants de part et d'autre de la grille, les espaceurs recouvrant les bords latéraux de ladite deuxième région. Ainsi, on réalise des zones amincies de la première couche semi-conductrice destinées à former des jonctions tunnel et on forme des espaceurs assurant une isolation latérale de la région dopée.

La formation de l'empilement peut comprendre une croissance d'une autre couche sur la première couche semi-conductrice à base de matériau semi-conducteur non-dopé et préalablement à la croissance par épitaxie de la deuxième couche semi-conductrice. Cette autre couche peut être semi-conductrice et comporter une zone sacrificielle. Le procédé peut alors comprendre en outre, après formation de la grille et préalablement à la formation des espaceurs isolants, des étapes consistant à :

- retirer la zone sacrificielle de sorte à former un espace vide entre ladite première région et ladite deuxième région, puis

- combler ledit espace vide par un matériau diélectrique. Cet espace vide peut être avantageusement comblé lors de la formation des espaceurs par le matériau diélectrique servant à former les espaceurs. On réalise ainsi une isolation tout autour de la région dopée permettant d'éviter à la fois une diffusion verticale et horizontale de dopants.

Après formation des espaceurs, on peut effectuer une croissance de régions semi-conductrices de source et de drain sur des zones amincies de l'empilement.

Selon une possibilité de mise en œuvre, le procédé comprend la formation de l'empilement et préalablement à la formation de la grille : la gravure de l'empilement de sorte à former un bloc semi-conducteur. Ce bloc semi-conducteur peut être sous forme d'un nano-fil.

Selon une deuxième possibilité de mise en œuvre du procédé, préalablement à la formation de l'empilement, on peut prévoir des étapes de :

- formation sur la première couche semi-conductrice d'un bloc de grille sacrificiel,

- formation d'un masquage autour du bloc de grille sacrificiel, puis

- retrait du bloc de grille sacrificiel de manière à former une cavité, la cavité dévoilant la première région de la première couche semi-conductrice, la croissance de la deuxième couche semi-conductrice par épitaxie étant réalisée dans la cavité, la grille de contrôle électrostatique étant ensuite réalisée dans la cavité sur la deuxième couche semi-conductrice.

La première couche semi-conductrice peut être une couche superficielle d'un substrat de type semi-conducteur sur isolant, la couche superficielle reposant sur une couche isolante du substrat.

Avantageusement, la deuxième couche semi-conductrice avec les dopants est positionnée entre le diélectrique de grille et la couche isolante du substrat, par exemple sous forme d'oxyde enterré.

Le procédé suivant l'invention est compatible avec une co-intégration du dispositif quantique avec un ou plusieurs transistors en technologie CMOS, en particulier pour lesquels l'épaisseur de matériau semi-conducteur du canal et la longueur de grille sont de faibles dimensions.

Selon un autre aspect, la présente demande concerne un dispositif semi-conducteur à effet quantique comprenant :

- au moins une structure d'îlot quantique formée d'une première région semi-conductrice, et une deuxième région semi-conductrice, la première région semi-conductrice étant non-dopée tandis que la deuxième région semi-conductrice est dopée et située en regard de ladite première région semi-conductrice,

- une grille de contrôle électrostatique agencée en regard de la première région semi-conductrice et de la deuxième région semi-conductrice.

Le dispositif peut être doté d'espaceurs isolants disposés de part et d'autre de la grille et qui s'étendant contre des bords latéraux de ladite deuxième région.

La première région appartient à une première couche semi-conductrice sur laquelle les espaceurs sont disposés, la première couche comportant une première jonction tunnel sous un premier espaceur desdits espaceurs et une deuxième jonction tunnel sous un deuxième espaceur parmi lesdits espaceurs, le dispositif comprenant en outre une région semi-conductrice de source et une région semi-conductrice de drain de part et d'autre de la grille et des espaceurs.

Selon une possibilité de mise en œuvre du dispositif quantique, la première région semi-conductrice et la deuxième région semi-conductrice sont disposées l'une sur l'autre, une région de matériau diélectrique étant intercalée entre la première région semi-conductrice et la deuxième région semi-conductrice.

Selon une possibilité de mise en œuvre du dispositif quantique, la première région appartient à une première couche semi-conductrice, au moins une autre structure d'îlot quantique étant formée d'une autre région semi-conductrice non-dopée de la première couche semi-conductrice et d'une autre région semi-conductrice dopée
5 disposée sur l'autre région semi-conductrice non-dopée, le dispositif comprenant une autre grille de contrôle électrostatique agencée en regard desdites autres régions semi-conductrices.

La première région peut appartenir à une couche semi-conductrice superficielle d'un substrat de type semi-conducteur sur isolant comprenant une couche
10 isolante sur et en contact de laquelle la couche superficielle est disposée et une couche de support semi-conductrice sur et en contact de laquelle la couche isolante est disposée, la couche isolante étant prévue avec un matériau et une épaisseur de sorte à permettre un couplage électrostatique entre l'îlot quantique et la couche de support semi-conductrice.

BRÈVE DESCRIPTION DES DESSINS

15 La présente invention sera mieux comprise à la lecture de la description d'exemples de réalisation donnés, à titre purement indicatif et nullement limitatif, en faisant référence aux dessins annexés sur lesquels :

- les figures 1A-1B illustrent un premier exemple de dispositif quantique tel que mis en œuvre suivant un mode de réalisation de la présente invention, le dispositif
20 étant doté d'au moins une structure d'îlot quantique formée dans une structure semi-conductrice dotée d'une région dopée formée par épitaxie sur une région non-dopée ;

- les figures 2A-2B illustrent une variante de réalisation du dispositif quantique pour laquelle la région dopée et la région non-dopée sont séparées par une région isolante ;

25 - les figures 3A-3B illustrent une autre variante de réalisation du dispositif quantique avec plusieurs îlots quantiques entre une région de source et une région de drain, le contrôle électrostatique des îlots étant assuré par le biais de plusieurs électrodes de grilles ;

- les figures 4A-4B illustrent un autre exemple de réalisation de réalisation du dispositif quantique avec plusieurs régions dopées entièrement entourées de matériau diélectrique ;

5 - les figures 5A-5F illustrent un premier exemple de procédé de réalisation d'un dispositif quantique, dans lequel, pour mettre en œuvre une structure d'îlot quantique on forme une région semi-conductrice dopée par croissance par épitaxie avec un dopage concomitant ;

10 - les figures 6A-6G illustrent une variante de réalisation pour laquelle la région semi-conductrice dopée est formée par croissance sur une région semi-conductrice sacrificielle ;

- les figures 7A-7K illustrent un exemple de réalisation d'un dispositif quantique dans lequel on forme une région dopée ainsi qu'une grille de contrôle électrostatique dans une cavité ;

15 En outre, dans la description ci-après, des termes qui dépendent de l'orientation du dispositif, telle que « supérieure », « inférieure », « latérale », s'appliquent en considérant que la structure est orientée de la façon illustrée sur les figures.

Des parties identiques, similaires ou équivalentes des différentes figures portent les mêmes références numériques de façon à faciliter le passage d'une figure à l'autre.

20 Les différentes parties représentées sur les figures ne le sont pas nécessairement selon une échelle uniforme, pour rendre les figures plus lisibles.

EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS

On se réfère à présent aux figures 1A-1B illustrant un dispositif à effet quantique tel que mis en œuvre suivant un mode de réalisation de la présente invention.

25 Ce dispositif, basé sur le principe du blocage de Coulomb, comporte une structure semi-conductrice appelée îlot quantique ou encore boîte quantique et qui est isolée du reste du dispositif par deux jonctions tunnel. L'énergie électrostatique nécessaire pour qu'un électron d'une première électrode ou région dite « de source » 26 puisse transiter sur l'îlot quantique par effet tunnel et atteindre une deuxième électrode ou région

dite « de drain » 27 dépend de la manière dont une troisième électrode dite de « grille » 22 est polarisée.

Le dispositif est réalisé sur un substrat semi-conducteur tel qu'un substrat semi-conducteur de type semi-conducteur sur isolant doté d'une couche superficielle 12 semi-conductrice, par exemple en silicium, reposant elle-même sur une couche isolante 11 de BOX (pour « Burried OXide »). La structure d'îlot comporte une région 12a dite « de canal » de la couche semi-conductrice superficielle 12. La région 12a de canal s'étend entre une première région semi-conductrice 26 formant la région de source et une deuxième région semi-conductrice 27 formant la région de drain. Dans cet exemple, la région 12a de canal est non-dopée et recouverte par et en contact avec une région semi-conductrice 14a dopée N, l'espèce dopante étant typiquement du Phosphore. Dans cette structure d'îlot le spin d'électrons dont l'état peut être modifié est lié au dopant Phosphore présent dans la région semi-conductrice dopée 14a.

La région semi-conductrice 14a dopée est une couche réalisée par épitaxie afin de définir un niveau de dopage faible et contrôlé précisément. Dans ce dispositif, l'interface entre zone dopée et zone non-dopée est définie de manière précise au niveau de la zone de contact entre les régions semi-conductrices 12a et 14a, ce qui permet un positionnement précis du ou des électrons libres générés grâce au dopage.

La région semi-conductrice 12a non dopée et la région semi-conductrice 14a dopée N empilées forment un bloc semi-conducteur typiquement de forme parallélépipédique avec une hauteur ou une épaisseur comprise entre plusieurs nanomètres et plusieurs dizaines de nanomètres et une largeur comprise par exemple entre 5 nm et 10 nm

La grille 22 est disposée sur ce bloc semi-conducteur 12a-14a et est séparée de ce dernier par l'intermédiaire d'un diélectrique 19 de grille. La grille 22 est ainsi couplée à l'îlot quantique par l'intermédiaire d'une capacité. Pour permettre d'obtenir un meilleur contrôle électrostatique de l'îlot quantique, la grille 22 peut être partiellement enrobante et s'étendre, comme cela est illustré sur la figure 1B, autour de plusieurs faces du bloc semi-conducteur, et en particulier en regard de la face supérieure 13' et de faces latérales 13'' du bloc semi-conducteur 12a-14a.

Des espaceurs isolants 24 sont prévus contre des flancs latéraux de la grille 22 afin d'isoler l'îlot quantique des régions 16, 27 de source et de drain. Les espaceurs isolants 24 s'étendent contre des faces latérales du bloc semi-conducteur 14a-12a et en particulier recouvre des bords latéraux de la région semi-conductrice dopée 14a. Par bords

5 « latéraux », on entend des bords qui s'étendent entre une face supérieure et une face inférieure de la région semi-conductrice 14a dopée. La face supérieure est celle en regard de laquelle la grille est située tandis que la face inférieure est celle disposée en regard de la couche superficielle du substrat.

Les espaceurs isolants 24 s'étendent également partiellement en regard

10 de bords latéraux de la région semi-conductrice non-dopée 12a.

Les jonctions ou barrière tunnel sont réalisées dans des régions 12b et 12c de la couche semi-conductrice 12 disposées de part et d'autre de la région 12a de canal et situées sous les espaceurs 24. Ces régions 12b, 12c ont une faible épaisseur, en particulier inférieure à celle de la région 12a de canal. On prévoit de préférence l'épaisseur

15 des régions 12b, 12c inférieure 5nm.

Une variante de réalisation prévoit une couche isolante 11 de faible épaisseur, par exemple inférieure à 25nm afin de permettre de réaliser un couplage entre la région semi-conductrice 12 de canal et la couche de support du substrat. Ainsi on peut mettre en œuvre une polarisation de la couche superficielle 12 par sa face arrière c'est-à-

20 dire la face opposée à celle sur laquelle la grille repose.

Une autre variante de réalisation du dispositif est donnée sur les figures 2A-2B et prévoit d'intercaler une région isolante 25 entre la région semi-conductrice dopée 14a et la région semi-conductrice 12a non-dopée. L'épaisseur et le matériau de la région isolante 25 sont prévues de sorte qu'un couplage électrostatique peut être établi entre la

25 région semi-conductrice dopée 14a et la région semi-conductrice 12a non-dopée. Cette région isolante 25 lorsqu'elle est par exemple en oxyde ou nitrure a une épaisseur qui peut être comprise par exemple entre 2 nm et 10 nm. Ainsi, la région isolante 25 est disposée contre la face inférieure de la région semi-conductrice dopée 14a et la face supérieure de la région semi-conductrice 12a non-dopée.

Pour cette variante, la région semi-conductrice dopée 14a est ainsi entièrement entourée de matériau diélectrique afin de réaliser un meilleur contrôle des électrons et permettre d'empêcher une diffusion de dopants.

Les exemples de dispositif à effet quantique qui viennent d'être donnés
5 prévoient une grille de contrôle électrostatique d'un ilot quantique. Il est en variante possible, comme cela est illustré sur l'exemple de réalisation des figures 3A-3B ou celui des figures 4A-4B, de mettre en œuvre un dispositif dans lequel plusieurs ilots quantiques 1a, 1b sont agencés en série, chaque ilot 1a (resp. 1b) pouvant être commandé par le biais d'une électrode de grille 22a (resp. 22b).

10 Dans l'exemple de réalisation des figures 3A-3B, un premier bloc formé d'une région semi-conductrice 14a dopée disposé sur et en contact d'une région semi-conductrice 12a non-dopée est relié par l'intermédiaire d'une portion semi-conductrice de la couche superficielle 12 à un deuxième bloc formé d'une région semi-conductrice 14b dopée disposée sur et en contact d'une région semi-conductrice 12b non-dopée.

15 Dans l'exemple de réalisation des figures 4A-4B, un premier ilot 1a quantique ayant un agencement du type de celui décrit précédemment en liaison avec les figure 2A-2B est disposé en série avec un deuxième ilot 1b quantique ayant un agencement du même type.

Un dispositif à ilot ou boites quantique tel que décrit précédemment peut
20 être amené à former un bit quantique (Qbit) et peut être intégré par exemple dans un circuit logique adapté pour mettre en œuvre un traitement quantique de l'information ou un circuit de spintronique, voir même à un circuit utilisé dans un ordinateur quantique. Un tel circuit peut être associé ou comprendre un ou plusieurs transistors, notamment des transistors réalisés en technologie CMOS, plus particulièrement des transistors réalisés sur
25 film mince et selon une technologie FDSOI. Un dispositif à ilot ou boites quantique tel que décrit précédemment s'adapte tout particulièrement à une co-intégration avec une structure de transistor à structure de canal formée d'un ou plusieurs nano-fils et à grille partiellement enrobante de type communément appelé « Tri-Gate » ou « Omega-Gate », c'est-à-dire qui s'étend sur les trois faces différentes du nano-fil pour faciliter le contrôle
30 du canal.

Un exemple de procédé de réalisation d'un dispositif quantique va à présent être donné en liaison avec les figures 5A-5F.

Le matériau de départ de ce procédé est ici un substrat de type semi-conducteur sur isolant comprenant une couche de support 10 semi-conductrice, par exemple en silicium. La couche de support 10 est revêtue d'une couche isolante 11, elle-même revêtue d'une couche semi conductrice 12 dite « superficielle ». On utilise en particulier un substrat de type SOI (SOI pour « silicon on insulator ») dans lequel la couche semi conductrice 12 superficielle est à base de silicium. La couche superficielle 12 semi conductrice a une épaisseur e_1 qui peut être comprise entre 7nm et 15nm, par exemple de l'ordre de 10 nm. La couche isolante 11 communément appelée de BOX (BOX pour « Buried Oxide ») est typiquement à base de SiO_2 et a une épaisseur e_0 qui peut être comprise entre 25nm et 145nm par exemple de l'ordre de 145 nm (les épaisseurs e_1 et e_0 étant des dimensions mesurées parallèlement à un axe z d'un repère orthogonal [O ; x ; y ; z] représenté sur la figure 5A). Dans un cas où l'on souhaite mettre en œuvre une polarisation de la couche superficielle 12 par la face arrière, autrement dit par la couche de support 10, on peut prévoir une couche isolante 11 de plus faible épaisseur e_0 , qui peut être comprise entre 10 et 25nm par exemple de l'ordre de 15 nm.

Sur la couche superficielle 12 on forme une couche semi-conductrice dopée 14, par exemple à base de Si dopé au phosphore afin d'obtenir du Si:P. La couche semi-conductrice dopée 14 est réalisée par épitaxie en effectuant un dopage *in situ*, ce qui permet d'obtenir un dopage précis et de mettre en œuvre une interface entre zone non-dopée et zone dopée localisée de manière précise. Un tel procédé permet également de mettre en œuvre une couche dopée de faible épaisseur, par exemple inférieure à 5nm.

L'épaisseur e_{EPI} de la couche semi-conductrice dopée 14 peut être par exemple de l'ordre de 5 nm.

Une autre couche semi-conductrice 16 non-dopée peut être formée sur la couche semi-conductrice dopée 14. Cette couche semi-conductrice 16 non-dopée permet d'isoler la couche dopée de la couche de diélectrique grille. Cette autre couche semi-conductrice 16 peut être à base de Si et avoir une épaisseur e_2 par exemple de l'ordre de 3 nm.

Ensuite (figure 5B), on grave l'empilement de couches semi-conductrices 12, 14, 16, afin de définir un ou plusieurs blocs 18 distincts de forme oblongue ou allongée.

Les blocs 18 distincts peuvent être en particulier des nano-fils de forme parallélépipédique. Les blocs 18 distincts peuvent être prévus avec une largeur W_{NW} ou dimension critique comprise par exemple entre 5 nm et 20 nm (la largeur W_{NW} étant une dimension mesurée parallèlement au plan principal du substrat et en particulier à l'axe x du plan $[O ; x ; y]$, le plan principal du substrat étant défini comme un plan passant par le substrat et parallèle au plan $[O ; x ; y]$).

On forme ensuite une grille 22 sur le ou les blocs semi-conducteurs 18 (figure 5C donnant une vue en coupe transversale selon un plan de coupe orthogonal au plan de coupe de la figure 5B). La grille 22 peut être partiellement enrobante et s'étendre sur les blocs semi-conducteurs 18 ainsi que sur des faces latérales de la grille 22. Cette grille 22 est typiquement réalisée par formation d'un empilement de grille puis par gravure de cet empilement à l'exception d'au moins un bloc protégé par un masque dur 21. Le masque dur 21 peut être formé d'une couche d'oxyde de silicium surmontée d'une couche de nitrure de silicium. L'empilement de grille est formé d'une couche 19 diélectrique et d'une couche 20 de matériau conducteur ou semi-conducteur. La couche 19 peut être par exemple à base d'un matériau diélectrique high-k tel que du HfO_2 lorsque la couche 20 est à base de métal tel que du Tungstène ou comporte une épaisseur de métal. Selon un autre exemple, la couche 19 peut être également à base de SiO_2 lorsque la couche 20 est en un matériau semi-conducteur tel que du polysilicium. La grille est prévue avec une dimension critique encore appelée largeur W_D de préférence faible, autrement dit comprise entre 10nm et 30nm, par exemple de l'ordre de 7 nm. Par dimension critique on entend tout au long de la description la dimension d'un motif hormis son épaisseur. Une faible largeur W_D de grille permet d'obtenir une énergie de charge de l'îlot importante.

De préférence, l'épaisseur dopée T_{dop} de la couche semi-conductrice dopée 14 (T_{dop} pouvant être égale à e_{EPI} lorsque la couche 14 est entièrement dopée) au phosphore (Si:P) est fixée en fonction des dimensions W_{NW} et W_D de sorte à avoir un ou deux dopants dans un volume V , tel que $V = W_{NW} * W_D * T_{dop}$.

Le tableau ci-dessous répertorie différents exemples de niveaux de dopages (m^{-3}) en fonction des dimensions de la région dopée 12a et du nombre de dopants que l'on souhaite obtenir à proximité de l'îlot.

nb dopant	W_{NW} (nm)	W_D (nm)	T_{dop} (nm)	Volume boîte (nm^3)
	5	5	2	50
1	2,00E+25			
2	4,00E+25			
3	6,00E+25			
4	8,00E+25			
dopage canal Si:P				
nb dopant	W_{NW} (nm)	W_D (nm)	T_{dop} (nm)	Volume boîte (nm^3)
	7	7	2	98
1	1,02E+25			
2	2,04E+25			
3	3,06E+25			
4	4,08E+25			
Dopage canal Si:P				
nb dopant	W_{NW} (nm)	W_D (nm)	T_{dop} (nm)	Volume boîte (nm^3)
	10	10	2	200
1	5,00E+24			
2	1,00E+25			
3	1,50E+25			
4	2,00E+25			
Dopage canal Si:P				

nb dopant	W_{NW} (nm)	W_D (nm)	T_{dop} (nm)	Volume boîte (nm ³)
	10	10	3	300
1	3,33E+24			
2	6,67E+24			
3	1,00E+25			
4	1,33E+25			
Dopage canal Si:P				

On effectue ensuite un retrait partiel de portions du ou des blocs semi-conducteurs 18 qui ne sont pas protégées par le masque dur 21 et qui sont situées de part et d'autre de la grille 22 (figure 5D). Cette gravure partielle est réalisée de sorte à retirer des portions de la couche semi-conductrice 16, de la couche semi-conductrice dopée 14 qui ne sont pas protégées par le masque dur 21, ce au moins jusqu'à atteindre la couche semi-conductrice 12 superficielle. La gravure est de préférence prolongée de sorte à retirer également une épaisseur non-protégée par le masque dur 21 de la couche semi-conductrice superficielle 12.

Elle permet de réaliser un amincissement de certaines portions des blocs semi-conducteurs 18 et de dévoiler ainsi des bords latéraux d'une région 16a gravée issue de la couche semi-conductrice non-dopée 16 ainsi que d'une région 14a gravée issue de la couche semi-conductrice dopée 14a. En prolongeant la gravure jusqu'à un niveau situé au-dessous de la face inférieure de la région dopée 14a, on dévoile des zones latérales d'une région 12a de la couche semi-conductrice superficielle non-dopée située en regard de la grille. De cette manière on peut par la suite encapsuler toute la surface des bords latéraux de la région dopée 14a.

A l'issue de la gravure, on conserve une épaisseur e'_1 de la couche superficielle 12 de part et d'autre de la grille 22 afin de permettre de réaliser une reprise d'épitaxie. Cette épaisseur e'_1 restante est toutefois prévue faible afin de pour réaliser des jonctions tunnel. De préférence l'épaisseur e'_1 restante est au moins inférieure à 5nm et peut être par exemple de l'ordre 3 à 5 nm. La gravure de portions de l'empilement de couches semi-conductrices 12, 14, 16, est effectuée par exemple par gravure plasma.

Une fois la sur-gravure de la couche semi-conductrice 12 superficielle réalisée, on forme des espaceurs 24 contre les flancs latéraux de la grille 22 (figure 5E). Les espaceurs 24 sont à base de matériau diélectrique, par exemple du nitrure de silicium ou de l'oxyde de silicium ou du SiBCN, et recouvrent les bords latéraux de la région 16a non-dopée 16 ainsi que de la région 14a dopée et une partie de la région 12a. Les espaceurs 24 peuvent être formés avec une épaisseur T_s comprise par exemple entre 10nm et 50nm, par exemple de l'ordre de 15 nm. L'épaisseur T_s (dimension mesurée parallèlement au plan [O ; x ; y]) des espaceurs 24 est prévue de sorte à permettre que les électrons présents dans l'îlot quantique, ne soient pas écrantés par les régions de source et de drain destinées à être formées ultérieurement. Des régions 12c, 12d amincies de la couche semi-conductrice superficielle 12 et situées sous les espaceurs 24 sont destinées à former respectivement une première jonction tunnel et une deuxième jonction tunnel.

On forme ensuite des régions semi-conductrices 26, 27, destinées respectivement à former un premier réservoir à électrons encore appelé région de source et un deuxième réservoir à électrons encore appelé région de drain. Les régions semi-conductrices 26, 27 sont réalisées par croissance par épitaxie sur des parties restantes de la couche semi-conductrice 12 superficielle disposées de part et d'autre de la grille 22 et des espaceurs 24 (figure 5F).

Dans l'exemple de réalisation qui vient d'être décrit, on réalise un îlot quantique formé dans une structure semi-conductrice comportant une région semi-conductrice dopée 14a intercalée entre une région semi-conductrice non dopée 12a sur laquelle une face inférieure de la région semi-conductrice dopée 14a repose et une autre région semi-conductrice 16a non-dopée reposant sur une face supérieure de la région semi-conductrice dopée 14a opposée à la dite face supérieure. Une encapsulation partielle de la région semi-conductrice dopée 14a par un matériau diélectrique est réalisée. Cette région 14a dopée confinée entre deux régions 12a, 16a non dopées n'est dans cet exemple recouverte de matériau diélectrique des espaceurs 24 qu'au niveau de ses bords latéraux. On empêche une diffusion latérale des dopants.

Un autre exemple de procédé, dans lequel on met cette fois en œuvre une encapsulation complète de la région semi-conductrice dopée 14a de l'îlot quantique va à présent être décrite en liaison avec les figures 6A-6G.

5 Dans cet exemple de réalisation, on peut partir d'un substrat semi-conducteur sur isolant tel que décrit précédemment et former sur la couche semi-conductrice superficielle 12 une couche 13 dont au moins une région est destinée à former une zone sacrificielle. La couche 13 est à base d'un matériau, apte à être gravé de manière sélective vis-à-vis de celui de la couche semi-conductrice superficielle 12 et qui est de préférence semi-conducteur. La couche 13 peut être par exemple en silicium germanium
10 en particulier lorsque la couche semi-conductrice superficielle 12 est en silicium. La couche 13 peut être prévue avec une épaisseur e_3 comprise par exemple entre 3nm et 10nm, par exemple de l'ordre de 3 nm.

Puis, on forme la couche semi-conductrice 14 dopée par épitaxie sur la couche 13 dont une zone est apte à former une zone sacrificielle (figure 6A).

15 On grave ensuite des nano-fils 28 dans l'empilement de couches 12, 13, 14 (figure 6B).

On réalise ensuite une grille 22 qui s'étend orthogonalement à la direction dans laquelle les nano-fils 28 s'étendent. La grille 22 est typiquement partiellement enrobante autour des nano-fils 28 et réalisée par gravure en servant d'un
20 masque dur 21 comme d'un masque de gravure (figure 6C).

Puis, on effectue un retrait de portions de l'empilement de couches semi-conductrices 12, 13, 14 qui ne sont pas disposées en regard du masque dur 21 et sont ainsi situées de part et d'autre de la grille 22. Le retrait est effectué de manière à conserver une épaisseur e'_1 de la couche superficielle 12 (figure 6D).

25 On effectue ensuite un retrait sélectif de la couche semi-conductrice 13 sacrificielle. Lorsque cette couche sacrificielle 13 est en SiGe, le retrait peut être effectué par exemple à l'aide d'une gravure humide de type acide acétique par exemple. Le retrait de la couche semi-conductrice 13 sous la couche semi-conductrice dopée 14 permet de former un espace 30 vide. En formant cet espace vide 30 on dévoile ainsi la face inférieure
30 de la région semi-conductrice dopée 14a (figure 6E).

On comble ensuite cet espace vide 30 par un matériau diélectrique 25, de sorte à former une zone de matériau diélectrique contre la face inférieure de la région semi-conductrice dopée 14a. Avantageusement, on réalise cette étape lors de la formation d'espaceurs 24 de part et d'autre de la grille 22 (figure 6F). Le matériau diélectrique des
5 espaceurs 24 recouvre alors les flancs latéraux de la grille, les bords latéraux des régions 14a dopée et 12a non-dopée et vient combler l'espace vide 30 sous la région semi-conductrice dopée 14a. Dans cet exemple, on a ainsi réalisé une encapsulation totale de la région semi-conductrice dopée 14a par un matériau diélectrique. On empêche ainsi une diffusion latérale et verticale des dopants.

10 On fait ensuite croître les régions semi-conductrices 26, 27 sur les portions restantes de la couche semi-conductrice superficielle 12 (figure 6G).

Dans les exemples de procédé qui viennent d'être décrits, on réalise l'électrode de grille avant les régions de source et de drain formant des réservoirs à électrons.

15 Une variante de réalisation est illustrée sur les figures 7A-7H.

Dans cet exemple de réalisation, on peut partir d'un même substrat semi-conducteur sur isolant que celui décrit précédemment et former des blocs 38 distincts par gravure de la couche semi-conductrice superficielle 12 (figure 7A). Préalablement à la définition des blocs semi-conducteurs 38, la couche semi-conductrice superficielle 12 peut
20 subir un amincissement de sorte à conserver une épaisseur par exemple de l'ordre de 4-5 nm.

On réalise ensuite une grille sacrificielle 122 sur les blocs 38 (figure 7B).

La grille 122 sacrificielle réalisée par gravure d'un empilement de grille en servant d'un masque dur 121 comme d'un masque de gravure. L'empilement de grille est
25 par exemple formé d'une couche de polysilicium sur une couche d'oxyde de silicium.

On forme ensuite des espaceurs 124 de part et d'autre de la grille sacrificielle et du masque dur 121 (figure 7C).

Puis, on fait ensuite croître les régions semi-conductrices 26, 27 de source et de drain par épitaxie sur les portions de la couche semi-conductrice superficielle 12 qui
30 ne sont pas protégées par le masque du 121 (figure 7D).

On forme ensuite une couche de matériau diélectrique 128 par exemple une couche PMD (pour « pre-metal dielectric ») en SiO_2 sur les régions 26, 27 de source et de drain et sur la grille sacrificielle. On effectue ensuite un polissage CMP (pour « Chemical Mechanical Planarization ») encore appelé planarisation afin de mettre la face supérieure

5 de la couche de matériau diélectrique 128 au même niveau que le sommet du masque dur 121. La couche de matériau diélectrique 128 permet de former avec les espaceurs 124 un masquage de protection. Le masque dur 121 est dévoilé et est entouré par ce masquage de protection (figure 7E).

Ensuite, on retire le masque dur 121 et la grille 122 sacrificielle entre les

10 espaceurs 124 isolants. Cette étape aboutit à la formation d'une cavité 135 entre les espaceurs 124 (figure 7F). Le retrait de la grille sacrificielle 122 peut être effectué par exemple par une gravure sélective à l'aide d'une technique NH_4OH afin de supprimer le polysilicium et de HF afin de supprimer le dioxyde de silicium. En variante, on peut par exemple effectuer une gravure à l'aide TMAH.

15 Une fois la grille sacrificielle 122 retirée, une région de la couche semi-conductrice superficielle 12 est dévoilée au fond de la cavité 135. Dans cette cavité 135, on forme ensuite une région semi-conductrice dopée 214a par croissance par épitaxie avec un dopage *in situ* sur la région dévoilée de la couche semi-conductrice superficielle. Autrement dit, on fait croître la région semi-conductrice 215a tout en la dopant.

20 Cette croissance peut être précédée d'une croissance par épitaxie d'une couche semi-conductrice non-dopée 212a afin d'augmenter l'épaisseur de matériau semi-conducteur non-dopé dans une zone située entre les espaceurs 124 (figure 7G).

Ensuite, on forme sur la région semi-conductrice dopée 214a une couche diélectrique 219 de grille et une couche de matériau 220 de grille (figure 7H). Par exemple

25 la couche diélectrique 219 est en SiO_2 tandis que le matériau 220 est en polysilicium. Selon un autre exemple la couche diélectrique 219 est en HfO_2 tandis que le matériau 220 est en W.

Un retrait partiel du matériau 220 de grille peut être ensuite réalisé afin de définir un emplacement. Cet emplacement est ensuite comblé par un matériau donné,

qui peut être diélectrique et par exemple à base de nitrure de silicium afin de former un bouchon de protection 225 (figure 7I).

On effectue ensuite un retrait sélectif de la couche de matériau diélectrique 128. Par exemple, lorsque le bouchon de protection 225 et les espaceurs 124 sont en nitrure de silicium et que la couche de matériau diélectrique 128 est en oxyde de silicium, le retrait sélectif est réalisé par gravure plasma.

On dévoile alors à nouveau les régions semi-conductrices 26, 27 de source et de drain (figure 7J).

On peut ensuite former des régions 226, 227 d'alliage de métal et de semi-conducteur sur les régions semi-conductrices 26, 27. Dans le cas où les régions semi-conductrices 26, 27 sont en silicium cette étape est réalisée par siliciuration en déposant une couche métallique, par exemple en nickel, puis en effectuant un recuit thermique (figure 7K).

L'un ou l'autre des exemples de procédés qui viennent d'être décrits ont pour avantage de permettre une co-intégration du dispositif quantique avec un ou plusieurs transistors, le ou les transistors pouvant être à structure de canal planaire ou bien à structure de canal formée d'un ou plusieurs nano-fils. Le procédé suivant l'invention s'adapte ainsi tout particulièrement à des technologies CMOS suivant une réalisation de transistors selon une méthode de type communément appelé « grille en premier » (« gate-first ») ou « grille en dernier » (« gate-last »).

Il est ainsi possible de réaliser certaines étapes du procédé de réalisation dispositif quantique en même temps que celles de mise en œuvre de transistors.

En particulier, on peut prévoir de réaliser la grille du transistor en même temps que celle du dispositif quantique. On peut également prévoir de former les espaceurs du transistor en même temps que ceux du dispositif quantique. Il est également possible prévoir de réaliser les régions de source et de drain du transistor en même temps que les régions de source et de drain du dispositif quantique. De même, dans le cas où le transistor est prévu avec une structure de canal sous forme d'un ou plusieurs nano-fils, on réalise ce ou ces nano-fils en même temps que celui ou ceux destinés à former la structure d'ilot quantique.

Le procédé suivant l'invention s'adapte également à une co-intégration avec des transistors réalisés sur un film semi-conducteur mince, selon une technologie par exemple de type FDSOI.

REVENDEICATIONS

1. Procédé de réalisation d'un dispositif quantique doté d'au moins une structure d'ilot quantique, comprenant des étapes de :

- 5 - formation d'un empilement comprenant une première couche semi-conductrice (12) à base de matériau semi-conducteur non-dopé sur laquelle on fait croître par épitaxie au moins une deuxième couche semi-conductrice (14) dopée, le dopage étant réalisé pendant la croissance par épitaxie, une première région (12a) appartenant à la première couche semi-conductrice (12) et une deuxième région (14a) appartenant à la deuxième couche semi-conductrice (14) étant aptes à former un ilot quantique,
- 10 - formation sur ledit empilement et en regard desdites première et deuxième régions (12a, 14a) : d'au moins une grille (22) de contrôle électrostatique de l'ilot quantique.

2. Procédé selon la revendication 1, dans lequel la formation dudit empilement comprend la croissance d'une troisième couche semi-conductrice (16) à base de matériau semi-conducteur non-dopé sur la deuxième couche semi-conductrice.

15

3. Procédé selon l'une des revendications 1 ou 2, comprenant après formation de la grille, des étapes consistant à :

- 20 - amincir des portions dudit empilement situées de part et d'autre desdites régions (12a, 14a) et de la grille (22), l'amincissement étant réalisé de sorte à dévoiler des bords latéraux de ladite deuxième région (14a), une épaisseur (e'_1) de la première couche semi-conductrice (12) étant conservée, puis
- formation d'espaceurs isolants (24) de part et d'autre de la grille (22),
- 25 les espaceurs recouvrant les bords latéraux de ladite deuxième région (14a).

4. Procédé selon l'une des revendications 1 à 3, dans lequel la formation de l'empilement comprend une croissance d'une autre couche semi-conductrice (13) sur la première couche semi-conductrice (12) à base de matériau semi-conducteur non-dopé et préalablement à la croissance par épitaxie de la deuxième couche semi-

30

conductrice (14), une région (13a) de cette autre couche semi-conductrice étant apte à former une zone sacrificielle, le procédé comprenant en outre, après formation de la grille et préalablement à la formation des espaceurs isolants, des étapes consistant à :

- retirer la zone sacrificielle (13a), de sorte à former un espace vide (30) entre ladite première région (12a) et ladite deuxième région (14a), puis,
- lors de la formation des espaceurs (24) : combler ledit espace vide par un matériau diélectrique.

5. Procédé selon l'une des revendications 3 ou 4, comprenant après formation des espaceurs (24), une croissance de régions semi-conductrices (26, 27) de source et de drain sur des zones amincies de l'empilement.

6. Procédé selon l'une des revendications 1 à 5, comprenant après formation de l'empilement et préalablement à la formation de la grille (22) : la gravure de l'empilement de sorte à former un bloc semi-conducteur (18, 28).

7. Procédé selon l'une des revendications 1 ou 2, dans lequel préalablement à la formation de l'empilement, le procédé comprend des étapes de :

- formation sur la première couche semi-conductrice (12) d'un bloc de grille sacrificiel (122),
- formation d'un masquage (124-128) autour du bloc de grille sacrificiel (122), puis
- retrait du bloc de grille sacrificiel (122) de manière à former une cavité (135), la cavité dévoilant la première région (212a) de la première couche semi-conductrice (12), la croissance de la deuxième couche semi-conductrice (214a) par épitaxie étant réalisée dans la cavité (135), la grille de contrôle électrostatique étant également réalisée dans la cavité.

8. Procédé selon l'une des revendications 1 à 7, dans lequel la première couche semi-conductrice (12) est une couche superficielle d'un substrat de type semi-conducteur sur isolant, la couche superficielle reposant sur une couche isolante (11) du substrat.

9. Dispositif semi-conducteur à effet quantique comprenant :

- au moins une structure d'îlot quantique formée d'une première région semi-conductrice (12a), et d'une deuxième région semi-conductrice, la première région semi-conductrice étant non-dopée tandis que la deuxième région semi-conductrice est dopée et située en regard de ladite première région semi-conductrice,
- une grille (22, 22a, 22b) de contrôle électrostatique agencée en regard de la première région (12a) semi-conductrice et de la deuxième région semi-conductrice (14a).

10. Dispositif selon la revendication 9, comprenant en outre des espaceurs isolants (24a) disposés de part et d'autre de la grille (22, 22a, 22b), les espaceurs isolants (24) s'étendant contre des bords latéraux de ladite deuxième région (15a).

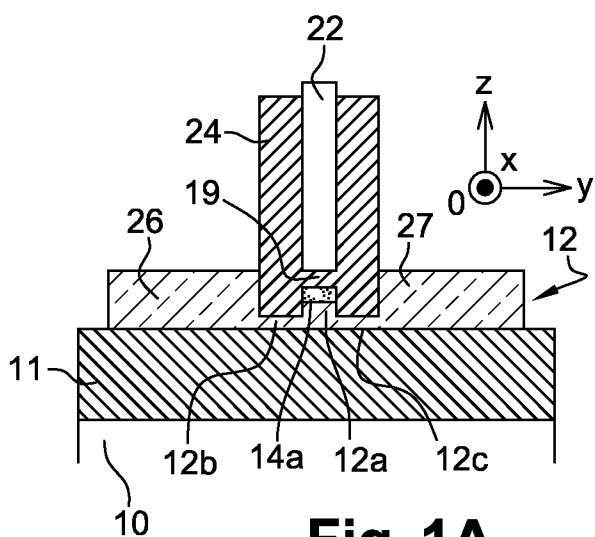
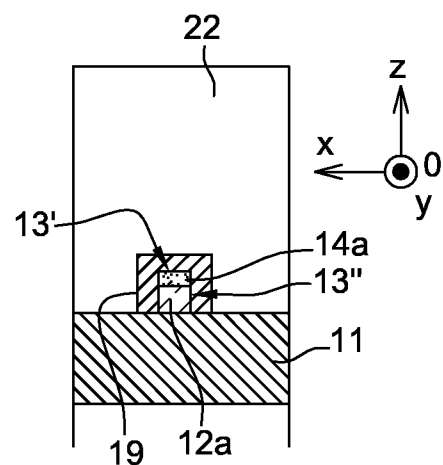
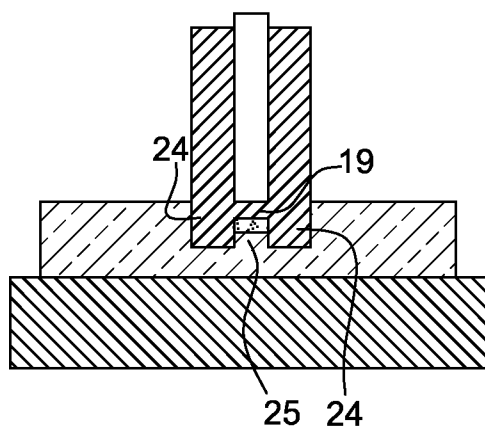
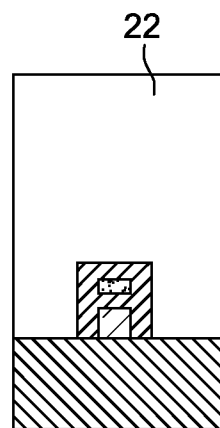
11. Dispositif selon l'une des revendications 9 ou 10, dans lequel la première région (12a) appartient à une première couche semi-conductrice (12) sur laquelle les espaceurs sont disposés, la première couche comportant une première jonction tunnel sous un premier espaceur desdits espaceurs et une deuxième jonction tunnel sous un deuxième espaceur parmi lesdits espaceurs, le dispositif comprenant en outre une région semi-conductrice de source (26) et une région semi-conductrice de drain (27) de part et d'autre de la grille (22, 22a, 22b) et des espaceurs (24).

12. Dispositif selon l'une des revendications 9 à 11, dans lequel la première région semi-conductrice (12a) et la deuxième région semi-conductrice (14a) sont disposées l'une sur l'autre, une région de matériau diélectrique étant intercalée entre la première région semi-conductrice (12a) et la deuxième région semi-conductrice (14a).

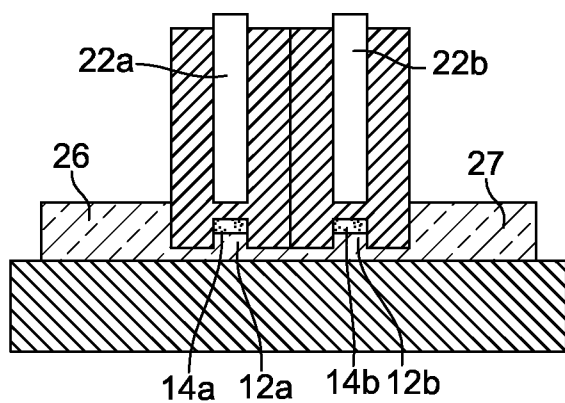
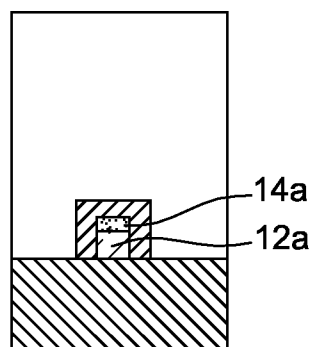
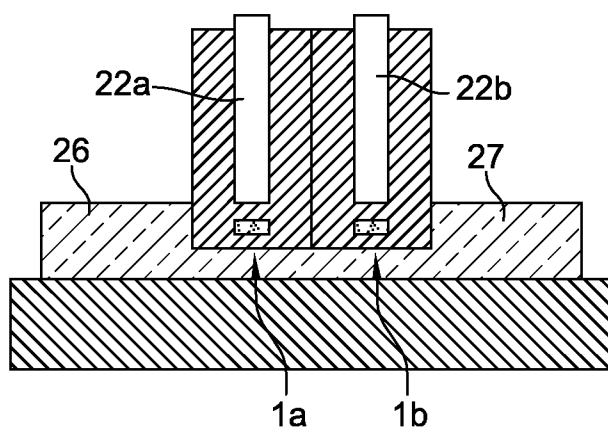
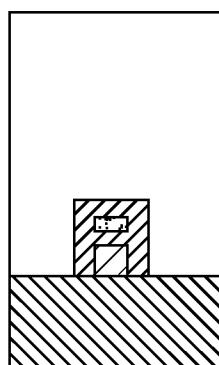
13. Dispositif selon l'une des revendications 9 à 12, dans lequel la première région (12a) appartient à une première couche semi-conductrice (12), au moins une autre structure d'îlot quantique étant formée d'une autre région semi-conductrice non-dopée de la première couche semi-conductrice et d'une autre région semi-conductrice dopée disposée sur l'autre région semi-conductrice non-dopée, le dispositif comprenant

une autre grille de contrôle électrostatique agencée en regard desdites autres régions semi-conductrices.

5 14. Dispositif semi-conducteur à effet quantique selon l'une des revendications 9 à 13, dans lequel la première région (12a) appartient à une couche semi-conductrice superficielle (12) d'un substrat de type semi-conducteur sur isolant comprenant une couche isolante (11) sur et en contact de laquelle la couche superficielle (12) est disposée et une couche de support semi-conductrice sur et en contact de laquelle la couche isolante est disposée, la couche isolante étant prévue avec un matériau et une
10 épaisseur de sorte à permettre un couplage électrostatique entre l'îlot quantique et la couche de support semi-conductrice.

**Fig. 1A****Fig. 1B****Fig. 2A****Fig. 2B**

2 / 9

**Fig. 3A****Fig. 3B****Fig. 4A****Fig. 4B**

3 / 9

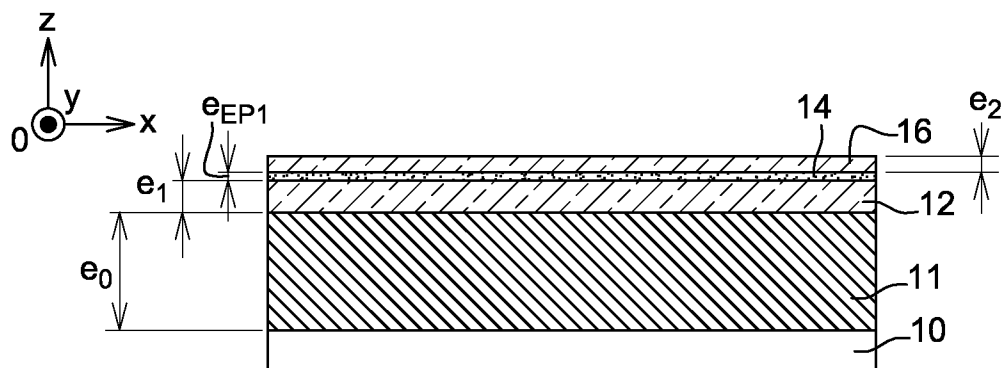


Fig. 5A

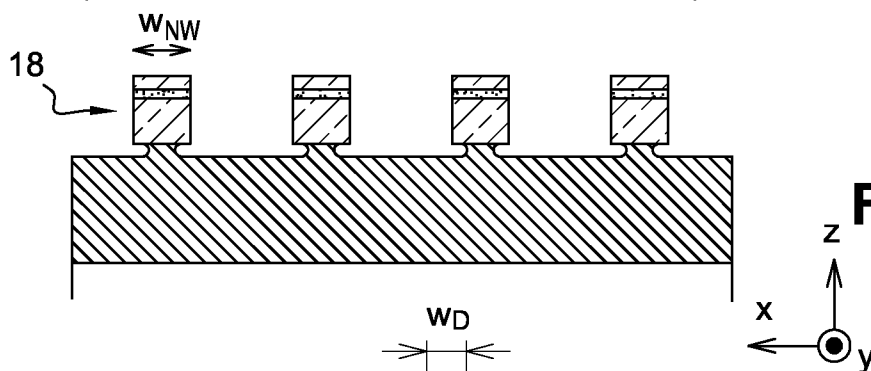


Fig. 5B

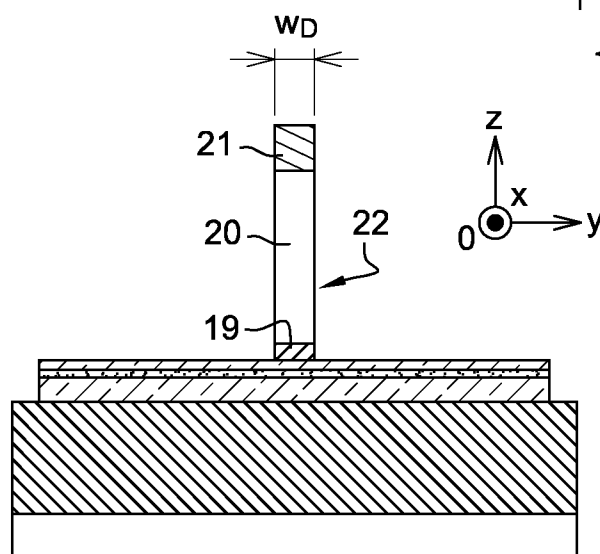


Fig. 5C

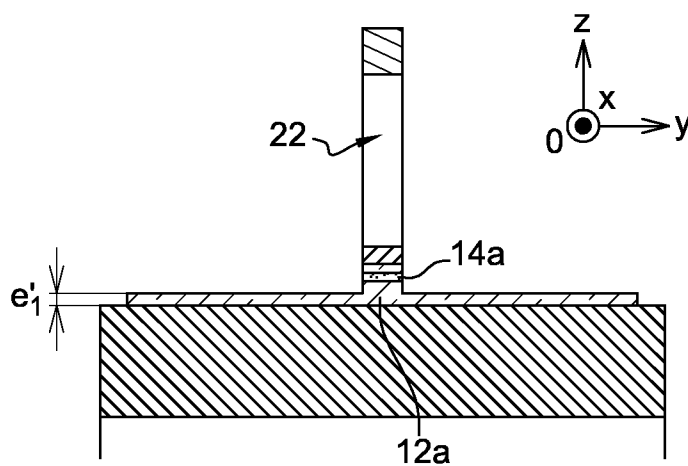
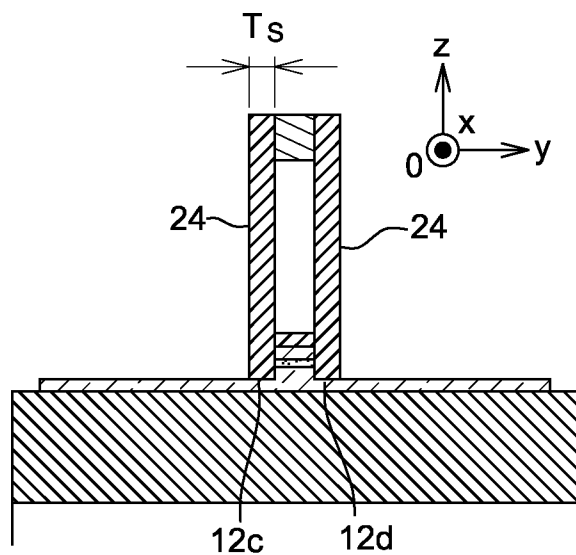
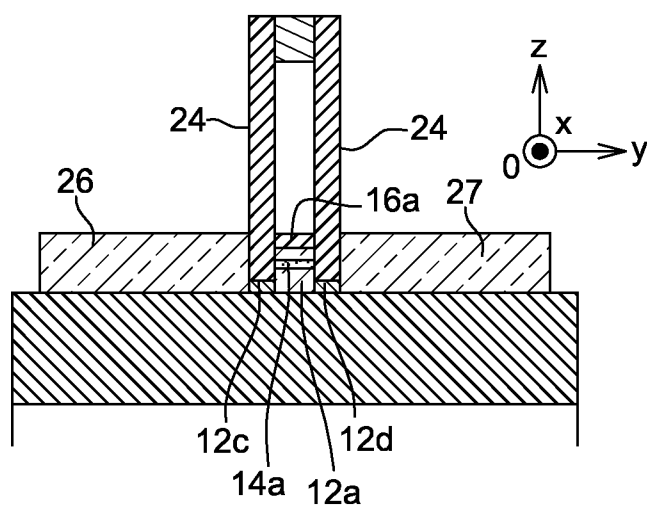
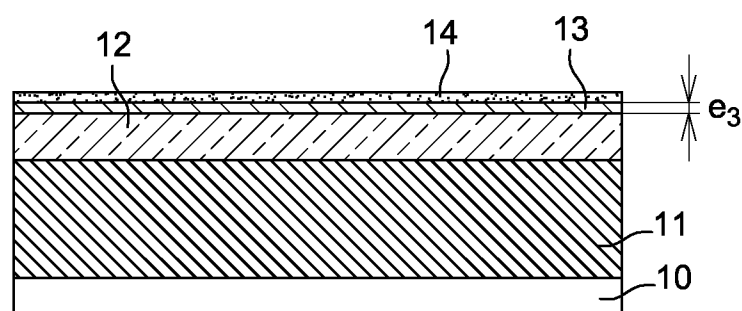
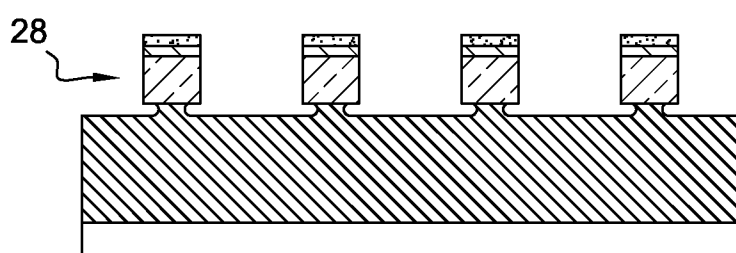
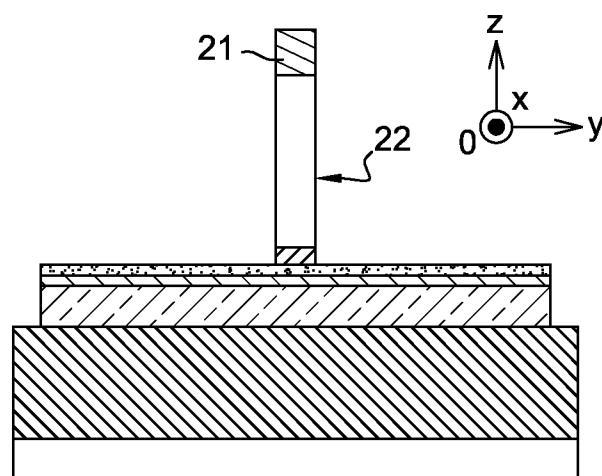
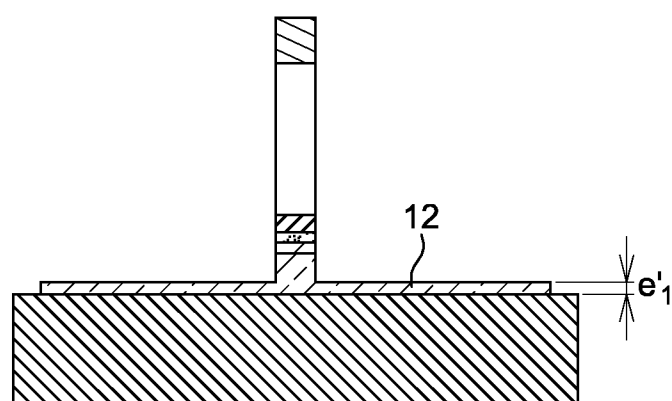


Fig. 5D

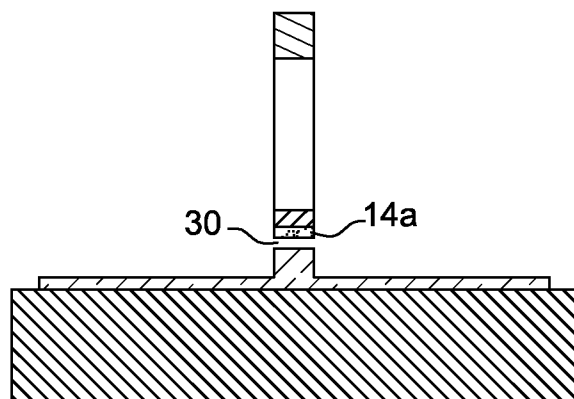
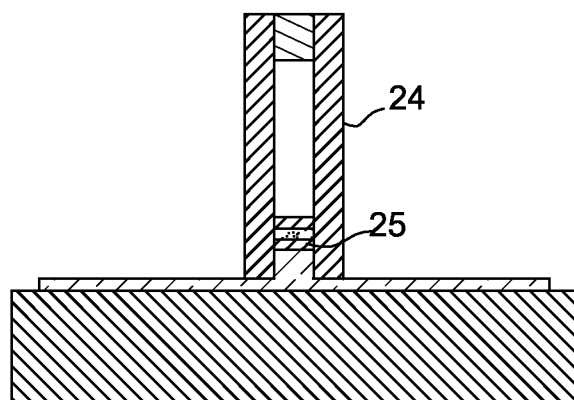
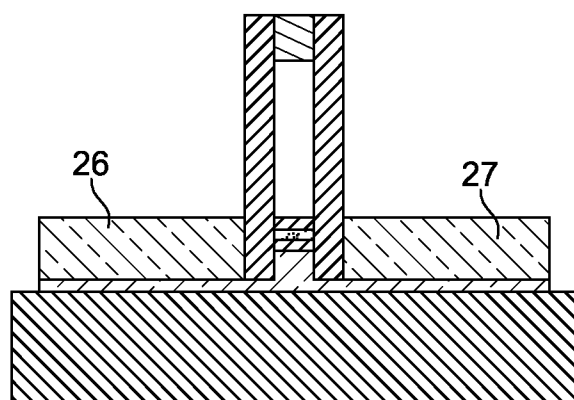
4 / 9

**Fig. 5E****Fig. 5F**

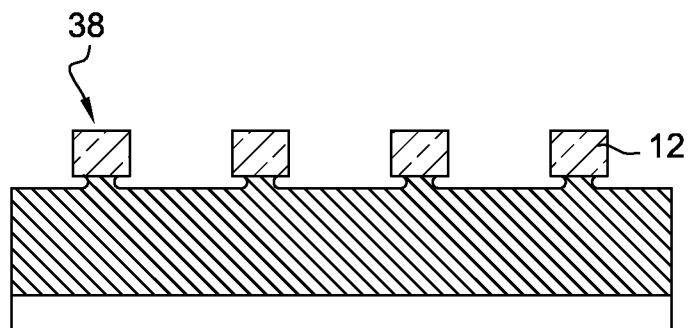
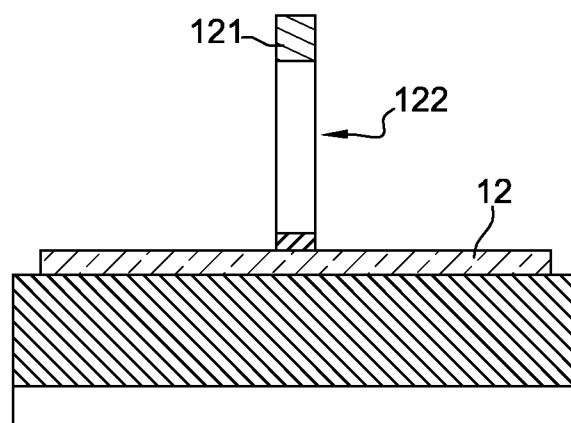
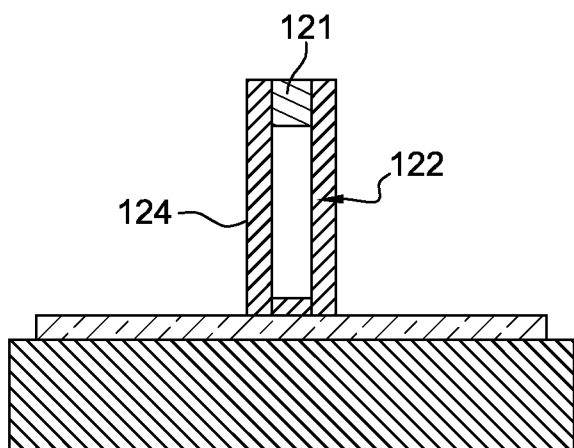
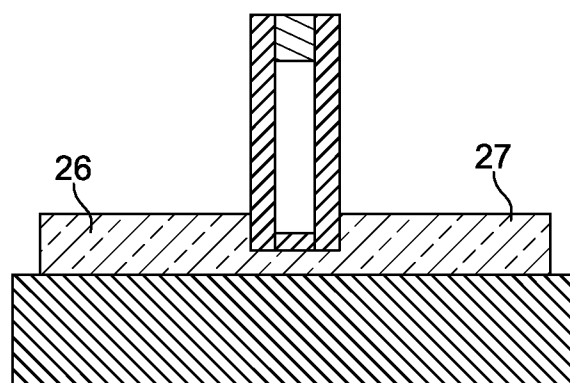
5 / 9

**Fig. 6A****Fig. 6B****Fig. 6C****Fig. 6D**

6 / 9

**Fig. 6E****Fig. 6F****Fig. 6G**

7/9

**Fig. 7A****Fig. 7B****Fig. 7C****Fig. 7D**

8 / 9

Fig. 7E

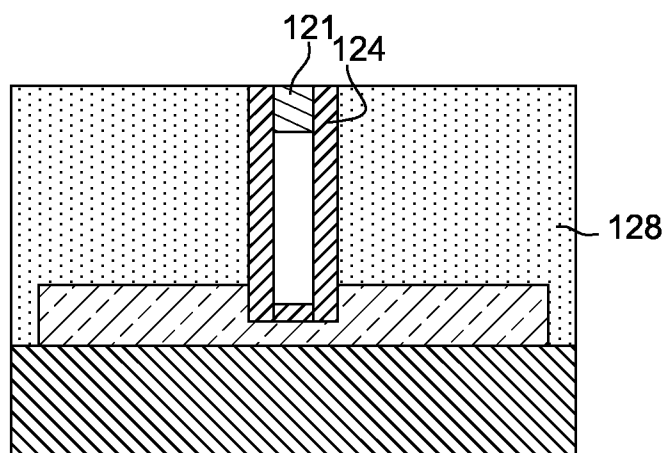


Fig. 7F

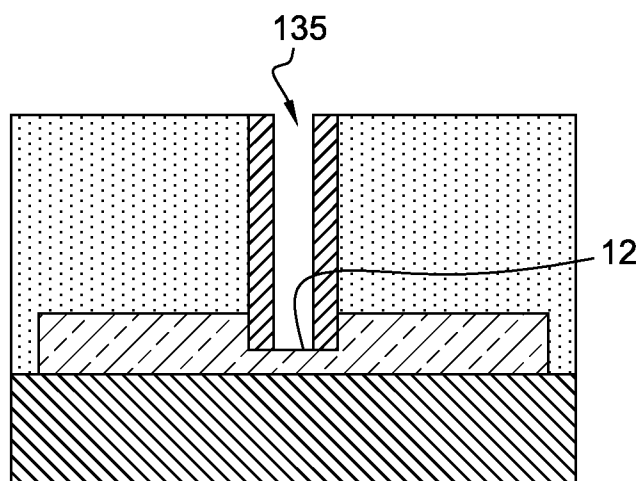


Fig. 7G

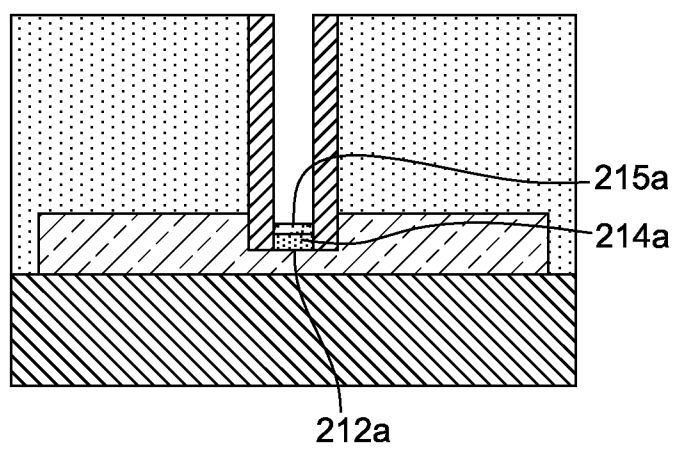


Fig. 7H

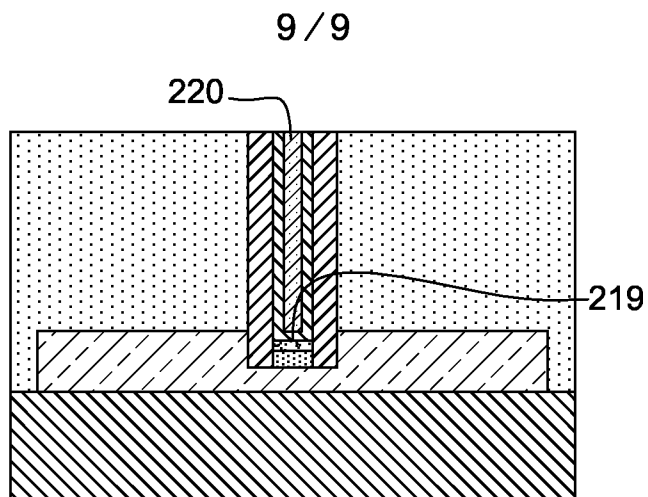


Fig. 7I

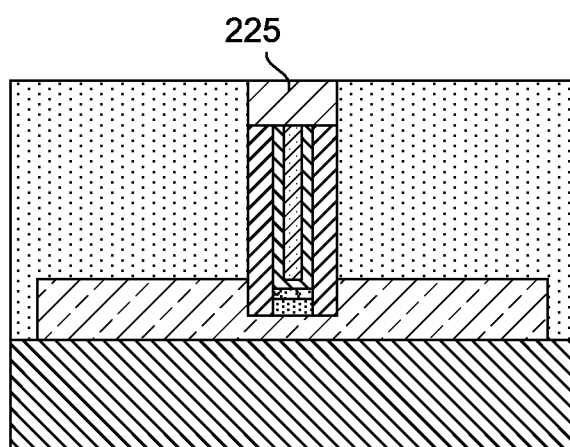


Fig. 7J

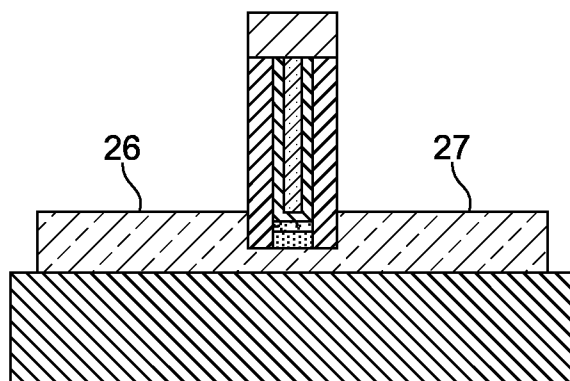
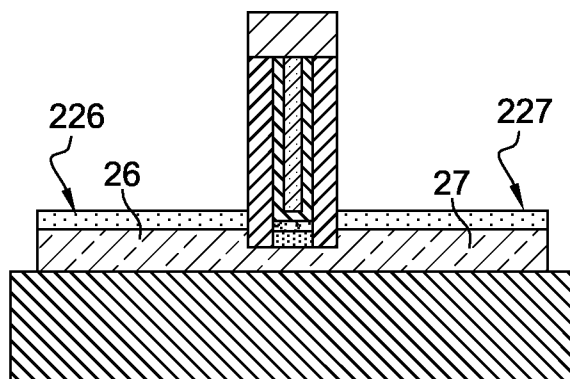


Fig. 7K



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 829843
FR 1659621

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 5 701 017 A (PATEL NALIN K [GB] ET AL) 23 décembre 1997 (1997-12-23) * colonne 5, ligne 14 - colonne 6, ligne 30; figures 1-5 *	1,2,6,9	H01L29/15 H01L29/40
A	US 2016/268406 A1 (BARRAUD SYLVAIN [FR] ET AL) 15 septembre 2016 (2016-09-15) * Fig. 1 et texte correspondant. *	1-14	
A	EP 2 075 745 A1 (HITACHI LTD [JP]) 1 juillet 2009 (2009-07-01) * Figures 1, 2, 9, 10 et texte correspondant. *	1-14	
A	US 5 665 979 A (TAKAHASHI YASUO [JP] ET AL) 9 septembre 1997 (1997-09-09) * Figs. 4, 5 et texte correspondant. *	1-14	
A	US 2002/024089 A1 (YANO KAZUO [JP] ET AL) 28 février 2002 (2002-02-28) * Figs. 1, 11A, 15, 16 et texte correspondant. *	1-14	DOMAINES TECHNIQUES RECHERCHÉS (IPC)
A	WO 02/50886 A1 (COMMISSARIAT ENERGIE ATOMIQUE [FR]; ST MICROELECTRONICS SA [FR]; FRABO) 27 juin 2002 (2002-06-27) * Fig. 15, 18, 20, 29-31 et texte correspondant. *	1-14	B82Y H01L
Date d'achèvement de la recherche		Examineur	
28 juin 2017		Dauw, Xavier	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure	
Y : particulièrement pertinent en combinaison avec un		à la date de dépôt et qui n'a été publié qu'à cette date	
autre document de la même catégorie		de dépôt ou qu'à une date postérieure.	
A : arrière-plan technologique		D : cité dans la demande	
O : divulgation non-écrite		L : cité pour d'autres raisons	
P : document intercalaire		& : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1659621 FA 829843**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 28-06-2017

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5701017	A	23-12-1997	GB 2295272 A US 5701017 A	22-05-1996 23-12-1997
US 2016268406	A1	15-09-2016	FR 3033665 A1 US 2016268406 A1	16-09-2016 15-09-2016
EP 2075745	A1	01-07-2009	AUCUN	
US 5665979	A	09-09-1997	DE 69518821 D1 DE 69518821 T2 DE 69531367 D1 DE 69531367 T2 EP 0718894 A2 EP 1028472 A2 US 5604154 A US 5665979 A	19-10-2000 26-04-2001 28-08-2003 15-04-2004 26-06-1996 16-08-2000 18-02-1997 09-09-1997
US 2002024089	A1	28-02-2002	CN 1101755 A CN 1173043 A CN 1173044 A CN 1398002 A DE 69419469 D1 DE 69419469 T2 DE 69431810 D1 DE 69431810 T2 DE 69432128 D1 DE 69432128 T2 EP 0642173 A1 EP 0844671 A1 EP 0933820 A1 EP 1204146 A1 EP 1204147 A1 JP 3613594 B2 JP H07111295 A KR 100342931 B1 US 5600163 A US 6104056 A US 6291852 B1 US 2001048128 A1 US 2002024089 A1 US 2004041209 A1 US 2005023615 A1 US 2006208315 A1 US 2008061298 A1	19-04-1995 11-02-1998 11-02-1998 19-02-2003 19-08-1999 16-03-2000 09-01-2003 11-09-2003 20-03-2003 09-10-2003 08-03-1995 27-05-1998 04-08-1999 08-05-2002 08-05-2002 26-01-2005 25-04-1995 16-07-2003 04-02-1997 15-08-2000 18-09-2001 06-12-2001 28-02-2002 04-03-2004 03-02-2005 21-09-2006 13-03-2008
WO 0250886	A1	27-06-2002	EP 1346405 A1	24-09-2003

EPO FORM P0465

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1659621 FA 829843**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **28-06-2017**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
		FR 2818439 A1	21-06-2002
		US 2004075123 A1	22-04-2004
		WO 0250886 A1	27-06-2002
