

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-286963

(P2008-286963A)

(43) 公開日 平成20年11月27日(2008.11.27)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 622E	
	G09G 3/20 622F	
	G09G 3/20 621L	
	G09G 3/20 624B	
審査請求 未請求 請求項の数 8 O L (全 26 頁) 最終頁に続く		

(21) 出願番号	特願2007-131210 (P2007-131210)	(71) 出願人	000002185
(22) 出願日	平成19年5月17日 (2007.5.17)		ソニー株式会社
		(74) 代理人	100102185
			弁理士 多田 繁範
		(72) 発明者	浅野 慎
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	富田 昌嗣
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		Fターム(参考)	5C080 AA06 AA10 BB05 DD05 DD22
			DD26 EE29 FF01 FF11 HH09
			JJ02 JJ03 JJ04

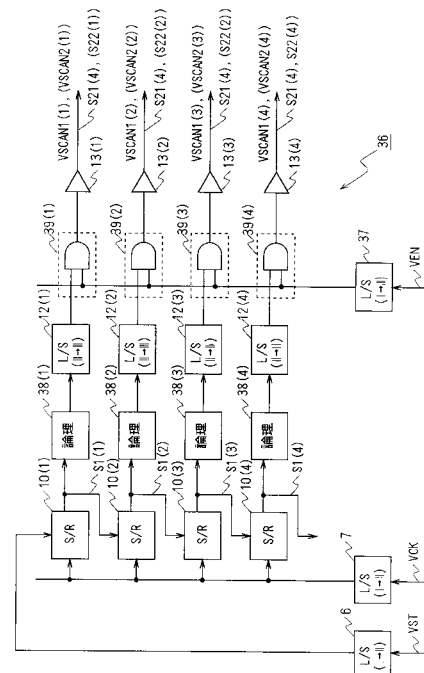
(54) 【発明の名称】 表示装置及び表示装置の駆動方法

(57) 【要約】

【課題】本発明は、表示装置及び表示装置の駆動方法に関し、例えばポリシリコンTFTを用いた有機EL素子によるアクティブマトリックス型のディスプレイ装置に適用して、消費電力、周辺回路の面積の増大を有効に回避して、従来に比して走査線に出力する駆動信号の精度を向上する。

【解決手段】本発明は、画素の駆動に適した第3の電圧系の振幅より小さな第2の電圧系の振幅で選択信号を生成した後、第3の電圧系の振幅に変換し、この第3の電圧系の振幅による選択信号を基準にして第3の電圧系の振幅による垂直インーブル信号を処理して駆動信号を生成する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

画素をマトリックス状に配置して形成された表示部の走査線に、垂直駆動回路から駆動信号を出力して前記画素を駆動することにより、前記表示部で所望の画像を表示する表示装置において、

前記垂直駆動回路は、

基準パルス进行处理して、前記画素の駆動に適した第 3 の電圧系の振幅より小さな第 2 の電圧系の振幅により、前記走査線毎に、前記走査線を順次選択する選択信号を生成する選択信号生成回路と、

前記走査線毎に、前記第 2 の電圧系の振幅による前記選択信号を前記第 3 の電圧系の振幅に変換する走査線毎のレベル変換回路と、

前記走査線毎に、前記走査線毎のレベル変換回路の出力信号をそれぞれ基準にして、前記駆動信号において信号レベルの切り換わるタイミングを設定する前記第 3 の電圧系の振幅による垂直イネーブル信号进行处理することにより、前記第 3 の電圧系により前記駆動信号を生成する走査線毎の駆動信号生成回路とを備える

ことを特徴とする表示装置。

【請求項 2】

前記選択信号生成回路は、

前記第 2 の電圧系の振幅より小さな第 1 の電圧系の振幅による前記基準パルスの振幅を、前記第 2 の電圧系の振幅に変換する基準パルスのレベル変換回路と、

前記第 2 の電圧系による基準パルスを順次転送して前記第 2 の電圧系の振幅による前記選択信号を生成するシフトレジスタとを有する

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記選択信号生成回路は、

前記第 2 の電圧系の振幅より小さな第 1 の電圧系の振幅による前記基準パルスの振幅を、前記第 2 の電圧系の振幅に変換する基準パルスのレベル変換回路と、

前記第 2 の電圧系による基準パルスと垂直クロックと进行处理して、前記第 2 の電圧系の振幅による前記選択信号を生成するデコーダとを有する

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

前記基準パルスが、垂直同期信号に同期した垂直スタートパルスである

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

前記垂直イネーブル信号の振幅を、前記第 2 の電圧系の振幅より小さな第 1 の電圧系の振幅から前記第 3 の電圧系の振幅に変換する垂直イネーブル信号のレベル変換回路を有する

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 6】

前記垂直イネーブル信号のレベル変換回路は、

前記垂直イネーブル信号を第 1 の電圧系の振幅で入力して前記第 2 の電圧系の振幅に変換した後、前記第 2 の電圧系の振幅の前記垂直イネーブル信号を前記第 3 の電圧系の振幅に変換する

ことを特徴とする請求項 5 に記載の表示装置。

【請求項 7】

前記画素は、

電流駆動型の発光素子と、

信号レベル保持用のコンデンサと、

前記信号レベル保持用のコンデンサの端子間電圧に応じて前記発光素子を駆動する駆動用トランジスタと、

10

20

30

40

50

前記信号レベル保持用のコンデンサの一端を信号線に接続することにより、前記信号線の電位に前記一端の電位を設定する信号線用のトランジスタとを有し、

一定期間、前記駆動用トランジスタにより前記信号線用のコンデンサの端子間電圧を変化させることにより、前記駆動用トランジスタの移動度のばらつきを補正した後、前記信号レベル保持用のコンデンサの端子間電圧に応じた電流で前記発光素子を発光させ、

前記駆動信号が、

前記信号線用のトランジスタ及び又は前記駆動用のトランジスタを駆動する信号であることを特徴とする請求項 1 に記載の表示装置。

【請求項 8】

画素をマトリックス状に配置して形成された表示部の走査線に、垂直駆動回路から駆動信号を出力して前記画素を駆動することにより、前記表示部で所望の画像を表示する表示装置の駆動方法において、

基準パルス进行处理して、前記画素の駆動に適した第 3 の電圧系の振幅より小さな第 2 の電圧系の振幅により、前記走査線毎に、前記走査線を順次選択する選択信号を生成する選択信号生成のステップと、

前記走査線毎に、前記第 2 の電圧系の振幅による前記選択信号を前記第 3 の電圧系の振幅に変換する走査線毎のレベル変換のステップと、

前記走査線毎に、前記走査線毎のレベル変換のステップによる出力信号をそれぞれ基準にして、前記駆動信号において信号レベルの切り換わるタイミングを設定する前記第 3 の電圧系の振幅による垂直イネーブル信号进行处理することにより、前記第 3 の電圧系により前記駆動信号を生成する走査線毎の駆動信号生成のステップとを有する

ことを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及び表示装置の駆動方法に関し、例えばポリシリコン T F T (Thin Film Transistor) を用いた有機 E L (Electro Luminescence) 素子によるアクティブマトリックス型のディスプレイ装置に適用することができる。本発明は、画素の駆動に適した第 3 の電圧系の振幅より小さな第 2 の電圧系の振幅で選択信号を生成した後、第 3 の電圧系の振幅に変換し、この第 3 の電圧系の振幅による選択信号を基準にして第 3 の電圧系の振幅による垂直イネーブル信号进行处理して駆動信号を生成することにより、消費電力、周辺回路の面積の増大を有効に回避して、従来に比して走査線に出力する駆動信号の精度を向上する。

【背景技術】

【0002】

従来、ポリシリコンを用いたアクティブマトリックス型のディスプレイ装置では、ガラス基板等による絶縁基板上にマトリックス状に画素を配置して表示部が形成され、この絶縁基板上、表示部の周囲に、表示部を駆動する垂直駆動回路、水平駆動回路等が設けられる。

【0003】

ここで図 15 は、この種のディスプレイ装置を示すブロック図である。このディスプレイ装置 1 において、表示部 2 は、例えば有機 E L 素子による電流駆動型の発光素子を有する画素 3 がマトリックス状に配置されて形成される。表示部 2 は、このマトリックス状に配置した画素 3 に対して、走査線 V S C A N 1 (1) ~ V S C A N 1 (4) がライン単位で水平方向に設けられ、また走査線 V S C A N 1 (1) ~ V S C A N 1 (4) と直交するように信号線 S I G (1) ~ S I G (3) が列毎に設けられる。なおこの図 15 では、3 × 4 個の画素により表示部 2 を形成した場合を示す。また実際のディスプレイ装置では、各画素 3 の構成に応じて、1 つの画素 3 に複数の走査線が設けられるが、この図 15 の例

では、１つの画素３に１つの走査線 $VSCAN1(1) \sim VSCAN1(4)$ が設けられている場合を示す。

【０００４】

Hスキャン回路４は、水平駆動回路であり、各画素３の階調を示す画像データ $D1$ を入力し、この画像データ $D1$ を所定のクロック HCK により順次ラッチして各信号線 $SIG(1) \sim SIG(3)$ に振り分ける。さらにHスキャン回路４は、この振り分けた画像データ $D1$ をアナログディジタル変換処理し、対応する信号線 $SIG(1) \sim SIG(3)$ に接続された画素３の階調を時分割により示す駆動信号を各信号線 $SIG(1) \sim SIG(3)$ に出力する。

【０００５】

Vスキャン回路５は、垂直駆動回路に設けられ、各画素３の動作を制御する駆動信号 $S2(1) \sim S2(4)$ を生成して走査線 $VSCAN1(1) \sim VSCAN1(4)$ に出力する。より具体的に、Vスキャン回路５は、図１６に示すように、所定の基準パルスである垂直同期信号に同期した垂直スタートパルス VST (図１６(A)) を、垂直クロック VCK (図１６(B)) により順次転送し、走査線 $VSCAN1(1) \sim VSCAN1(4)$ 毎に、走査線 $VSCAN1(1) \sim VSCAN1(4)$ を順次選択する選択信号 $S1(1) \sim S1(4)$ (図１６(D1) ~ (D4)) を生成する。Vスキャン回路５は、この選択信号 $S1(1) \sim S1(4)$ を基準にして垂直イネーブル信号 VEN (図１６(C)) を処理することにより、走査線 $VSCAN1(1) \sim VSCAN1(4)$ 毎に、各走査線 $VSCAN1(1) \sim VSCAN1(4)$ に接続された画素３の動作を制御する駆動信号 $S2(1) \sim S2(4)$ (図１６(E1) ~ (E4)) を生成する。なおここで垂直イネーブル信号 VEN (図１６(C)) は、各駆動信号 $S2(1) \sim S2(4)$ において信号レベルの切り換わるタイミングを設定する基準信号であり、この図１６の例では垂直イネーブル信号 VEN (図１６(C)) をそれぞれ選択信号 $S1(1) \sim S1(4)$ により選択して駆動信号 $S2(1) \sim S2(4)$ (図１６(E1) ~ (E4)) を生成する。

【０００６】

ここでこの種のディスプレイ装置１では、垂直スタートパルス VST 、垂直クロック VCK 、垂直イネーブル信号 VEN が３〔V〕以下の振幅でVスキャン回路５に入力される。これに対してポリシリコンの回路は、数 $V \sim 10$ 数 V の駆動電圧が必要であり、有機EL素子の駆動には、さらに大きな振幅が必要になる。そこでVスキャン回路５は、垂直スタートパルス VST 、垂直クロック VCK 、垂直イネーブル信号 VEN から各走査線 $VSCAN1(1) \sim VSCAN1(4)$ の駆動信号 $S2(1) \sim S2(4)$ (図１６(E1) ~ (E4)) を生成する際に、レベル変換回路を用いて、これら垂直スタートパルス VST 、垂直クロック VCK 、垂直イネーブル信号 VEN 等の振幅、駆動信号 $S2(1) \sim S2(4)$ の振幅を補正する。

【０００７】

図１７は、Vスキャン回路５の具体的構成を示すブロック図である。このVスキャン回路５は、例えばHレベル及びLレベルが３〔V〕及び０〔V〕の振幅で垂直スタートパルス VST 、垂直クロック VCK 、垂直イネーブル信号 VEN を入力する。なお以下において、このVスキャン回路５の入力信号の振幅を第１の電圧系の振幅と呼び、符号Ⅰにより示す。

【０００８】

Vスキャン回路５において、レベル変換回路(L/S)６～８は、これら垂直スタートパルス VST 、垂直クロック VCK 、垂直イネーブル信号 VEN の振幅を、ポリシリコンの回路の駆動に適し、かつ有機EL素子の駆動に適した振幅より小さな、例えばHレベル及びLレベルが１０〔V〕及び０〔V〕の振幅に補正する。なお以下において、このポリシリコンの回路の駆動に適し、かつ有機EL素子の駆動に適した振幅より小さな振幅を第２の電圧系の振幅と呼び、符号Ⅱにより示す。

【０００９】

シフトレジスタ(S/R)１０(１)～１０(４)は、レベル変換回路６から出力され

10

20

30

40

50

る垂直スタートパルス VST を、レベル変換回路 7 から出力される垂直クロック VCK により順次転送し、Hレベル及びLレベルが $10[V]$ 及び $0[V]$ の選択信号 $S1(1) \sim S1(4)$ を生成する。

【0010】

論理回路 $11(1) \sim 11(4)$ は、この選択信号 $S1(1) \sim S1(4)$ を基準にして垂直イネーブル信号 VEN (図 16 (C)) を論理演算処理することにより、走査線 $VSCAN1(1) \sim VSCAN1(4)$ 毎に、Hレベル及びLレベルが $10[V]$ 及び $0[V]$ の駆動信号 $S2(1) \sim S2(4)$ を生成する。より具体的に、論理回路 $11(1) \sim 11(4)$ は、図 16 について上述した例ではアンド回路により構成され、レベル変換回路 7 から出力される垂直イネーブル信号 VEN と、各選択信号 $S1(1) \sim S1(4)$ との論理積をそれぞれ計算して駆動信号 $S2(1) \sim S2(4)$ を生成する。

10

【0011】

なお駆動信号には、近接する走査線に出力する駆動信号等に応じて波形を切り換える場合、インターレース方式により奇数フィールドと偶数フィールドとで波形を切り換える場合等もあり、このような場合、論理回路 $11(1) \sim 11(4)$ は、さらに複雑な論理演算処理を実行して駆動信号 $S2(1) \sim S2(4)$ を生成する。

【0012】

レベル変換回路 (L/S) $12(1) \sim 12(4)$ は、論理回路 $11(1) \sim 11(4)$ から出力される駆動信号 $S2(1) \sim S2(4)$ の振幅を、有機 EL 素子の駆動に適した例えば Hレベル及びLレベルが $15[V]$ 及び $-5[V]$ の振幅に変換して出力する。なお以下において、この有機 EL 素子の駆動に適した振幅を第 3 の電圧系の振幅と呼び、符号 III により示す。バッファ回路 $13(1) \sim 13(4)$ は、レベル変換回路 (L/S) $12(1) \sim 12(4)$ から出力される駆動信号 $S2(1) \sim S2(4)$ により各走査線 $VSCAN1(1) \sim VSCAN1(4)$ を駆動する。

20

【0013】

図 18 は、レベル変換回路 6 ~ 8 の構成を示す接続図である。レベル変換回路 6 ~ 8 は、いわゆるカレントミラー型のレベル変換回路であり、第 2 の電圧系 II の Hレベルに対応する正側電源 $VDDII$ にそれぞれドレインを接続した Pチャンネル型のトランジスタ $TR1$ 及び $TR2$ によるカレントミラー回路が設けられ、これらトランジスタ $TR1$ 及び $TR2$ のソースに、それぞれ Nチャンネル型のトランジスタ $TR3$ 及び $TR4$ のドレインが接続される。これらトランジスタ $TR3$ 及び $TR4$ は、それぞれゲートが正側電源 $VDDII$ に接続され、図 19 (A) に示すように、第 1 の電圧系 I の振幅による入力信号 IN 、入力信号 IN の反転信号 XIN がソースに入力される。なおトランジスタ $TR4$ のソースは、反転信号 XIN の入力に代えて、一定電圧の基準電圧 REF に設定される場合もあり、この基準電圧 REF は、入力信号 IN の Hレベル及びLレベルの略平均の電圧に設定される。

30

【0014】

これによりレベル変換回路 6 ~ 8 は、第 1 の電圧系 I により入力される垂直スタートパルス VST 、垂直クロック VCK 、又は垂直イネーブル信号 VEN による入力信号 IN に応じてトランジスタ $TR3$ 、 $TR4$ が相補的にオンオフ動作し、トランジスタ $TR3$ 、 $TR4$ のドレイン電圧を第 2 の電圧系 II の振幅で変化させる。レベル変換回路 6 ~ 8 は、トランジスタ $TR3$ のドレイン電圧をバッファ回路 15 を介して出力し、これにより第 1 の電圧系 I の振幅による入力信号 IN を第 2 の電圧系 II の振幅により出力する。なおこの図 19 において、電圧 $VSSII$ は、第 2 の電圧系 II の Lレベルに対応する負側電源の電圧であり、図 18 の例ではグラウンドレベルである。

40

【0015】

なおレベル変換回路 6 ~ 8 には、種々の回路構成を適用することができる。図 20 は、図 18 との対比により他の回路構成によるレベル変換回路を示す接続図である。この図 20 のレベル変換回路 17 は、図 18 のレベル変換回路と同様のカレントミラー型のレベル変換回路であり、正側電源 $VDDII$ にそれぞれドレインを接続した Pチャンネル型のトラ

50

ンジスタTR 1及びTR 2によるカレントミラー回路が設けられ、これらトランジスタTR 1及びTR 2のソースに、それぞれNチャンネル型のトランジスタTR 3及びTR 4のドレインが接続される。ここでこれらトランジスタTR 3及びTR 4は、それぞれ第1の電圧系Iの振幅による入力信号IN、入力信号INの反転信号XINがソースに入力され、トランジスタTR 3のドレイン電圧がバッファ回路15を介して出力される。

【0016】

レベル変換回路17は、それぞれソース接地型のトランジスタTR 5及びTR 6のゲートに反転信号XIN及び入力信号INが入力されると共に、これらトランジスタTR 5及びTR 6のドレインが、トランジスタTR 3及びTR 4のゲートに接続され、これによりトランジスタTR 5及びTR 6を介して反転信号XIN及び入力信号INがトランジスタTR 3及びTR 4に入力される。なおこれらトランジスタTR 5及びTR 6は、ゲートを接地したトランジスタTR 7及びTR 8をそれぞれ介してドレインが負側電源VDDII(この図20ではグラウンドレベル)に接続される。

【0017】

またトランジスタTR 3及びTR 4とゲート及びソースを共通に接続したトランジスタTR 9、TR 10のドレインが、これらトランジスタTR 5及びTR 6のドレインに接続される。これによりこのレベル変換回路17は、十分な帰還利得によりトランジスタTR 3、TR 4をオンオフ動作させて、第1の電圧系Iによる入力信号INを第2の電圧系IIにより出力する。なおこの図20のレベル変換回路17のタイムチャートは、図18のレベル変換回路のタイムチャートと同一に、図19で表される。

【0018】

これに対して第2の電圧系IIを第3の電圧系IIIに変換するレベル変換回路12(1)~12(4)は、走査線VSCAN1(1)~VSCAN1(4)毎に設けられることから、Vスキャン回路5に設けられる数が多くなる。従って図18、図20等により示すカレントミラー型のレベル変換回路を適用したのでは、ディスプレイ装置の消費電力が著しく増大することになる。

【0019】

そこで例えば図21に示すように、これらのレベル変換回路12(1)~12(4)には、いわゆるラッチ型のレベル変換回路が適用される。すなわちこれらのレベル変換回路12(1)~12(4)は、第2の電圧系IIのHレベルに対応する正側電源VDDIIにそれぞれドレインを接続したトランジスタTR 1及びTR 2のゲートに、図22((A))により示す第2の電圧系IIの振幅による入力信号IN及び入力信号INの反転信号XINを入力する。ここでこれらトランジスタTR 1及びTR 2は、それぞれトランジスタTR 3及びTR 4を介して、第3の電圧系IIIのLレベルに対応する負側電源VSSIIIにソースが接続され、これらトランジスタTR 3及びTR 4は、相互にゲート及びドレインが接続される。これによりレベル変換回路12(1)~12(4)は、図22((B))により示すように、第2の電圧系IIによる入力信号IN及び反転入力信号XINに応じて相補的にオンオフ動作し、第2の電圧系IIのHレベルと第3の電圧系IIIのLレベルとの間でトランジスタTR 3及びTR 4のドレイン電圧を切り換え、このドレイン電圧による出力信号OUT1、XOUT1をトランジスタTR 5及びTR 6に出力する。

【0020】

トランジスタTR 5及びTR 6は、第3の電圧系IIIの負側電源VSSIIIにソースが接続され、ゲートにそれぞれ出力信号OUT1、XOUT1を入力する。これらトランジスタTR 5及びTR 6は、それぞれトランジスタTR 7及びTR 8を介して、第3の電圧系IIIのHレベルに対応する正側電源VDDIIIにゲートが接続され、これらトランジスタTR 7及びTR 8は、相互にゲート及びドレインが接続される。これによりレベル変換回路12(1)~12(4)は、図22((C))により示すように、第2の電圧系IIの振幅による入力信号IN及び反転入力信号XINに応じて、第3の電圧系IIIのHレベルとLレベルとの間でトランジスタTR 5及びTR 6のドレイン電圧を切り換え、このドレイン電圧による出力信号OUT2、XOUT2を出力する。

【 0 0 2 1 】

この種のVスキャン回路では、図17との対比により図23に示すように、垂直クロックVCKの振幅を補正するレベル変換回路7を省略する構成もあり、この構成のVスキャン回路18では、シフトレジスタ10(1)~10(4)に代えて、図24に示すSRラッチ回路構成のシフトレジスタ19(1)~19(4)により垂直スタートパルスVSTを順次転送する。

【 0 0 2 2 】

すなわちシフトレジスタ19(1)~19(4)は(図24)、バッファ回路21を介して出力信号OUT(S2(1)~S2(4))をそれぞれ出力するようにして、シフトレジスタ19(1)~19(4)の入力信号IN(図25(B))とバッファ回路21の入力信号との論理和信号がオア回路22で生成される。シフトレジスタ19(1)~19(4)は、インバータ23、ソース接地型のトランジスタTR1を介して、この論理和信号がトランジスタTR2のソースに入力される。ここでこのトランジスタTR2は、第2の電圧系IIの正側電源VDIIにドレインが接続され、この正側電源VDIIにドレインを接続して論理和信号をゲートに入力するトランジスタTR3のソースがゲートに接続される。またトランジスタTR2は、論理和信号をゲートに入力して垂直クロックVCKの反転信号XVCK(図25(A))をソースに入力するトランジスタTR4のドレインがゲートに接続され、ダイオード接続のトランジスタTR5を介して垂直クロックVCKがソースに入力される。

【 0 0 2 3 】

シフトレジスタ19(1)~19(4)は、このダイオード接続のトランジスタTR5に対して、トランジスタTR6がカレントミラー回路構成により接続され、このトランジスタTR6のソースにクロックVCKの反転信号XVCKが入力される。またこのトランジスタTR6のドレインがトランジスタTR7のソースに接続される。またこのトランジスタTR7のゲートに、トランジスタTR2と同様にトランジスタTR8を介して論理和信号が入力され、トランジスタTR2とは逆に、トランジスタTR9を介してクロックVCKが入力される。

【 0 0 2 4 】

シフトレジスタ19(1)~19(4)は、このトランジスタTR7のソースがトランジスタTR10により第2の電圧系IIの電源電圧VDIIにプルアップされ、このトランジスタTR7のソース電圧が、インバータ24、バッファ回路21を介して出力される。これによりシフトレジスタ19(1)~19(4)は、図25(A)~(C)に示すように、第2の電圧系による垂直スタートパルスVSTを、第1の電圧系Iによる垂直クロックVCK、垂直クロックVCKの反転信号XVCKにより順次転送して第2の電圧系の振幅により出力する。なお図17及び図23との対比により図26に示すように、シフトレジスタに代えて、デコーダ26により選択信号S1(1)~S1(4)を生成する場合もある。

【 0 0 2 5 】

この種の有機EL素子を用いたディスプレイ装置に関しては、例えばUSP5,684,365、特開平8-234683号公報等に種々の工夫が提案されている。

【 0 0 2 6 】

ところでこれら図17、図23、図26によるVスキャン回路では、走査線VSCAN1(1)~VSCAN1(4)毎に、第2の電圧系IIの振幅を第3の電圧系IIIの振幅に変換するレベル変換回路12(1)~12(4)が設けられる。これに対してポリシリコン回路によるラッチ型のレベル変換回路では、回路間で遅延時間がばらつき、これにより回路間でタイミングのばらつきが大きい欠点がある。これによりこれら図17、図23、図26によるVスキャン回路では、各走査線VSCAN1(1)~VSCAN1(4)の駆動信号S1(1)~S1(4)間でタイミングがばらつき、このタイミングのばらつきが表示画像に種々に影響を与える問題がある。

【 0 0 2 7 】

この問題を解決する 1 つの方法として、図 2 1 について上述したラッチ型のレベル変換回路 1 2 (1) ~ 1 2 (4) に代えて、回路間でタイミングのばらつきが小さい図 1 8、図 2 0 について上述したカレントミラー型のレベル変換回路を適用することが考えられる。しかしながらこの方法では、消費電力が著しく増大する欠点がある。

【 0 0 2 8 】

また周辺回路を含めた全体を第 3 の電圧系 IIII で動作させる方法も考えられるが、この方法の場合も消費電力が著しく増大する。またこの方法では、トランジスタの大きさが大きくなり、周辺回路の面積が増加する欠点もある。

【特許文献 1】USP 5, 684, 365

【特許文献 2】特開平 8 - 234683 号公報

10

【発明の開示】

【発明が解決しようとする課題】

【 0 0 2 9 】

本発明は以上の点を考慮してなされたもので、消費電力、周辺回路の面積の増大を有効に回避して、従来に比して走査線に出力する駆動信号の精度を向上させることができる表示装置及び表示装置の駆動方法を提案しようとするものである。

【課題を解決するための手段】

【 0 0 3 0 】

上記の課題を解決するため請求項 1 の発明は、画素をマトリックス状に配置して形成された表示部の走査線に、垂直駆動回路から駆動信号を出力して前記画素を駆動することにより、前記表示部で所望の画像を表示する表示装置に適用して、前記垂直駆動回路は、基準パルス进行处理して、前記画素の駆動に適した第 3 の電圧系の振幅より小さな第 2 の電圧系の振幅により、前記走査線毎に、前記走査線を順次選択する選択信号を生成する選択信号生成回路と、前記走査線毎に、前記第 2 の電圧系の振幅による前記選択信号を前記第 3 の電圧系の振幅に変換する走査線毎のレベル変換回路と、前記走査線毎に、前記走査線毎のレベル変換回路の出力信号をそれぞれ基準にして、前記駆動信号において信号レベルの切り換わるタイミングを設定する前記第 3 の電圧系の振幅による垂直イネーブル信号を処理することにより、前記第 3 の電圧系により前記駆動信号を生成する走査線毎の駆動信号生成回路とを備えるようにする。

20

【 0 0 3 1 】

また請求項 8 の発明は、画素をマトリックス状に配置して形成された表示部の走査線に、垂直駆動回路から駆動信号を出力して前記画素を駆動することにより、前記表示部で所望の画像を表示する表示装置の駆動方法に適用して、基準パルス进行处理して、前記画素の駆動に適した第 3 の電圧系の振幅より小さな第 2 の電圧系の振幅により、前記走査線毎に、前記走査線を順次選択する選択信号を生成する選択信号生成のステップと、前記走査線毎に、前記第 2 の電圧系の振幅による前記選択信号を前記第 3 の電圧系の振幅に変換する走査線毎のレベル変換のステップと、前記走査線毎に、前記走査線毎のレベル変換のステップによる出力信号をそれぞれ基準にして、前記駆動信号において信号レベルの切り換わるタイミングを設定する前記第 3 の電圧系の振幅による垂直イネーブル信号を処理することにより、前記第 3 の電圧系により前記駆動信号を生成する走査線毎の駆動信号生成のステップとを有するようにする。

30

40

【 0 0 3 2 】

請求項 1 又は請求項 8 の構成によれば、駆動信号において信号レベルの切り換わるタイミングを設定する垂直イネーブル信号を第 3 の電圧系の振幅で各走査線に対して共通に供給することができる。従って走査線毎に、レベル変換回路を設ける場合の、走査線間の駆動信号のタイミングのばらつきを防止することができ、これにより従来に比して走査線に出力する駆動信号の精度を向上させることができる。また基準パルスにあっては、第 2 の電圧系の振幅で選択信号を生成し、その後、第 3 の電圧系の振幅に変換することから、全体を第 3 の電圧系の振幅で処理する場合のような消費電力、周辺回路の面積の増大を有効に回避することができる。

50

【発明の効果】

【0033】

本発明によれば、消費電力、周辺回路の面積の増大を有効に回避して、従来に比して走査線に出力する駆動信号の精度を向上させることができる。

【発明を実施するための最良の形態】

【0034】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例1】

【0035】

(1) 実施例の構成

10

図2は、本発明の実施例1のディスプレイ装置に適用される画素の構成を示す接続図である。この実施例のディスプレイ装置は、透明絶縁基板であるガラス基板上に、ポリシリコンTFT等により表示部、水平駆動回路、垂直駆動回路が一体に形成される。この実施例のディスプレイ装置は、画素33をマトリックス状に配置して表示部が形成され、この表示部の周囲、ガラス基板上に水平駆動回路及び垂直駆動回路が設けられる。

【0036】

各画素33は、電流駆動型の発光素子である有機EL素子34と、この有機EL素子34を駆動する各画素33の駆動回路(以下、画素回路と呼ぶ)とで形成される。

【0037】

画素33は、有機EL素子34のカソードが所定の負側電源VSS2に接続される。画素回路は、トランジスタTR3のソースに有機EL素子34のアノードが接続され、走査線VSCAN2により供給される駆動信号S22によりオンオフ動作するPチャンネル型のトランジスタTR2を介して、このトランジスタTR3のドレインが正側電源VDD1に接続される。これにより画素33は、この駆動信号S22により有機EL素子34の発光、非発光を制御して、トランジスタTR3のゲートソース間電圧に応じた電流で有機EL素子34を駆動する。

20

【0038】

画素回路は、このトランジスタTR3のゲート及びソースに、信号レベル保持用コンデンサCsの両端が接続される。さらに画素回路は、走査線VSCAN1により供給される駆動信号S21によりオンオフ動作するトランジスタTR1を介して、このトランジスタTR3のゲートが信号線SIGに接続される。これにより画素回路は、駆動信号S21によりトランジスタTR1をオンオフ制御して信号レベル保持用コンデンサCsの一端の電圧を信号線SIGの電位Vsigに設定し、有機EL素子34の発光輝度を設定する。

30

【0039】

さらに画素回路は、走査線VSCAN4により供給される駆動信号S24によりオンオフ動作するトランジスタTR5を介して、トランジスタTR3のゲートが所定の固定電位Vofsに接続され、また走査線VSCAN3により供給される駆動信号S23によりオンオフ動作するトランジスタTR4を介して、このトランジスタTR3のソースが所定の固定電位Viniに接続される。画素回路は、走査線VSCAN1~VSCAN4によるこれらトランジスタTR1、TR2、TR4、TR5のオンオフ制御により、トランジスタTR3におけるしきい値電圧、移動度のばらつきを補正し、有機EL素子34の発光、非発光を制御する。なおこの図2において、Ceは、有機EL素子34の容量である。またトランジスタTR1、TR3~TR5はNチャンネル型のトランジスタである。

40

【0040】

すなわち図3に示すように、画素回路は、時点t1~t2の間、トランジスタTR1、TR4、TR5がオフ状態に設定され、またトランジスタTR2がオン状態に設定され、これにより信号レベル保持用コンデンサCsの端子間電圧に応じたソース電流により有機EL素子34を駆動して有機EL素子34を発光させる(図3(A)~(D)、(E)~(G))。

【0041】

50

また時点 t_2 で駆動信号 S_{22} によりトランジスタ TR_2 がオフ状態に切り換わると、画素回路は、有機 EL 素子 34 を介して蓄積電荷が徐々に放電することにより、トランジスタ TR_3 のゲート電圧 V_g 、ソース電圧 V_s が徐々に低下する。またこの蓄積電荷の放電によりやがて有機 EL 素子 34 のアノード電位が低下し、有機 EL 素子 34 の端子間電圧がしきい値電圧まで立ち下がると、有機 EL 素子 34 を介した蓄積電荷の放電が中止し、ゲート電圧 V_g 、ソース電圧 V_s の低下が停止すると共に、有機 EL 素子 34 の発光が停止する。

【0042】

画素回路は、有機 EL 素子 34 の発光を停止した後の所定の時点 t_3 で、駆動信号 S_2 3 、 S_24 によりトランジスタ TR_4 及び TR_5 がオン状態に設定され、これにより信号レベル保持用コンデンサ C_s の両端がそれぞれ固定電位 V_{ofs} 及び V_{ini} に設定される。なおここで固定電位 V_{ofs} は、固定電位 V_{ini} にトランジスタ TR_3 のしきい値電圧 V_{th} を加算した電圧より大きな電圧に設定される。また固定電位 V_{ini} は、有機 EL 素子 34 のカソード電位 V_{ss1} に有機 EL 素子 34 のしきい値電圧を加算した電圧より十分に低い電圧に設定される。

【0043】

その後、画素回路は、駆動信号 S_23 によりトランジスタ TR_4 がオフ状態に設定され、続いて駆動信号 S_22 によりトランジスタ TR_2 がオン状態に設定される。ここでこの状態では、トランジスタ TR_2 、 TR_3 を介して、信号レベル保持用コンデンサ C_s のトランジスタ TR_4 側端に正側電源 V_{DD1} から充電電流が流れ、このトランジスタ TR_4 側端の電圧が徐々に上昇する。またこの電圧の上昇により信号レベル保持用コンデンサ C_s の両端電圧がトランジスタ TR_3 のしきい値電圧 V_{th} となると、トランジスタ TR_3 がオフ状態に切り換わることにより、このトランジスタ TR_2 、 TR_3 を介した正側電源 V_{DD1} による充電が停止する。これにより画素 33 は、信号レベル保持用コンデンサ C_s にトランジスタ TR_3 のしきい値電圧 V_{th} をセットし、その後、この信号レベル保持用コンデンサ C_s に信号線 SIG の電位 V_{sig} をセットすることにより、トランジスタ TR_3 のしきい値電圧 V_{th} のばらつきによる発光輝度のばらつきを補正する。なおこのばらつき補正に係るしきい値電圧の事前のセットを図 3 では V_{th} 補正により示す。

【0044】

画素回路は、続いて駆動信号 S_22 、 S_24 によりトランジスタ TR_2 、 TR_5 がオフ状態に切り換えられ、続いて駆動信号 S_21 によりトランジスタ TR_1 がオン状態に切り換えられる。これにより画素回路は、信号線 SIG の信号レベル V_{sig} が信号レベル保持用コンデンサ C_s にセットされ、信号レベル保持用コンデンサ C_s に事前にセットされたトランジスタ TR_3 のしきい値電圧 V_{th} により補正されて各画素 33 の階調が信号レベル保持用コンデンサ C_s に書き込まれる。

【0045】

ここで有機 EL 素子 34 の発光輝度に対応する信号レベル V_{data} に固定電位 V_{ofs} を加算した電位 $V_{data} + V_{ofs}$ を信号線 SIG の信号レベル V_{sig} とすると、トランジスタ TR_1 をオン状態に切り換えると、信号レベル保持用コンデンサ C_s のトランジスタ TR_1 側電位は、電圧 V_{data} だけ上昇し、この状態で有機 EL 素子 34 には、 $I_{ds} = \beta / 2 \cdot (V_{data})^2$ で表される電流が流れる。なおここで β は、トランジスタ TR_3 の移動度 μ 、ゲート酸化膜の単位容量 C_{ox} 、ゲート長 L を用いて $\beta = \mu \cdot (W/L) \cdot C_{ox}$ で表される。

【0046】

続いて画素回路は、信号線 SIG を信号レベル保持用コンデンサ C_s の一端に接続したままの状態、駆動信号 S_22 によりトランジスタ TR_2 がオン状態に設定されてトランジスタ TR_3 が正側電源 V_{DD1} に接続され、一定時間 T の経過後、トランジスタ TR_1 がオフ状態に設定される。ここで信号線 SIG を信号レベル保持用コンデンサ C_s に一端を接続したままの状態、トランジスタ TR_3 を電源 V_{DD1} に接続すると、トランジスタ TR_3 には信号レベル保持用コンデンサの端子間電圧によるゲートソース間電圧に応じ

10

20

30

40

50

たソース電流が流れ、このソース電流により信号レベル保持用コンデンサ C_s のソース側端充電されて、電圧が徐々に上昇することになる。またこのソース側端電圧の上昇速度は、トランジスタ T_R3 の移動度が大きな場合程、速くなる。これに対して有機 EL 素子 34 をトランジスタ T_R3 により駆動する場合、トランジスタ T_R3 の移動度が大きい程、有機 EL 素子 34 の駆動電流が大きくなり、発光輝度が増大することになる。

【0047】

これにより画素回路は、所定期間 T の間、信号線 SIG を信号レベル保持用コンデンサ C_s の一端に接続したままの状態、トランジスタ T_R3 を電源 $VDD1$ に接続することにより、トランジスタ T_R3 の移動度に応じて変化する有機 EL 素子 34 の駆動電流の分だけ、信号レベル保持用コンデンサ C_s の端子間電圧を補正し、移動度のばらつきによる発光輝度のばらつきを補正する。

10

【0048】

なおここでこの移動度の補正時に有機 EL 素子 34 に流れる電流 I_{ds} は、 $I_{ds} = \beta / 2 \cdot (1 / V_{data} + \beta / 2 \cdot T / C)^2$ で表される。なおここで C は、信号レベル保持用コンデンサ C_s の容量と、有機 EL 素子 34 の容量 C_e との和の容量である。従って期間 T を適切に設定することにより、トランジスタ T_R3 の移動度のばらつきを補正することができる。

【0049】

しかして画素回路は、この期間 T の後、駆動信号 $S21$ によりトランジスタ T_R1 がオフ状態に切り換えられると、信号レベル保持用コンデンサ C_s に保持された端子間電圧に応じた駆動電流により有機 EL 素子 34 が発光を開始することになる。

20

【0050】

この実施例のディスプレイ装置では、この画素 33 に接続された 4 本の走査線 $VSCAN1 \sim VSCAN4$ 毎に、それぞれ V スキャン回路が設けられ、各 V スキャン回路で対応する走査線 $VSCAN1 \sim VSCAN4$ の駆動信号 $S21 \sim S24$ を生成する。しかして図 2 、図 3 について上述したように、このディスプレイ装置では、信号線 SIG を信号レベル保持用コンデンサ C_s の一端に接続したままの状態、一定期間 T の間、トランジスタ T_R3 を電源 $VDD1$ に接続してトランジスタ T_R3 の移動度のばらつきを補正していることから、この期間 T が、ライン間でばらついたので、画質が著しく劣化することになる。またこの期間 T のばらつきは、トランジスタ T_R1 、トランジスタ T_R2 のオンオフ制御に係る駆動信号 $S21$ 、 $S22$ におけるタイミングのばらつきにより発生することになる。

30

【0051】

そこでこの実施例では、駆動信号 $S21 \sim S24$ をそれぞれ生成する 4 つの V スキャン回路が垂直駆動回路に設けられ、これらのうちの少なくともこれら移動度の補正に係る駆動信号 $S21$ 、 $S22$ が図 1 の V スキャン回路 36 により生成される。なお他の駆動信号 $S23$ 、 $S24$ については、これら駆動信号 $S21$ 、 $S22$ の V スキャン回路と同一に構成してもよく、従来例について上述した何れかの V スキャン回路により構成してもよい。

【0052】

40

この V スキャン回路 36 は、レベル変換回路 6 、 7 により、第 1 の電圧系 I の振幅による垂直スタートパルス VST 、垂直クロック VCK を第 2 の電圧系 II の振幅に変換し、シフトレジスタ $(S/R)10(1) \sim 10(4)$ により、この垂直スタートパルス VST を垂直クロック VCK で順次転送し、これにより第 2 の電圧系 II による選択信号 $S1(1) \sim S1(4)$ を生成する。

【0053】

V スキャン回路 36 は、それぞれ第 2 の電圧系 II で動作する第 1 の論理回路 $38(1) \sim 38(4)$ を介して、選択信号 $S1(1) \sim S1(4)$ をレベル変換回路 $12(1) \sim 12(4)$ に入力して第 3 の電圧系 III の振幅に変換する。なおここでこのレベル変換回路 $12(1) \sim 12(4)$ には、消費電力が少ない図 21 について上述したレベル変換回

50

路が適用される。

【 0 0 5 4 】

V スキャン回路 3 6 は、レベル変換回路 3 7 を介して、第 1 の電圧系 I の振幅による垂直イネーブル信号 V E N を、第 3 の電圧系 III の振幅に補正する。V スキャン回路 3 6 は、第 3 の電圧系 III で動作する第 2 の論理回路 3 9 (1) ~ 3 9 (4) に、この第 3 の電圧系 III による垂直イネーブル信号 V E N を入力し、またレベル変換回路 1 2 (1) ~ 1 2 (4) の出力信号をそれぞれ入力する。V スキャン回路 3 6 は、それぞれ第 1 の論理回路 3 8 (1) ~ 3 8 (4)、対応する第 2 の論理回路 3 9 (1) ~ 3 9 (4) による論理演算により、駆動信号 S 2 1 (1) ~ S 2 1 (4)、S 2 2 (1) ~ S 2 2 (4) を生成し、論理回路 3 9 (1) ~ 3 9 (4) から出力される駆動信号をインバータ 1 3 (1) ~ 1 3 (4) を介して出力する。

10

【 0 0 5 5 】

なお例えば駆動信号 S 2 2 のように、単に選択信号 S 2 とイネーブル信号 V E N との簡単な論理積によって求めることが可能な駆動信号については、必要に応じて第 1 の論理回路 3 8 (1) ~ 3 8 (4) を省略してもよい。

【 0 0 5 6 】

これに対して水平駆動回路は、図 1 5 について上述した水平駆動回路と同一に構成される。

【 0 0 5 7 】

(2) 実施例の動作

20

以上の構成において、この実施例のディスプレイ装置では (図 1 5 参照)、マトリックス状に画素 3 3 を配置して形成された表示部の周囲に設けられ水平駆動回路により、表示部の信号線 S I G に各画素 3 3 の階調を示す駆動信号 V s i g が出力される。またこの駆動信号 V s i g の出力に応動して、表示部の周囲に設けられた垂直駆動回路により駆動信号 S 2 1 ~ S 2 4 が生成され、この駆動信号 S 2 1 ~ S 2 4 により各画素に信号線 S I G の信号レベルが設定されると共に、各画素 3 3 の動作が制御され、これにより信号線 S I G の信号レベルにより各画素 3 3 に設けられた有機 E L 素子 3 4 が発光する。これによりこのディスプレイ装置では、所望の画像を表示部 2 で表示することが可能となる。

【 0 0 5 8 】

また各画素 3 3 では (図 2 及び図 3)、垂直駆動回路による駆動信号 S 2 1 ~ S 2 4 によりトランジスタ T R 1、T R 2、T R 4、T R 5 がオンオフ動作し、トランジスタ T R 4、T R 5 がオン状態に設定されて信号レベル保持用コンデンサ C s の両端電位がそれぞれ所定の固定電位 V o f s、V i n i に設定された後、垂直駆動回路による駆動信号 S 2 3 により、信号レベル保持用コンデンサ C s のソース側端が固定電位 V i n i より切り離されると共に、トランジスタ T R 3 が電源 V D D 1 に接続され、これにより信号レベル保持用コンデンサ C s の両端電位差がトランジスタ T R 3 のしきい値電圧 V t h に設定されて、トランジスタ T R 3 のしきい値電圧 V t h のばらつきによる発光輝度のばらつきが防止される。

30

【 0 0 5 9 】

その後、画素 3 3 は、信号レベル保持用コンデンサ C s のゲート側端が信号線 S I G に接続され、信号レベル保持用コンデンサ C s に信号線 S I G の電位 V s i g がセットされ、このセットされた電圧に応じた駆動電流で有機 E L 素子 3 4 が発光する。

40

【 0 0 6 0 】

画素 3 3 は、この信号レベル保持用コンデンサ C s に信号線 S I G の電位 V s i g をセットする際に、信号レベル保持用コンデンサ C s のゲート側端を信号線 S I G に接続した状態で、一定期間 T の間、トランジスタ T R 3 が電源 V D D 1 に接続され、これによりトランジスタ T R 3 の移動度に応じて信号レベル保持用コンデンサ C s の両端電位差を補正した後、この信号レベル保持用コンデンサ C s の一端が信号線 S I G の信号レベル V s i g に設定される。これにより画素 3 3 は、トランジスタ T R 3 の移動度のばらつきによる発光輝度のばらつきが防止される。

50

【 0 0 6 1 】

しかしながらこのように一定期間 T の間、信号レベル保持用コンデンサ C s のゲート側端を信号線 S I G に接続した状態で、トランジスタ T R 3 を電源 V D D 1 に接続してトランジスタ T R 3 の移動度ばらつきを補正する場合に、この期間 T が各走査線 V S C A N 1 (1) ~ V S C A N 1 (4) でばらついたので、画質が劣化することになる。これに対して垂直駆動回路において各走査線 V S C A N 1 (1) ~ V S C A N 1 (4) の駆動信号を生成する従来構成による V スキャン回路では、走査線 V S C A N 1 (1) ~ V S C A N 1 (4) 毎に、第 2 の電圧系 II による振幅を第 3 の電圧系 III による振幅に補正するレベル変換回路 1 2 (1) ~ 1 2 (4) が設けられ (図 1 7 、 図 2 3 、 図 2 6) 、これらレベル変換回路 1 2 (1) ~ 1 2 (4) では、回路間で出力信号におけるタイミングのばらつきが大きい欠点がある。

10

【 0 0 6 2 】

従って画素 3 3 の駆動信号 S 2 1 ~ S 2 4 のうちの、移動度の補正に係る期間 T を決定する駆動信号 S 2 1 、 S 2 2 を従来構成による V スキャン回路で構成したのでは、この期間 T がライン間でばらつくことになり、その結果、ライン間で発光輝度がばらつくようになる。

【 0 0 6 3 】

そこでこの実施例では、少なくとも移動度の補正に係る期間 T を決定する駆動信号 S 2 1 、 S 2 2 の V スキャン回路は (図 1) 、垂直スタートパルス V S T 、垂直クロック V C K をポリシリコン T F T の駆動に適し、かつ有機 E L 素子の駆動に適した第 3 の電圧系 II 1 より振幅の小さな第 2 の電圧系 II で処理し、その処理結果の出力信号と駆動信号 S 2 1 ~ S 2 4 において信号レベルの切り換わるタイミングを設定する垂直イネーブル信号 V E N とを第 3 の電圧系 III の振幅に補正した後、駆動信号 S 2 1 、 S 2 2 を生成する。

20

【 0 0 6 4 】

この場合、各走査線の系統には、1つのレベル変換回路 3 7 により振幅が補正された垂直イネーブル信号 V E N が供給されることにより、走査線間における駆動信号 S 2 1 、 S 2 2 のタイミングのばらつきを有効に回避することができる。従ってディスプレイ装置では、移動度を補正する期間 T のライン間のばらつきを有効に回避して、高い歩留まりで、高画質の画像を表示することができる。

【 0 0 6 5 】

特に、この移動度のばらつきの補正に係る駆動信号 S 2 1 、 S 2 2 のタイミングのばらつきを防止することにより、走査線間における移動度補正のばらつきを有効に回避することができ、一段と高画質のディスプレイ装置を得ることができる。

30

【 0 0 6 6 】

またさらにこの実施例では、選択信号 S 1 (1) ~ S 1 (4) を、有機 E L 素子の駆動に適した第 3 の電圧系の振幅に比して小さな、第 2 の電圧系で処理していることにより、全体を第 3 の電圧系の振幅で処理する場合に比して、格段的に消費電力、周辺回路の面積の増大を有効に回避することができる。

【 0 0 6 7 】

(3) 実施例の効果

以上の構成によれば、画素の駆動に適した第 3 の電圧系の振幅より小さな第 2 の電圧系の振幅で選択信号を生成した後、第 3 の電圧系の振幅に変換し、この第 3 の電圧系の振幅による選択信号を基準にして第 3 の電圧系の振幅による垂直イネーブル信号を処理して駆動信号を生成することにより、消費電力、周辺回路の面積の増大を有効に回避して、従来に比して走査線に出力する駆動信号の精度を向上させることができる。

40

【 0 0 6 8 】

また第 2 の電圧系の振幅より小さな第 1 の電圧系の振幅による基準パルスである垂直スタートパルスの振幅を第 2 の電圧系の振幅に変換した後、順次転送して第 2 の電圧系の振幅による選択信号を生成することにより、この垂直スタートパルスを生成する前段の回路ブロックを汎用の集積回路技術により作成することができる。

50

【 0 0 6 9 】

また少なくともトランジスタの移動度のばらつきによる発光輝度のばらつきを補正する一定期間の駆動信号の生成に適用して、この駆動信号の精度を向上させることにより、移動度のばらつき補正を精度良く実行することができ、高い画質により所望の画像を表示することができる。

【 実施例 2 】

【 0 0 7 0 】

図 4 は、図 1 及び図 2 3 との対比により、本発明の実施例 2 のディスプレイ装置に適用される V スキャン回路を示すブロック図である。この実施例のディスプレイ装置は、図 1 について上述した V スキャン回路 3 6 に代えて、この図 4 に示す V スキャン回路 4 6 が適用される点を除いて、実施例 1 のディスプレイ装置と同一に構成される。

10

【 0 0 7 1 】

この V スキャン回路 4 6 は、シフトレジスタ 1 0 (1) ~ 1 0 (4) に代えて、図 2 4 について上述した S R ラッチ回路構成のシフトレジスタ 1 9 (1) ~ 1 9 (4) により垂直スタートパルス V S T を順次転送する。

【 0 0 7 2 】

この実施例のように、S R ラッチ回路構成のシフトレジスタにより垂直スタートパルス V S T を転送して選択信号を生成する場合についても、実施例 1 と同様の効果を得ることができる。

20

【 実施例 3 】

【 0 0 7 3 】

図 5 は、図 1 及び図 2 6 との対比により、本発明の実施例 3 のディスプレイ装置に適用される V スキャン回路を示すブロック図である。この実施例のディスプレイ装置は、図 1 について上述した V スキャン回路 3 6 に代えて、この図 4 に示す V スキャン回路 4 7 が適用される点を除いて、実施例 1 のディスプレイ装置と同一に構成される。

【 0 0 7 4 】

この V スキャン回路 4 6 は、シフトレジスタ 1 0 (1) ~ 1 0 (4) に代えて、デコーダ 2 6 により選択信号 S 1 (1) ~ S 1 (4) を生成する。

【 0 0 7 5 】

この実施例のように、デコーダにより選択信号を生成する場合についても、実施例 1 と同様の効果を得ることができる。

30

【 実施例 4 】

【 0 0 7 6 】

図 6 は、図 3 との対比により、本発明の実施例 4 のディスプレイ装置に適用される駆動信号の説明に供するタイムチャートである。この実施例では、移動度を補正する期間 T の終端を決定する駆動信号 S 2 1 において、信号レベルが徐々に立ち下がるように設定され、これにより信号線 S I G に設定された信号レベル V s i g が高い場合程、速い時点で、トランジスタ T R 1 がオフ動作するように設定される。この実施例のディスプレイ装置は、この駆動信号 S 2 1 に関する構成が異なる点を除いて、上述の実施例のディスプレイ装置と同一に構成される。

40

【 0 0 7 7 】

すなわち実施例 1 について上述した移動度を補正する期間 T において、トランジスタ T R 3 に流れる電流 I d s は、トランジスタ T R 3 のゲートソース間電圧に応じて変化することにより、信号線 S I G の信号レベル V s i g が高い場合程、すなわち有機 E L 素子 3 4 を高い輝度レベルで発光させる場合程、大きな電流が流れることになる。従って有機 E L 素子 3 4 を高い輝度レベルで発光させる場合程、短い時間で移動度のばらつきを補正できることになる。

【 0 0 7 8 】

これによりこの実施例では、移動度を補正する期間 T の終端を決定する駆動信号 S 2 1 において、信号レベルが徐々に立ち下がるように設定し、有機 E L 素子 3 4 を高い輝度レ

50

ベルで発光させる場合程、速くトランジスタTR1をオフ動作させ、移動度のばらつきを補正する期間を短くする。このように有機EL素子34を高い輝度レベルで発光させる場合程、移動度のばらつきを補正する期間を短くすれば、一段と画質を向上し、ユニフォーミティーを向上させることができる。なおこの図6では、時間の経過によりほぼ直線的に信号レベルが低下するように駆動信号S21を生成する場合を示しているが、實際上、指数関数的に信号レベルを立ち下げて、適切に移動度のばらつきを補正することができる。

【0079】

この実施例では、この駆動信号S21に対応するように、立ち下がり側の信号レベルが徐々に立ち下がるように、所定の信号発生回路で第1の電圧系Iの振幅による垂直イネーブル信号VENが生成される。またアナログ信号処理回路構成の増幅回路により、この電圧系Iの振幅によるイネーブル信号VENを増幅し、第3の電圧系の振幅によるイネーブル信号VENを生成する。この実施例では、この増幅回路がレベル変換回路として機能する。

10

【0080】

この実施例では、図1、図4、又は図5のVスキャン回路において、レベル変換回路37が省略され、直接、第3の電圧系の振幅による垂直イネーブル信号VENを論理回路39(1)~39(4)に入力する。またこの論理回路39(1)~39(4)をアナログ信号処理回路により構成して、選択信号S1(1)~S1(4)によりそれぞれ第3の電圧系の振幅によるイネーブル信号VENを選択して駆動信号S21(1)~S21(4)を生成する。

20

【0081】

なお移動度のばらつきを補正する期間Tの開始時点を定義する駆動信号S22については、上述の実施例と同様に生成する。

【0082】

この実施例によれば、駆動信号の信号レベルを徐々に立ち下げて、有機EL素子を高い輝度レベルで発光させる場合程、移動度のばらつきを補正する期間を短くして画質を向上する場合であっても、上述の実施例と同様の効果を得ることができる。

【実施例5】

【0083】

図7は、図2との対比により、本発明の実施例5のディスプレイ装置に適用される画素の構成を示す接続図であり、図8は、この画素53の動作の説明に供するタイムチャートである。

30

【0084】

この実施例の画素53は、有機EL素子34を電源VDD1に接続するトランジスタTR2(図2参照)が省略され、電源VDD1の電位を直接制御して、有機EL素子34の発光、非発光が制御される(図8(B)、(D)~(F))。また信号レベル保持用コンデンサCsを固定電位Vin1に接続するトランジスタTR4が省略され、有機EL素子34を介した放電により信号レベル保持用コンデンサCsの有機EL素子34側端の電圧を十分に低い電圧に立ち上げ、トランジスタTR3のしきい値電圧Vthを信号レベル保持用コンデンサCsにセットする(図8(C)、(D)~(F))。またしきい値電圧Vthを信号レベル保持用コンデンサCsにセットした後も、トランジスタTR3のドレイン電圧を立ち上げたままに保持し、トランジスタTR1のオンオフ制御のみによりトランジスタTR1の移動度のばらつきを補正し、さらには信号線SIGの信号レベルVsigを信号レベル保持用コンデンサCsにセットする(図8(A)、(D)~(F))。

40

【0085】

この画素53の構成に対応して、この実施例の垂直駆動回路は、少なくともトランジスタTR1を駆動する駆動信号S21(1)~S21(4)が、図1、図4、又は図5のVスキャン回路で生成される。

【0086】

この実施例によれば、一段と簡易な構成により画素を構成して、上述の実施例と同様の

50

効果を得ることができる。

【実施例 6】

【0087】

図 9 は、図 2 との対比により、本発明の実施例 6 のディスプレイ装置に適用される画素の構成を示す接続図であり、図 10 は、この画素 54 の動作の説明に供するタイムチャートである。この画素 54 は、P チャンネル型トランジスタ T R 3 のソースが正側電源 V D D 1 に接続され、駆動信号 S 2 2 によりオンオフ動作するトランジスタ T R 2 を介して、このトランジスタ T R 3 のソースが有機 E L 素子 34 に接続される。これによりこの画素 54 は、駆動信号 S 2 2 によるトランジスタ T R 2 のオンオフ制御により、有機 E L 素子 34 の発光、非発光を制御し（図 10（B）、（E）～（G））、さらにはトランジスタ T R 3 のゲートソース間電圧に応じた駆動電流により有機 E L 素子 34 を駆動する。

10

【0088】

またこの有機 E L 素子 34 を駆動するトランジスタ T R 3 は、所定のコンデンサ C c、信号レベル保持用コンデンサ C s の直列回路がゲート及び正側電源 V D D 1 間に設けられ、駆動信号 S 2 4 によりオンオフ動作するトランジスタ T R 5 を介して、この直列回路の接続中点が固定電位 V o f s に接続され、また駆動信号 S 2 3 によりオンオフ動作するトランジスタ T R 4 によりゲートドレインが短絡される。また駆動信号 S 2 1 によりオンオフ動作して信号レベル保持用コンデンサ C s のコンデンサ C c 側端を信号線 S I G に接続するトランジスタ T R 1 が設けられる。

【0089】

20

画素 54 は、駆動信号 S 2 2 によりトランジスタ T R 2 をオフ状態に切り換えて有機 E L 素子 34 の発光を停止すると、図 10（G）において準備により示すように、一定の期間経過後、駆動信号 S 2 4 によりトランジスタ T R 5 がオン状態に切り換えられ、信号レベル保持用コンデンサ C s のコンデンサ C c 側端が固定電位 V o f s に設定される（図 10（D）及び（E））。また駆動信号 S 2 2 によりトランジスタ T R 2 がオン状態に切り換えられると共に、駆動信号 S 2 3 によりトランジスタ T R 4 がオン状態に切り換えられ、有機 E L 素子 34 を介してコンデンサ C s の蓄積電荷を放電し、トランジスタ T R 3 のゲート電圧が立ち下げられる（図 10（B）、（C）及び（F））。

【0090】

画素 54 は、続いて駆動信号 S 2 2 によりトランジスタ T R 2 がオフ状態に切り換えられ、これによりトランジスタ T R 3 を介して正側電源 V D D 1 によりコンデンサ C c のトランジスタ T R 3 側端が充電され、トランジスタ T R 3 のゲート電圧 V g が徐々に上昇する（図 10（B）及び（F））。ここでこのゲート電圧 V g の上昇により、トランジスタ T R 3 のゲート電圧 V g が、正側電源 V D D 1 の電位よりトランジスタ T R 3 のしきい値電圧 V t h だけ立ち下がった電圧となると、トランジスタ T R 3 がオフ状態となり、トランジスタ T R 3 を介したコンデンサ C c の充電が停止し、これによりゲート電圧 V g の上昇が停止する。これにより画素 54 は、コンデンサ C c にトランジスタ T R 3 のしきい値電圧 V t h に対応する電圧をセットし、トランジスタ T R 3 のしきい値電圧 V t h のばらつきによる発光輝度のばらつきを防止する。

30

【0091】

40

続いて画素 54 は、駆動信号 S 2 3、S 2 4 によりトランジスタ T R 4、T R 5 がオフ状態に設定される。その後、画素 54 は、駆動信号 S 2 1 によりトランジスタ T R 1 がオン状態に切り換えられ、信号レベル保持用コンデンサ C s のコンデンサ C c 側端の電位が信号線 S I G の電位 V s i g に設定される。但し、信号線 S I G の電位 V s i g は、V o f s + V d a t a である。これによりトランジスタ T R 3 のゲート電圧 V g は、信号線 S I G の電位 V s i g に対してコンデンサ C c にセットされたしきい値電圧 V t h の分だけバイアスされた電圧となり、トランジスタ T R 3 のゲートソース間電圧は、信号線 S I G の V s i g をしきい値電圧 V t h で補正した電圧に設定される。

【0092】

続いて画素 54 は、信号レベル保持用コンデンサ C s を信号線 S I G に接続した状態で

50

、一定期間 T の間、駆動信号 S 2 3 によりトランジスタ T R 3 がオン状態に切り換えられ、これによりトランジスタ T R 3 を介したコンデンサ C c の充電によりトランジスタ T R 3 の移動度が補正される。またその後、駆動信号 S 2 3、S 2 1 によりトランジスタ T R 4、T R 1 が順次オフ状態に切り換えられた後、駆動信号 S 2 2 によりトランジスタ T R 2 がオン状態に切り換えられて有機 E L 素子 3 4 の駆動が開始される。

【 0 0 9 3 】

これによりこの実施例では、移動度のばらつきを補正する駆動信号 S 2 3 でタイミングがばらつくと、走査線間で移動度のばらつき補正にばらつきが発生し、画質が劣化することになる。そこでこの実施例では、少なくともこの移動度のばらつき補正に係る駆動信号 S 2 3 が図 1、図 4、又は図 5 の V スキャン回路で生成される。

10

【 0 0 9 4 】

この実施例によれば、P チャンネル型トランジスタ T R 3 により有機 E L 素子 3 4 を駆動する場合でも、上述の実施例と同様の効果を得ることができる。

【 実施例 7 】

【 0 0 9 5 】

図 1 1 は、図 1 との対比により、本発明の実施例 7 のディスプレイ装置に適用される V スキャン回路を示すブロック図である。この実施例のディスプレイ装置は、上述した各実施例の V スキャン回路に代えて、この図 1 1 に示す V スキャン回路 6 6 が適用される点を除いて、上述の各実施例のディスプレイ装置と同一に構成される。

20

【 0 0 9 6 】

ここでこの V スキャン回路 6 6 は、直接、第 2 の電圧系により垂直スタートパルス V S T、垂直クロック V C K が入力される点を除いて、実施例 1 の V スキャン回路 3 6 と同一に構成される。

【 0 0 9 7 】

この実施例のように、第 2 の電圧系により垂直スタートパルス V S T、垂直クロック V C K を入力するようにしても、上述の実施例と同様の効果を得ることができる。

【 実施例 8 】

【 0 0 9 8 】

図 1 2 は、図 1 との対比により、本発明の実施例 8 のディスプレイ装置に適用される V スキャン回路を示すブロック図である。この実施例のディスプレイ装置は、上述した各実施例の V スキャン回路に代えて、この図 1 2 に示す V スキャン回路 6 7 が適用される点を除いて、上述の各実施例のディスプレイ装置と同一に構成される。

30

【 0 0 9 9 】

ここでこの V スキャン回路 6 7 は、第 1 の電圧系によるイネーブル信号 V E N をレベル変換回路 3 7 A により第 2 の電圧系の振幅に変換した後、続くレベル変換回路 3 7 B により第 3 の電圧系の振幅に変換する。

【 0 1 0 0 】

この実施例のようにイネーブル信号を第 2 の電圧系の振幅に変換した後、第 3 の電圧系の振幅に変換するようにして、上述の実施例と同様の効果を得ることができる。

【 実施例 9 】

【 0 1 0 1 】

図 1 3 は、図 1 との対比により、本発明の実施例 9 のディスプレイ装置に適用される V スキャン回路を示すブロック図である。この実施例のディスプレイ装置は、上述した各実施例の V スキャン回路に代えて、この図 1 3 に示す V スキャン回路 6 8 が適用される点を除いて、上述の各実施例のディスプレイ装置と同一に構成される。

40

【 0 1 0 2 】

ここでこの V スキャン回路 6 9 は、論理回路 3 9 (1) ~ 3 9 (4) をグループ化し、各グループ毎にバッファ 6 9 (1)、6 9 (2) を介してイネーブル信号 V E N を論理回路 3 9 (1) ~ 3 9 (4) を入力する。なおこの場合、図 1 3 との対比により図 1 4 に示すように、バッファ 6 9 (1)、6 9 (2) の出力ラインを接続するようにしてもよい。

50

【 0 1 0 3 】

この実施例のように論理回路をグループ化して駆動するようにしても、上述の実施例と同様の効果を得ることができる。

【 実施例 1 0 】

【 0 1 0 4 】

なお上述の実施例においては、トランジスタ T R 1 及び T R 2 の制御に係る駆動信号等をそれぞれ図 1 等に見す V スキャン回路で構成する場合について述べたが、本発明はこれに限らず、実用上十分に駆動信号の精度の劣化を許容できる場合には、何れかの駆動信号の V スキャン回路にのみ本発明を適用するようにしてもよい。

【 0 1 0 5 】

また上述の実施例では、垂直同期信号に同期した垂直スタートパルスを基準パルスに適用して V スキャン回路で処理する場合について述べたが、本発明はこれに限らず、走査線の駆動信号の生成基準である各種基準パルスを処理して駆動信号を生成する V スキャン回路に広く適用することができる。

【 0 1 0 6 】

なお上述の実施例においては、各種の画素回路により画素を構成する場合について述べたが、本発明はこれに限らず、上述した以外の各種の画素回路により画素を構成する場合にも広く適用することができる。

【 0 1 0 7 】

また上述の実施例においては、本発明を有機 E L 素子によるディスプレイ装置に適用する場合について述べたが、本発明はこれに限らず、電流駆動型の種々の発光素子によるディスプレイ装置、さらには液晶等のディスプレイ装置にも広く適用することができる。

【 産業上の利用可能性 】

【 0 1 0 8 】

本発明は、例えばポリシリコン T F T (Thin Film Transistor) を用いた有機 E L (Electro Luminescence) 素子によるアクティブマトリックス型のディスプレイ装置に適用することができる。

【 図面の簡単な説明 】

【 0 1 0 9 】

【 図 1 】 本発明の実施例 1 のディスプレイ装置に適用される V スキャン回路を示すブロック図である。

【 図 2 】 本発明の実施例 1 のディスプレイ装置に適用される画素を示す接続図である。

【 図 3 】 図 2 の画素のタイムチャートである。

【 図 4 】 本発明の実施例 2 のディスプレイ装置に適用される V スキャン回路を示すブロック図である。

【 図 5 】 本発明の実施例 3 のディスプレイ装置に適用される V スキャン回路を示すブロック図である。

【 図 6 】 本発明の実施例 4 のディスプレイ装置における画素のタイムチャートである。

【 図 7 】 本発明の実施例 5 のディスプレイ装置に適用される画素を示す接続図である。

【 図 8 】 図 7 の画素のタイムチャートである。

【 図 9 】 本発明の実施例 6 のディスプレイ装置に適用される画素を示す接続図である。

【 図 1 0 】 図 9 の画素のタイムチャートである。

【 図 1 1 】 本発明の実施例 7 のディスプレイ装置に適用される V スキャン回路を示すブロック図である。

【 図 1 2 】 本発明の実施例 8 のディスプレイ装置に適用される V スキャン回路を示すブロック図である。

【 図 1 3 】 本発明の実施例 9 のディスプレイ装置に適用される V スキャン回路を示すブロック図である。

【 図 1 4 】 図 1 3 とは他の例による V スキャン回路を示すブロック図である。

【 図 1 5 】 従来のディスプレイ装置を示すブロック図である。

10

20

30

40

50

【図 16】図 15 のディスプレイ装置のタイムチャートである。

【図 17】図 15 のディスプレイ装置に適用される V スキャン回路を示すブロック図である。

【図 18】図 17 の V スキャン回路のレベル変換回路を示す接続図である。

【図 19】図 17 のレベル変換回路のタイムチャートである。

【図 20】図 17 の V スキャン回路におけるレベル変換回路の他の例を示す接続図である

【図 2 1】図 1 7 の V スキャン回路の他のレベル変換回路を示す接続図である。

【図 2 2】図 2 1 のレベル変換回路のタイムチャートである。

【図 2 3】図 1 5 のディスプレイ装置に適用される V スキャン回路の他の例を示すブロック図である。

【図 2 4】図 2 3 の V スキャン回路のシフトレジスタを示す接続図である。

【図 25】 図 24 のシフトレジスタのタイムチャートである。

【図 26】図 15 のディスプレイ装置に適用される V スキャン回路の他の例を示すブロック図である。

【符号の説明】

【 0 1 1 0 】

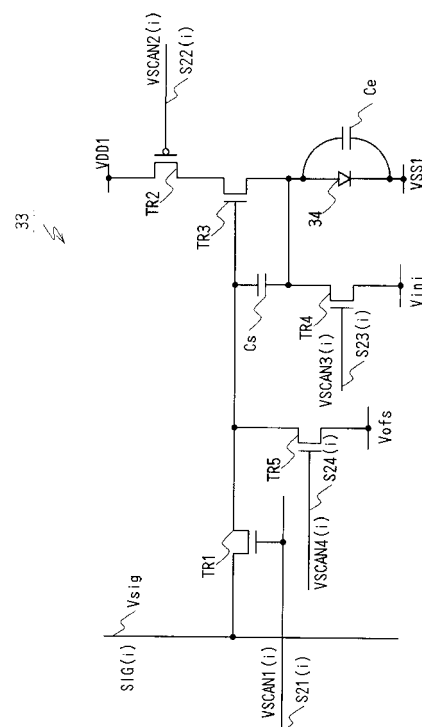
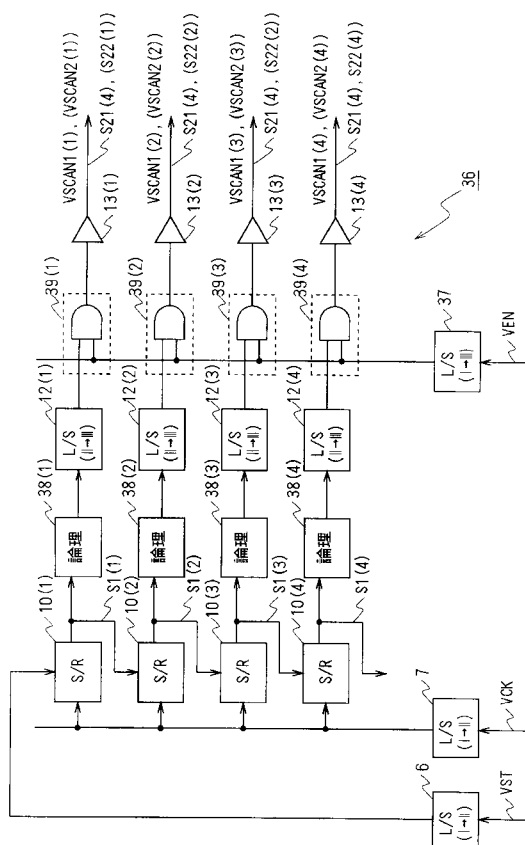
１ …… ディスプレイ装置、２ …… 表示部、３、３３、５３、５４ …… 画素、４ …… Ｈスキャン回路、５、１８、３６、４６、４７、６６、６７、６８、６９ …… Ｖスキャン回路、６、７、８、１２（１）～１２（４）、３７、３７Ａ、３７Ｂ …… レベル変換回路、１０（１）～１０（４）、１９（１）～１９（４） …… シフトレジスタ、１１（１）～１１（４）、３８（１）～３８（４）、３９（１）～３９（４） …… 論理回路、２６ …… デコーダ、ＴＲ１～ＴＲ１０ …… トランジスタ、Ｃｃ、Ｃｓ …… コンデンサ

10

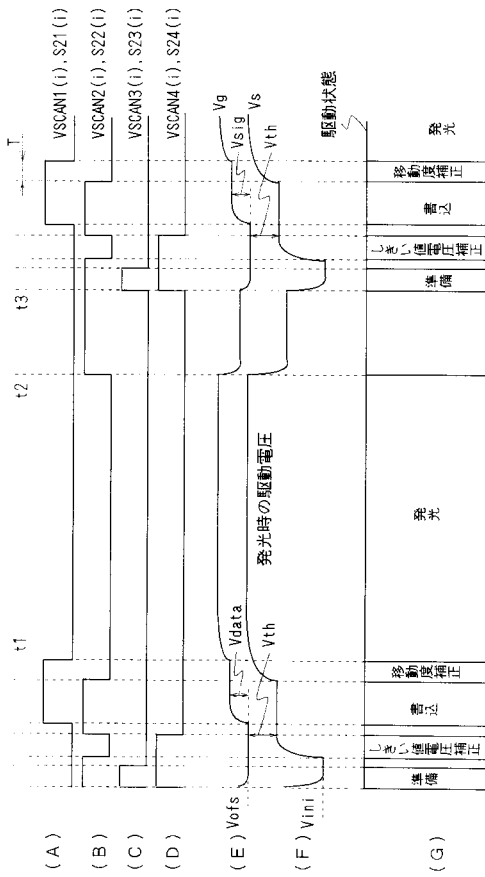
20

【 図 1 】

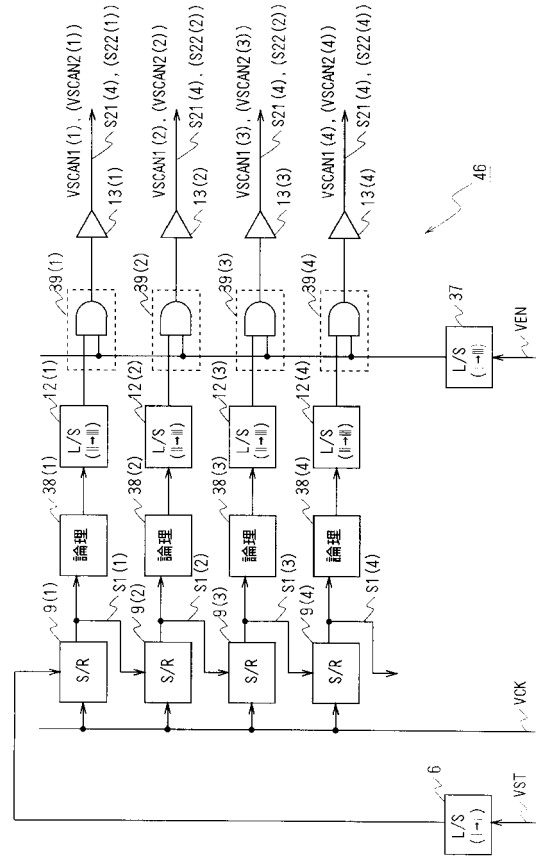
【 図 2 】



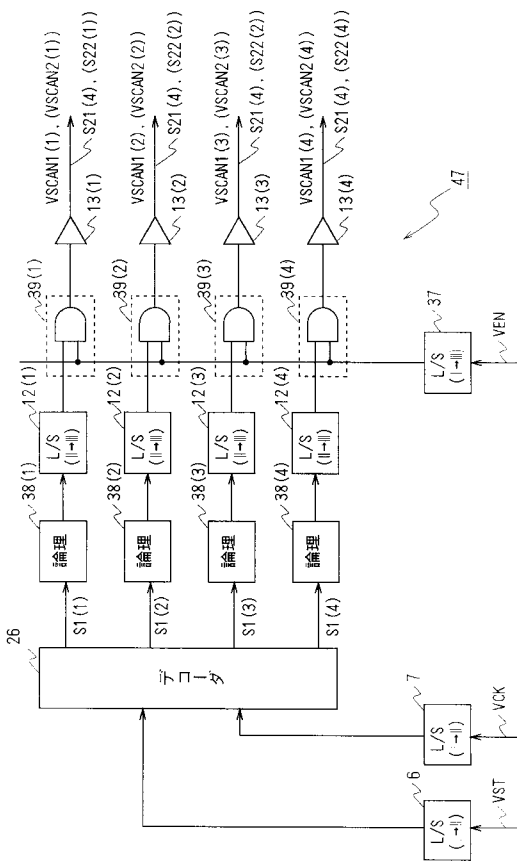
【図 3】



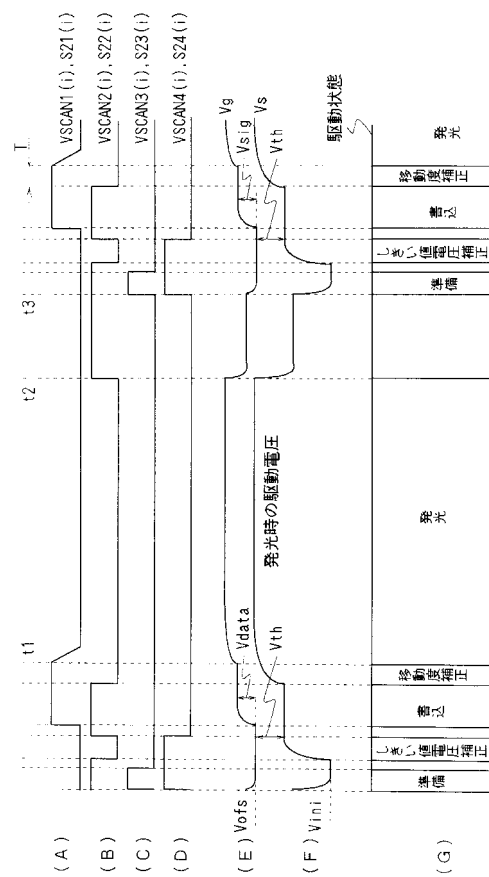
【図 4】



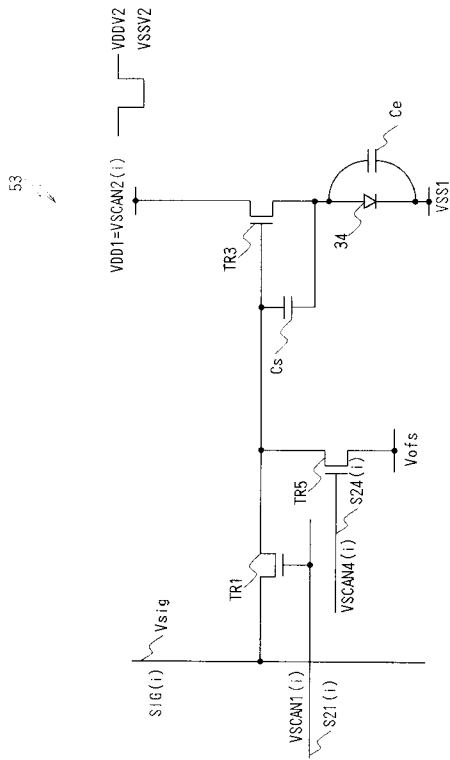
【図 5】



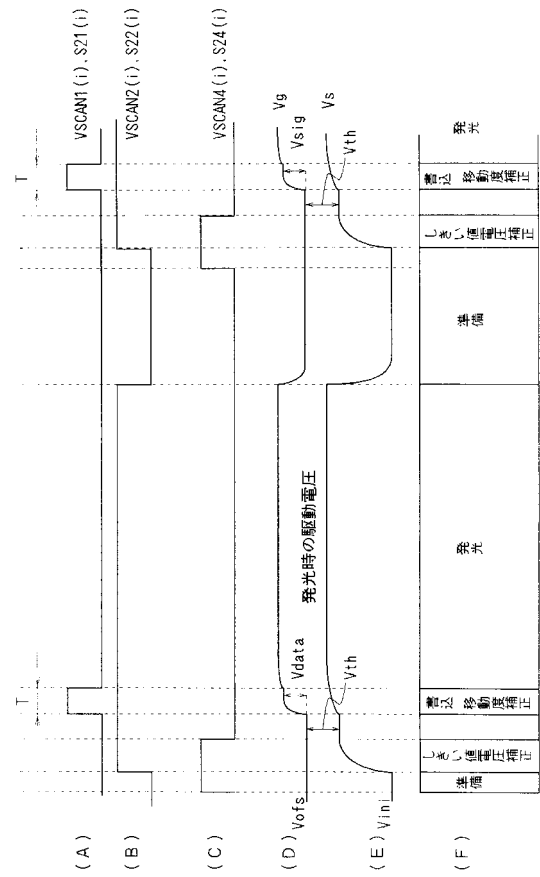
【図 6】



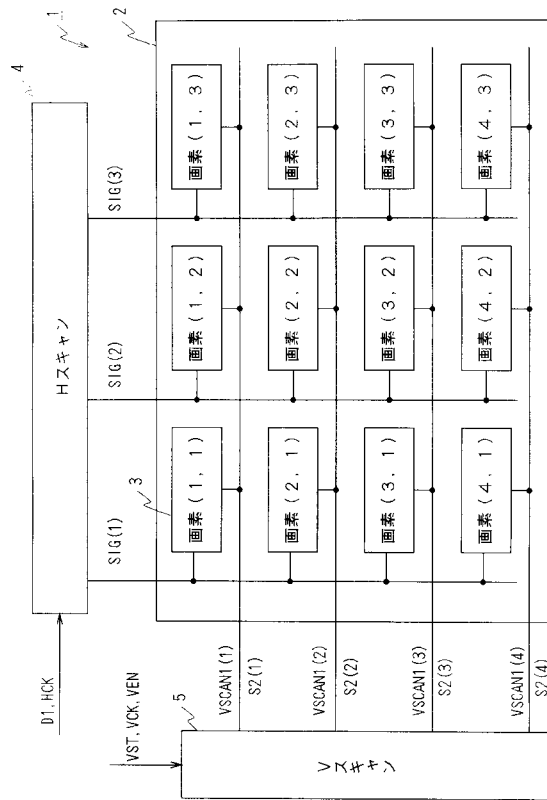
【 図 7 】



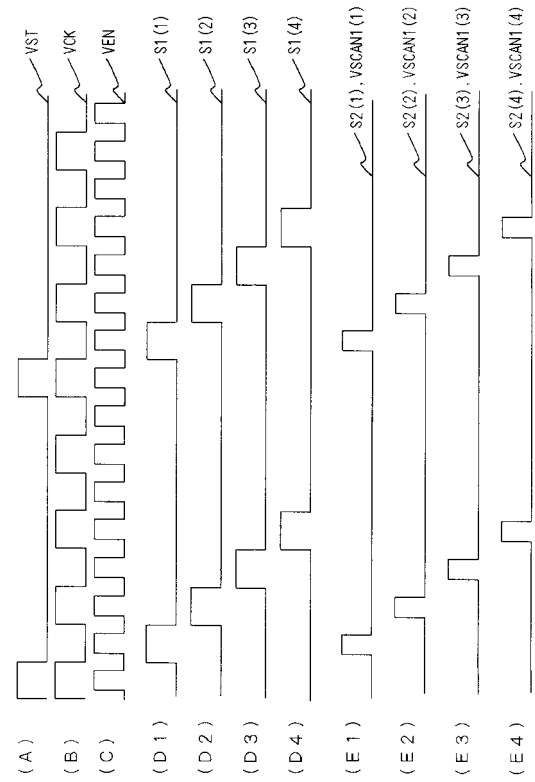
【 図 8 】



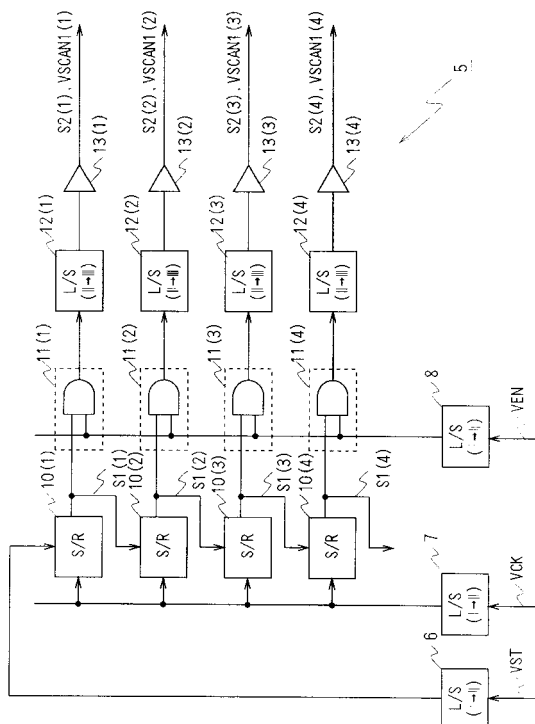
【図 15】



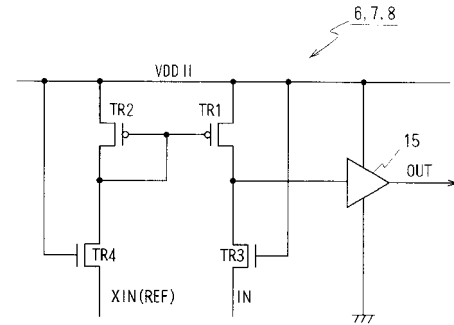
【図 16】



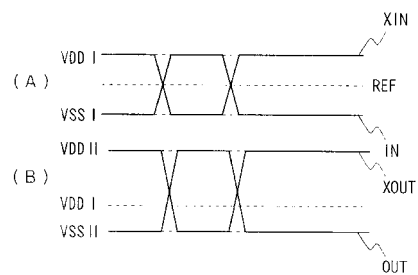
【図 17】



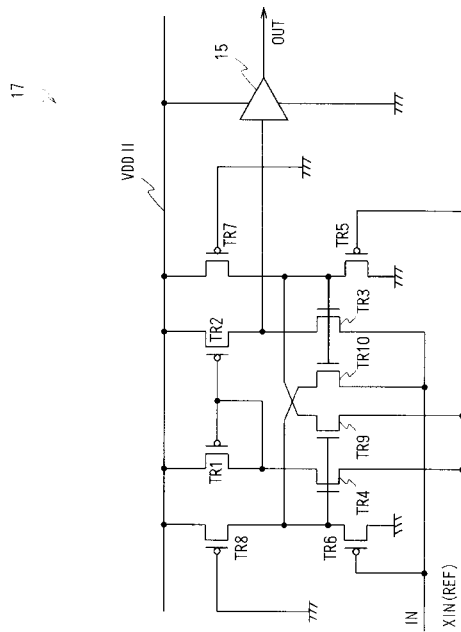
【図 18】



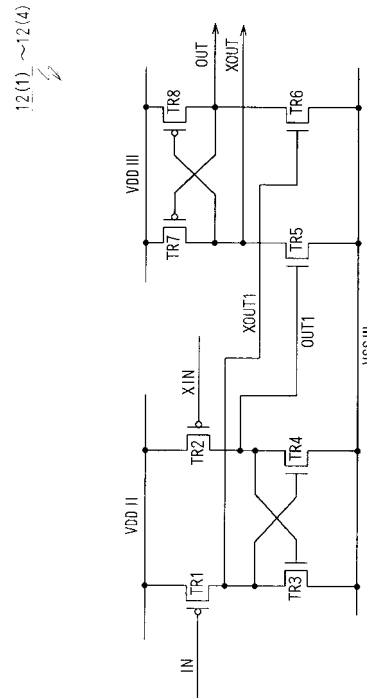
【図 19】



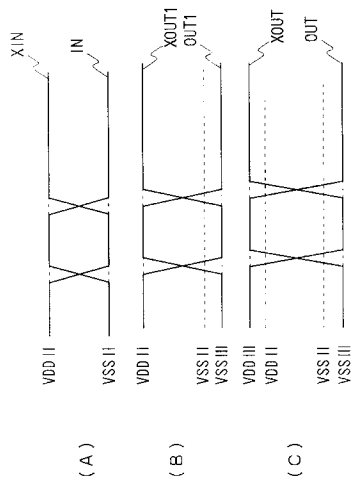
【図 20】



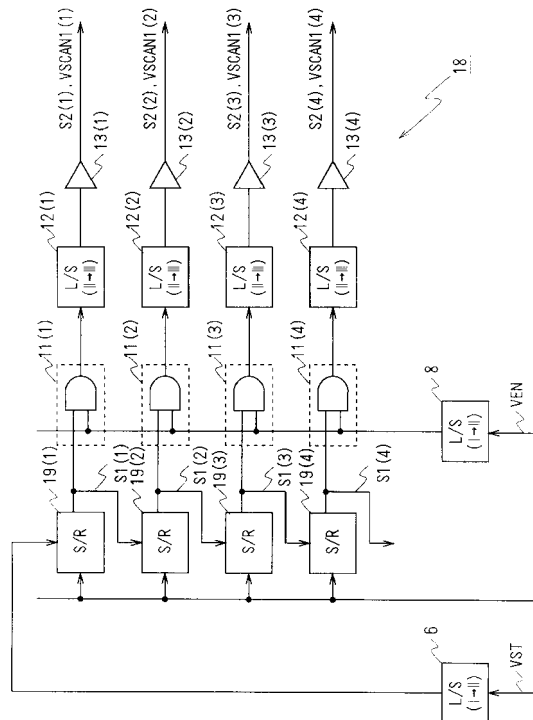
【図 21】



【図 22】



【図 23】



フロントページの続き

(51) Int. Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 1 1 H

G 0 9 G 3/20 6 1 1 A