

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5842465号
(P5842465)

(45) 発行日 平成28年1月13日(2016. 1. 13)

(24) 登録日 平成27年11月27日(2015. 11. 27)

(51) Int.Cl.

F I

H02M 7/12 (2006.01)

H02M 7/12

Q

H02M 7/12

W

請求項の数 6 (全 19 頁)

(21) 出願番号 特願2011-185647 (P2011-185647)
 (22) 出願日 平成23年8月29日(2011. 8. 29)
 (65) 公開番号 特開2013-48508 (P2013-48508A)
 (43) 公開日 平成25年3月7日(2013. 3. 7)
 審査請求日 平成26年6月27日(2014. 6. 27)

(73) 特許権者 000006747
 株式会社リコー
 東京都大田区中馬込1丁目3番6号
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 岩田 岳志
 東京都大田区中馬込1丁目3番6号 株式
 会社リコー内
 審査官 安食 泰秀

最終頁に続く

(54) 【発明の名称】 電源装置

(57) 【特許請求の範囲】

【請求項 1】

連続モードで力率を調整する第1の調整回路及び第2の調整回路と、前記第1の調整回路及び第2の調整回路が有するスイッチング素子を用いてそれぞれの出力電圧を制御する制御回路とを有する電源装置であって、

前記第1の調整回路及び第2の調整回路は、

交流電源の整流回路から得られる入力電圧を検出する入力電圧検出部と、

それぞれの出力電圧を検出する出力電圧検出部と、

前記スイッチング素子に流れる電流を検出する電流検出部とを有し、

前記制御回路は、

前記入力電圧検出部、前記出力電圧検出部及び前記電流検出部からの検出結果に応じたパルス信号であるスイッチング信号を前記スイッチング素子に出力し、

前記スイッチング素子は、前記スイッチング信号により、オン・オフが制御され、

前記制御回路は、前記電流検出部で得られた電流値が、前記入力電圧検出部及び前記出力電圧検出部で得られた値に基づいて生成された、前記スイッチング素子を流れる最大電流値に対応した値になった時点で、前記スイッチング素子をオフとなるような、前記スイッチング信号を生成することを特徴とする電源装置。

【請求項 2】

前記制御回路は、

前記第1の調整回路の前記出力電圧検出部から得られる出力電圧に応じて前記第1の調

10

20

整回路及び第２の調整回路のそれぞれのスイッチング信号のスイッチング周波数を制御することを特徴とする請求項１に記載の電源装置。

【請求項３】

前記制御回路は、

前記スイッチング周波数に基づいて、前記第１の調整回路及び第２の調整回路のそれぞれのスイッチング信号の立ち上がりを制御することを特徴とする請求項２に記載の電源装置。

【請求項４】

前記制御回路は、

前記入力電圧検出部、前記出力電圧検出部及び前記電流検出部から得られた値に基づいて、前記第１の調整回路及び第２の調整回路のそれぞれのスイッチング信号の立ち下がり

10

を制御することを特徴とする請求項３に記載の電源装置。

【請求項５】

前記制御回路は、

前記入力電圧検出部から得られる入力電圧と前記第１の調整回路及び第２の調整回路の前記出力電圧検出部から得られるそれぞれの出力電圧とを乗算した信号と、前記第１の調整回路及び第２の調整回路の前記電流検出部から得られるそれぞれの電流値とに基づいて、前記スイッチング信号の立ち下がり

を制御することを特徴とする請求項４に記載の電源装置。

【請求項６】

20

前記制御回路は、

前記入力電圧検出部から得られる入力電圧波形の高レベル部分を下げよう調整する波形整形回路を有することを特徴とする請求項１乃至４のいずれか一項に記載の電源装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、電源装置に関する。

【背景技術】

【０００２】

近年では、例えば家電製品や事務機器等の低消費電力化の要求を受けて、電源装置に対しても高変換効率化が求められている。その中でも、例えば力率調整回路（Power Factor Correction、以下「PFC」という）とLLC電流共振型コンバータ（以下、「LLC」と略する）とを直列に接続したスイッチング電源は、小型、高

30

変換効率、及び低ノイズの電源として広く普及している。

【０００３】

スイッチング電源に用いられるPFCは、例えば昇圧型スイッチングコンバータの回路構成を有し、AC（Alternating Current）電源から入力されるAC入力電圧波形に応じて、スイッチング素子のスイッチング周波数又はON/OFFデューティ比を変化させるよう制御される。例えば、PFCは、正弦波状のAC入力電圧波形に対して、PFCを流れる電流波形を同一位相の正弦波状になるように制御し、力率を改

40

善（すなわち無効電力の削減）させる。

【０００４】

なお、上述したPFCの例として、例えば高変換効率、低ノイズ化を目的としたインターリーブPFCが知られている（例えば、特許文献１参照）。図１は、従来のインターリーブPFCの一例を示す図である。図１に示すインターリーブPFC 100は、交流電源ACと、整流回路RFY１と、抵抗R１～R３と、インダクタ素子L１～L２と、トランジスタQ１～Q２と、ダイオードD１～D２と、容量素子C１と、出力電圧端子Vout１と、PFCコントローラ101とを有するように構成される。

【０００５】

ここで、図１に示すインターリーブPFC 100は、２つのPFCと、各PFCが備え

50

るスイッチング素子（トランジスタQ1～Q2）を制御するPFCコントローラ101とを有する。PFCコントローラ101は、それぞれのPFCのスイッチング素子（トランジスタQ1～Q2）を、位相が180°異なるスイッチング信号で制御（マルチフェーズ制御）し、通電電流を連続化することで、ノイズの低減及び通電電流の最大値を下げて低損失化（高変換効率化）を図る。

【0006】

なお、インターリーブPFC100でも、AC電源から通電される電流を検出し（図1に示す抵抗R1に生じる電圧）、通電電流の積分値がAC入力電圧に応じた正弦波になるように制御している。

【発明の概要】

10

【発明が解決しようとする課題】

【0007】

上述した特許文献1に示すような手法は、PFCの出力が2つのPFCの出力を合成したものであり、2つのPFCは、出力電圧が等しく、位相のみ異なるほぼ同一の電氣的条件を有する。このように、2つのPFCの出力を合成して用いる場合には、2つのPFCに対してスイッチング信号のON/OFFデューティ比を同一としても問題ないため、一方のPFCの制御信号を基準とし、その位相をずらして、他方のPFCの制御信号として用いている。

【0008】

しかしながら、上述した特許文献1に示すような手法では、例えば、複数のPFCの出力電圧に差があるような場合に、各PFCのスイッチング信号のON/OFFデューティ比が異なるように制御することができない。

20

【0009】

本発明は、上記の課題に鑑みてなされたものであり、複数のPFCの出力電圧に差があるような場合でも、マルチフェーズ制御を行って力率を改善する電源装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明は、上記目的を達成するために、連続モードで力率を調整する第1の調整回路及び第2の調整回路と、前記第1の調整回路及び第2の調整回路が有するスイッチング素子を用いてそれぞれの出力電圧を制御する制御回路とを有する電源装置であって、前記第1の調整回路及び第2の調整回路は、交流電源の整流回路から得られる入力電圧を検出する入力電圧検出部と、それぞれの出力電圧を検出する出力電圧検出部と、前記スイッチング素子に流れる電流を検出する電流検出部とを有し、前記制御回路は、前記入力電圧検出部、前記出力電圧検出部及び前記電流検出部からの検出結果に応じたパルス信号であるスイッチング信号を前記スイッチング素子に出力し、前記スイッチング素子は、前記スイッチング信号により、オン・オフが制御され、前記制御回路は、前記電流検出部で得られた電流値が、前記入力電圧検出部及び前記出力電圧検出部で得られた値に基づいて生成された、前記スイッチング素子を流れる最大電流値に対応した値になった時点で、前記スイッチング素子をオフとなるような、前記スイッチング信号を生成する。

30

40

【発明の効果】

【0011】

本発明によれば、複数のPFCの出力電圧に差があるような場合に、マルチフェーズ制御を行って力率を改善する。

【図面の簡単な説明】

【0012】

【図1】従来のインターリーブPFCの一例を示す図である。

【図2】マルチフェーズ型PFCの全体構成を示す図である。

【図3】マスターPFCとスレーブPFCとを制御する制御回路を示す図である。

【図4】マスターPFCとスレーブPFCのタイミングチャートを示す図である。

50

【図 5】P F C の連続モード又は不連続モードを説明するための図である。

【図 6】本実施形態に係る電源装置の一例を示す図である。

【図 7】図 6 に示す制御回路の一例を示すブロック図である。

【図 8】図 7 に示す制御回路により制御された単一相のスイッチング波形と電流波形を示す図である。

【図 9】図 7 に示す制御回路により制御された 3 相のスイッチング波形と電流波形を示す図である。

【図 10】発振器の回路図とその動作波形を示す図である。

【図 11】波形整形器の回路図である。

【図 12】図 11 に示す波形整形器により波形を歪ませた場合と波形を歪ませてない場合の例を示す図である。

10

【図 13】他の制御回路の一例を示すブロック図である。

【図 14】図 13 に示す制御回路により制御された単一相のスイッチング波形と電流波形を示す図である。

【発明を実施するための形態】

【0013】

本発明は、例えば、A C (A l t e r n a t i n g C u r r e n t) / D C (D i r e c t C u r r e n t) コンバータによる電源生成技術に関する。また、本発明は、例えば、複数の力率調整回路を並列接続したマルチフェーズ型 P F C を提供する。

【0014】

20

< 本発明の前提となる発明について >

まず、本発明の前提となる発明について説明する。本出願人は、P F C と L L C とを直列に接続したスイッチング電源を複数個並列に用いて、各々のスイッチングタイミングの位相制御を行うマルチフェーズ型 A C / D C コンバータに関し、「マルチフェーズ型コンバータ」(特願 2010-141160)を出願している。

【0015】

この「マルチフェーズ型コンバータ」は、複数の P F C の後段にそれぞれ設けられ、複数個並列に接続された L L C の出力電力がそれぞれほぼ等しくなるように、L L C のそれぞれに接続された P F C の出力電圧を、L L C からのフィードバック信号で変化させる。

【0016】

30

ここでは、各 P F C のスイッチング周波数は等しく、スイッチングタイミングを P F C の数だけ位相をずらして制御することを想定している。したがって、例えば電気特性の異なる L L C の出力電力を一定にするため、各 P F C の出力電圧を異ならせる場合には、スイッチング信号の O N / O F F デューティ比が異なるように制御する。

【0017】

この「マルチフェーズ型コンバータ」に対して、本出願人は、各 P F C から出力される出力電圧により、マルチフェーズ制御を行うため、「電源装置」(特願 2010-234679)を出願している。この「電源装置」では、例えば、複数の P F C のうち、1つの P F C をマスター P F C とし、他の P F C をスレーブ P F C として制御する。

【0018】

40

ここで、図 2 は、マルチフェーズ型 P F C の全体構成を示す図である。また、図 3 は、マスター P F C とスレーブ P F C とを制御する制御回路を示す図である。また、図 4 は、マスター P F C とスレーブ P F C のタイミングチャートを示す図である。

【0019】

図 2 に示す電源装置 102 は、A C 電源と、整流回路 R F Y 2 と、インダクタ素子 L 3 ~ L 5 と、M O S F E T Q 3 ~ Q 5 と、ダイオード D 3 ~ D 5 と、容量素子 C 2 ~ C 4 と、抵抗 R 4 ~ R 11 と、出力電圧端子 V o u t 2 ~ V o u t 4 と、制御回路 103 とを有するように構成される。

【0020】

電源装置 102 では、出力電圧端子 V o u t 2 ~ V o u t 4 からそれぞれ異なる電圧が

50

出力される場合を想定し、それぞれ3つの出力電圧を得るため、同様なPFCを3つ有した構成となっている。すなわち、図2の例では、例えば出力電圧端子Vout2がマスターPFCからの電圧を出力する端子であり、出力電圧端子Vout3、Vout4がスレーブPFCからの電圧を出力する端子である。

【0021】

また、図3に示すように、制御回路103は、端子MULと、マスターPFCの帰還電圧入力端子FB1と、スレーブPFCの帰還電圧入力端子FB2～FB3と、出力端子GD1～GD3と、エラーアンプ1～3と、乗算器10～12と、パルス幅調整回路13～15と、シフトレジスタ16～17と、1/3分周器18と、発振器19とを有するように構成される。

10

【0022】

図3の例では、マスターPFCの出力電圧からのフィードバック信号(FB1)とMUL端子の電圧(AC入力電圧)とは、乗算器10で乗算され、乗算された信号が発振器19に inputs し、発振器19から出力される周波数が決定される。発振器19から出力される周波数は、制御回路103の基準周波数となる。

【0023】

マスターPFCのスイッチング周波数は、発振器19から出力された基準周波数を、1/3分周器18で1/3(例えばPFCの個数)に分周して生成される。また、マスターPFCにおけるスイッチング信号のON/OFFデューティ比は、MUL端子の電圧(AC入力電圧)に応じて可変するパルス幅調整回路13によって決定される。

20

【0024】

スレーブPFCのスイッチング周波数は、マスターPFCのスイッチング信号からそれぞれ360°/(PFCの個数)ずつ、シフトレジスタ16～17により位相シフトした信号とする。また、スレーブPFCのスイッチング信号は、出力電圧からのフィードバック信号(FB2、FB3)とMUL端子の電圧(AC入力電圧)とが乗算器11～12で乗算され、乗算された信号により可変するパルス幅調整回路14～15によって決定される。

【0025】

上述した構成により、図2に示す電源装置102は、マスターPFCの出力電圧を一定に保つため、マスターPFCのスイッチング周波数を可変する。また、電源装置102は、マスターPFCと同一のスイッチング周波数で出力電圧を一定に保つようにするため、スイッチング信号のデューティ比を可変する。

30

【0026】

ここで、マスターPFCにおけるスイッチング信号と、スレーブPFCにおけるスイッチング信号とは、図4に示される。

【0027】

図4(A)は、MUL端子の電圧波形(AC全波整流波形)を示している。また、図4(B)は、発振器19から出力される発振器出力を示している。また、図4(C)は、パルス幅調整回路13～15に inputs されるクロック信号Fsw1～Fsw3を示している。すなわち、クロック信号Fsw1は、マスターPFCのクロック信号を示し、クロック信号Fsw2、Fsw3は、スレーブPFCのクロック信号を示している。

40

【0028】

また、図4(D)は、パルス幅調整回路13～15で比較される2つの波形を示している。また、図4(E)は、出力端子GD1～GD3から出力されるスイッチング信号を示している。

【0029】

図4(E)のGD1に示すマスターPFCのスイッチング信号のOFF幅は、例えば、図4(D)のパルス幅調整回路13に示す一定の傾きを持った鋸歯状波と、MUL端子の電圧波形(AC入力電圧波形に比例)とによって決定される。

【0030】

50

すなわち、パルス幅調整回路 13 は、鋸歯状波のレベルが M U L 端子の電圧波形レベルより小さいとき、G D 1 から L o w レベルを出力するよう制御し、このスイッチング信号により、トランジスタ Q 3 は O F F される。また、鋸歯状波のレベルが M U L 端子の電圧波形レベルよりも大きいとき、G D 1 から H i g h レベルを出力するよう制御し、このスイッチング信号により、トランジスタ Q 3 は O N される。

【 0 0 3 1 】

このように、マスター P F C の場合、M U L 端子の電圧レベルは、マスター P F C の出力電圧に対して固定であるため、出力電圧が負荷変動によって変化しても、スイッチング信号 (G D 1) の O F F 幅は影響されない。すなわち、マスター P F C では、M U L 端子の電圧に応じた電圧となるようスイッチング周波数を変化し、出力電圧が一定となるよう

10

【 0 0 3 2 】

また、図 4 (C) のクロック信号 F s w 2 ~ F s w 3 に示すように、スレーブ P F C のスイッチング周波数は、マスター P F C のスイッチング周波数と同一である。

【 0 0 3 3 】

一方、図 4 (E) の G D 2 及び G D 3 に示すスレーブ P F C のスイッチング信号の O F F 幅は、例えば、図 4 (D) のパルス幅調整回路 14 ~ 15 に示す位相のみマスター P F C と異なる一定の傾きを持った鋸歯状波と、M U L 端子の電圧波形 (A C 入力電圧波形に比例) と出力電圧からのフィードバック信号 (F B 2 ~ F B 3) とを乗算した信号と、に基づいて決定される。

20

【 0 0 3 4 】

すなわち、スレーブ P F C の場合、M U L 端子の電圧レベルを、出力電圧からのフィードバック信号 (F B 2 、 F B 3) の変動に応じて変化させ、上述した鋸歯状波に対して、スイッチング信号の O N / O F F デューティ比をフィードバック信号の変動に応じて変化させる。このように、フィードバック信号に応じて O N / O F F デューティ比を変化させることで、出力電圧が一定となるよう制御される。

【 0 0 3 5 】

次に、一般的な P F C (例えば、特許文献 1 に示すインターリーブ P F C) の制御方法について説明する。図 5 は、P F C の連続モード又は不連続モードを説明するための図である。

30

【 0 0 3 6 】

一般的な P F C では、通電する電流を検出し、通電電流の積分値が A C 入力電圧に応じた正弦波になるように制御して力率を改善する。このときの制御方法には、図 5 (A) に示す連続モードによる制御方法と、図 5 (B) に示す不連続モードによる制御方法とがある。

【 0 0 3 7 】

例えば、図 5 (A) に示す連続モードの場合には、P F C コイルに流れる電流が、スイッチング信号 (M O S F E T の制御) O F F の状態で、0 [A] まで下がり切らずに、次の O N によって電流が増加する。したがって、スイッチング信号の O N / O F F デューティ比にわずかに誤差が生じるだけでも、この誤差が 1 周期ごとに積み上げられた状態となるため、通電電流の積分値が正弦波のピークに向けて正弦波から離れていくことになり、力率が悪くなってしまう可能性がある。

40

【 0 0 3 8 】

すなわち、上述した図 2 に示す電源装置 102 は、スイッチング周波数とそのデューティ比とによって通電電流の積分値が A C 入力電圧に応じた正弦波となるように制御するが、力率を改善するためには、更にスイッチング周波数に対する O N / O F F デューティ比の精度が求められている。

【 0 0 3 9 】

なお、図 5 (B) に示す不連続モードの場合、1 周期ごとに無通電期間が生じるため、この無通電期間で O N / O F F デューティ比の誤差が吸収され、上述した問題は生じな

50

い。

【0040】

本発明の実施形態では、上述にて説明したような検討に基づき、例えば上述した連続モードによる制御方法において、より力率を改善するため、各PFCのスイッチング信号のON/OFFデューティ比を決定する手段を変更する。

【0041】

具体的には、マスターPFCとスレーブPFCのスイッチング素子に流れる通電電流を検出する手段を設ける。また、通電電流の最大値を、例えば出力電圧からのフィードバック信号に基づいて設定することで、スイッチング素子のそれぞれに流れる最大電流を検出してスイッチング素子をOFFするように制御する。

10

【0042】

なお、スイッチング信号のスイッチング周波数は、出力電圧からのフィードバック信号とAC入力電圧を乗算した信号により固定されているため、スイッチング周波数のOFF期間は、1スイッチング周期中のON期間を差し引いた期間となる。

【0043】

<本発明の実施形態>

以下、本発明の実施形態について詳細に説明する。

【0044】

<本実施形態に係る電源装置>

図6は、本実施形態に係る電源装置の一例を示す図である。図6に示す電源装置110は、交流電源ACと、整流回路RFY3と、インダクタ素子L6~L8と、トランジスタ(nチャンネルMOSFET)Q6~Q8と、抵抗R12~R22と、ダイオードD6~D8と、容量素子C5~C7と、制御回路111とを有するように構成される。

20

【0045】

すなわち、図6の例では、複数の異なる電圧を出力するマルチフェーズ型PFCの構成が示されている。また、図6に示す電源装置110は、出力電圧端子Vout5~7からそれぞれ異なる電圧が出力される場合を想定し、それぞれ3つの出力電圧を得るため、同一のPFC回路20-1~20-3を3つ有する。

【0046】

具体的には、PFC回路20-1は、インダクタ素子6と、トランジスタQ6と、抵抗R20と、ダイオードD6と、容量素子C5とを有するように構成される。また、PFC回路20-2は、インダクタ素子7と、トランジスタQ7と、抵抗R21と、ダイオードD7と、容量素子C6とを有するように構成される。

30

【0047】

また、PFC回路20-3は、インダクタ素子L8と、トランジスタ8と、抵抗R22と、ダイオードD8と、容量素子C7とを有するように構成される。

【0048】

なお、PFC回路20-1は、マスターPFC(主調整回路)とし、PFC回路20-2、PFC回路20-3は、スレーブPFC(副調整回路)とする。

【0049】

図6に示すように、交流電源ACを全波整流する整流回路RFY3の出力は、インダクタ素子L6、L7、L8に接続されている。また、整流回路RFY3の出力は、入力電圧検出部としての抵抗R12、抵抗R13とに直列接続され、更に接地端子GNDに接続されている。抵抗R12と抵抗R13とによって分圧された電圧は、制御回路111のMUL端子に接続されている。

40

【0050】

インダクタ素子L6の他端は、ダイオードD6のアノードに接続されていると共に、トランジスタQ6のドレインに接続されている。インダクタ素子L7の他端は、ダイオードD7のアノードに接続されていると共に、トランジスタQ7のドレインに接続されている。インダクタ素子L8の他端は、ダイオードD8のアノードに接続されていると共に、ト

50

ランジスタQ 8のドレインに接続されている。

【0051】

トランジスタQ 6～Q 8のソースは、各スイッチング素子の電流検出部としての抵抗R 20～R 22にそれぞれ接続されていると共に、通電電流検出端子IS 1～IS 3に接続されている。抵抗R 20～R 22の他端は、接地端子GNDに接続されている。

【0052】

ダイオードD 6～D 8のカソードは、出力電圧端子Vout 5～Vout 7に接続されている。出力電圧端子Vout 5～Vout 7とそれぞれ接地端子GNDとの間には、容量端子C 5～C 7とが接続されている。

【0053】

出力電圧端子Vout 5と接地端子GNDとの間には、PFC回路20-1(マスターPFC)の出力電圧検出部としての抵抗R 14と抵抗R 15とが直列接続されている。出力電圧端子Vout 6と接地端子GNDとの間には、PFC回路20-2(スレーブPFC)の出力電圧検出部としての抵抗R 16とR 17とが直列接続されている。出力電圧端子Vout 7と接地端子GNDとの間には、PFC回路20-3(スレーブPFC)の出力電圧検出部としての抵抗R 18と抵抗R 19とが直列接続されている。

【0054】

抵抗R 14と抵抗R 15とによって分圧された電圧は、制御回路111の帰還電圧入力端子FB 4に接続されている。抵抗R 16と抵抗R 17とによって分圧された電圧は、制御回路111の帰還電圧入力端子FB 5に接続されている。抵抗R 18と抵抗R 19とによって分圧された電圧は、制御回路111の帰還電圧入力端子FB 6に接続されている。

【0055】

トランジスタQ 6のゲートは、制御回路111の出力端子GD 4に接続され、トランジスタQ 6は、制御回路111内で生成された信号(スイッチング信号)に応じてON/OFF動作をする。トランジスタQ 7のゲートは、制御回路111の出力端子GD 5に接続され、トランジスタQ 7は、制御回路111内で生成された信号に応じてON/OFF動作をする。トランジスタQ 8のゲートは、制御回路111の出力端子GD 6に接続され、トランジスタQ 8は、制御回路111内で生成された信号に応じてON/OFF動作をする。

【0056】

上述した抵抗R 20～R 22に生じる電圧は、トランジスタQ 6～Q 8の通電電流と比例関係にある。制御回路111は、抵抗R 20～R 22に生じる電圧を、通電電流検出端子IS 1～IS 3により検出し、検出した電圧値を、PFC回路20-1～20-3の各スイッチング信号のON/OFFデューティ比の制御に用いる。

【0057】

<制御回路111について>

次に、図7を用いて、上述した電源装置110の制御回路111について説明する。図7は、図6に示す制御回路の一例を示すブロック図である。

【0058】

図7に示すように、制御回路111は、MUL端子と、帰還電圧入力端子FB 4～FB 6と、通電電流検出端子IS 1～IS 3と、出力端子GD 4～GD 6と、波形整形器21と、乗算器22～25と、発振器26と、1/3分周器27と、シフトレジスタ28～29と、スイッチング制御部としてのパルス幅調整回路30～32と、コンパレータ1～3と、エラーアンプ4～7とを有するように構成される。

【0059】

エラーアンプ4の非反転入力端子(+)には、PFC回路20-1(マスターPFC)の帰還電圧入力端子FB 4が接続されている。また、エラーアンプ4の反転入力端子(-)には、基準電圧VREF 4が入力されるように接続されている。

【0060】

エラーアンプ4の出力は、乗算器22の一方の入力に接続されている。乗算器22の他

10

20

30

40

50

方の入力には、波形整形器 2 1 の出力が接続されている。波形整形器 2 1 の入力には、A C 入力電圧の入力状態を検出する M U L 端子が接続されている。

【 0 0 6 1 】

乗算器 2 2 の出力には、発振器 2 6 が接続されている。発振器 2 6 は、乗算器 2 2 の出力電圧値に応じた周波数を出力する。

【 0 0 6 2 】

発振器 2 6 は、1 / 3 分周器 2 7 の入力に接続されている。また、発振器 2 6 の出力は、シフトレジスタ 2 8 と、シフトレジスタ 2 9 とにクロックとして供給される。1 / 3 分周器 2 7 の出力は、パルス幅調整回路 3 0 のセット端子 S と、シフトレジスタ 2 8 の一端に接続されている。

10

【 0 0 6 3 】

シフトレジスタ 2 8 は、1 / 3 分周器 2 7 から入力した信号を、発振器 2 6 から供給されたクロックで 1 クロック分シフトして、パルス幅調整回路 3 1 のセット端子 S と、シフトレジスタ 2 9 とに入力する。シフトレジスタ 2 9 は、シフトレジスタ 2 8 から入力した信号を、発振器 2 6 から供給されたクロックで 1 クロック分シフトして、パルス幅調整回路 3 2 のセット端子 S に入力する。

【 0 0 6 4 】

パルス幅調整回路 3 0 は、1 / 3 分周器 2 7 から出力されたパルス信号の立ち上がり又は立ち下がりに応じてセットされる。

【 0 0 6 5 】

20

エラーアンプ 5 の反転入力端子 (-) には、P F C 回路 2 0 - 1 (マスター P F C) の帰還電圧入力端子 F B 4 が接続されている。また、エラーアンプ 5 の非反転入力端子 (+) には、基準電圧 V R E F 5 が入力されるように接続されている。

【 0 0 6 6 】

エラーアンプ 5 の出力は、乗算器 2 3 の一方の入力に接続されている。乗算器 2 3 の他方の入力には、波形整形器 2 1 の出力が接続されている。乗算器 2 3 の出力は、コンパレータ 1 の反転入力端子 (-) に接続されている。コンパレータ 1 の非反転入力端子 (+) には、通電電流検出端子 I S 1 が接続されている。

【 0 0 6 7 】

コンパレータ 1 の出力は、パルス幅調整回路 3 0 のリセット端子 R に接続される。パルス幅調整回路 3 0 は、コンパレータ 1 からの出力によりリセットされる。この結果、出力端子 G D 4 からは、パルス幅調整回路 3 0 がセットされてからリセットされるまでのパルス幅 (O N 幅) を有するスイッチング信号が出力される。

30

【 0 0 6 8 】

ここで、コンパレータ 1 は、通電電流検出端子 I S 1 の出力が、乗算器 2 3 の出力より大きくなった時点でパルスを出力し、パルス幅調整回路 3 0 をリセットすることで、トランジスタ Q 6 を O F F する。

【 0 0 6 9 】

すなわち、コンパレータ 1 は、通電電流検出端子 I S 1 の出力が、出力電圧からのフィードバック信号と M U L 端子の電圧 (A C 入力電圧) とを乗算した値により設定された最大値 (電流上限値) と一致した時点でパルスを出力し、トランジスタ Q 6 を O F F する。このように、トランジスタ Q 6 は、トランジスタ Q 6 の通電電流の最大値が電流上限値を超えた時点で、O F F するように制御される。

40

【 0 0 7 0 】

また、エラーアンプ 6 の反転入力端子 (-) には、P F C 回路 2 0 - 2 (スレーブ P F C) の帰還電圧入力端子 F B 5 が接続されている。エラーアンプ 6 の非反転入力端子 (+) には、基準電圧 V R E F 6 が入力されるように接続されている。エラーアンプ 7 の反転入力端子 (-) には、P F C 回路 2 0 - 3 (スレーブ P F C) の帰還電圧入力端子 F B 6 が接続されている。エラーアンプ 7 の非反転入力端子 (+) には、基準電圧 V R E F 7 が入力されるように接続されている。

50

【 0 0 7 1 】

エラーアンプ 6 の出力は、乗算器 2 4 の一方の入力に接続されている。乗算器 2 4 の他方の入力には、波形整形器 2 1 の出力が接続されている。乗算器 2 4 の出力は、コンパレータ 2 の反転入力端子 (-) に接続されている。コンパレータ 2 の非反転入力端子 (+) には、通電電流検出端子 I S 2 が接続されている。

【 0 0 7 2 】

コンパレータ 2 の出力は、パルス幅調整回路 3 1 のリセット端子 R に接続される。パルス幅調整回路 3 1 は、コンパレータ 2 からの出力によりリセットされる。なお、パルス幅調整回路 3 1 は、シフトレジスタ 2 8 から出力されたパルス信号の立ち上がり又は立ち下がりに応じてセットされる。この結果、出力端子 5 からは、パルス幅調整回路 3 1 がセッ

10

【 0 0 7 3 】

コンパレータ 2 は、上述したコンパレータ 1 と同様に、通電電流検出端子 I S 2 の出力が、乗算器 2 4 の出力より大きくなった時点でパルスを出力し、パルス幅調整回路 3 1 をリセットすることで、トランジスタ Q 7 を O F F する。

【 0 0 7 4 】

エラーアンプ 7 の出力は、乗算器 2 5 の一方の入力に接続されている。乗算器 2 5 の他方の入力には、波形整形器 2 1 の出力が接続されている。乗算器 2 5 の出力は、コンパレータ 3 の反転入力端子 (-) に接続されている。コンパレータ 3 の非反転入力端子 (+) には、通電電流検出端子 I S 3 が接続されている。

20

【 0 0 7 5 】

コンパレータ 3 の出力はパルス幅調整回路 3 2 のリセット端子 R に接続されている。パルス幅調整回路 3 2 は、コンパレータ 3 からの出力によりリセットされる。また、パルス幅調整回路 3 2 は、シフトレジスタ 2 9 から出力されたパルス信号の立ち上がり又は立ち下がりに応じてセットされる。この結果、出力端子 G D 6 からは、パルス幅調整回路 3 2 がセットされてからリセットされるまでの O N 幅を有するスイッチング信号が出力される。

【 0 0 7 6 】

コンパレータ 3 は、上述したコンパレータ 1 と同様に、通電電流検出端子 I S 3 の出力が、乗算器 2 5 の出力より大きくなつた時点でパルスを出力し、パルス幅調整回路 3 2 を

30

【 0 0 7 7 】

< 制御回路 1 1 1 により制御された単一相のスイッチング波形と電流波形 >

次に、図 8 を用いて、上述した制御回路 1 1 1 により制御された単一相 (例えば、図 6 に示す P F C 回路 2 0 - 1 ~ 2 0 - 3 のうち 1 つ) のスイッチング波形と、このスイッチング波形に応じて P F C コイル (例えば、図 6 に示すインダクタ素子 L 6 ~ L 8 のうち 1 つ) に流れる電流波形について説明する。

【 0 0 7 8 】

図 8 は、図 7 に示す制御回路により制御された単一相のスイッチング波形と電流波形を示す図である。なお、図 8 に示すスイッチング信号の波形は、例えば図 7 に示すパルス幅調整回路 3 0 ~ 3 2 で制御されるトランジスタ Q 6 ~ Q 8 のうち 1 つのスイッチング信号の波形を示している。

40

【 0 0 7 9 】

図 8 に示す通電電流の最大値 (電流上限値) は、上述したように、図 7 に示すコンパレータ 1 ~ 3 の各反転入力端子 (-) に印加される電圧により設定される。図 7 の例では、各 P F C の出力電圧からのフィードバック信号 (例えば図 7 に示す F B 4 ~ F B 6) と、M U L 端子の電圧 (A C 入力電圧) とを乗算した値により設定される。ここで、通電電流の最大値は、例えば図 7 に示すエラーアンプ 5 ~ 7 の出力レベル (各 P F C の出力電圧の増減) によって増減する。

【 0 0 8 0 】

50

本実施形態では、負荷が変動（出力電圧端子 V_{out} からの DC 電圧出力の先に接続された装置の消費電力が変動）しても、DC 出力電圧を一定に保つように出力電流が制御される。例えば、上述したエラーアンプ 5 の場合、基準電圧 V_{REF5} は、予め $V_{out5} \times R_{15} / (R_{14} + R_{15}) = V_{REF5}$ となるように設定されている。なお、基準電圧 V_{REF6} 及び 7 も同様に設定されている。また、エラーアンプのゲインは、非常に大きいため、 $FB = V_{REF}$ となる。

【0081】

例えば、PFC 出力の負荷が大きくなる場合には、負荷に流れる電流が減少（足りなくなる）し、出力電圧端子 V_{out} から出力される出力電圧が低下する（ $FB < V_{REF}$ ）。このとき、例えばエラーアンプの出力電圧は高くなり、コンパレータの非反転入力端子（-）に印加される電圧（電流上限値）が上昇する。

10

【0082】

この結果、図 8 に示す通電電流の最大値は上昇して、電流値が上昇した分だけ、スイッチング信号の ON 状態が長くなるため、PFC コイルに流れる電流（例えば、図 7 に示すインダクタ素子 L_6 に流れる電流）が増加し、PFC の出力電圧も増加する。このようにして、DC 出力電圧が一定に保つように制御される。

【0083】

また、PFC 出力の負荷が軽くなると、負荷に流れる電流が増加し、出力電圧端子 V_{out} から出力される出力電圧が高くなり（ $FB > V_{REF}$ ）、エラーアンプの出力電圧が低くなるため、コンパレータの非反転入力端子（-）に印加される電圧が低くなる。

20

【0084】

この結果、図 8 に示す通電電流の最大値は下降し、電流値が下降した分だけ、スイッチング信号は早く OFF されるため、PFC コイルに流れる電流が減少し、PFC の出力電圧も減少する。このようにして、DC 出力電圧を一定に保つように制御される。

【0085】

なお、図 8 に示すスイッチング信号の立ち上がりは、1 / 3 分周器 27 から出力されるパルスに基づいて決定され、スイッチング信号の立ち下がりは、各 PFC の出力電圧と AC 入力電圧に応じて設定された電流上限値に基づいて決定される。

【0086】

上述したように、制御回路 111 によれば、各 PFC に通電する電流値の上限電流値を負荷に応じて制御することで、各 PFC に流れる電流の平均値が正弦波を逸脱しないようにして力率の悪化を防ぐことが可能となる。また、上述した制御回路 111 によれば、各 PFC に通電する電流値の電流上限値を正弦波状の AC 入力電圧波形に応じて変化させることにより、AC ゼロクロス付近のスイッチング周波数を速め、高周波ノイズを小さくすることが可能となる。

30

【0087】

< 制御回路 111 により制御された 3 相のスイッチング波形と電流波形 >

次に、図 9 を用いて、上述した図 7 に示す制御回路 111 により制御された 3 相のスイッチング波形と PFC コイルに流れる電流波形について説明する。図 9 は、図 7 に示す制御回路により制御された 3 相のスイッチング波形と電流波形を示す図である。

40

【0088】

図 9 (A) は、MUL 端子の電圧波形を示している。また、図 9 (B) は、インダクタ素子 $L_6 \sim L_8$ に流れる電流波形を示している。また、図 9 (C) は、出力端子 $GD_4 \sim GD_6$ から出力される出力波形（スイッチング波形）を示している。また、図 9 (D) は、通電電流検出端子 $IS_1 \sim IS_3$ の電圧波形を示している。また、図 9 (E) は、帰還電圧入力端子 $FB_4 \sim FB_6$ の電圧波形を示している。なお、帰還電圧入力端子 $FB_4 \sim FB_6$ は、上述したように基準電圧 $V_{REF5} \sim 7$ とほぼ等しい。

【0089】

図 9 (B) の点線に示すように、PFC 回路 20 - 1 ~ 20 - 3 の電流上限値（通電電流の最大値）は、図 9 (A) に示す MUL 端子の電圧波形と、図 9 (E) に示す各出力電

50

圧からのフィードバック信号とを乗算した値でそれぞれ設定される。

【 0 0 9 0 】

図 9 (C) の出力端子 G D 4 ~ G D 6 におけるスイッチング波形に示すように、出力端子 G D 4 ~ G D 6 のスイッチング信号は、図 9 (D) に示す通電電流検出端子 I S 1 ~ I S 3 の電圧値が設定された電流上限値以上になると、トランジスタ Q 6 ~ Q 8 を O F F するように制御する。

【 0 0 9 1 】

上述したように、図 9 (B) に示すインダクタ素子 L 6 ~ L 8 を流れる電流のピーク電流値は、それぞれ電流上限値を超えないように制御され、電流上限値に沿った正弦波状になるように制御される。

10

【 0 0 9 2 】

< 発振器 2 6 について >

次に、図 1 0 を用いて、上述した図 7 に示す発振器 2 6 について説明する。図 1 0 は、発振器の回路図とその動作波形を示す図である。図 1 0 (A) は、発振器 2 6 の回路図を示し、図 1 0 (B) は、その動作波形を示している。

【 0 0 9 3 】

図 1 0 (A) に示すように、発振器 2 6 は、コンパレータ 4 ~ コンパレータ 5 と、R S フリップフロップ (R S F F) と、オペアンプ (O P) 1 と、抵抗 R 2 3 と、容量素子 C 8 とを有するように構成される。

【 0 0 9 4 】

20

図 7 に示す乗算器 2 2 からの出力は、コンパレータ 5 の非反転入力端子 (+) に接続され、コンパレータ 5 の反転入力端子 (-) は、オペアンプ 1 の出力端子に接続されている。また、オペアンプ 1 の出力端子は、コンパレータ 4 の非反転入力端子 (+) に接続されている。コンパレータ 4 の反転入力端子 (-) は、任意の基準電圧 V R E F に接続されている。

【 0 0 9 5 】

オペアンプ 1 の反転入力端子 (-) と、オペアンプ 1 の出力端子との間には、容量素子 C 8 が接続されている。オペアンプ 1 の反転入力端子 (-) には、抵抗 R 2 3 が接続され、オペアンプ 1 の非反転入力端子 (+) には、例えば電源電圧の 1 / 2 の電圧が印加される。

30

【 0 0 9 6 】

上述した構成により、オペアンプ 1 は正負同一の傾きを持つランプ積分回路の構造となり、この傾きは容量素子 C 8 と抵抗 R 2 3 とにより決定される。コンパレータ 4 とコンパレータ 5 とでは、オペアンプ 1 のランプ波形の出力と、基準電圧 V R E F 、乗算器 2 2 とを比較し、R S F F でそれぞれセット、リセットを交互に繰り返す。この動作により、基準周波数が決定される。

【 0 0 9 7 】

例えば、図 1 0 (B) に示すように、P F C の出力の負荷が重くなると、乗算器 2 2 の出力レベルが下降し、基準周波数 (Q) は遅くなる。また、P F C の出力の負荷が軽くなると、乗算器 2 2 の出力レベルが上昇して、基準周波数は速くなる。

40

【 0 0 9 8 】

< 波形整形器 2 1 について >

次に、図 1 1 及び図 1 2 を用いて、上述した波形整形器 2 1 について説明する。図 1 1 は、波形整形器の回路図である。図 1 2 は、図 1 1 に示す波形整形器により波形を歪ませた場合と波形を歪ませてない場合の例を示す図である。

【 0 0 9 9 】

図 1 1 に示すように、波形整形器 2 1 は、オペアンプ 2 ~ オペアンプ 3 と、抵抗 R 2 4 ~ 2 7 と、ダイオード 9 とを有するように構成される。オペアンプ 2 の非反転入力端子 (+) には、M U L 端子が接続され、オペアンプ 2 の反転入力端子 (-) には、オペアンプ 2 の出力端子が接続され、オペアンプ 2 は、ボルテージフォロワーとして用いられる。

50

【 0 1 0 0 】

オペアンプ 2 の出力端子は、抵抗 R 2 4 と接続され、抵抗 R 2 4 の他端は、抵抗 R 2 5 と、オペアンプ 3 の非反転入力端子 (+) に接続されている。抵抗 R 2 4 の他端は、ダイオード D 9 と接続され、ダイオード D 9 の他端は、接地端子 G N D に接続されている。オペアンプ 3 の反転入力端子 (-) は、抵抗 R 2 6 と抵抗 R 2 7 に接続され、抵抗 R 2 7 の他端は、接地端子 G N D に接続されている。

【 0 1 0 1 】

オペアンプ 3 の出力端子は、抵抗 R 2 6 に接続され、抵抗 R 2 6 と抵抗 R 2 7 との抵抗比で正増幅回路を形成し、乗算器 2 2 に出力される。

【 0 1 0 2 】

波形整形器 2 1 は、上述した構成を有するため、M U L 端子から入力された A C 全波整流波形がダイオード D 9 の V F 以下である場合、オペアンプ 3 の非反転入力端子 (+) には、M U L 端子にかかる電圧とほぼ同じ電圧が印加される。一方、M U L 端子から入力された A C 全波整流波形がダイオード D 9 の V F 以上になると、抵抗 R 2 4 と抵抗 R 2 5 との抵抗比に応じて分圧された電圧となり、結果として dV/dt を変化することが可能となる。これにより、例えば A C 全波整流波形の高レベル部分を下げよう調整することが可能となる。

【 0 1 0 3 】

図 1 2 (A) は、A C 全波整流波形を歪ませない場合を示し、図 1 2 (B) は、A C 全波整流波形を歪ませた場合を示している。上述した図 1 0 (B) に示すように、発振器 2 6 では、任意の基準電圧 V R E F と乗算器 2 2 からの出力波形との電圧差により、基準周波数が決定される。したがって、図 1 2 (A) の A C 全波整流波形と、図 1 2 (B) の A C 全波整流波形とを比較すると、図 1 2 (B) の波形を歪ませた場合の方が、発振器 2 6 で決定される基準周波数のパルスの O N 幅が一定となっている。

【 0 1 0 4 】

上述したように、制御回路 1 1 1 は、波形整形器 2 1 により、スイッチング周波数や各 P F C に流れる電流上限値を調整することが可能となるため、各 P F C に流れる電流の平均値が正弦波となるように調整することが可能となる。

【 0 1 0 5 】

< 他の制御回路とその動作波形について >

次に、図 1 3 及び図 1 4 を用いて、上述した図 6 に示す電源装置 1 1 0 に用いられる他の制御回路の一例について説明する。図 1 3 は、他の制御回路の一例を示すブロック図である。また、図 1 4 は、図 1 3 に示す制御回路により制御された単一相のスイッチング波形と電流波形を示す図である。なお、図 1 3 に示す制御回路は、例えば高周波ノイズを考慮しない場合等に用いることができる。

【 0 1 0 6 】

図 1 3 に示す制御回路 1 1 2 は、M U L 端子と、帰還電圧入力端子 F B 4 ~ F B 6 と、通電電流検出端子 I S 1 ~ I S 3 と、出力端子 G D 4 ~ G D 6 と、波形整形器 2 1 と、乗算器 2 2 と、発振器 2 6 と、1 / 3 分周器 2 7 と、シフトレジスタ 2 8 ~ 2 9 と、パルス幅調整回路 3 0 ~ 3 2 と、コンパレータ 1 ~ 3 と、エラーアンプ 4 ~ 7 とを有するように構成される。

【 0 1 0 7 】

制御回路 1 1 2 は、図 7 に示す制御回路 1 1 1 と比較して、波形整形器 2 1 の出力と、エラーアンプ 5 ~ 7 の出力とが入力される乗算器 2 3 ~ 2 5 を有していない点で異なる。すなわち、制御回路 1 1 2 では、コンパレータ 1 ~ 3 の反転入力端子 (-) に、エラーアンプ 5 ~ 7 の出力部が直接接続されている。

【 0 1 0 8 】

ここで、コンパレータ 1 ~ 3 の反転入力端子 (-) に印加される電圧は、インダクタ素子 L 6 ~ L 8 を流れる通電電流の最大値 (電流上限値) を設定している。

【 0 1 0 9 】

10

20

30

40

50

図 1 4 に示すように、制御回路 1 1 2 で設定される通電電流の最大値は、図 8 に示す通電電流の最大値と異なり、M U L 端子の電圧（A C 入力電圧）に関係なく、エラーアンプ 5 ~ 7 の出力レベル、すなわち、各 P F C の出力電圧によって設定される。なお、図 1 4 に示す通電電流の最大値は、図 8 に示す通電電流の最大値と同様に、P F C 出力の負荷が大きくなると上昇し、P F C 出力の負荷が軽くなると下降する。

【 0 1 1 0 】

図 1 4 に示すスイッチング信号（例えば出力端子 G D 4 ~ G D 6 ）は、P F C コイルに流れる電流（通電電流検出端子 I S の電圧値）が設定された電流上限値以上になると、トランジスタ Q 6 ~ Q 8 を O F F するように制御する。これにより、例えばインダクタ素子 L 6 ~ L 8 に流れるピーク電流は、それぞれの電流上限値を超えないように制御される。

10

【 0 1 1 1 】

このように、制御回路 1 1 2 では、マスター P F C 及びスレーブ P F C のスイッチング信号の立ち下がり、各 P F C の出力電圧に応じて設定された P F C の電流上限値に基づいて制御する。

【 0 1 1 2 】

上述したように、制御回路 1 1 2 によれば、各 P F C に通電する電流値の上限電流値を負荷に応じて制御することで、各 P F C に流れる電流の平均値が正弦波を逸脱しないようにして力率の悪化を防ぐことが可能となる。

【 0 1 1 3 】

なお、上述した例では、3 相のマルチフェーズ型 P F C を用いて説明したが、本発明においてはこれに限定されず、例えば分周器やシフトレジスタを含むスレーブ P F C の回路を増やすことで、更に複数相のマルチフェーズ型 P F C に対応可能である。

20

【 0 1 1 4 】

上述したように、本発明の実施の形態によれば、複数の P F C の出力電圧に差があるような場合でも、マルチフェーズ制御を行って力率を改善することが可能となる。

【 0 1 1 5 】

以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形、変更が可能である。

【 符号の説明 】

30

【 0 1 1 6 】

1 0 ~ 1 2 , 2 2 ~ 2 5 乗算器
1 3 ~ 1 5 , 3 0 ~ 3 2 パルス幅調整回路
1 6 ~ 1 7 , 2 8 ~ 2 9 シフトレジスタ
1 8 , 2 7 1 / 3 分周器
1 9 , 2 6 発振器
2 0 P F C 回路
2 1 波形整形器
1 0 0 , 1 0 2 , 1 1 0 電源装置
1 0 1 P F C コントローラ
1 0 3 , 1 1 1 , 1 1 2 制御回路

40

【 先行技術文献 】

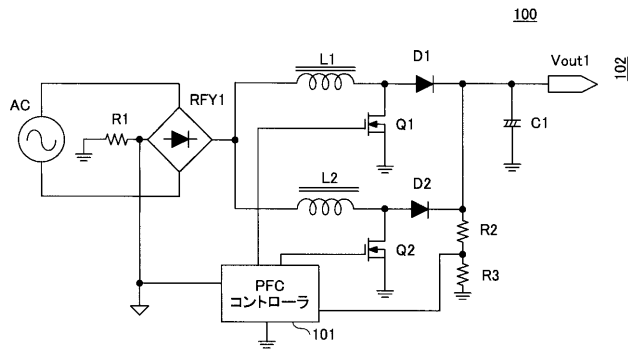
【 特許文献 】

【 0 1 1 7 】

【 特許文献 1 】 特開 2 0 0 7 - 1 9 5 2 8 2 号公報

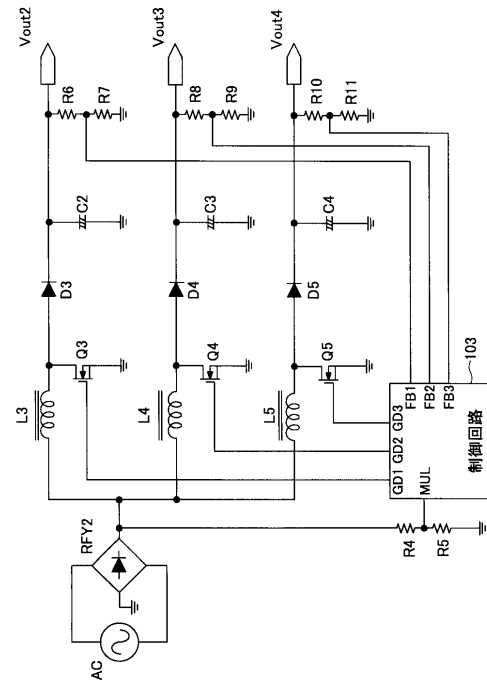
【図 1】

従来のインターリーブPFCの一例を示す図



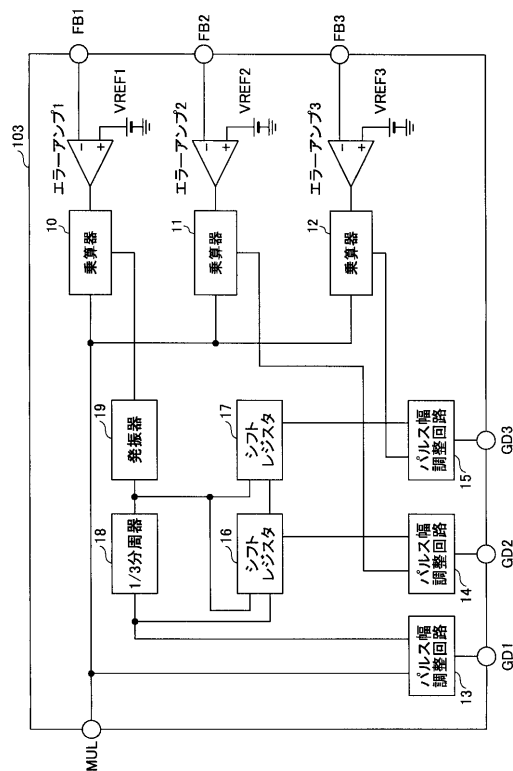
【図 2】

マルチフェーズ型PFCの全体構成を示す図



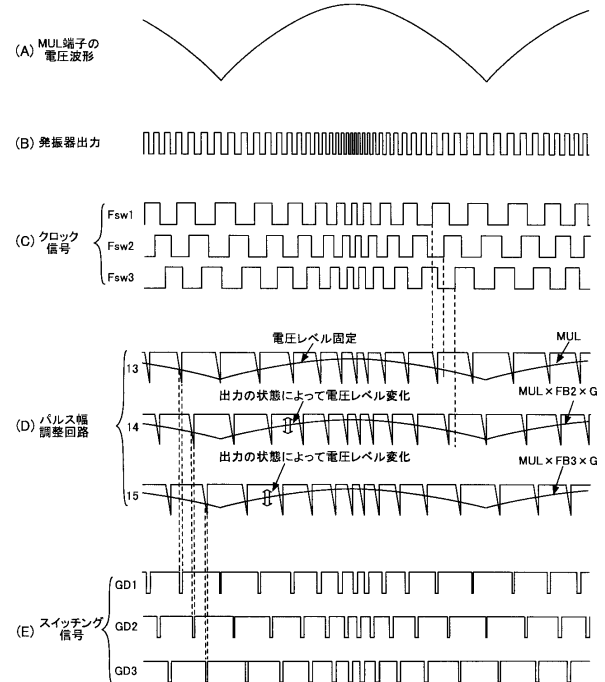
【図 3】

マスターPFCとスレーブPFCとを制御する制御回路を示す図



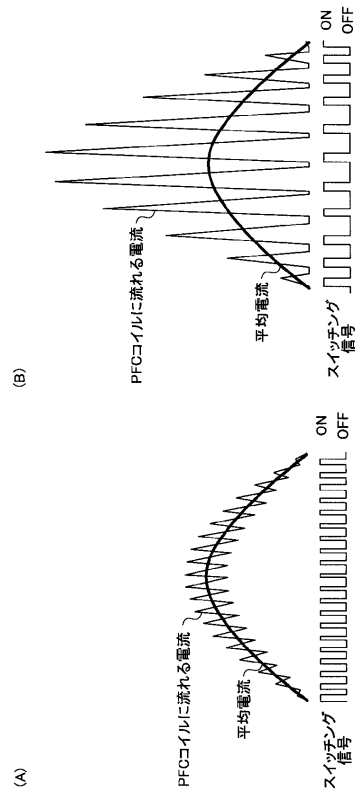
【図 4】

マスターPFCとスレーブPFCのタイミングチャートを示す図



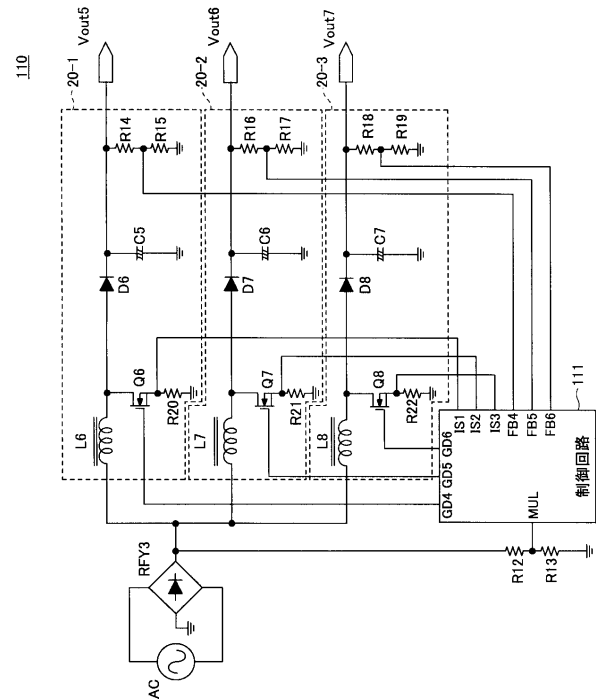
【図5】

PFCの連続モード又は不連続モードを説明するための図



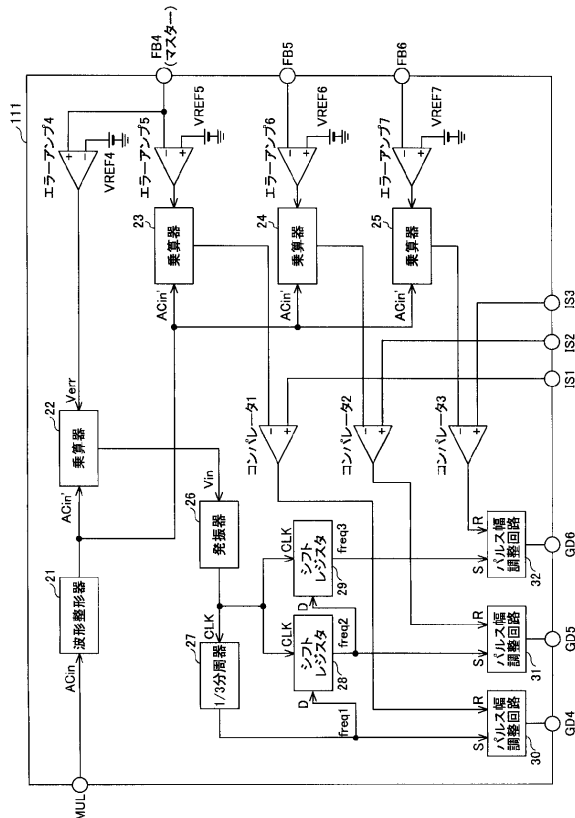
【図6】

本実施形態に係る電源装置の一例を示す図



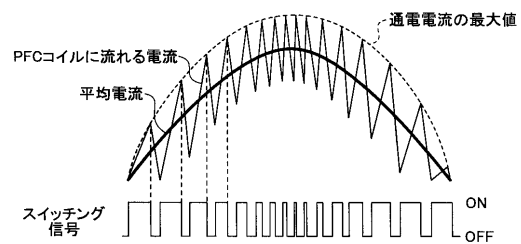
【図7】

図6に示す制御回路の一例を示すブロック図

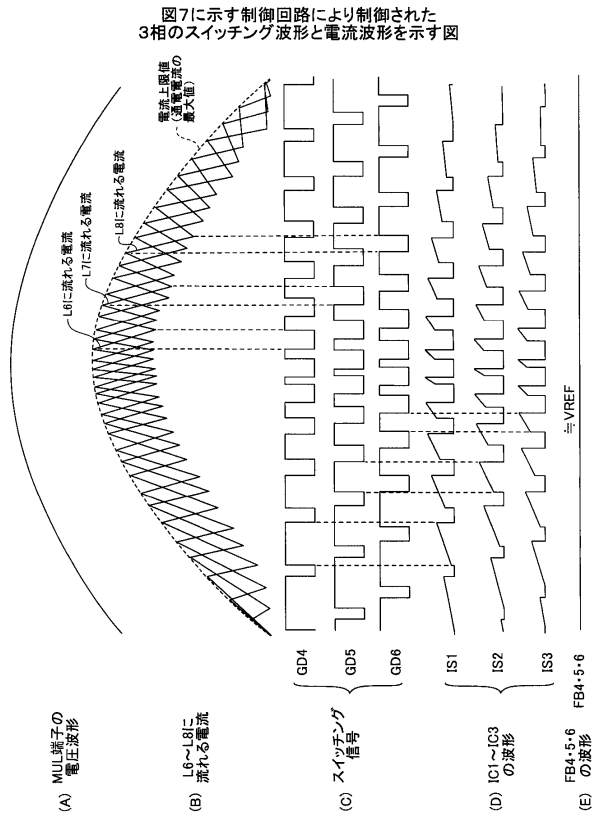


【図8】

図7に示す制御回路により制御された単一相のスイッチング波形と電流波形を示す図

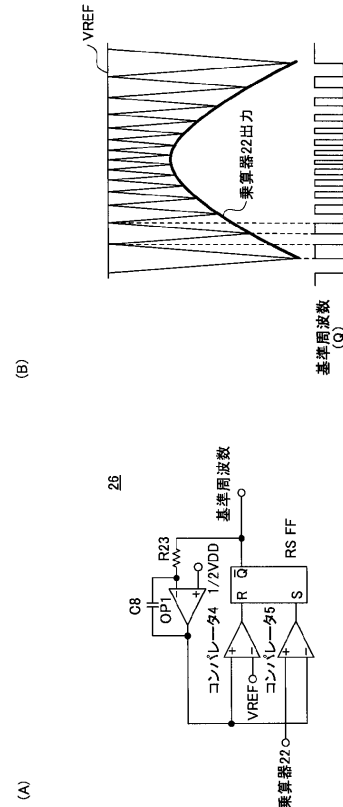


【図 9】



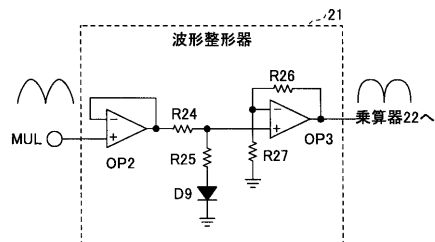
【図 10】

発振器の回路図とその動作波形を示す図



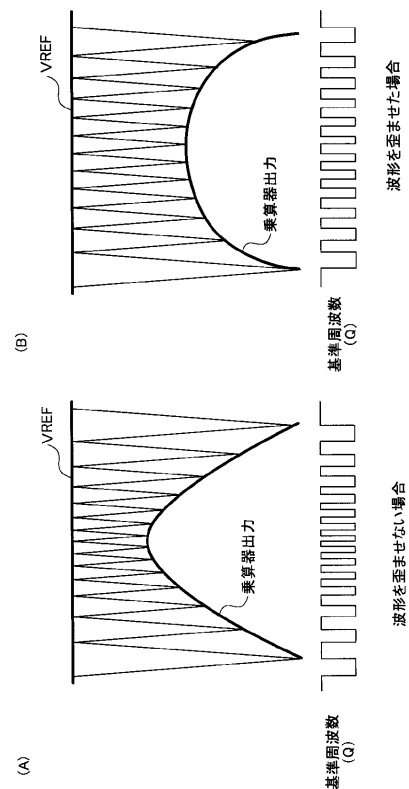
【図 11】

波形整形器の回路図



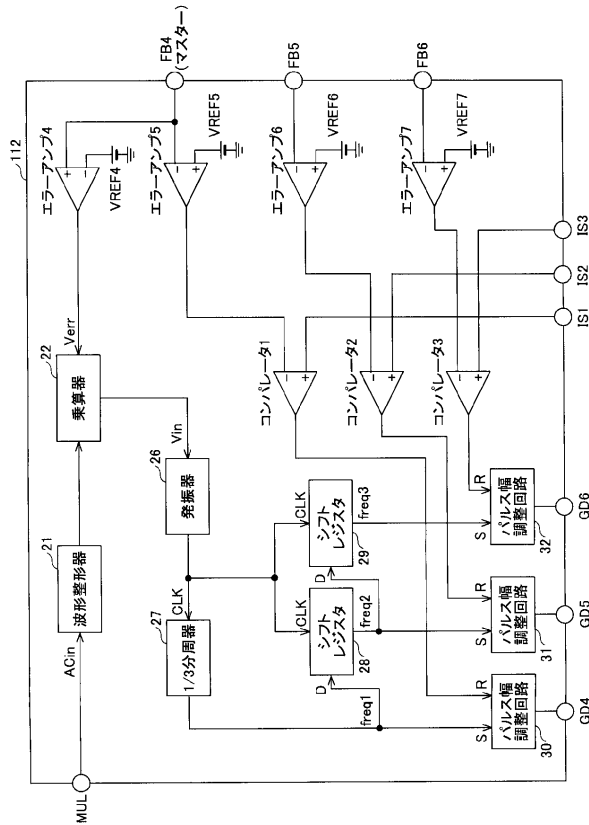
【図 12】

図11に示す波形整形器により波形を歪ませた場合と波形を歪ませてない場合の例を示す図



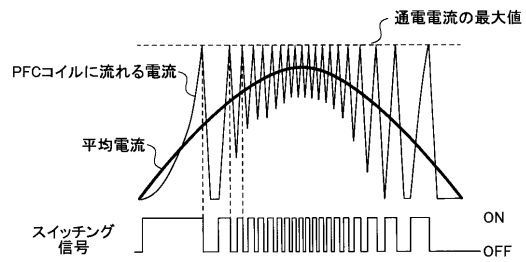
【図 13】

他の制御回路の一例を示すブロック図



【図 14】

図13に示す制御回路により制御された単一相のスイッチング波形と電流波形を示す図



フロントページの続き

(56)参考文献 特開 2 0 1 1 - 0 1 9 3 2 3 (J P , A)
特開平 0 5 - 2 3 6 6 8 0 (J P , A)
特表 2 0 0 8 - 5 1 2 9 8 2 (J P , A)
特開 2 0 1 0 - 2 2 6 8 8 8 (J P , A)
特開平 1 0 - 0 6 6 3 3 1 (J P , A)
米国特許出願公開第 2 0 1 1 / 0 0 3 7 4 4 3 (U S , A 1)
米国特許出願公開第 2 0 1 1 / 0 1 1 0 1 3 2 (U S , A 1)
国際公開第 2 0 0 3 / 0 2 3 9 4 7 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)
H 0 2 M 7 / 1 2