

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2024년 11월 28일 (28.11.2024)



WIPO PCT



(10) 국제공개번호

WO 2024/242544 A1

(51) 국제특허분류:

H01P 1/203 (2006.01)

H04M 1/02 (2006.01)

H03H 7/01 (2006.01)

(21) 국제출원번호:

PCT/KR2024/095838

(22) 국제출원일:

2024년 5월 22일 (22.05.2024)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2023-0066316 2023년 5월 23일 (23.05.2023) KR

(71) 출원인: 엘지이노텍(주) (LG INNOTEK CO., LTD.)

[KR/KR]; 07796 서울특별시 강서구 마곡중앙10로 30, Seoul (KR).

(72) 발명자: 김종민 (KIM, Jong Min); 07796 서울특별시

강서구 마곡중앙10로 30, Seoul (KR). 김유선 (KIM, Yu Seon); 07796 서울특별시 강서구 마곡중앙10로

30, Seoul (KR). 홍철희 (HONG, Choul Hee); 07796 서울특별시 강서구 마곡중앙10로 30, Seoul (KR).

(74) 대리인: 박병석 (PARK, Byeong Suk); 06604

서울특별시 서초구 서초중앙로 24길 19 나라빌딩3층 호성특허법률사무소, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의

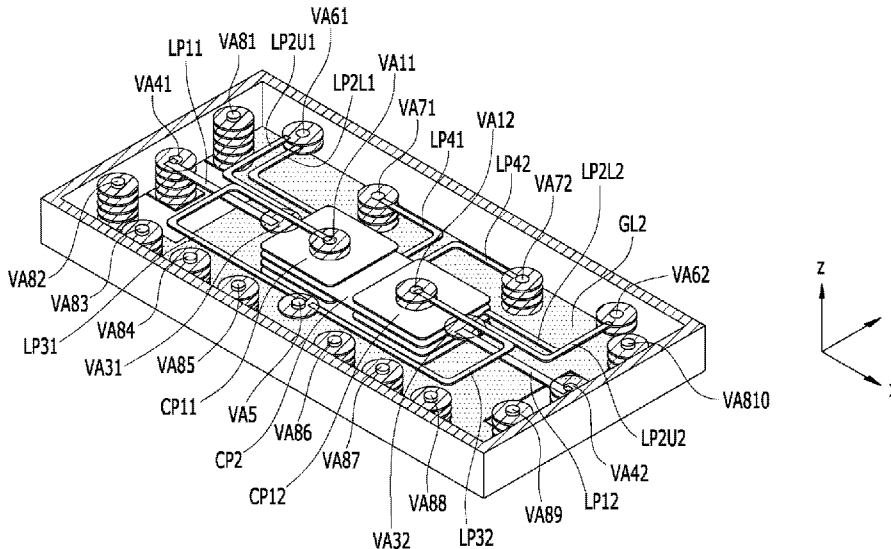
국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의

역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM,

(54) Title: MULTILAYER FILTER AND FRONT END MODULE COMPRISING SAME

(54) 발명의 명칭: 다층 필터 및 이를 포함하는 프론트 엔드 모듈



(57) Abstract: A multilayer filter of an embodiment comprises: first and second ground layers; a plurality of conductive pattern layers disposed between the first ground layer and the second ground layer; and a dielectric layer disposed between the first and second ground layers and the plurality of conductive pattern layers, wherein adjacent conductive pattern layers among the plurality of conductive pattern layers include capacitance pattern layers forming a first capacitance, and at least some of the plurality of conductive pattern layers include an inductance pattern layer forming an inductor, wherein the capacitance pattern layers face each of the first and second ground layers to form parasitic capacitance, and filter a signal having a desired frequency band by using the first capacitor, the inductor, and the parasitic capacitance.

(57) 요약서: 실시 예의 다층 필터는 제1 및 제2 그라운드층과, 제1 그라운드층과 제2 그라운드층 사이에 배치된 복수의 도전 패턴층 및 제1 및 제2 그라운드층과 복수의 도전 패턴층 사이에 배치된 유전층을 포함하고, 복수의 도전 패턴층 중 인접하는 도전 패턴층은 제1 커패시턴스를 형성하는 커패시턴스 패턴층을 포함하고, 복수의 도전 패턴층 중 적어도 일부는 인덕터를 형성하는 인덕턴스 패턴층을 포함하고, 커패시턴스 패턴층은 제1 및 제2 그라운드층 각각과 대향하여 기생 커패시턴스를 형성하고, 제1 커패시터와 인덕터와 기생 커패시턴스를 이용하여 소망하는 주파수 대역을 갖는 신호를 필터링한다.

[다음 쪽 계속]

WO 2024/242544 A1

KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ,
UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ,
TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 다층 필터 및 이를 포함하는 프론트 엔드 모듈 기술분야

- [1] 실시 예는 다층 필터 및 이를 포함하는 프론트 엔드 모듈에 관한 것이다.

배경기술

- [2] 와이파이(Wi-Fi) 6E는 현재 지원되는 2.4GHz 및 5GHz 대역 외에도 6GHz 대역에 기능을 사용할 수 있도록 하는 Wi-Fi 6(802.11ax라고도 함)의 차기 확장 표준이다. Wi-Fi 6E는 Wi-Fi 6과 동일한 Wi-Fi 표준으로 작동하지만, 스펙트럼이 더욱 확장되었다. 6GHz는 5.945GHz 내지 7.125GHz 범위의 새로운 주파수 대역으로 최대 1,200MHz의 추가 스펙트럼을 허용한다. 제한된 스펙트럼에 많은 채널이 밀집된 기존 주파수와 다르게, 6GHz 대역은 오버랩과 혼선의 문제가 생기지 않으며 더 큰 대역폭, 더 빠른 속도와 낮은 지연 시간으로 네트워크를 이용할 수 있다.
- [3] 그러나, 주파수가 커질수록 전파의 직진성이 높아짐으로 인해, 전파되는 신호의 레벨 감쇄가 커지고, 이는 데이터 처리율(throughput)의 감소를 야기한다. 이를 보완하기 위해, 주파수 대역을 구분하기 위해 프론트 엔드 모듈(Front end module)이 요구된다.
- [4] 프론트 엔드 모듈(FEM; Front End Module)이란 이동통신단말기 상에 사용되는 전파 신호를 제어하는 송수신 장치로서, 여러 가지 전자 부품이 하나의 기판 상에 일련적으로 구현되어 그 집적 공간이 최소화된 복합 부품을 의미한다. 이러한 기존의 프론트 엔드 모듈은 대부분 SAW(Surface acoustic wave) 또는 BAW(Bulk acoustic wave) 필터 등과 같은 탄성과 필터를 사용한다. 이로 인해, 기존의 프론트 엔드 모듈의 가격과 크기가 증가하여 이에 대한 연구가 진행되고 있다.

발명의 상세한 설명

기술적 과제

- [5] 실시 예는 저렴하고 크기가 작은 다층 필터 및 이를 포함하는 프론트 엔드 모듈을 제공한다.

과제 해결 수단

- [6] 일 실시 예에 의한 다층 필터는, 제1 및 제2 그라운드층; 상기 제1 그라운드층과 상기 제2 그라운드층 사이에 배치된 복수의 도전 패턴층; 및 상기 제1 및 제2 그라운드층과 상기 복수의 도전 패턴층 사이에 배치된 유전층을 포함하고, 상기 복수의 도전 패턴층 중 인접하는 도전 패턴층은 제1 커패시턴스를 형성하는 커패시턴스 패턴층을 포함하고, 상기 복수의 도전 패턴층 중 적어도 일부는 인덕터를 형성하는 인덕턴스 패턴층을 포함하고, 상기 커패시턴스 패턴층은 상기 제1 및 제2 그라운드층 각각과 대향하여 기생 커패시턴스를 형성하고, 상기 제1 커패시터와 상기 인덕터와 상기 기생 커패시턴스를 이용하여 소망하는 주파수 대역을 갖는 신호를 필터링할 수 있다.

- [7] 예를 들어, 상기 커패시턴스 패턴층과 상기 인덕턴스 패턴층은 상기 다층 필터의 장축의 중심을 지나며 상기 다층 필터의 단축 방향과 나란한 가상의 수평선을 기준으로 대칭인 형상을 가질 수 있다.
- [8] 예를 들어, 상기 복수의 도전 패턴층은 상기 제1 그라운드층과 상기 제2 그라운드층 사이에서 순차적으로 적층된 제1 내지 제3 도전 패턴층을 포함할 수 있다.
- [9] 예를 들어, 상기 인덕턴스 패턴층은 상기 제2 도전 패턴층에 배치된 제1 인덕터층; 상기 제2 도전 패턴층과 상기 제3 도전 패턴층에 걸쳐서 배치된 제2 인덕터층; 상기 제1 도전 패턴층에 배치된 제3 인덕터층; 및 상기 제3 도전 패턴층에 배치된 제4 인덕터층을 포함할 수 있다.
- [10] 예를 들어, 상기 제1, 제2, 제3 및 제4 인덕터층 각각은 수평 방향으로 적어도 한번 절곡된 평면 형상을 가질 수 있다.
- [11] 예를 들어, 상기 커패시턴스 패턴층은 상기 제2 도전 패턴층에 배치된 제1 커패시터층; 및 상기 제3 도전 패턴층에 배치되고, 상기 제1 커패시터층과 대향하여 상기 제1 커패시턴스를 형성하는 제2 커패시터층을 포함할 수 있다.
- [12] 예를 들어, 상기 복수의 도전 패턴층은 상기 제3 도전 패턴층과 상기 제2 그라운드층 사이에서 순차적으로 적층된 제4 및 제5 도전 패턴층을 더 포함할 수 있다.
- [13] 예를 들어, 상기 커패시턴스 패턴층은 상기 제1 커패시터층과 연결된 제3 커패시터층; 및 상기 제2 커패시터층과 연결된 제4 커패시터층을 더 포함할 수 있다.
- [14] 예를 들어, 상기 다층 필터는 상기 제1 커패시터층과 상기 제3 커패시터층을 연결하는 제1 비아; 및 상기 제2 커패시터층과 상기 제4 커패시터층을 연결하는 제2 비아를 포함할 수 있다.
- [15] 예를 들어, 상기 제1 커패시턴스는 상기 제1 커패시터층과 상기 제2 커패시터층이 대향하여 형성된 제11 커패시턴스; 상기 제2 커패시터층과 상기 제3 커패시터층이 대향하여 형성된 제12 커패시턴스; 및 상기 제3 커패시터층과 상기 제4 커패시터층이 대향하여 형성된 제13 커패시턴스를 포함할 수 있다.
- [16] 예를 들어, 상기 기생 커패시턴스는 상기 제1 커패시터층과 상기 제3 커패시터층 각각이 상기 제1 및 제2 그라운드층과 각각 대향하여 형성된 제1 기생 커패시턴스; 및 상기 제2 커패시터층과 상기 제4 커패시터층 각각이 상기 제1 및 제2 그라운드층과 각각 대향하여 형성된 제2 기생 커패시턴스를 포함할 수 있다.
- [17] 예를 들어, 상기 제1 커패시터층은 수평 방향으로 제1 거리만큼 이격되어 서로 대면하는 제11 및 제12 커패시터층을 포함하고, 상기 제3 커패시터층은 상기 수평 방향으로 제2 거리만큼 이격되어 서로 대면하는 제31 및 제32 커패시터층을 포함할 수 있다.
- [18] 예를 들어, 상기 제1 또는 제2 거리는 $50\mu\text{m}$ 내지 $300\mu\text{m}$ 일 수 있다.
- [19] 예를 들어, 상기 제1 비아는 상기 제11 커패시터층과 상기 제31 커패시터층을 연결하는 제11 비아; 및 상기 제12 커패시터층과 상기 제32 커패시터층을 연결하는 제12 비아를 포함할 수 있다.

- [20] 예를 들어, 상기 제2 커패시터층은 상기 제11 비아가 관통하며, 상기 제11 비아와 이격된 제1 관통홀; 및 상기 제12 비아가 관통하며, 상기 제12 비아와 이격된 제2 관통홀을 포함할 수 있다.
- [21] 예를 들어, 상기 제31 및 제32 커패시터 패턴층은 상기 제2 비아를 사이에 두고 서로 이격되어 배치된 평면 형상을 가질 수 있다.
- [22] 예를 들어, 상기 제2 인덕터층은 상기 제1 커패시터층과 연결된 일단을 갖고, 상기 제2 도전 패턴층에 배치된 제2 상측 인덕터층; 및 상기 제2 상측 인덕터층의 타단과 연결된 일단과 상기 제2 커패시터층과 연결된 타단을 갖고, 상기 제3 도전 패턴층에 배치된 제2 하측 인덕터층을 포함할 수 있다.
- [23] 예를 들어, 상기 다층 필터는, 상기 제11 커패시터층과 상기 제2 상측 인덕터층 중 하나인 제21 상측 인덕터층의 상기 일단과 상기 제1 인덕터층 중 하나인 제11 인덕터층의 일단과 연결된 제31 비아; 상기 제12 커패시터층과 상기 제2 상측 인덕터층 중 다른 하나인 제22 상측 인덕터층의 상기 일단과 상기 제1 인덕터층 중 다른 하나인 제12 인덕터층의 일단과 연결된 제32 비아; 상기 제11 인덕터층의 타단 및 제1 포트와 연결된 제41 비아; 상기 제12 인덕터층의 타단 및 제2 포트와 연결된 제42 비아; 상기 제3 인덕터층 중 하나인 제31 인덕터층의 일단과 상기 제1 그라운드층을 연결하는 제5 비아; 상기 제21 상측 인덕터층의 타단과 연결된 제61 비아; 상기 제22 상측 인덕터층의 타단과 연결된 제62 비아; 상기 제4 인덕터층 중 하나인 제41 인덕터층의 일단과 연결된 제71 비아; 상기 제4 인덕터층 중 다른 하나인 제42 인덕터층의 일단과 연결된 제72 비아; 및 상기 제1 그라운드층과 상기 제2 그라운드층을 연결하는 적어도 하나의 제8 비아를 포함할 수 있다.
- [24] 예를 들어, 상기 제31 인덕터층의 타단은 상기 제11 비아와 연결되고, 상기 제3 인덕터층 중 다른 하나인 제32 인덕터층의 일단과 타단은 상기 제5 비아 및 제12 비아에 각각 연결되고, 상기 제2 하측 인덕터층 중 하나인 제21 하측 인덕터층은 상기 제61 비아 및 상기 제2 커패시터층에 각각 연결된 일단과 타단을 갖고, 상기 제2 하측 인덕터층 중 다른 하나인 제22 하측 인덕터층은 상기 제62 비아 및 상기 제2 커패시터층에 각각 연결된 일단과 타단을 갖고, 상기 제41 인덕터층 및 상기 제42 인덕터층 각각의 타단은 상기 제2 커패시터층과 연결될 수 있다.
- [25] 다른 실시 예에 의한 다층 필터는, 제1 포트와 연결된 일단을 갖는 제11 인덕터; 제2 포트와 연결된 일단을 갖는 제12 인덕터; 상기 제11 인덕터의 타단과 연결된 일단을 갖는 제21 인덕터; 상기 제12 인덕터의 타단과 연결된 일단을 갖는 제22 인덕터; 제11 인덕터의 상기 타단과 접지 사이에 연결된 제31 인덕터; 제12 인덕터의 상기 타단과 상기 접지 사이에 연결된 제32 인덕터; 상기 제21 인덕터의 타단과 상기 접지 사이에 연결된 제41 인덕터; 상기 제22 인덕터의 타단과 상기 접지 사이에 연결된 제42 인덕터; 상기 제21 인덕터에 병렬 연결된 제11 커패시터; 상기 제22 인덕터에 병렬 연결된 제12 커패시터; 상기 제31 인덕터에 병렬 연결된 제21 커패시터; 상기 제32 인덕터에 병렬 연결된 제22 커패시터; 및 상기 제21

인덕터와 제22 인덕터의 접점과 상기 접지 사이에서 상기 제41 및 제42 인덕터와 병렬 연결된 제3 커패시터를 포함할 수 있다.

[26] 예를 들어, 상기 제21, 제22 및 제3 커패시터는 기생 커패시터일 수 있다.

[27] 또 다른 실시 예에 의한 프론트 엔드 모듈은, 안테나; 상기 안테나를 통해 수신된 신호를 증폭시키는 제1 증폭기; 상기 제1 증폭기에서 증폭된 신호를 필터링하여 출력하는 다중 필터; 상기 안테나를 통해 전송할 신호를 증폭시키는 제2 증폭기; 및 상기 제1 증폭기의 입력단 및 상기 제2 증폭기의 출력단 각각과 상기 안테나 사이에 배치된 스위치를 포함할 수 있다.

발명의 효과

[28] 실시 예에 따른 다중 필터 및 이를 포함하는 프론트 엔드 모듈은 작은 크기를 갖고 용이하게 주파수를 튜닝할 수 있도록 하고, 커패시터스와 인덕터스를 쉽게 증가시킬 수 있는 구성을 갖는다.

도면의 간단한 설명

[29] 도 1은 실시 예에 의한 다중 필터의 단면도를 나타낸다.

[30] 도 2는 도 1에 도시된 다중 필터의 일 실시 예에 의하면 사시도를 개략적으로 나타낸다.

[31] 도 3은 일 실시 예에 의한 다중 필터의 회로도를 나타낸다.

[32] 도 4는 일 실시 예에 의한 다중 필터의 외관 사시도를 나타낸다.

[33] 도 5a는 도 4에 도시된 다중 필터에서 제1 그라운드층을 제거한 사시도를 나타낸다.

[34] 도 5b는 도 5a에 도시된 사시도의 평면도를 나타낸다.

[35] 도 6은 도 5b에 도시된 제1 도전 패턴층의 평면도를 나타낸다.

[36] 도 7a는 도 5a에서 제1 도전 패턴층을 제거한 사시도를 나타낸다.

[37] 도 7b는 제2 도전 패턴층의 평면도를 나타낸다.

[38] 도 8a는 도 7a에서 제2 도전 패턴층을 제거한 사시도를 나타낸다.

[39] 도 8b는 제3 도전 패턴층의 평면도를 나타낸다.

[40] 도 9a는 도 8a에서 제3 도전 패턴층을 제거한 사시도를 나타낸다.

[41] 도 9b는 제4 도전 패턴층의 평면도를 나타낸다.

[42] 도 10a는 도 9a에서 제4 도전 패턴층을 제거한 사시도를 나타낸다.

[43] 도 10b는 제5 도전 패턴층의 평면도를 나타낸다.

[44] 도 11은 도 4에 도시된 다중 필터를 I-I'선으로 절개한 절단면도이다.

[45] 도 12는 실시 예에 의한 다중 필터의 성능을 검사한 그래프이다.

[46] 도 13은 실시 예에 의한 프론트 엔드 모듈의 블록도를 나타낸다.

발명의 실시를 위한 최선의 형태

[47] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명한다.

[48] 다만, 본 발명의 기술 사상은 설명되는 일부 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있고, 본 발명의 기술 사상 범위 내에서라면, 실

시 예들 간 그 구성 요소들 중 하나 이상을 선택적으로 결합, 치환하여 사용할 수 있다.

- [49] 또한, 본 발명의 실시 예에서 사용되는 용어(기술 및 과학적 용어를 포함)는, 명백하게 특별히 정의되어 기술되지 않는 한, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 일반적으로 이해될 수 있는 의미로 해석될 수 있으며, 사전에 정의된 용어와 같이 일반적으로 사용되는 용어들은 관련 기술의 문맥상의 의미를 고려하여 그 의미를 해석할 수 있을 것이다.
- [50] 또한, 본 발명의 실시 예에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함할 수 있고, “A 및(와) B, C중 적어도 하나(또는 한 개이상)”으로 기재되는 경우 A, B, C로 조합할 수 있는 모든 조합 중 하나 이상을 포함할 수 있다.
- [51] 또한, 본 발명의 실시 예의 구성 요소를 설명하는 데 있어서, 제1, 제2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질이나 차례 또는 순서 등으로 한정되지 않는다.
- [52] 그리고, 어떤 구성 요소가 다른 구성요소에 ‘연결’, ‘결합’ 또는 ‘접속’된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결, 결합 또는 접속되는 경우뿐만 아니라, 그 구성 요소와 그 다른 구성요소 사이에 있는 또 다른 구성 요소로 인해 ‘연결’, ‘결합’ 또는 ‘접속’되는 경우도 포함할 수 있다.
- [53] 또한, 각 구성 요소의 “상(위) 또는 하(아래)”에 형성 또는 배치되는 것으로 기재되는 경우, 상(위) 또는 하(아래)는 두 개의 구성 요소들이 서로 직접 접촉되는 경우뿐만 아니라 하나 이상의 또 다른 구성 요소가 두 개의 구성 요소들 사이에 형성 또는 배치되는 경우도 포함한다. 또한 “상(위) 또는 하(아래)”로 표현되는 경우 하나의 구성 요소를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.
- [54] 이하, 실시 예에 의한 다층 필터(100, 100A) 및 이를 포함하는 프론트 엔드 모듈(200)을 첨부된 도면을 참조하여 다음과 같이 설명한다. 편의상, 데카르트 좌표계(x축, y축, z축)를 이용하여 다층 필터(100, 100A)를 설명하지만, 다른 좌표계에 의해서도 이를 설명할 수 있음은 물론이다. 또한, 데카르트 좌표계에 의하면, x축, y축 및 z축은 서로 직교하지만, 실시 예는 이에 국한되지 않는다. 즉, x축, y축 및 z축은 서로 교차할 수도 있다. 이하, 설명의 편의상, x축 방향을 ‘제1 방향’이라 칭하고, y축 방향을 ‘제2 방향’이라 칭하고, z축 방향을 ‘제3 방향’이라 칭한다.
- [55] 도 1은 실시 예에 의한 다층 필터(100)의 단면도를 나타낸다.
- [56] 실시 예에 의하면, 다층 필터(100)는 복수의 층을 포함한다. 즉, 도 1에 도시된 바와 같이, 다층 필터(100)는 제1 그라운드(ground)(또는, 접지)층(GL1), 제2 그라운드층(GL2), 제1 내지 제N 도전 패턴층(TL1 내지 TLN) 및 유전층(또는, 인쇄회

로기판(PCB: Printed Circuit Board))(DL1 내지 DL(N+1))을 포함할 수 있다. 여기서, N은 3이상의 양의 정수이다.

[57] 제1 내지 제N 도전 패턴층(TL1 내지 TLN)은 제1 그라운드층(GL1)과 제2 그라운드층(GL2) 사이에서 제3 방향으로 순차적으로 적층되어 배치될 수 있다.

[58] 실시 예에 의하면 제1 및 제2 그라운드층(GL1, GL2) 각각에 연결되는 그라운드는 RF 그라운드이거나 DC 그라운드일 수 있다. 여기서, 다층 필터(100)가 단품일 경우 제1 및 제2 그라운드층(GL1, GL2) 각각은 RF 그라운드에 연결되고, 다층 필터(100)가 후술되는 프론트 엔드 모듈(200)에 포함될 경우 제1 및 제2 그라운드층(GL1, GL2) 각각은 RF 또는 DC 그라운드에 연결될 수 있으나, 실시 예는 이에 국한되지 않는다.

[59] 또한, 유전층(DL1 내지 DL(N+1))은 제1 및 제2 그라운드층(GL1, GL2)과 제1 내지 제N 도전 패턴층(TL1 내지 TLN) 사이에 배치될 수 있다. 즉, 제1 그라운드층(GL1)과 제1 도전 패턴층(TL1) 사이에 제1 유전층(DL1)이 배치되고, 제N 도전 패턴층(TLN)과 제2 그라운드층(GL2) 사이에 제N+1 유전층(DL(N+1))이 배치될 수 있다. 이와 같이, 제k 유전층(DLk)은 제k 도전 패턴층(TLk)과 제k+1 도전 패턴층(TL(k+1)) 사이에 배치될 수 있다. 여기서, $1 \leq k \leq N-1$ 이다. 이와 같이, 유전층의 개수는 도전 패턴층의 개수보다 1개 더 많을 수 있다.

[60] 만일, N=3인 경우, 제1 내지 제3 도전 패턴층(TL1 내지 TL3)이 제1 그라운드층(GL1)과 제2 그라운드층(GL2) 사이에서 순차적으로 적층되고, 제1 내지 제4 유전층(DL1 내지 DL4)이 제1 그라운드층(GL1), 제1 내지 제3 도전 패턴층(TL1 내지 TL3) 및 제2 그라운드층(GL2) 사이에 배치될 수 있다.

[61] 도 2는 도 1에 도시된 다층 필터(100)의 일 실시 예(100A)에 의하면 사시도를 개략적으로 나타낸다.

[62] N=5일 경우, 도 2에 도시된 바와 같이 제1 그라운드층(GL1)과 제2 그라운드층(GL2) 사이에 제1 내지 제5 도전 패턴층(TL1 내지 TL5)이 순차적으로 적층되어 배치되고, 제1 그라운드층(GL1), 제1 내지 제5 도전 패턴층(TL1 내지 TL5) 및 제2 그라운드층(GL2) 사이에 제1 내지 제6 유전층(DL1 내지 DL6)이 각각 배치될 수 있다.

[63] 제1 내지 제N 도전 패턴층(TL1 내지 TLN) 중 인접하는 도전 패턴층은 제1 커패시터를 형성하는 커패시터 패턴층을 포함할 수 있다. 예를 들어, 수직으로 인접하는 제2 도전 패턴층(TL2)과 제3 도전 패턴층(TL3)은 각자의 커패시터 패턴층이 전기적 전도성을 갖는 도체로 구현되고 이들 사이에 유전 물질로 이루어진 제3 유전층(DL3)이 배치되어 제1 커패시터가 형성될 수 있다.

[64] 또한, 제1 내지 제N 도전 패턴층(TL1 내지 TLN) 중 적어도 일부는 인덕터를 형성하는 인덕터 패턴층을 포함할 수 있다. 이를 위해 인덕터 패턴층은 도체로 구현될 수 있다. 예를 들어, 제1 내지 제3 도전 패턴층(TL1 내지 TL3) 각각은 인덕터 패턴층을 포함할 수 있다.

- [65] 또한, 실시 예에 의하면, 제1 커패시터를 형성하는 커패시턴스 패턴층은 제1 및 제2 그라운드층(GL1, GL2) 각각과 대향하여 제2 및 제3 커패시터를 형성하는 기생 커패시턴스를 형성할 수 있다.
- [66] 전술한 바와 같이 구현된 실시 예에 의한 다층 필터(100, 100A)는 제1 커패시터와 인덕터와 제2 및 제3 커패시터를 이용하여 소망하는 주파수 대역을 갖는 신호를 필터링하는 대역 통과 필터일 수 있다.
- [67] 이하, $N=5$ 이고 제1 도전 패턴층(TL1)을 제외하고 제2 내지 제5 도전 패턴층(TL2 내지 TL5)이 커패시턴스 패턴층을 포함하고, 제1, 제2 및 제3 도전 패턴층(TL1 내지 TL3)이 인덕턴스 패턴층을 포함하는 일 실시 예에 의한 다층 필터를 다음과 같이 설명한다.
- [68] 도 3은 일 실시 예에 의한 다층 필터의 회로도를 나타낸다.
- [69] 도 3에 도시된 실시 예에 의한 다층 필터는 일종의 대역 통과 필터로서, 제11, 제12, 제21, 제22, 제31, 제32, 제41 및 제42 인덕터(L11, L12, L21, L22, L31, L32, L41, L42), 제11, 제12, 제21, 제22 및 제3 커패시터(C11, C12, C21, C22, C3)를 포함한다.
- [70] 제11 인덕터(L11)는 제1 포트(P1)와 연결된 일단을 갖는다. 제12 인덕터(L12)는 제2 포트(P2)와 연결된 일단을 갖는다.
- [71] 제1 포트(P1)는 신호가 들어오는 입력 포트이고 제2 포트(P2)는 신호가 출력되는 출력 포트일 수 있다. 또는, 제1 포트(P1)는 신호가 출력되는 출력 포트이고 제2 포트(P2)는 신호가 들어오는 입력 포트일 수 있다.
- [72] 제21 인덕터(L21)는 제11 인덕터(L11)의 타단과 연결된 일단을 갖고, 제22 인덕터(L22)는 제12 인덕터(L12)의 타단과 연결된 일단을 갖는다. 제31 인덕터(L31)는 제11 인덕터(L11)의 타단 측, 제11 인덕터(L11)와 제21 인덕터(L21) 사이의 접점과 접지 사이에 연결되고, 제32 인덕터(L32)는 제12 인덕터(L12)의 타단 측, 제12 인덕터(L12)와 제22 인덕터(L22) 사이의 접점과 접지 사이에 연결될 수 있다.
- [73] 제41 인덕터(L41)는 제21 인덕터(L21)의 타단 측, 제21 인덕터(L21)와 제22 인덕터(L22) 사이의 접점과 접지 사이에 연결되고, 제42 인덕터(L42)는 제22 인덕터(L22)의 타단 측, 제21 인덕터(L21)와 제22 인덕터(L22) 사이의 접점과 접지 사이에 연결될 수 있다.
- [74] 한편, 제11 커패시터(C11)는 제21 인덕터(L21)에 병렬 연결되고, 제12 커패시터(C12)는 제22 인덕터(L22)에 병렬 연결될 수 있다.
- [75] 제21 커패시터(C21)는 제31 인덕터(L31)에 병렬 연결되고, 제22 커패시터(C22)는 제32 인덕터(L32)에 병렬 연결된다.
- [76] 제3 커패시터(C3)는 제21 및 제22 인덕터(L21, L22)의 접점과 접지 사이에서 제41 및 제42 인덕터(L41, L42)와 병렬 연결된다.
- [77] 실시 예에 의하면 제21, 제22 및 제3 커패시터(C21, C22, C3)는 기생 커패시턴스로 구현될 수 있다.

- [78] 실시 예에 의한 다층 필터는 도 3에 도시된 대역 통과 필터의 기능을 수행하기 위해 다양한 구성을 가질 수 있으며, 일례를 다음과 같이 도 4 내지 도 10b를 참조하여 설명하지만, 실시 예는 이에 국한되지 않는다. 즉, 실시 예에 의한 다층 필터는 도 3에 도시된 회로 구성과 다른 회로 구성을 갖는 필터를 구현할 수도 있다.
- [79] 도 4는 일 실시 예에 의한 다층 필터의 외관 사시도를 나타내고, 도 5a는 도 4에 도시된 다층 필터에서 제1 그라운드층(GL1)을 제거한 사시도를 나타내고, 도 5b는 도 5a에 도시된 사시도의 평면도를 나타내고, 도 6은 도 5b에 도시된 제1 도전 패턴층(TL1)의 평면도를 나타내고, 도 7a는 도 5a에서 제1 도전 패턴층(TL1)을 제거한 사시도를 나타내고, 도 7b는 제2 도전 패턴층(TL2)의 평면도를 나타내고, 도 8a는 도 7a에서 제2 도전 패턴층(TL2)을 제거한 사시도를 나타내고, 도 8b는 제3 도전 패턴층(TL3)의 평면도를 나타내고, 도 9a는 도 8a에서 제3 도전 패턴층(TL3)을 제거한 사시도를 나타내고, 도 9b는 제4 도전 패턴층(TL4)의 평면도를 나타내고, 도 10a는 도 9a에서 제4 도전 패턴층(TL4)을 제거한 사시도를 나타내고, 도 10b는 제5 도전 패턴층(TL5)의 평면도를 나타낸다.
- [80] 도 3에 도시된 회로가 좌/우 대칭인 것과 동일하게, 도 4 내지 도 10b에 도시된 커패시터스 패턴층과 인덕터스 패턴층은 다층 필터의 장축(즉, x축)의 중심과 지나며 다층 필터의 단축 방향인 제2 방향과 나란한 가상의 수평선(IH)을 기준으로 대칭인 형상을 가질 수 있다.
- [81] 인덕터스 패턴층은 제1 인덕터층(LP11, LP12), 제2 인덕터층(LP2U1, LP2U2, LP2L1, LP2L2), 제3 인덕터층(LP31, LP32) 및 제4 인덕터층(LP41, LP42)을 포함할 수 있다.
- [82] 제1 인덕터층(LP11, LP12)은 도 3에 도시된 제11 및 제12 인덕터(L11, L12) 각각을 구현하는 층으로서, 도 7a 및 도 7b에 도시된 바와 같이 제2 도전 패턴층(TL2)에 배치될 수 있다.
- [83] 제2 인덕터층은 제2 도전 패턴층(TL2)과 제3 도전 패턴층(TL3)에 걸쳐서 배치될 수 있다. 즉, 제2 인덕터층은 도 7b에 도시된 바와 같이 제1 커패시터층(CP11, CP12)과 연결된 일단을 갖고 제2 도전 패턴층(TL2)에 배치된 제2 상측 인덕터층 및 도 8b에 도시된 바와 같이 제2 상측 인덕터층의 타단과 각각 연결된 일단과 제2 커패시터층(CP2)과 연결된 타단을 갖고 제3 도전 패턴층(TL3)에 배치된 제2 하측 인덕터층을 포함한다. 이때, 제2 상측 인덕터층은 제21 상측 인덕터층(LP2U1)과 제22 상측 인덕터층(LP2U2)을 포함하고, 제2 하측 인덕터층은 제21 하측 인덕터층(LP2L1)과 제22 하측 인덕터층(LP2L2)을 포함한다.
- [84] 제21 상측 인덕터층(LP2U1)과 제21 하측 인덕터층(LP2L1)이 도 3에 도시된 제21 인덕터(L21)를 구현하고, 제22 상측 인덕터층(LP2U2)과 제22 하측 인덕터층(LP2L2)이 도 3에 도시된 제22 인덕터(L22)를 구현한다.

- [85] 또한, 제3 인덕터층(LP31, LP32)은 도 3에 도시된 제31 및 제32 인덕터(L31, L32)를 각각 구현하는 층으로서, 도 5a 및 도 6에 도시된 바와 같이 제1 도전 패턴층(TL1)에 배치될 수 있다.
- [86] 또한, 제4 인덕터층(LP41, LP42)은 도 3에 도시된 제41 및 제42 인덕터(L41, L42)를 각각 구현하는 층으로서, 도 8a 및 도 8b에 도시된 바와 같이 제3 도전 패턴층(TL3)에 배치될 수 있다.
- [87] 실시 예에 의하면, 제1, 제2, 제3 및 제4 인덕터층 각각은 수평 방향으로 적어도 한번 절곡된 평면 형상을 가질 수 있다. 예를 들어, 도 7b 및 도 8b에 도시된 바와 같이 제2 상측 인덕터층(LP2U1, LP2U2), 제2 하측 인덕터층(LP2L1, LP2L2) 및 제4 인덕터층(LP41, LP42) 각각은 수평 방향으로 한 번 절곡된 평면 형상을 가질 수 있고, 도 6에 도시된 바와 같이 제3 인덕터층(LP31, LP32)은 수평 방향을 두 번 절곡된 평면 형상을 가질 수 있다.
- [88] 한편, 커패시터 패턴층은 제1 커패시터층(CP11, CP12), 제2 커패시터층(CP2), 제3 커패시터층(CP31, CP32) 및 제4 커패시터층(CP4)을 포함할 수 있다.
- [89] 제1 커패시터를 갖는 제1 커패시터층은 도 7a 및 도 7b에 도시된 바와 같이 제2 도전 패턴층(TL2)에 배치되고, 수평 방향인 제1 방향으로 제1 거리(X1)만큼 이격되어 서로 대면하는 제11 및 제12 커패시터층(CP11, CP12)을 포함할 수 있다.
- [90] 제2 커패시터를 갖는 제2 커패시터층(CP2)은 도 8a 및 도 8b에 도시된 바와 같이, 제3 도전 패턴층(TL3)에 배치될 수 있다.
- [91] 제3 커패시터를 갖는 제3 커패시터층은 도 9a 및 도 9b에 도시된 바와 같이 제4 도전 패턴층(TL4)에 배치되며, 수평 방향인 제1 방향으로 제2 거리(X2)만큼 이격되어 서로 대면하는 제31 및 제32 커패시터층(CP31, CP32)을 포함할 수 있다.
- [92] 실시 예에 의하면, 제1 및 제2 거리(X1, X2) 각각이 $50\mu\text{m}$ 보다 작을 경우 원하지 않은 기생 커패시터스가 생성되어 통과 대역의 대역폭이 좁아지거나 혹은 불요파(spurious)가 발생하여 고조파에 영향을 미칠 수 있고, $300\mu\text{m}$ 보다 클 경우 성능의 변화는 미미하고 다층 필터의 크기만 증가시킬 수 있다. 따라서, 제1 및 제2 거리(X1, X2) 각각은 $50\mu\text{m}$ 내지 $300\mu\text{m}$ 일 수 있으나, 실시 예는 이에 국한되지 않는다.
- [93] 제4 커패시터를 갖는 제4 커패시터층(CP4)은 도 10a 및 도 10b에 도시된 바와 같이 제5 도전 패턴층(TL5)에 배치될 수 있다.
- [94] 도 5a, 도 6a, 도 7a, 도 8a, 도 9a 및 도 10a를 참조하면, 제1 커패시터층(CP11, CP12)과 제3 커패시터층(CP31, CP32)은 서로 연결되고, 제2 커패시터층(CP2)과 제4 커패시터층(CP4)은 서로 전기적으로 연결될 수 있다. 즉, 제11 커패시터층(CP11)은 제31 커패시터층(CP31)과 전기적으로 연결되고, 제12 커패시터층(CP12)은 제32 커패시터층(CP32)과 전기적으로 연결될 수 있다.
- [95] 이를 위해, 다층 필터는 제1 및 제2 비아를 포함할 수 있다. 제1 비아는 제1 커패시터층(CP11, CP12)과 제3 커패시터층(CP31, CP32)을 연결하고, 제2 비아(VA2)는 제2 커패시터층(CP2)과 제4 커패시터층(CP4)을 연결한다.

- [96] 제1 비아는 제11 비아(VA11) 및 제12 비아(VA12)를 포함할 수 있다.
- [97] 제11 비아(VA11)는 제11 커패시터층(CP11)과 제31 커패시터층(CP31)을 전기적으로 연결하고, 제12 비아(VA12)는 제12 커패시터층(CP12)과 제32 커패시터층(CP32)을 전기적으로 연결하는 역할을 한다.
- [98] 제11 및 제12 비아(VA11, VA12)는 제2 커패시터층(CP2)을 관통하며, 제2 커패시터층(CP2)은 도 8b에 도시된 바와 같이 제1 및 제2 관통홀(TH1, TH2)을 포함할 수 있다. 제11 비아(VA11)는 제1 관통홀(TH1)을 관통하며 제12 비아(VA12)는 제2 관통홀(TH2)을 관통할 수 있다. 제11 및 제12 비아(VA11, VA12)가 제2 커패시터층(CP2)과 전기적으로 이격되도록, 제11 비아(VA11)의 직경보다 제1 관통홀(TH1)의 직경을 크게 형성하고, 제12 비아(VA12)의 직경보다 제2 관통홀(TH2)의 직경을 크게 형성할 수 있다.
- [99] 도 9b를 참조하면, 제31 및 제32 커패시터 패턴층(CP31, CP32)은 제2 비아(VA2)를 사이에 두고 서로 이격되어 배치된 평면 형상을 가질 수 있다. 따라서, 제31 및 제32 커패시터 패턴층(CP31, CP32)은 제2 비아(VA2)와 전기적으로 이격될 수 있다.
- [100] 전술한 인덕터스 패턴층과 커패시터스 패턴층은 도 3에 도시된 회로를 구현하기 위해 비아에 의해 수직 방향과 수평 방향으로 서로 연결될 수 있다.
- [101] 실시 예에 의한 다층 필터는, 제31, 제32, 제41, 제42, 제5, 제61, 제62, 제71 및 제72 비아(VA31, VA32, VA41, VA42, VA5, VA61, VA62, VA71, VA72)를 포함할 수 있다.
- [102] 제31 비아(VA31)는 제11 커패시터층(CP11)과 제21 상측 인덕터층(LP2U1)의 일단과 제11 인덕터층(LP11)의 일단과 연결되며, 제1 및 제2 그라운드층(GL1, GL2)과 연결되지 않는다.
- [103] 제32 비아(VA32)는 제12 커패시터층(CP12)과 제22 상측 인덕터층(LP2U2)의 일단과 제12 인덕터층(LP12)의 일단과 연결되며, 제1 및 제2 그라운드층(GL1, GL2)과 연결되지 않는다.
- [104] 제41 비아(VA41)는 제11 인덕터층(LP11)의 타단 및 제1 포트(P1)와 연결되고, 제42 비아(VA42)는 제12 인덕터층(LP12)의 타단 및 제2 포트(P2)와 연결된다.
- [105] 제41 및 제42 비아(VA41, VA42)는 제1 및 제2 그라운드층(GL1, GL2)과 연결되지 않는다.
- [106] 제5 비아(VA5)는 제31 인덕터층(LP31) 및 제32 인덕터층(LP32) 각각의 일단과 제1 그라운드층(GL1)을 연결한다. 제31 인덕터층(LP31)의 타단은 제11 비아(VA11)와 연결되고, 제32 인덕터층(LP32)의 타단은 제12 비아(VA12)와 연결될 수 있다.
- [107] 제61 비아(VA61)는 제21 상측 인덕터층(LP2U1)의 타단 및 제21 하측 인덕터층(LP2L1)의 일단과 각각 연결되고, 제62 비아(VA62)는 제22 상측 인덕터층(LP2U2)의 타단 및 제22 하측 인덕터층(LP2L2)의 일단과 각각 연결된다. 이때,

- 제61 및 제62 비아(VA61, VA62)는 제1 및 제2 그라운드층(GL1, GL2)과 연결되지 않는다.
- [108] 이때, 제21 하측 인덕터층(LP2L1)의 타단은 제2 커패시터층(CP2)과 연결되고, 제22 하측 인덕터층(LP2L2)의 타단도 제2 커패시터층(CP2)과 연결된다.
- [109] 제71 비아(VA71)는 제41 인덕터층(LP41)의 일단과 제2 그라운드층(GL2)에 각각 연결되고, 제72 비아(VA71)는 제42 인덕터층(LP42)의 일단과 제2 그라운드층(GL2)에 각각 연결된다.
- [110] 제41 인덕터층(LP41) 및 제42 인덕터층(LP42) 각각의 타단은 제2 커패시터층(CP2)과 연결된다.
- [111] 또한, 실시 예에 의한 다층 필터는 제8 비아를 더 포함할 수 있다. 제8 비아는 제1 그라운드층(GL1)과 제2 그라운드층(GL2)을 연결하는 역할을 한다. 도시된 바와 같이, 제8 비아는 10개의 제8 비아(VA81 내지 VA810)를 포함할 수 있으나, 실시 예는 제8 비아의 특정한 개수에 국한되지 않는다.
- [112] 또한, 실시 예에 의한 다층 필터는 도 5b, 도 7b, 도 8b 및 도 9b에 각각 도시된 바와 같이 제9 비아(VA91, VA92)를 더 포함할 수 있다. 제9 비아(VA91, VA92)는 제2 내지 제4 도전 패턴층(TL2, TL3, TL4)을 서로 연결하는 역할을 하며, 도 5a, 도 7a, 도 8a 및 도 9a에 도시된 바와 같이, 제9 비아(VA91, VA92)는 생략될 수도 있다.
- [113] 도 11은 도 4에 도시된 다층 필터를 I-I'선으로 절개한 절단면도로서, 제1 및 제2 그라운드층(GL1, GL2)과 제1 내지 제3 커패시터층(CP11, CP12, CP2, CP3)만을 나타낸다.
- [114] 제11 및 제12 커패시터(C11, C12) 각각의 제1 커패시턴스는 제11, 제12 및 제13 커패시턴스를 포함할 수 있다.
- [115] 제11 커패시턴스는 제1 커패시터층(CP11, CP12)과 제2 커패시터층(CP2)이 대향하여 형성되고, 제12 커패시턴스는 제2 커패시터층(CP2)과 제3 커패시터층(CP31, CP32)이 대향하여 형성되고, 제13 커패시턴스는 제3 커패시터층(CP31, CP32)과 제4 커패시터층(CP4)이 대향하여 형성된다.
- [116] 구체적으로, 전술한 커패시턴스 패턴층은 도 3에 도시된 커패시터(C11, C12, C21, C22, C3)를 다음과 같이 구현할 수 있다.
- [117] 먼저, 도 3에 도시된 제11 커패시터(C11)의 커패시턴스는 거리(Z111)만큼 이격된 제11 커패시터층(CP11)과 제2 커패시터층(CP2)이 대향하여 형성되는 제11 커패시턴스와, 거리(Z112)만큼 이격된 제2 커패시터층(CP2)과 제31 커패시터층(CP31)이 대향하여 형성되는 제12 커패시턴스와, 거리(Z113)만큼 이격된 제31 커패시터층(CP31)과 제4 커패시터층(CP4)이 대향하여 형성되는 제13 커패시턴스가 합성된 결과이다.
- [118] 이와 비슷하게, 제12 커패시터(C12)의 커패시턴스는 거리(Z121)만큼 이격된 제12 커패시터층(CP12)과 제2 커패시터층(CP2)이 대향하여 형성되는 제11 커패시턴스와, 거리(Z122)만큼 이격된 제2 커패시터층(CP2)과 제32 커패시터층(CP32)

이 대향하여 형성되는 제12 커패시턴스와, 거리(Z123)만큼 이격된 제32 커패시터층(CP32)과 제4 커패시터층(CP4)이 대향하여 형성되는 제13 커패시턴스가 합성된 결과이다.

- [119] 전술한 제1 커패시턴스(C1)와 달리 제2 및 제3 커패시턴스는 기생 커패시턴스에 해당할 수 있다.
- [120] 먼저, 제21 커패시터(C21)의 커패시턴스는 거리(Z211)만큼 이격된 제11 커패시터층(CP11)과 제1 그라운드층(GL1) 간에 야기되는 기생 커패시턴스와, 거리(Z212)만큼 이격된 제11 커패시터층(CP11)과 제2 그라운드층(GL2) 간에 야기되는 기생 커패시턴스와, 거리(Z213)만큼 이격된 제31 커패시터층(CP31)과 제1 그라운드층(GL1) 간에 야기되는 기생 커패시턴스와, 거리(Z214)만큼 이격된 제31 커패시터층(CP31)과 제2 그라운드층(GL2) 간에 야기되는 기생 커패시턴스가 합성된 결과이다.
- [121] 제22 커패시터(C22)의 커패시턴스는 거리(Z221)만큼 이격된 제12 커패시터층(CP12)과 제1 그라운드층(GL1) 간에 야기되는 기생 커패시턴스와, 거리(Z222)만큼 이격된 제12 커패시터층(CP12)과 제2 그라운드층(GL2) 간에 야기되는 기생 커패시턴스와, 거리(Z223)만큼 이격된 제32 커패시터층(CP32)과 제1 그라운드층(GL1) 간에 야기되는 기생 커패시턴스와, 거리(Z224)만큼 이격된 제32 커패시터층(CP32)과 제2 그라운드층(GL2) 간에 야기되는 기생 커패시턴스가 합성된 결과이다.
- [122] 제3 커패시터(C3)의 커패시턴스는 거리(Z31)만큼 이격된 제2 커패시터층(CP2)과 제1 그라운드층(GL1) 간의 기생 커패시턴스와, 거리(Z32)만큼 이격된 제2 커패시터층(CP2)과 제2 그라운드층(GL2) 간의 기생 커패시턴스와, 거리(Z33)만큼 이격된 제2 커패시터층(CP2)과 제1 그라운드층(GL1) 간의 기생 커패시턴스와, 거리(Z34)만큼 이격된 제4 커패시터층(CP4)과 제2 그라운드층(GL2) 간의 기생 커패시턴스가 합성된 결과이다.
- [123] 원하는 커패시턴스를 얻기 위해, 수직 방향으로 서로 인접하는 그라운드층(GL1, GL2)과 커패시터층(CP11, CP12, CP2, CP31, CP32, CP4)이 수직 방향으로 원하는 만큼 중복될 수 있고 그라운드층(GL1, GL2)과 커패시터층(CP11, CP12, CP2, CP31, CP32, CP4) 사이에 배치된 유전층의 유전율을 조정할 수도 있고, 커패시턴스를 형성하는 커패시터층이 서로 대향하는 면적을 조정할 수도 있다.
- [124] 다른 실시 예에 의한 다층 필터는 전술한 제1 내지 제3 도전 패턴층(TL1 내지 TL4)과 제1 내지 4 유전층(DL1 내지 DL4)만을 포함할 수 있다 (즉, N=3). 즉, 다른 실시 예에 의하면, 도 4 내지 도 11에서 제4 및 제5 도전 패턴층(TL4, TL5)과 제1 비아 및 제2 비아(VA11, VA12, VA2)는 생략될 수 있다. 이를 제외하면, 다른 실시 예에 의한 다층 필터는 일 실시 예에 의한 다층 필터와 동일하므로 중복되는 설명을 생략한다.
- [125] 또한, 제2 상측 인덕터층을 제2 도전 패턴층(TL2)에 배치하고, 제2 하측 인덕터층을 제3 도전 패턴층(TL3)에 배치한 후, 제51 및 제52 비아(VA51, VA52)를 이용

하여 이들을 연결함으로써, 제2 인덕터(L21, L22)가 원하는 인덕턴스를 갖도록 길이를 증가시킬 수 있다.

[126] 일 실시 예에 의한 다층 필터의 경우 제11 및 제12 커패시터층(CP11, CP12)이 제31 및 제32 커패시터층(CP31, CP32)과 제11 및 제12 비아(VA11, VA12)에 의해 연결되므로, 커패시터가 병렬로 연결된 구조를 가질 수 있어, 원하는 만큼 제1 커패시턴스를 증가시킬 수 있다.

[127] 그러나, 제1 커패시턴스를 증가시킬 필요가 없는 경우, 다른 실시 예에서와 같이 제4 및 제5 도전 패턴층(TL3, TL4)과 제11 및 제12 및 제2 비아(VA11, VA12, VA2)를 생략할 수도 있다.

[128] 이하, 실시 예에 의한 도 3에 도시된 다층 필터의 동작을 첨부된 도면을 참조하여 다음과 같이 설명한다.

[129] 도 12는 실시 예에 의한 다층 필터의 성능을 검사한 그래프로서, 횡축은 주파수를 나타내고 종축은 S 파라미터를 각각 나타낸다.

[130] 도 12는 실시 예에 의한 다층 필터를 5.925GHz 내지 7.125GHz의 통과 대역을 갖는 WiFi 6E에 적용하여 시뮬레이션한 결과로서 삽입 손실(Insertion loss)은 -5dB 이하이다.

[131] 도 3에 도시된 제21 및 제22 인덕터(L21, L22) 및 제11 및 제12 커패시터(C11, C12)는 전송 영점을 만드는 역할을 한다. 도 12를 참조하면, 전송 영점(310)의 'A' 부분에 2개의 전송 영점이 생성될 수 있다. 도 12의 경우 전송 영점이 겹쳐져서 하나로 도시되어 있다.

[132] 또한, 도 3에 도시된 제31 및 제32 인덕터(L31, L32), 제41 및 제42 인덕터(L41, L42), 제21 커패시터(C21), 제22 커패시터(C22) 및 제3 커패시터(C3)는 공진기를 만드는 역할을 한다. 도 12를 참조하면, 다층 필터는 'B' 부분에서와 같이 3개의 공진점을 갖는 3차 공진기(320)의 특성을 가짐을 알 수 있다.

[133] 이하, 실시 예에 의한 프론트 엔드 모듈을 첨부된 도면을 참조하여 다음과 같이 설명한다.

[134] 도 13은 실시 예에 의한 프론트 엔드 모듈(200)의 블록도를 나타낸다.

[135] 도 13에 도시된 실시 예에 의한 프론트 엔드 모듈(200)은 안테나(210), 제1 및 제2 증폭기(220, 240), 다층 필터(220) 및 스위치(250)를 포함할 수 있다.

[136] 제1 증폭기(220)는 안테나(210)를 통해 수신된 신호를 증폭시키고, 증폭된 결과를 다층 필터(220)로 제공할 수 있다. 예를 들어, 제1 증폭기(220)는 저잡음 증폭기(LNA: Low Noise Amplifier)일 수 있다.

[137] 다층 필터(220)는 제1 증폭기(220)에서 증폭된 신호를 필터링하여 출력단자 OUT를 통해 출력하며, 전술한 실시 예에 의한 다층 필터(100, 100A)일 수 있으므로 중복되는 설명을 생략한다.

[138] 제2 증폭기(240)는 입력단자 IN을 통해 들어오는 신호를 증폭하고, 증폭된 결과를 안테나(210)를 통해 전송한다. 예를 들어, 제2 증폭기(240)는 전력 증폭기(PA: Power Amplifier)일 수 있다.

- [139] 스위치(250)는 제1 증폭기(220)의 입력단 및 제2 증폭기(240)의 출력단 각각과 안테나 사이에 배치되어, 이들의 신호 경로를 선택하는 역할을 한다.
- [140] 실시 예에 의하면, LCiP (Inductance & Capacitance in Package) 기술을 이용하여 프론트 엔드 모듈의 내부에 다층 필터(100, 100A)를 임베디드하고, 션트 커패시터(shunt capacitor)인 제2 커패시터(C21, C22) 및 제3 커패시터(C3)를 전술한 바와 같이 제11, 제12, 제2, 제31, 제32 및 제4 커패시터층(CP11, CP12, CP2, CP31, CP32, CP4)과 제1 및 제2 그라운드층(GL1, GL2) 간의 기생 커패시턴스로 구현할 경우, 제2 커패시터(C21, C22) 및 제3 커패시터(C3)를 위한 별도의 커패시터층을 형성하지 않아도 된다.
- [141] 즉, 실시 예에 의한 다층 필터의 경우 제11 및 제12 커패시터(C11, C12)의 커패시턴스를 획득하기 위해 제11, 제12, 제2, 제31, 제32 및 제4 커패시터층(CP11, CP12, CP2, CP31, CP32, CP4)을 배치하며, 제11, 제12, 제2, 제31, 제32 및 제4 커패시터층(CP11, CP12, CP2, CP31, CP32, CP4)과 제1 및 제2 그라운드층(GL1, GL2) 간의 기생 커패시턴스를 이용하여 제21, 제22 및 제3 커패시터(C21, C22, C3)의 커패시턴스를 형성할 수 있다. 따라서, 제21, 제22 및 제3 커패시터(C21, C22, C3)의 커패시턴스를 형성하기 위한 별도의 커패시터층을 요구하지 않고 기생 커패시터를 이용할 수 있다. 이러한 덕분에 다층 필터(100, 100A) 또는 프론트 엔드 모듈(200)의 크기가 줄어들 수 있고, 용이하게 주파수를 튜닝할 수 있다.
- [142] 또한, 커패시터층을 수직으로 적층하여 이들을 연결함으로써, 한정된 크기에서 커패시턴스(예를 들어, 제1 커패시턴스)를 쉽게 증가시킬 수 있다.
- [143] 또한, 인덕터층을 수직으로 적층하여 길이를 증가시킴으로써, 인덕턴스(예를 들어, 제2 인덕터의 인덕턴스)를 쉽게 증가시킬 수 있다.
- [144] 전술한 실시 예에 의한 다층 필터 및 프론트 엔드 모듈은 주파수 대역 6GHz 이상인 분야에 적용될 수 있으며, 예를 들어, 텔레비전, 모바일 기기, 블루투스, WiFi가 포함된 안테나용 모듈등에 적용될 수 있다.
- [145] 이상에서 실시 예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시 예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시 예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

발명의 실시를 위한 형태

- [146] 발명의 실시를 위한 형태는 전술한 "발명의 실시를 위한 최선의 형태"에서 충분히 설명되었다.

산업상 이용가능성

- [147] 실시 예의 다층 필터 및 이를 포함하는 프론트 엔드 모듈은 이동통신단말기 등에 이용될 수 있다.

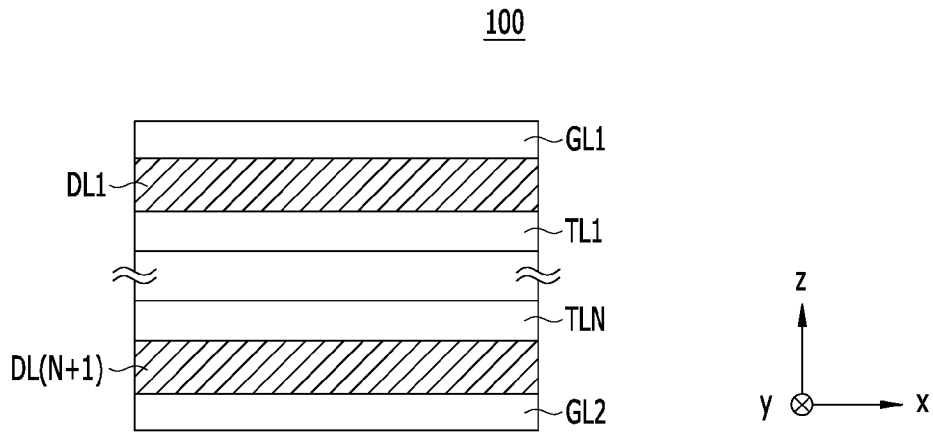
청구범위

- [청구항 1] 제1 및 제2 그라운드층;
 상기 제1 그라운드층과 상기 제2 그라운드층 사이에 배치된 복수의 도전 패턴층; 및
 상기 제1 및 제2 그라운드층과 상기 복수의 도전 패턴층 사이에 배치된 유전층을 포함하고,
 상기 복수의 도전 패턴층 중 인접하는 도전 패턴층은 제1 커패시턴스를 형성하는 커패시턴스 패턴층을 포함하고,
 상기 복수의 도전 패턴층 중 적어도 일부는 인덕터를 형성하는 인덕턴스 패턴층을 포함하고,
 상기 커패시턴스 패턴층은 상기 제1 및 제2 그라운드층 각각과 대향하여 기생 커패시턴스를 형성하고,
 상기 제1 커패시터와 상기 인덕터와 상기 기생 커패시턴스를 이용하여 소망하는 주파수 대역을 갖는 신호를 필터링하는 다층 필터.
- [청구항 2] 제1 항에 있어서, 상기 커패시턴스 패턴층과 상기 인덕턴스 패턴층은 상기 다층 필터의 장축의 중심을 지나며 상기 다층 필터의 단축 방향과 나란한 가상의 수평선을 기준으로 대칭인 형상을 갖는 다층 필터.
- [청구항 3] 제1 항에 있어서, 상기 복수의 도전 패턴층은 상기 제1 그라운드층과 상기 제2 그라운드층 사이에서 순차적으로 적층된 제1 내지 제3 도전 패턴층을 포함하는 다층 필터.
- [청구항 4] 제3 항에 있어서,
 상기 인덕턴스 패턴층은
 상기 제2 도전 패턴층에 배치된 제1 인덕터층;
 상기 제2 도전 패턴층과 상기 제3 도전 패턴층에 걸쳐서 배치된 제2 인덕터층;
 상기 제1 도전 패턴층에 배치된 제3 인덕터층; 및
 상기 제3 도전 패턴층에 배치된 제4 인덕터층을 포함하는 다층 필터.
- [청구항 5] 제4 항에 있어서, 상기 제1, 제2, 제3 및 제4 인덕터층 각각은 수평 방향으로 적어도 한 번 절곡된 평면 형상을 갖는 다층 필터.
- [청구항 6] 제4 항에 있어서,
 상기 커패시턴스 패턴층은
 상기 제2 도전 패턴층에 배치된 제1 커패시터층; 및
 상기 제3 도전 패턴층에 배치되고, 상기 제1 커패시터층과 대향하여 상기 제1 커패시턴스를 형성하는 제2 커패시터층을 포함하는 다층 필터.
- [청구항 7] 제6 항에 있어서,

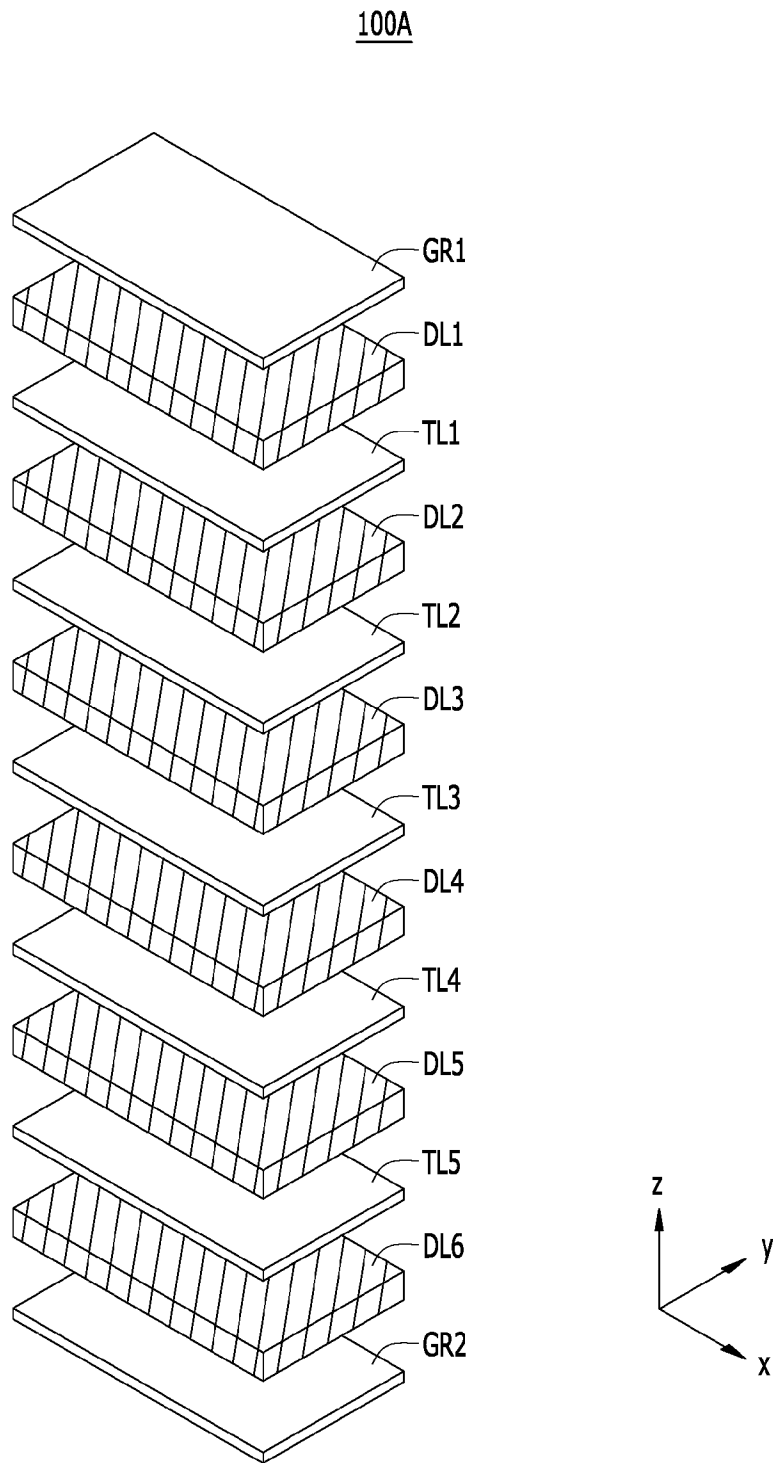
상기 복수의 도전 패턴층은 상기 제3 도전 패턴층과 상기 제2 그라운드층 사이에서 순차적으로 적층된 제4 및 제5 도전 패턴층을 더 포함하는 다층 필터.

- [청구항 8] 제7 항에 있어서,
상기 커패시터층 패턴층은
상기 제1 커패시터층과 연결된 제3 커패시터층; 및
상기 제2 커패시터층과 연결된 제4 커패시터층을 더 포함하는 다층 필터.
- [청구항 9] 제8 항에 있어서,
상기 제1 커패시터층과 상기 제3 커패시터층을 연결하는 제1 비아; 및
상기 제2 커패시터층과 상기 제4 커패시터층을 연결하는 제2 비아를 포함하는 다층 필터.
- [청구항 10] 안테나;
상기 안테나를 통해 수신된 신호를 증폭시키는 제1 증폭기;
상기 제1 증폭기에서 증폭된 신호를 필터링하여 출력하며, 제1 항 내지 제 21 항 중 어느 한 항에 기재된 다층 필터;
상기 안테나를 통해 전송할 신호를 증폭시키는 제2 증폭기; 및
상기 제1 증폭기의 입력단 및 상기 제2 증폭기의 출력단 각각과 상기 안테나 사이에 배치된 스위치를 포함하는 프론트 엔드 모듈.

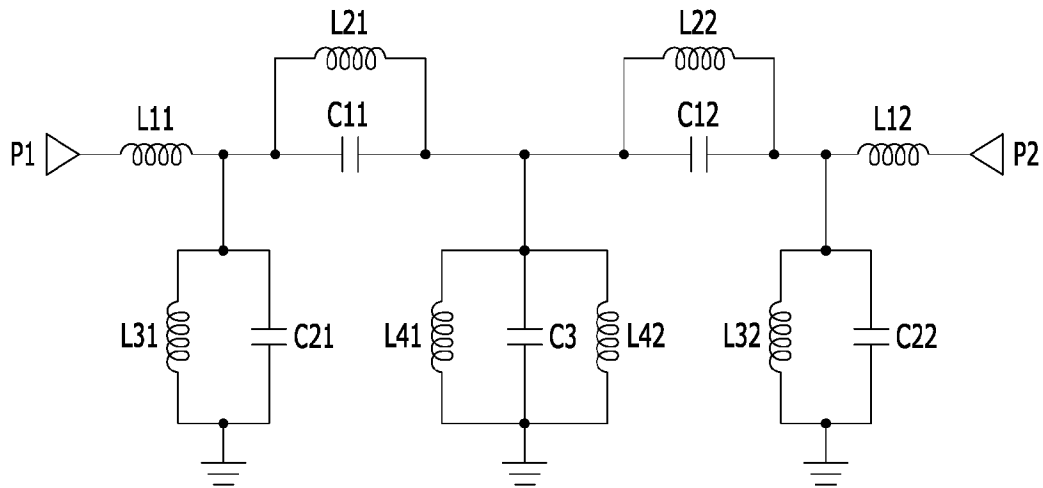
[도 1]



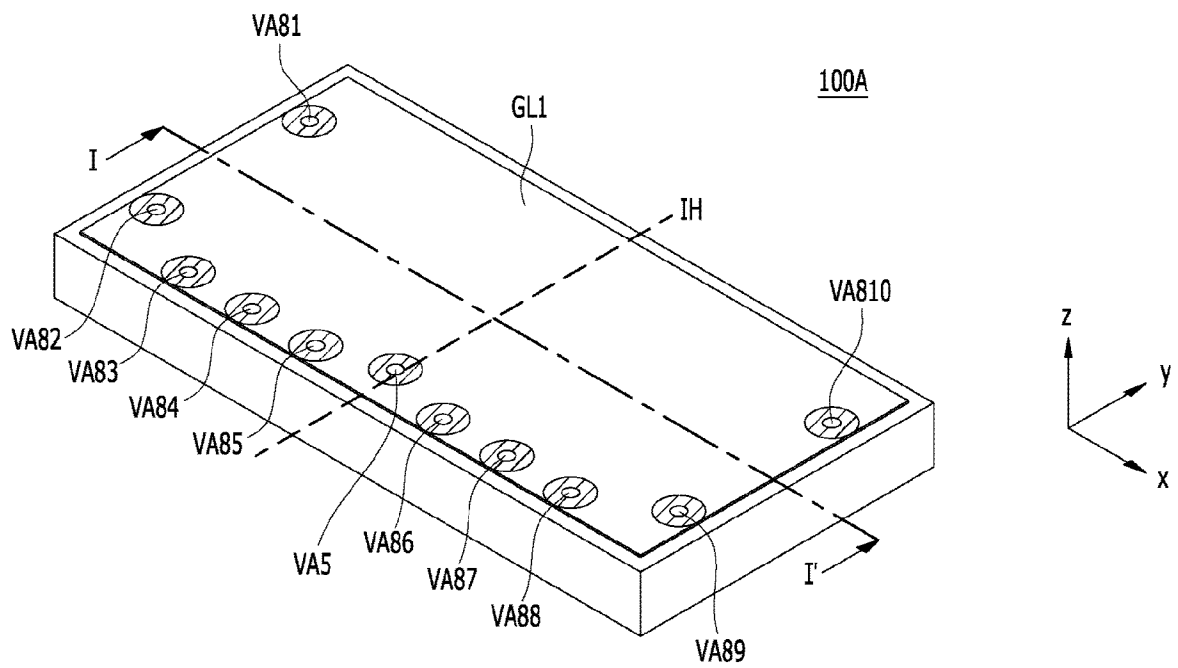
[도2]



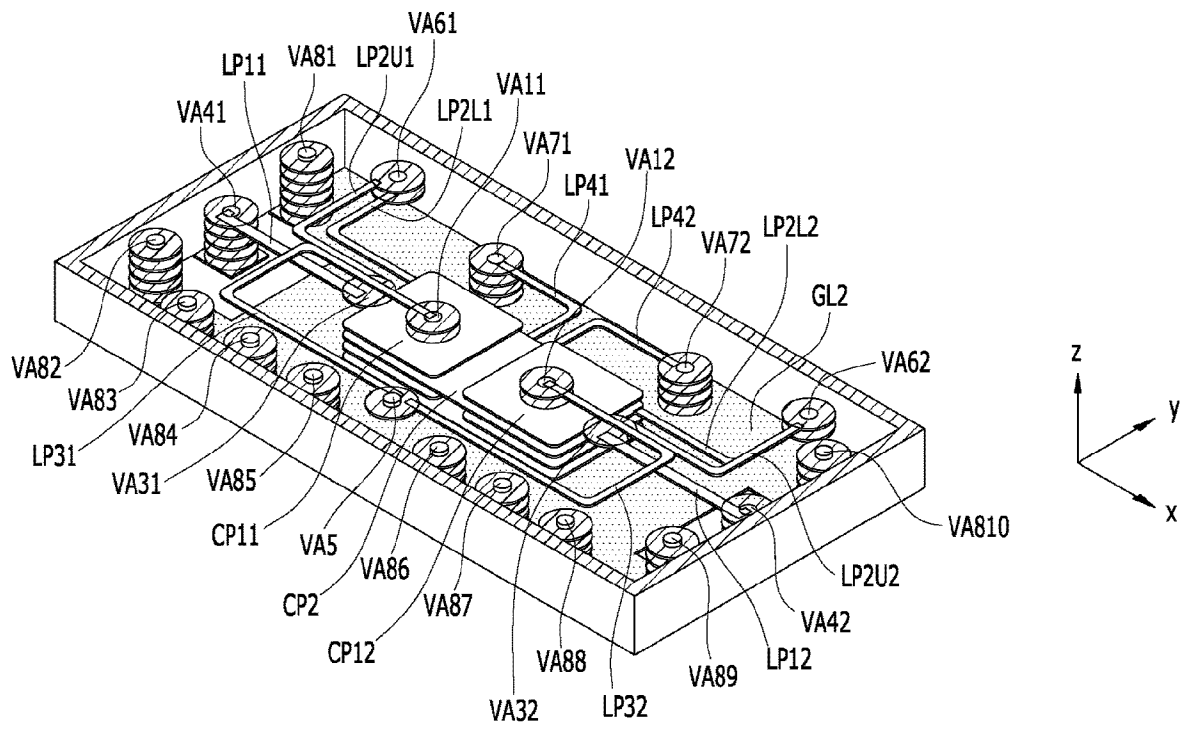
[도3]



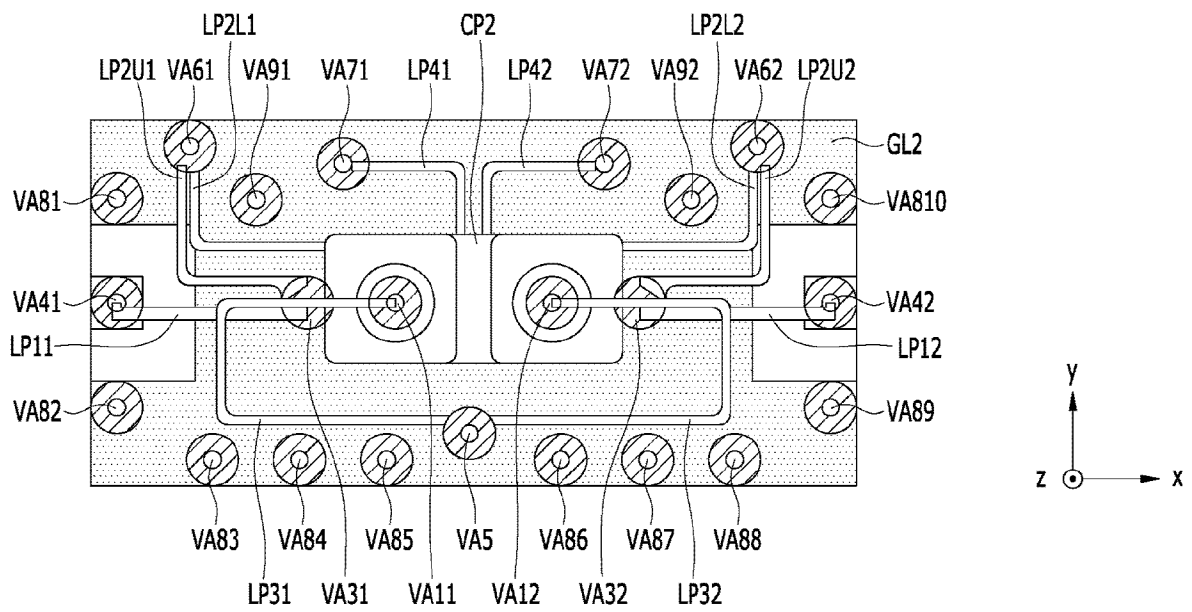
[도4]



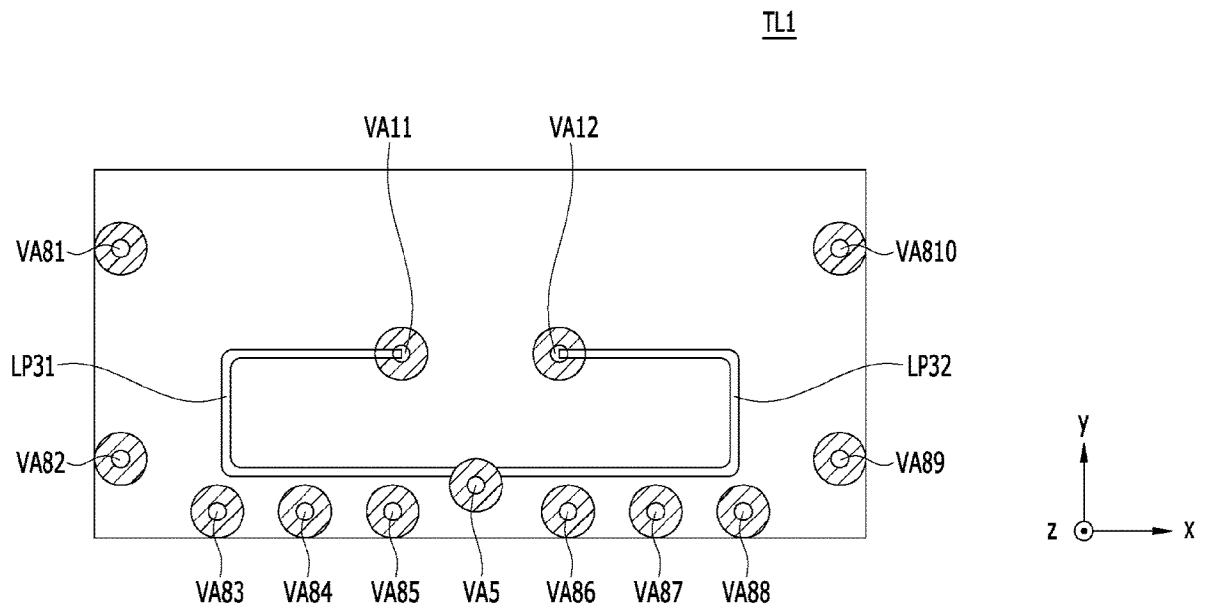
[도5a]



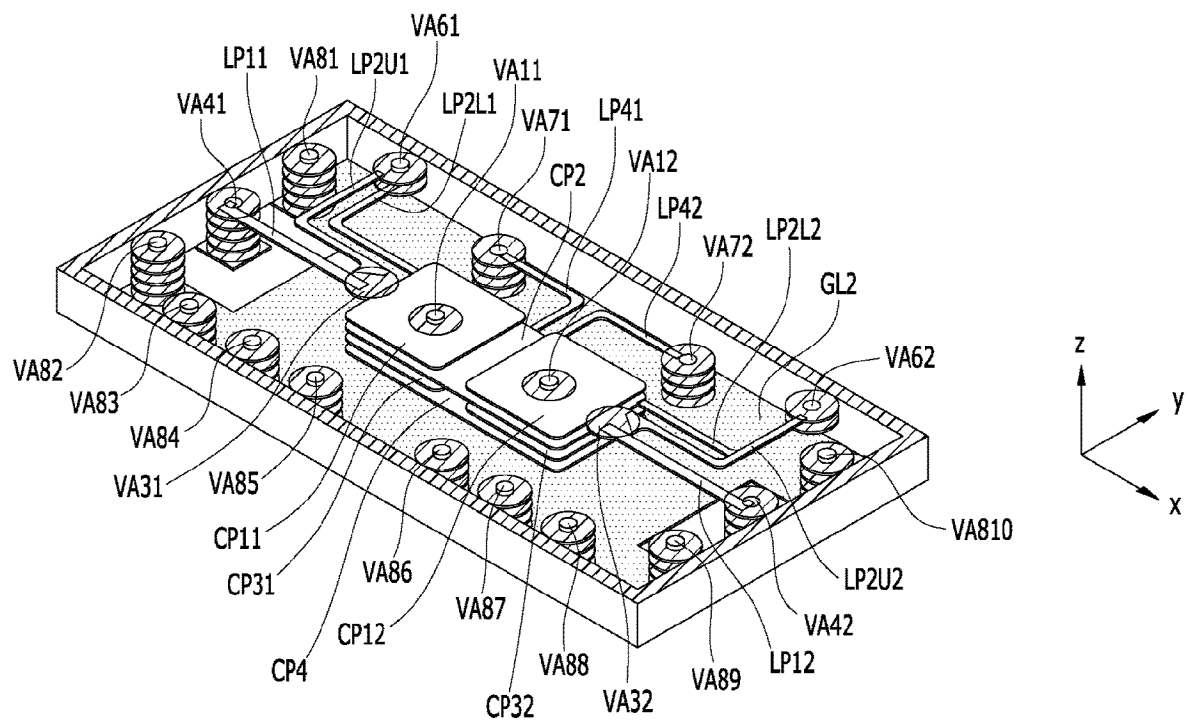
[도5b]



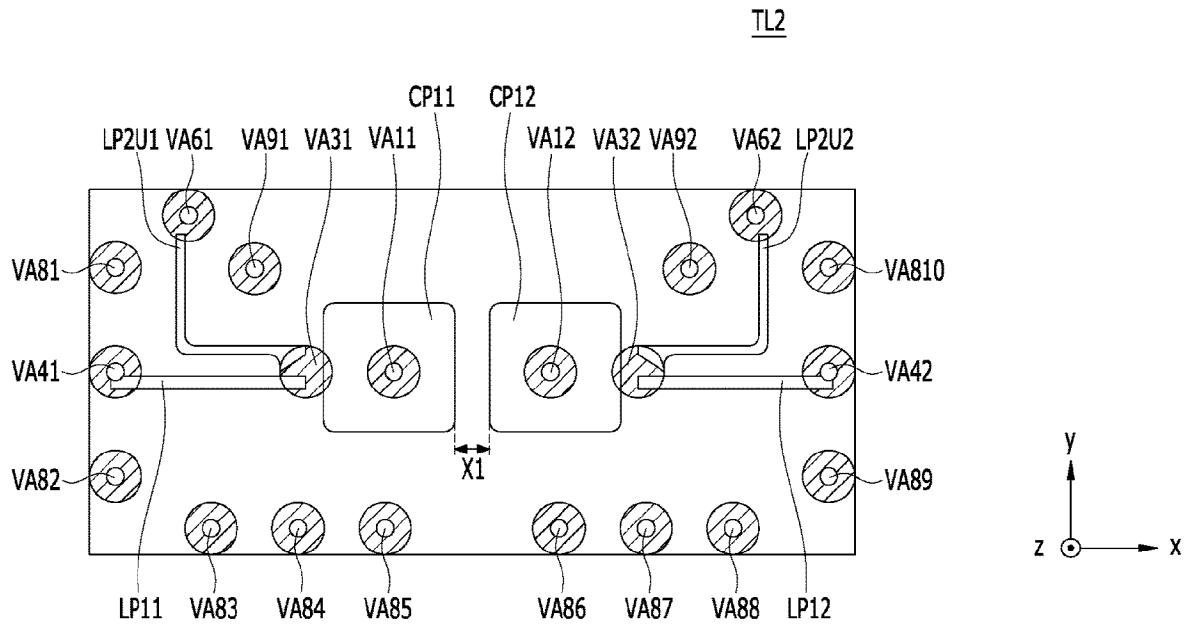
[도6]



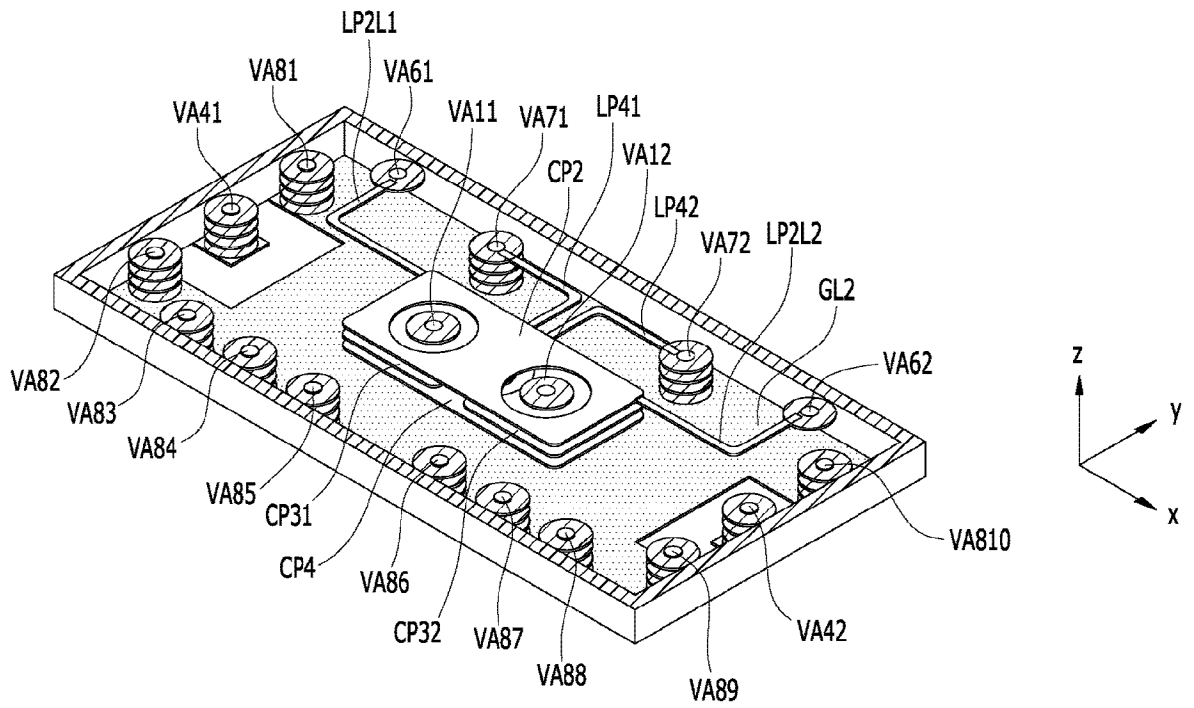
[도7a]



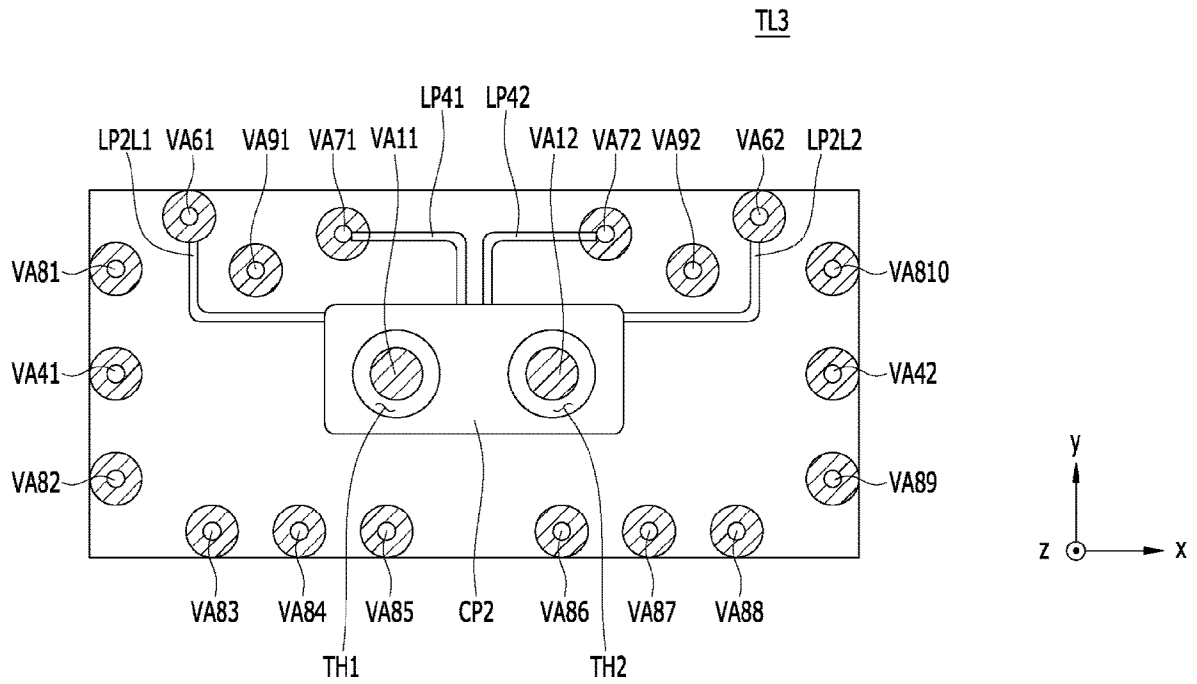
[도7b]



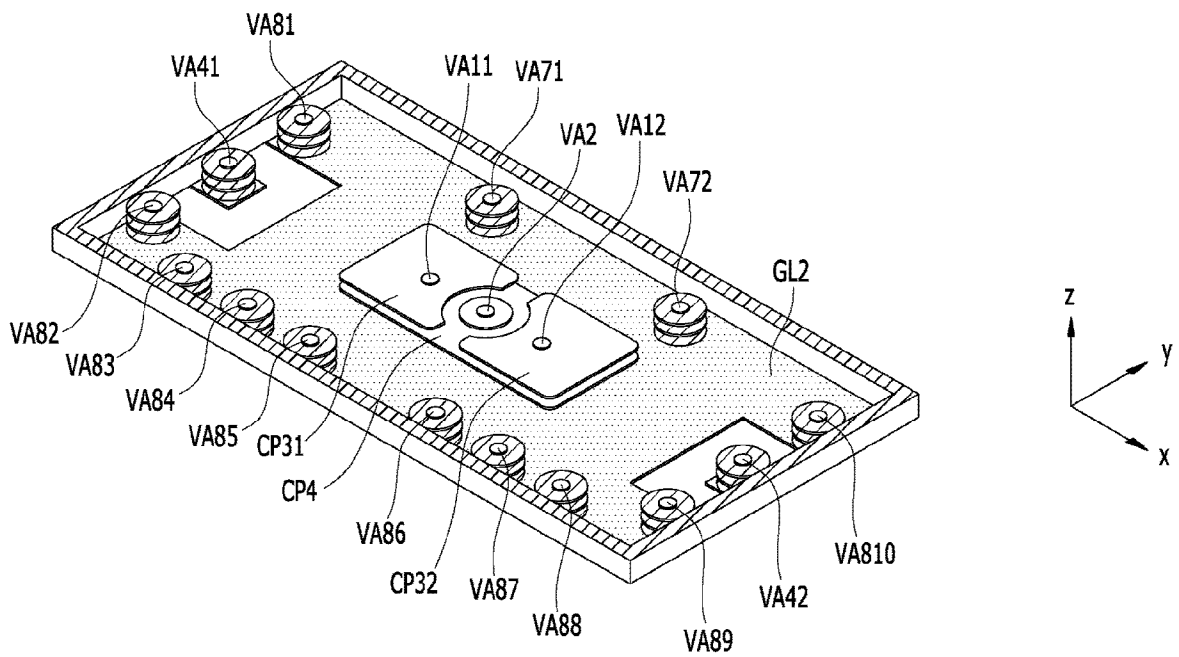
[도8a]



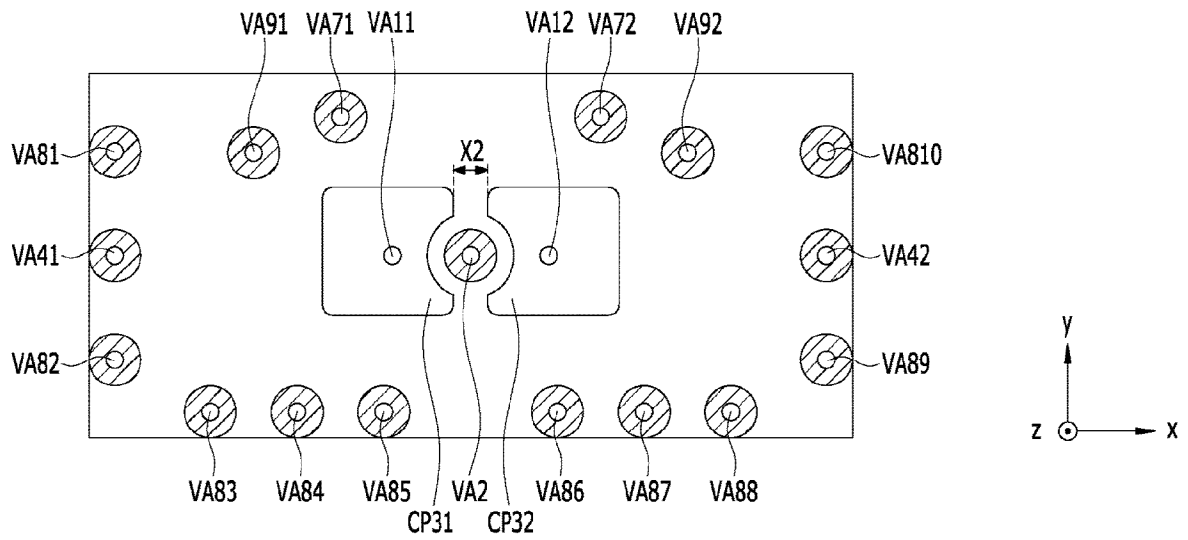
[도8b]



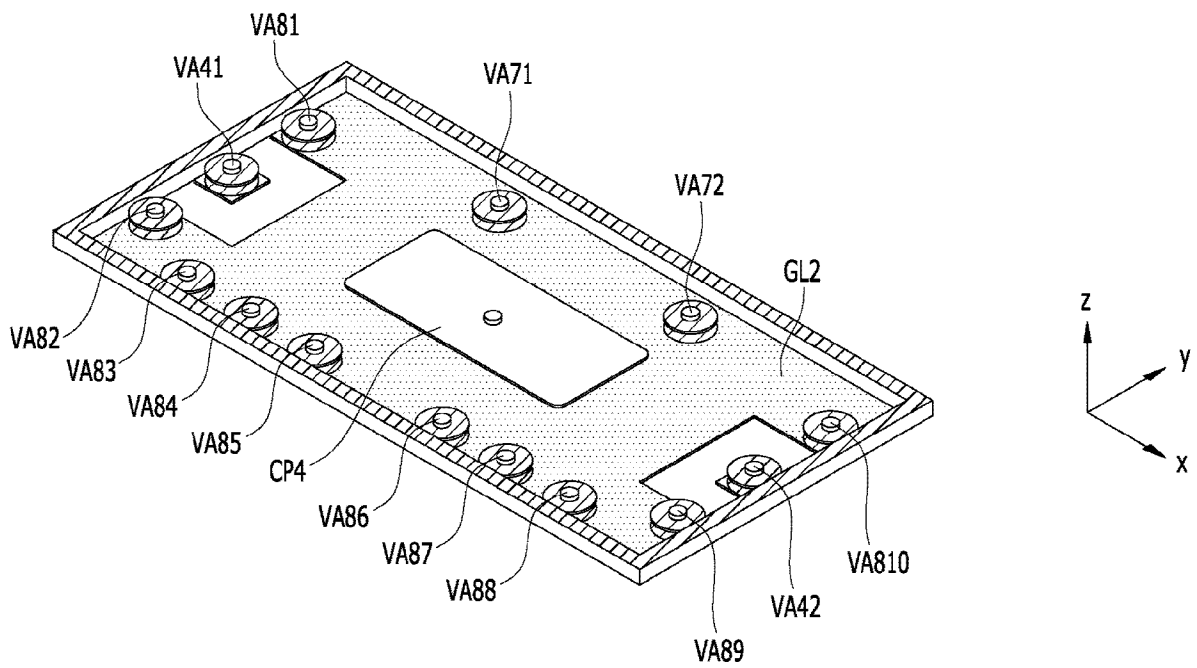
[도9a]



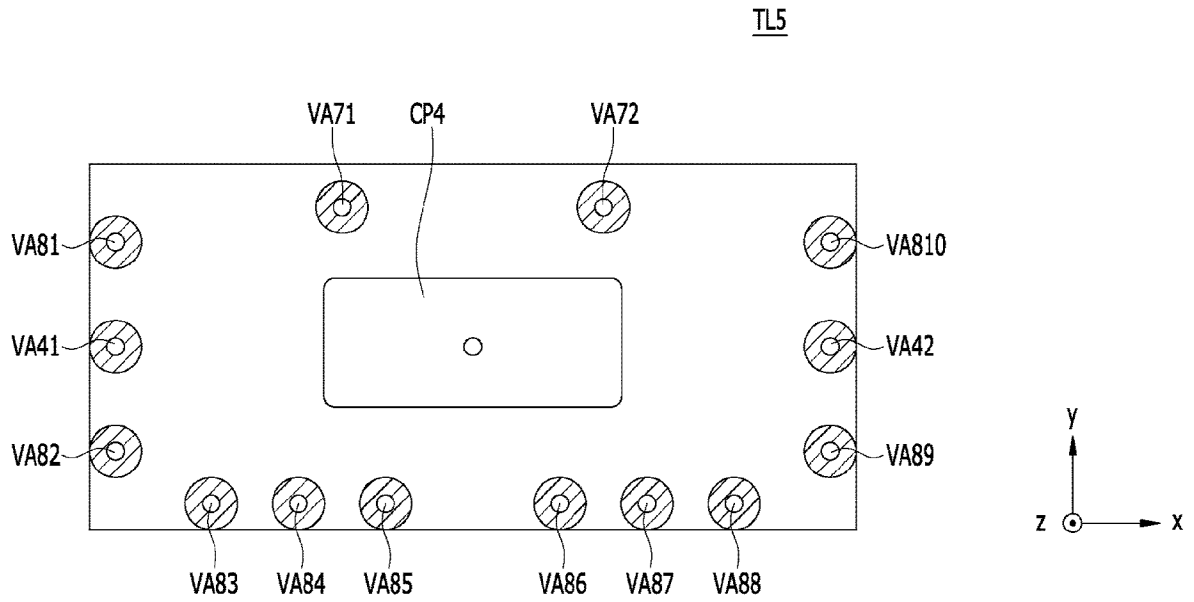
[도9b]

TL4

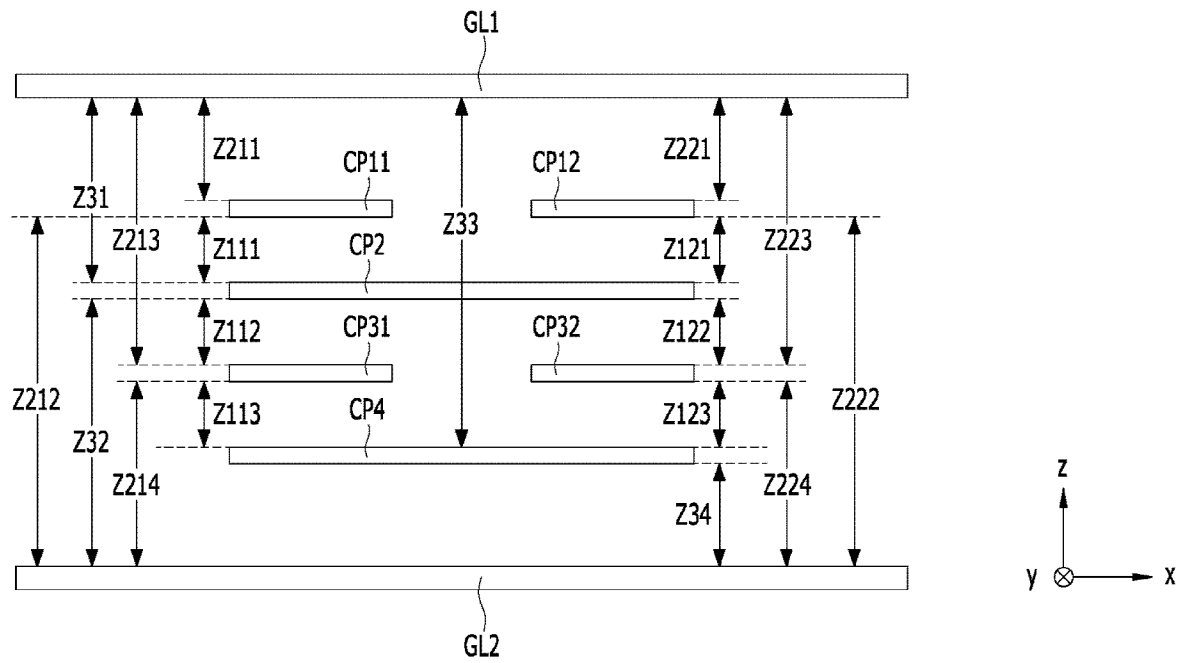
[도10a]



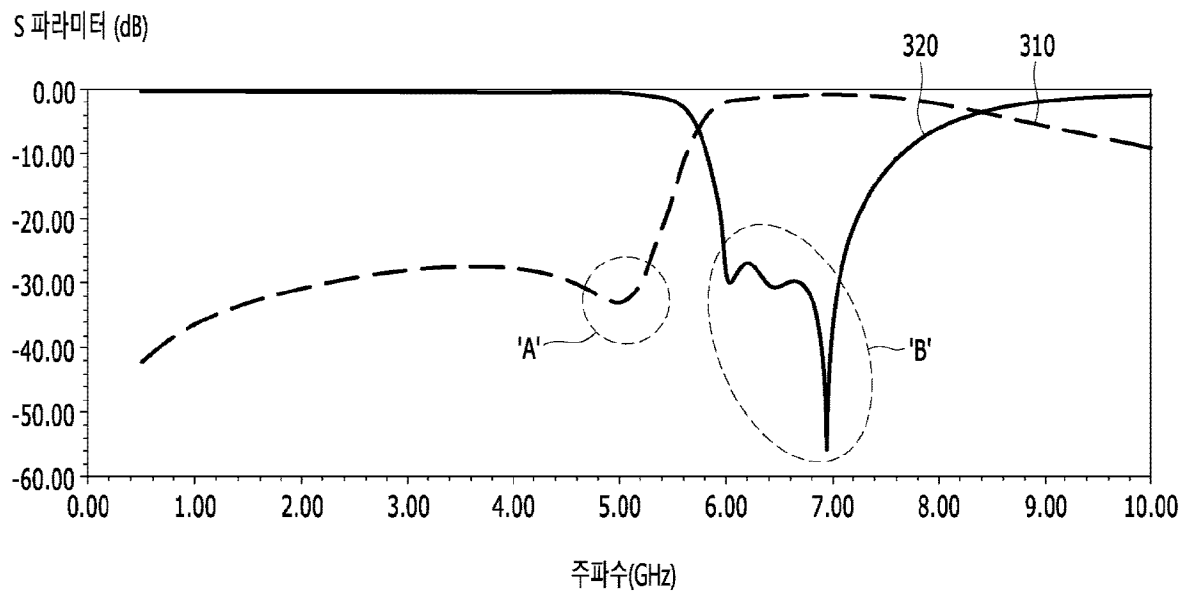
[도 10b]



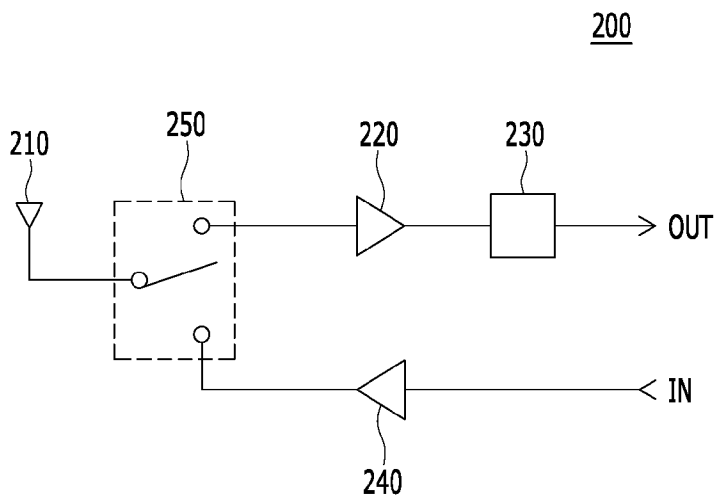
[도 11]



[도 12]



[도 13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2024/095838

A. CLASSIFICATION OF SUBJECT MATTER**H01P 1/203(2006.01)i; H03H 7/01(2006.01)i; H04M 1/02(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01P 1/203(2006.01); H01F 17/00(2006.01); H01F 17/04(2006.01); H01F 27/00(2006.01); H01F 27/28(2006.01);
H03H 7/01(2006.01); H03H 7/075(2006.01); H04B 1/40(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 다층(multilayer), 필터(filter), 프론트엔드(front-end), 커패시턴스(capacitance), 인덕터(inductor), 기생(parasitic), 주파수(frequency)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-026677 A (TDK CORP.) 25 January 2002 (2002-01-25) See paragraphs [0014]-[0020]; claims 1 and 4; and figures 1-6.	1-3,10
A		4-9
Y	KR 10-1735599 B1 (MODA-INNOCHIPS CO., LTD.) 16 May 2017 (2017-05-16) See paragraph [0043]; and figures 1-3.	1-3,10
Y	JP 11-177366 A (UBE INDUSTRIES LTD.) 02 July 1999 (1999-07-02) See claim 1.	2
A	KR 10-2009-0081221 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 28 July 2009 (2009-07-28) See paragraphs [0035]-[0062]; and figures 2-4.	1-10
A	KR 10-2023-0067946 A (AMOTECH CO., LTD.) 17 May 2023 (2023-05-17) See claims 1-19; and figures 2-19.	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

27 August 2024

Date of mailing of the international search report

09 September 2024

Name and mailing address of the ISA/KR

**Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208**

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2024/095838

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2002-026677	A	25 January 2002	JP	4635302	B2	23 February 2011
KR	10-1735599	B1	16 May 2017	CN	106685374	A	17 May 2017
				CN	106685374	B	19 November 2019
				JP	2019-504468	A	14 February 2019
				JP	6577670	B2	18 September 2019
				US	10020105	B2	10 July 2018
				US	2017-0133142	A1	11 May 2017
				WO	2017-082451	A1	18 May 2017
JP	11-177366	A	02 July 1999	None			
KR	10-2009-0081221	A	28 July 2009	KR	10-0956218	B1	04 May 2010
KR	10-2023-0067946	A	17 May 2023	WO	2023-085698	A1	19 May 2023

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01P 1/203(2006.01)i; H03H 7/01(2006.01)i; H04M 1/02(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01P 1/203(2006.01); H01F 17/00(2006.01); H01F 17/04(2006.01); H01F 27/00(2006.01); H01F 27/28(2006.01);
H03H 7/01(2006.01); H03H 7/075(2006.01); H04B 1/40(2006.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 다층(multilayer), 필터(filter), 프론트엔드(front-end), 커패시턴스(capacitance), 인덕터(inductor), 기생(parasitic), 주파수(frequency)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	JP 2002-026677 A (TDK CORP.) 2002.01.25 단락 [0014]-[0020]; 청구항 1, 4; 및 도면 1-6	1-3,10
A		4-9
Y	KR 10-1735599 B1 (주식회사 모다이노칩) 2017.05.16 단락 [0043]; 및 도면 1-3	1-3,10
Y	JP 11-177366 A (UBE INDUSTRIES LTD.) 1999.07.02 청구항 1	2
A	KR 10-2009-0081221 A (삼성전기주식회사) 2009.07.28 단락 [0035]-[0062]; 및 도면 2-4	1-10
A	KR 10-2023-0067946 A (주식회사 아모텍) 2023.05.17 청구항 1-19; 및 도면 2-19	1-10

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을
정의한 문헌

“D” 본 국제출원에서 출원인이 인용한 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일
이후에 공개된 선출원 또는 특허 문헌“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의
공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여
인용된 문헌

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과
상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기
위해 인용된 문헌“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의
신규성 또는 진보성이 없는 것으로 본다.“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른
문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우
청구된 발명은 진보성이 없는 것으로 본다.

“&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일

2024년08월27일(27.08.2024)

국제조사보고서 발송일

2024년09월09일(09.09.2024)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189, 4동 (둔산동,
정부대전청사)

팩스 번호 +82-42-481-8578

심사관

김성훈

전화번호 +82-42-481-8710

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2002-026677 A	2002/01/25	JP 4635302 B2	2011/02/23
KR 10-1735599 B1	2017/05/16	CN 106685374 A	2017/05/17
		CN 106685374 B	2019/11/19
		JP 2019-504468 A	2019/02/14
		JP 6577670 B2	2019/09/18
		US 10020105 B2	2018/07/10
		US 2017-0133142 A1	2017/05/11
		WO 2017-082451 A1	2017/05/18
JP 11-177366 A	1999/07/02	없음	
KR 10-2009-0081221 A	2009/07/28	KR 10-0956218 B1	2010/05/04
KR 10-2023-0067946 A	2023/05/17	WO 2023-085698 A1	2023/05/19