

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5676413号  
(P5676413)

(45) 発行日 平成27年2月25日(2015.2.25)

(24) 登録日 平成27年1月9日(2015.1.9)

(51) Int.Cl.

F I

HO 1 L 25/07 (2006.01)  
 HO 1 L 25/18 (2006.01)  
 HO 1 L 23/48 (2006.01)  
 HO 1 L 21/56 (2006.01)

HO 1 L 25/04 C  
 HO 1 L 23/48 G  
 HO 1 L 21/56 T

請求項の数 6 (全 24 頁)

(21) 出願番号 特願2011-236784 (P2011-236784)  
 (22) 出願日 平成23年10月28日(2011.10.28)  
 (65) 公開番号 特開2013-98199 (P2013-98199A)  
 (43) 公開日 平成25年5月20日(2013.5.20)  
 審査請求日 平成25年11月14日(2013.11.14)

(73) 特許権者 000006013  
 三菱電機株式会社  
 東京都千代田区丸の内二丁目7番3号  
 (74) 代理人 100073759  
 弁理士 大岩 増雄  
 (74) 代理人 100088199  
 弁理士 竹中 岑生  
 (74) 代理人 100094916  
 弁理士 村上 啓吾  
 (74) 代理人 100127672  
 弁理士 吉澤 憲治  
 (72) 発明者 藤野 純司  
 東京都千代田区丸の内二丁目7番3号 三  
 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 電力用半導体装置

(57) 【特許請求の範囲】

【請求項 1】

矩形板状をなし、主電力を制御する電力用半導体素子と前記電力用半導体素子を制御する制御信号を出力する制御素子とが厚み方向において段違いに配置されるとともに、前記矩形板状の対向する側面のそれぞれから並列する複数の端子が突出配置された電力用半導体装置を一枚のリードフレームを用いて製造する方法であって、

前記一枚のリードフレームには、前記電力用半導体素子が接合される第1のダイパッドと、前記制御素子が接合される第2のダイパッドが、前記並列する複数の端子となるリードパターンとともに、前記リードパターンの延在方向におけるそれぞれ一端側の領域と他端側の領域で連なるように形成されているとともに、前記一端側の領域から前記他端側の領域にかけて延在する延在パターンが形成され、かつ、前記リードフレームの面に垂直な方向において前記第1のダイパッドに対して前記第2のダイパッドが上方に位置するように段差がつけられており、

前記第1のダイパッドの一面に前記電力用半導体素子を接合するとともに、前記第2のダイパッドに前記制御素子を接合する工程と、

前記リードフレームの面を保ったまま、前記延在パターンの所定部分を屈曲させ、前記リードフレームの面に垂直な方向から見たときに、前記制御素子を、前記電力用半導体素子にオーバーラップさせる工程と、

前記第1のダイパッドの裏面に、放熱部材を接合する工程と、

前記リードフレームを少なくとも外枠部分が露出した状態で上下の金型ではさみ、前記

10

20

金型内に樹脂を流し込んで、前記放熱部材の放熱面を除いて当該電力用半導体装置を矩形形状に封止する工程と、

を含む電力用半導体装置の製造方法により製造した電力用半導体装置において、

前記延在パターンにおける前記所定部分よりも前記一端側の部分と前記電力用半導体素子の制御電極とが配線部材で電気接続されるとともに、前記延在パターンにおける前記所定部分よりも前記他端側の部分と前記制御素子の制御信号を出力する電極とが配線部材で電気接続されていることを特徴とする電力用半導体装置。

【請求項 2】

矩形板状をなし、主電力を制御する電力用半導体素子と前記電力用半導体素子を制御する制御信号を出力する制御素子とが厚み方向において段違いに配置されるとともに、前記矩形板状の対向する側面のそれぞれから並列する複数の端子が突出配置された電力用半導体装置を一枚のリードフレームを用いて製造する方法であって、

前記一枚のリードフレームには、前記電力用半導体素子が接合される第 1 のダイパッドと、前記制御素子が接合される第 2 のダイパッドが、前記並列する複数の端子となるリードパターンとともに、前記リードパターンの延在方向におけるそれぞれ一端側の領域と他端側の領域で連なるように形成されているとともに、前記一端側の領域から前記他端側の領域にかけて延在する延在パターンが形成され、かつ、前記リードフレームの面に垂直な方向において前記第 1 のダイパッドに対して前記第 2 のダイパッドが上方に位置するように段差がつけられており、

前記第 1 のダイパッドの一面に前記電力用半導体素子を接合するとともに、前記第 2 のダイパッドに前記制御素子を接合する工程と、

前記リードフレームの面を保ったまま、前記延在パターンの所定部分を屈曲させ、前記リードフレームの面に垂直な方向から見たときに、前記制御素子を、前記電力用半導体素子にオーバーラップさせる工程と、

前記第 1 のダイパッドの裏面に、放熱部材を接合する工程と、

前記リードフレームを少なくとも外枠部分が露出した状態で上下の金型ではさみ、前記金型内に樹脂を流し込んで、前記放熱部材の放熱面を除いて当該電力用半導体装置を矩形形状に封止する工程と、

を含む電力用半導体装置の製造方法により製造した電力用半導体装置において、

前記リードフレームの前記一端側の領域、および前記他端側の領域には、前記リードパターンが並列する方向において、それぞれ前記第 1 のダイパッドおよび前記第 2 のダイパッドよりも外側に位置する第 1 の中継リードと第 2 の中継リードが形成されており、前記第 1 の中継リードと前記電力用半導体素子の制御電極、および、前記第 2 の中継リードと前記制御素子の制御信号を出力する電極とが、それぞれ配線部材で電気接続されているとともに、

前記屈曲によって接近した前記第 1 の中継リードと前記第 2 の中継リードとが、配線部材で電気接続されていることを特徴とする電力用半導体装置。

【請求項 3】

矩形板状をなし、主電力を制御する電力用半導体素子と前記電力用半導体素子を制御する制御信号を出力する制御素子とが厚み方向において段違いに配置されるとともに、前記矩形板状の対向する側面のそれぞれから並列する複数の端子が突出配置された電力用半導体装置を一枚のリードフレームを用いて製造する方法であって、

前記一枚のリードフレームには、前記電力用半導体素子が接合される第 1 のダイパッドと、前記制御素子が接合される第 2 のダイパッドが、前記並列する複数の端子となるリードパターンとともに、前記リードパターンの延在方向におけるそれぞれ一端側の領域と他端側の領域で連なるように形成されているとともに、前記一端側の領域から前記他端側の領域にかけて延在する延在パターンが形成され、かつ、前記リードフレームの面に垂直な方向において前記第 1 のダイパッドに対して前記第 2 のダイパッドが上方に位置するように段差がつけられており、

前記第 1 のダイパッドの一面に前記電力用半導体素子を接合するとともに、前記第 2 の

ダイパッドに前記制御素子を接合する工程と、

前記リードフレームの面を保ったまま、前記延在パターンの所定部分を屈曲させ、前記リードフレームの面に垂直な方向から見たときに、前記制御素子を、前記電力用半導体素子にオーバーラップさせる工程と、

前記第1のダイパッドの裏面に、放熱部材を接合する工程と、

前記リードフレームを少なくとも外枠部分が露出した状態で上下の金型ではさみ、前記金型内に樹脂を流し込んで、前記放熱部材の放熱面を除いて当該電力用半導体装置を矩形形状に封止する工程と、

を含む電力用半導体装置の製造方法により製造した電力用半導体装置において、

前記電力用半導体素子は、整流素子とスイッチング素子からなる2つの半導体素子を並列配置したものであり、

10

前記リードフレームには、前記一端側の領域から前記他端側の領域に達するとともに、前記他端側の端部に所定の大きさのバス部を有するバスパターンが形成されており、

前記バスパターンの前記バス部以外の部分の折り曲げによって、前記バス部を前記2つの半導体素子にオーバーラップさせて、前記2つの半導体素子間が電気接続されているとともに、

前記屈曲によって接近した前記電力用半導体素子の制御電極と前記制御素子の制御信号を出力する電極とが配線部材で電気接続されていることを特徴とする電力用半導体装置。

#### 【請求項4】

矩形板状をなし、主電力を制御する電力用半導体素子と前記電力用半導体素子を制御する制御信号を出力する制御素子とが厚み方向において段違いに配置されるとともに、前記矩形板状の対向する側面のそれぞれから並列する複数の端子が突出配置された電力用半導体装置を一枚のリードフレームを用いて製造する方法であって、

20

前記一枚のリードフレームには、前記電力用半導体素子が接合される第1のダイパッドと、前記制御素子が接合される第2のダイパッドが、前記並列する複数の端子となるリードパターンとともに、前記リードパターンの延在方向におけるそれぞれ一端側の領域と他端側の領域で連なるように形成されているとともに、前記一端側の領域から前記他端側の領域にかけて延在する延在パターンが形成され、かつ、前記リードフレームの面に垂直な方向において前記第1のダイパッドに対して前記第2のダイパッドが上方に位置するように段差がつけられており、

30

前記第1のダイパッドの一面に前記電力用半導体素子を接合するとともに、前記第2のダイパッドに前記制御素子を接合する工程と、

前記リードフレームの面を保ったまま、前記延在パターンの所定部分を屈曲させ、前記リードフレームの面に垂直な方向から見たときに、前記制御素子を、前記電力用半導体素子にオーバーラップさせる工程と、

前記第1のダイパッドの裏面に、放熱部材を接合する工程と、

前記リードフレームを少なくとも外枠部分が露出した状態で上下の金型ではさみ、前記金型内に樹脂を流し込んで、前記放熱部材の放熱面を除いて当該電力用半導体装置を矩形形状に封止する工程と、

を含む電力用半導体装置の製造方法により製造した電力用半導体装置において、

40

前記延在パターンの所定部分には、前記リードパターンが並列する方向において向きが異なる複数の切欠きが前記延在方向の異なる位置に設けられ、

前記複数の切欠きを開くことにより、前記所定部分が前記リードパターンの面に平行な方向で屈曲していることを特徴とする電力用半導体装置。

#### 【請求項5】

前記電力用半導体素子がワイドバンドギャップ半導体材料により形成されていることを特徴とする請求項1ないし4のいずれか1項に記載の電力用半導体装置。

#### 【請求項6】

前記ワイドバンドギャップ半導体材料は、炭化ケイ素、窒化ガリウム、およびダイヤモンド、のうちのいずれかであることを特徴とする請求項5に記載の電力用半導体装置。

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、リードフレームを用いた電力用半導体装置の構成に関する。

## 【背景技術】

## 【0002】

半導体装置の中でも電力用半導体装置は、産業用機器から家電・情報端末まで幅広い機器の主電力（パワー）の制御に用いられ、とくに輸送機器等においては高い信頼性が求められている。また、近年、シリコン（Si）に代わる半導体材料として大電流を流すことができ、高効率が期待できるワイドバンドギャップ半導体材料である炭化珪素（SiC）が注目されている。一方、ワイドバンドギャップ半導体素子では、シリコンよりも高い150～300の動作温度が想定され、大電流および高温に適したパッケージ形態も同時に求められている。

10

## 【0003】

半導体装置に用いるリードフレームは、通常、1枚の板状部材からプレスでの打ち抜きや、エッチング等により、余分な分を除去することで平面上にパターン形成される。そして、機器の出力を制御するために用いられるパワーモジュール（電力用半導体装置）では、主電力を操作するパワー素子（電力用半導体素子）と、電力用半導体素子の動作を制御するための制御素子が、上述したリードフレームの所定位置（ダイパッド）に接合されている。発熱が大きな電力用半導体素子は、ヒートシンクを接続して外部に放熱をする必要があるが、制御素子にはその必要はない。しかし、上記のようなリードフレームに電力用半導体素子と制御素子が平面配置された場合、冷却の必要のない制御素子の部分まで面積を広げる必要があり、小型化の妨げとなっていた。

20

## 【0004】

そこで、電力用半導体素子と制御素子をそれぞれ別のリードフレーム内に配置し、電力用半導体素子と制御素子とが面内でオーバーラップするように階層化した半導体装置が提案されている（例えば、特許文献1参照。）。

## 【先行技術文献】

## 【特許文献】

## 【0005】

30

【特許文献1】特開2004-22601号公報（段落0024～0028、図1～図3、および段落0043～45、図7）

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

一方、リードフレームを用いる半導体装置では、封止の際にリードフレームの両端を上下の金型で挟んで締めこむことによって、封止体内での部材の位置を固定する。そこで、上記のような2枚のリードフレームを用いた半導体装置を封止しようとする、2枚のリードフレームを重ね合わせた部分が上下の金型に挟み込まれることになる。リードフレームの金型で締めこまれる部分には、平行する多数の切込みが形成されているので、重ね合わせによって金型内部から外部に連通する隙間が生じ、樹脂が漏れ出して十分な封止ができなくなる可能性があった。また、上記特許文献の別の実施の形態に示されているように、電力用半導体素子部分のリードフレームを一端側、制御素子のリードフレームを他端側で挟み込むようにした場合、隙間の発生は抑えられるが、部材を金型内でしっかりと固定することができず、製品にばらつきが生じる可能性があった。

40

## 【0007】

本発明は、上記のような課題を解決するためになされたもので、小型で、信頼性の高い電力用半導体装置を得ることを目的としている。

## 【課題を解決するための手段】

## 【0008】

50

本発明の電力用半導体装置は、略矩形板状をなし、主電力を制御する電力用半導体素子と前記電力用半導体素子を制御する制御信号を出力する制御素子とが厚み方向において段違いに配置されるとともに、前記矩形板状の対向する側面のそれぞれから並列する複数の端子が突出配置された電力用半導体装置を一枚のリードフレームを用いて製造する方法であって、前記１枚のリードフレームには、前記電力用半導体素子が接合される第１のダイパッドと、前記制御素子が接合される第２のダイパッドが、前記並列する複数の端子となるリードパターンとともに、前記リードパターンの延在方向におけるそれぞれ一端側の領域と他端側の領域で連なるように形成されているとともに、前記一端側の領域から前記他端側の領域にかけて延在する延在パターンが形成され、かつ、前記リードフレームの面に垂直な方向において前記第１のダイパッドに対して前記第２のダイパッドが上方に位置するように段差がつけられており、前記第１のダイパッドの一面に前記電力用半導体素子を接合するとともに、前記第２のダイパッドに前記制御素子を接合する工程と、前記リードフレームの面を保ったまま、前記延在パターンの所定部分を屈曲させ、前記リードフレームの面に垂直な方向から見たときに、前記制御素子を、前記電力用半導体素子にオーバーラップさせる工程と、前記第１のダイパッドの裏面に、放熱部材を接合する工程と、前記リードフレームを少なくとも外枠部分が露出した状態で上下の金型ではさみ、前記金型内に樹脂を流し込んで、前記放熱部材の放熱面を除いて当該電力用半導体装置を略矩形形状に封止する工程と、を含む電力用半導体装置の製造方法により製造した電力用半導体装置において、前記延在パターンにおける前記所定部分よりも前記一端側の部分と前記電力用半導体素子の制御電極とが配線部材で電気接続されるとともに、前記延在パターンにおける前記所定部分よりも前記他端側の部分と前記制御素子の制御信号を出力する電極とが配線部材で電気接続されていることを特徴とする。

#### 【 ０ ０ ０ ９ 】

また、本発明の電力用半導体装置は、略矩形板状をなし、主電力を制御する電力用半導体素子と前記電力用半導体素子を制御する制御信号を出力する制御素子とが厚み方向において段違いに配置されるとともに、前記矩形板状の対向する側面のそれぞれから並列する複数の端子が突出配置された電力用半導体装置を一枚のリードフレームを用いて製造する方法であって、前記１枚のリードフレームには、前記電力用半導体素子が接合される第１のダイパッドと、前記制御素子が接合される第２のダイパッドが、前記並列する複数の端子となるリードパターンとともに、前記リードパターンの延在方向におけるそれぞれ一端側の領域と他端側の領域で連なるように形成されているとともに、前記一端側の領域から前記他端側の領域にかけて延在する延在パターンが形成され、かつ、前記リードフレームの面に垂直な方向において前記第１のダイパッドに対して前記第２のダイパッドが上方に位置するように段差がつけられており、前記第１のダイパッドの一面に前記電力用半導体素子を接合するとともに、前記第２のダイパッドに前記制御素子を接合する工程と、前記リードフレームの面を保ったまま、前記延在パターンの所定部分を屈曲させ、前記リードフレームの面に垂直な方向から見たときに、前記制御素子を、前記電力用半導体素子にオーバーラップさせる工程と、前記第１のダイパッドの裏面に、放熱部材を接合する工程と、前記リードフレームを少なくとも外枠部分が露出した状態で上下の金型ではさみ、前記金型内に樹脂を流し込んで、前記放熱部材の放熱面を除いて当該電力用半導体装置を略矩形形状に封止する工程と、を含む電力用半導体装置の製造方法により製造した電力用半導体装置において、前記リードフレームの前記一端側の領域、および前記他端側の領域には、前記リードパターンが並列する方向において、それぞれ前記第１のダイパッドおよび前記第２のダイパッドよりも外側に位置する第１の中継リードと第２の中継リードが形成されており、前記第１の中継リードと前記電力用半導体素子の制御電極、および、前記第２の中継リードと前記制御素子の制御信号を出力する電極とが、それぞれ配線部材で電気接続されているとともに、前記屈曲によって接近した前記第１の中継リードと前記第２の中継リードとが、配線部材で電気接続されていることを特徴とする。

#### 【 ０ ０ １ ０ 】

また、本発明の電力用半導体装置は、略矩形板状をなし、主電力を制御する電力用半導

体素子と前記電力用半導体素子を制御する制御信号を出力する制御素子とが厚み方向において段違いに配置されるとともに、前記矩形板状の対向する側面のそれぞれから並列する複数の端子が突出配置された電力用半導体装置を一枚のリードフレームを用いて製造する方法であって、前記１枚のリードフレームには、前記電力用半導体素子が接合される第１のダイパッドと、前記制御素子が接合される第２のダイパッドが、前記並列する複数の端子となるリードパターンとともに、前記リードパターンの延在方向におけるそれぞれ一端側の領域と他端側の領域で連なるように形成されているとともに、前記一端側の領域から前記他端側の領域にかけて延在する延在パターンが形成され、かつ、前記リードフレームの面に垂直な方向において前記第１のダイパッドに対して前記第２のダイパッドが上方に位置するように段差がつけられており、前記第１のダイパッドの一面に前記電力用半導体素子を接合するとともに、前記第２のダイパッドに前記制御素子を接合する工程と、前記リードフレームの面を保ったまま、前記延在パターンの所定部分を屈曲させ、前記リードフレームの面に垂直な方向から見たときに、前記制御素子を、前記電力用半導体素子にオーバーラップさせる工程と、前記第１のダイパッドの裏面に、放熱部材を接合する工程と、前記リードフレームを少なくとも外枠部分が露出した状態で上下の金型ではさみ、前記金型内に樹脂を流し込んで、前記放熱部材の放熱面を除いて当該電力用半導体装置を略矩形形状に封止する工程と、を含む電力用半導体装置の製造方法により製造した電力用半導体装置において、前記電力用半導体素子は、整流素子とスイッチング素子からなる２つの半導体素子を並列配置したものであり、前記リードフレームには、前記一端側の領域から前記他端側の領域に達するとともに、前記他端側の端部に所定の大きさのバス部を有するバスパターンが形成されており、前記バスパターンの前記バス部以外の部分の折り曲げによって、前記バス部を前記２つの半導体素子にオーバーラップさせて、前記２つの半導体素子間が電気接続されているとともに、前記屈曲によって接近した前記電力用半導体素子の制御電極と前記制御素子の制御信号を出力する電極とが配線部材で電気接続されていることを特徴とする。

#### 【００１１】

また、本発明の電力用半導体装置は、略矩形板状をなし、主電力を制御する電力用半導体素子と前記電力用半導体素子を制御する制御信号を出力する制御素子とが厚み方向において段違いに配置されるとともに、前記矩形板状の対向する側面のそれぞれから並列する複数の端子が突出配置された電力用半導体装置を一枚のリードフレームを用いて製造する方法であって、前記１枚のリードフレームには、前記電力用半導体素子が接合される第１のダイパッドと、前記制御素子が接合される第２のダイパッドが、前記並列する複数の端子となるリードパターンとともに、前記リードパターンの延在方向におけるそれぞれ一端側の領域と他端側の領域で連なるように形成されているとともに、前記一端側の領域から前記他端側の領域にかけて延在する延在パターンが形成され、かつ、前記リードフレームの面に垂直な方向において前記第１のダイパッドに対して前記第２のダイパッドが上方に位置するように段差がつけられており、前記第１のダイパッドの一面に前記電力用半導体素子を接合するとともに、前記第２のダイパッドに前記制御素子を接合する工程と、前記リードフレームの面を保ったまま、前記延在パターンの所定部分を屈曲させ、前記リードフレームの面に垂直な方向から見たときに、前記制御素子を、前記電力用半導体素子にオーバーラップさせる工程と、前記第１のダイパッドの裏面に、放熱部材を接合する工程と、前記リードフレームを少なくとも外枠部分が露出した状態で上下の金型ではさみ、前記金型内に樹脂を流し込んで、前記放熱部材の放熱面を除いて当該電力用半導体装置を略矩形形状に封止する工程と、を含む電力用半導体装置の製造方法により製造した電力用半導体装置において、前記延在パターンの所定部分には、前記リードパターンが並列する方向において向きが異なる複数の切欠きが前記延在方向の異なる位置に設けられ、前記複数の切欠きを開くことにより、前記所定部分が前記リードパターンの面に平行な方向で屈曲していることを特徴とする。

#### 【発明の効果】

#### 【００１２】

本発明の電力用半導体装置によれば、１枚のリードフレームを用いて電力回路と制御回路が段違いに形成された電力用半導体装置を構成するようにしたので、小型で、信頼性の高い電力用半導体装置を得ることができる。

【図面の簡単な説明】

【００１３】

【図１】本発明の実施の形態１にかかる電力用半導体装置の構成を説明するための、リードフレーム上に半導体素子を実装した状態の斜視図および上面図である。

【図２】本発明の実施の形態１にかかる電力用半導体装置の構成を説明するための、半導体素子を実装したリードフレームの封止直前の状態の斜視図および上面図である。

【図３】本発明の実施の形態１にかかる電力用半導体装置の製造方法を説明するためのフローチャートである。

10

【図４】本発明の実施の形態１にかかる電力用半導体装置の構成を説明するための上面図および断面図である。

【図５】本発明の実施の形態１の変形例にかかる電力用半導体装置の構成を説明するための、リードフレーム上に半導体素子を実装した状態、および半導体素子を実装したリードフレームの封止直前の状態の斜視図である。

【図６】本発明の実施の形態２にかかる電力用半導体装置の構成を説明するための、リードフレーム上に半導体素子を実装した状態、および半導体素子を実装したリードフレームの封止直前の状態の斜視図である。

【図７】本発明の実施の形態３にかかる電力用半導体装置の構成を説明するための、リードフレーム上に半導体素子を実装した状態、および半導体素子を実装したリードフレームの封止直前の状態の斜視図である。

20

【発明を実施するための形態】

【００１４】

実施の形態１．

図１～図４は、本発明の実施の形態１にかかる電力用半導体装置の製造方法および電力用半導体装置の構成を説明するためのもので、図１は電力用半導体装置を構成するためのリードフレームに半導体素子を接合し、配線部材を接続した状態の斜視図（図１（ａ））と上面図（図１（ｂ））、図２はリードフレームに半導体素子が実装され、さらに、オーバーラップのための曲げ加工を施したトランスファモールドによる封止工程直前の状態の斜視図（図２（ａ））と上面図（図２（ｂ））、図３は電力用半導体装置の製造方法を説明するためのフローチャート、図４は電力用半導体装置の構成を説明するための上面図（図４（ａ））と、上面図におけるＢ－Ｂ線による断面のうち、封止部材を除いて説明対象部分を抜き出した部分を示す断面図（図４（ｂ））と、上面図におけるＣ－Ｃ線による断面のうち、封止部材を除いて説明対象部分を抜き出した部分を示す断面図（図４（ｃ））である。また、図５は、本実施の形態の変形例にかかる電力用半導体装置を説明するためのもので、図５（ａ）は電力用半導体装置を構成するためのリードフレームに半導体素子を接合し、配線部材を接続した状態の斜視図、図５（ｂ）は電力用半導体装置を構成するためのリードフレームに半導体素子が実装され、さらに、オーバーラップのための曲げ加工を施したトランスファモールドによる封止工程直前の状態の斜視図である。

30

40

【００１５】

本実施の形態にかかる電力用半導体装置の構成と製造方法について図に基づいて説明する。

電力用半導体装置の電力回路を構成するためのリードフレーム１０は、１枚の銅板を打ち抜いて平面状のパターンを形成したもので、図１に示すように、枠体１５の内側の領域のうち、屈曲予定領域Ｒｂより図中右側の領域が制御回路を形成するためのパターン、屈曲予定領域Ｒｂよりも左側の領域が電力回路を形成するためのパターンである。制御回路を形成するパターンには、制御回路と電力回路を結ぶ方向（給電方向と称す）において延在するように、複数のリードパターン１２ｔと、複数のリードパターン１２ｉとが、タイバー１６ｃを介して連なるとともに、それぞれ並行に形成されている。後の工程でタイバ

50

ー 1 6 c 部分を切り離し、枠体 1 5 を除去することにより、外部端子となるリードパターン 1 2 t のそれぞれと、内部配線部材となるリードパターン 1 2 i のそれぞれとが、それぞれ一連の制御リード 1 2 として機能する。そして、リードパターン 1 2 i のうち、ひとつのリードパターン 1 2 i の先端には、制御素子 2 3 である半導体の集積回路 2 3 を接合するためのダイパッド 1 2 d が形成されている。

【 0 0 1 6 】

電力回路を形成するパターンにも、制御回路と同様に、後に外部端子となる複数のリードパターン 1 1 t と、内部配線部材となる複数のリードパターン 1 1 i とが給電方向において延在し、タイバー 1 6 p を介して連なるとともに、それぞれ並行に形成されている。リードパターン 1 1 i と 1 1 t のそれぞれも、後の工程でタイバー 1 6 p 部分を切り離し、枠体 1 5 を除去することにより、それぞれ一連のパワーリード 1 1 として機能する。そして、リードパターン 1 1 i のうち、ひとつのリードパターン 1 1 i の先端には、電力用半導体素子として使用する整流素子であるダイオード 2 1、スイッチング素子である I G B T ( Insulated Gate Bipolar Transistor ) 2 2 を接合するためのダイパッド 1 1 d が段差部 1 1 u を介して形成されている。

【 0 0 1 7 】

さらに、枠体 1 5 の内側のうち、リードパターン 1 1 t およびリードパターン 1 2 t が並ぶ方向（面方向における給電方向に垂直な方向：並列方向と称する）の最外側には、電力回路側から制御回路にわたって延在する共通リード 1 3 が形成されている。この共通リード 1 3 は、2 つのタイバー 1 6 c、1 6 p 間を給電方向に延在するように形成されており、屈曲予定領域 R b よりも制御回路側の部分には、並列方向の内側に向かって分岐するように突き出た分岐部 1 1 e が形成されている。

【 0 0 1 8 】

つぎに、リードフレーム 1 0 に半導体素子を実装する方法について図 1 ~ 図 3 を用いて説明する。

はじめに、平板状のリードフレーム 1 0 をプレス加工し、図 1 に示すようにダイパッド 1 1 d が段差部 1 1 u により、リードフレーム 1 0 平面より所定の段差分低くなるようにする（図 3：ステップ S 1 0）。そして、リードフレーム 1 0 の面より低くなったダイパッド 1 1 d 上に、電力回路を形成するための電力用半導体素子であるダイオード 2 1 と I G B T 2 2 を 2 組、ダイパッド 1 2 d 上に制御素子 2 3 をはんだ（S n A g C u：融点 2 1 9）を用いて接合（ダイボンディング）する（ステップ S 2 0）。

【 0 0 1 9 】

つぎに、主電力の電流値に対応した線径の太いパワー用ボンディングワイヤ 3 1（A 1 線：太さ 3 0 0  $\mu$ m）を用いて、I G B T 2 2（のエミッタ電極）とダイオード 2 1 とリードパターン 1 1 i とが連通するように、ワイヤボンディングにより電氣的に接続する。そして、パワー用ボンディングワイヤ 3 1 より線径の細い制御用ボンディングワイヤ 3 2（A u 線：太さ 2 5  $\mu$ m）を用いて、制御素子 2 3 とリードパターン 1 2 i とをワイヤボンディングにより電氣的に接続する。また、制御用ボンディングワイヤ 3 2 と同じ信号用ボンディングワイヤ 3 4（A u 線：太さ 2 5  $\mu$ m）を用いて、共通リード 1 3 の屈曲予定領域 R b より電力回路側の部分と I G B T 2 2 のゲート電極とをワイヤボンディングにより電氣的に接続する。さらに、信号用ボンディングワイヤ 3 3 を用いて、共通リード 1 3 の屈曲予定領域 R b より制御回路側の部分にある分岐部 1 3 e と、制御素子 2 3 の制御信号出力電極とをワイヤボンディングにより電氣的に接続する（ステップ S 3 0）。これにより、屈曲予定領域 R b の右側には制御素子 2 3 を備えた制御回路が、左側にはダイオード 2 1 と I G B T 2 2 からなる電力スイッチを 2 組備えた電力回路が形成された回路基板 1 P 1 ができあがる。

【 0 0 2 0 】

ボンディングワイヤ 3 1、3 2、3 3 を用いてボンディングを行う際、リードフレーム 1 0 の面内でオーバーラップしている部材がなく、ボンディング部分より上に位置して作業の障害となる部材はない。つまり、ボンディング位置が空間的に開放されているので、

10

20

30

40

50



スムーズにボンディングすることができる。また、ボンディングワイヤ等の変形しやすい配線部材がボンディング部分の下側に位置することなく、ボンディングによる超音波振動や加圧によりダメージを受けることもない。

#### 【0021】

次に、屈曲予定領域 R b において、枠 1 5 と共通リード 1 3 を折り曲げることにより、制御回路を給電方向の電力回路に向かってスライドさせる（ステップ S 4 0）。これにより、図 2 に示すように、制御素子 2 3（ダイパッド 1 2 d）が、I G B T 2 2 の上方で、I G B T 2 2（ダイパッド 1 1 d）にオーバーラップする。これにより、制御回路の少なくとも制御素子 2 3 を実装したダイパッド 1 2 d 部分が、電力用半導体素子の上にオーバーラップした回路基板 1 P 2 ができあがる。そして、図 4 に示すように、ダイパッド 1 1 d の電力用半導体素子が接合された面の裏側の面（裏面）に絶縁被膜 5 1 を介してヒートシンク 5 0 を接続（ステップ S 5 0）し、電力用半導体装置の基本構成が形成される。

10

#### 【0022】

このとき、パワー用ボンディングワイヤ 3 1 と制御用ボンディングワイヤ 3 2 は、それぞれ、電力回路内、制御回路内で位置が固定されているので、屈曲行程中（ステップ S 4 0）において、応力がかかることはない。さらに、信号用ボンディングワイヤ 3 3 も、それぞれ屈曲予定領域 R b を境に、I G B T 2 2 と共通リード 1 3 の電力回路側の部分との位置、制御素子 2 3 と共通リード 1 3 の制御回路側の部分との位置が固定されているので、屈曲行程中（ステップ S 4 0）において、応力がかかることはない。つまり、一枚のリードフレーム 1 0 を用いても、回路部材に余分な応力をかけることなく、電力用半導体素子 2 1、2 2 と制御素子 2 3 とが面内でオーバーラップするように階層化することができる。

20

#### 【0023】

こうして形成した回路基板 1 P 2 をトランスファモールド用の金型内に設置する。そして、基本構成の封止領域 R s 部分をトランスファモールドによって封止樹脂で封止する（ステップ S 6 0）。最後に封止体 4 0 からみ出たリードフレーム 1 0 から枠体 1 5 を切除するとともに、タイバー 1 6 c、1 6 p を切り離す。このようにして、バラバラになった外部端子（それぞれ 1 1 t、1 2 t 部分に対応）を所定の形状に折り曲げると（ステップ S 7 0）パワーリード 1 1、制御リード 1 1 となり、電力用半導体装置 1 が完成する。

#### 【0024】

30

このとき、リードフレーム 1 0 の給電方向の両端に位置するタイバー 1 6 c、1 6 p の近傍部分を含め上下の金型で挟まれる部分は、同一平面内に位置し、重なる部分もない。そのため、金型内での回路基板 1 P 2 の位置を容易に固定でき、樹脂の漏れの原因となる連通路を形成することもない。つまり、電力用半導体素子 2 1、2 2 と制御素子 2 3 とが面内でオーバーラップして階層化された回路基板 1 P 2 を、図 4 に示すように、封止樹脂 4 0 によって確実に封止できる電力用半導体装置 1 を得ることができる。

#### 【0025】

つぎに動作について説明する。

パワーリード 1 1、制御リード 1 2 を外部回路に接続して電力用半導体装置 1 を起動させると、制御素子 2 3 から I G B T 2 2 に制御信号（ゲート信号）が出力され、I G B T 2 2 が ON になる。すると、ダイオード 2 1、I G B T 2 2 をはじめとする電力用半導体素子に電流が流れ、パワーリード 1 1 を介して、制御された主電力が出力される。その際、電気抵抗分の電力ロスが熱へと変換され、発熱が生ずるが、主な発熱源は電力用半導体素子 2 1、2 2 に偏るので、電力用半導体装置 1 内で温度差が生じる。しかも、半導体素子 2 1、2 2、2 3 とリードフレーム 1 0、および封止樹脂 4 0 は、それぞれ線膨張係数が異なっているので、電力用半導体装置 1 内の部材間で、熱による変位に伴う応力（熱応力）が発生する。

40

#### 【0026】

しかし、本実施の形態にかかる電力用半導体装置 1 では、製造工程中に電気接続部に余計な応力が加わっていないので、接続部の耐久性が高い。さらに、回路基板 1 P 2 を正確

50

に位置決めして、確実に封止しているので、回路内の部材が封止体 40 内で確実に保持され、湿気や有害なガスからも保護されるので、ますます信頼性が高くなる。

#### 【0027】

つまり、従来のように、単に 2 枚のリードフレームで階層化しただけならば、回路内の部材の位置関係あるいは、封止にばらつきが生じて、信頼性が低下することがある。しかし、本実施の形態のように 1 枚のリードフレーム 10 の給電方向（リードパターン 11i、11t、12i、12t の延在方向）の両端が一つの面内に収まるように、レベルを合わせて使用することで、確実に封止して、小型で信頼性の高い電力用半導体装置 1 を得ることができる。とくに、オーバーラップの際に折り曲げる屈曲予定領域 Rb を挟んで電力回路側、制御回路側に分かれて配線部材 33、32、33 をボンディングするようにしたので、電気接合部の信頼性も高い。

10

#### 【0028】

実施の形態 1 の変形例。

また、図 5 に示すように、本変形例では、共通リード 113 として、上述した共通リード 13 から分岐した部分 13e を制御回路側だけではなく、電力回路側にも形成するようにしてもよい。この場合、電力回路側の分岐部 13e が、IGBT 22 のゲート電極の近傍にまで伸びるので、信号用ボンディングワイヤ 33 をより短くすることが可能となる。この場合でも、屈曲行程（ステップ S40）中に、IGBT 22 と分岐部 13e との相対位置が保持されるので、応力がかかることはない。

#### 【0029】

20

なお、共通リード 13 や 113 には必ずしも分岐部 13e を設ける必要はない。もちろん、分岐部 13e が制御素子 23 や IGBT 22 に近づいていた分、信号用ボンディングワイヤ 33 を長くする必要が生じるが、上述したように、製造工程中に位置関係が変化しないので、工程中にダメージを受けることはない。

#### 【0030】

なお、本実施の形態および変形例においては、IGBT 22 のゲート電極と共通リード 13 とをワイヤボンディングで接合する例について説明したが、これに限ることはない。例えば、共通リード 13 を屈曲予定領域 Rb よりも制御回路側の部分が、屈曲行程中（ステップ S40）に電力回路側にスライドした時点で、ゲート電極に近接するように設計し、ゲート電極とゲート電極に近接した部分を、導電性接着剤などで電氣的接続するようにしてもよい。

30

#### 【0031】

また、本実施の形態および変形例においては、リードフレーム 10、110 の屈曲予定領域 Rb 部分も、通常の厚さのままプレス加工により、屈曲部 13b、15b を形成したが、あらかじめ屈曲予定領域 Rb 部分をコイニング処理やハーフエッチングによって肉厚を薄くしておくことで曲げを容易にし、周辺部への歪を小さくすることが可能である。

#### 【0032】

また、電力用半導体素子として IGBT 22 とダイオード 21 の組み合わせを用い、図中の電力用半導体素子の数は合計 4 個で、並列接続であったが、これに限定するものではなく、いわゆる 6 in 1 やインテリジェントパワーモジュールにおいても同様の効果が得られる。

40

#### 【0033】

また、ダイボンド材料 25 として SnAgCu はんだを用いたが、これに限定するものではなく、SnSb はんだや導電性接着剤などを用いても同様の効果が得られる。また、ワイヤボンド用の金属線として、所定の太さの Au 線や Al 線を用いたが、Cu 線など他の金属や、リボンボンドなど他の形状の接合材料を用いても同様の効果が得られる。

#### 【0034】

また、本実施の形態 1 にかかる電力用半導体装置 1 の製造方法によれば、略矩形板状をなし、主電力を制御する電力用半導体素子 21、22 と電力用半導体素子 21、22 を制御する制御信号を出力する制御素子 23 とが厚み方向において段違いに配置されるととも

50

に、矩形形状の両側面のそれぞれから並列する複数の端子 1 1、1 2 が突出配置された電力用半導体装置 1 を 1 枚のリードフレームを用いて製造する方法であって、1 枚のリードフレーム 1 0 には、電力用半導体素子 2 1、2 2 が接合される第 1 のダイパッド 1 1 d と、制御素子 2 3 が接合される第 2 のダイパッド 1 2 d が、並列する複数の端子 1 1、1 2 となるリードパターン 1 1 i、1 1 t、および 1 2 i、1 2 t とともに、リードパターンの延在方向におけるそれぞれ一端側の領域と他端側の領域で連なるように形成されているとともに、一端側の領域から他端側の領域にかけて延在する延在パターンである共通リード 1 3、枠体 1 5 が形成され、かつ、リードフレーム 1 0 の面に垂直な方向において第 1 のダイパッド 1 1 d に対して第 2 のダイパッド 1 2 d が上方に位置するように段差がつけられており、第 1 のダイパッド 1 1 d に電力用半導体素子 2 1、2 2 を接合するとともに、第 2 のダイパッド 1 2 d に制御素子 2 3 を接合する工程（ステップ S 2 0）と、リードフレーム 1 0 の面を保ったまま、屈曲予定領域 R b を屈曲させ、リードフレーム 1 0 の面に垂直な方向から見たときに、制御素子 2 3 を、電力用半導体素子 2 1、2 2 にオーバーラップさせる工程（ステップ S 4 0）と、第 1 のダイパッド 1 1 d の電力用半導体素子 2 1、2 2 が接合された面の反対側の面に、放熱部材 5 0 を接合する工程（ステップ S 5 0）と、リードフレーム 1 0 を少なくとも外枠 1 5 部分が露出した状態で図示しない上下の金型ではさみ、金型内に樹脂を流し込んで、放熱部材 5 0 の放熱面を除いて電力用半導体装置 1 を略矩形形状に封止する工程（ステップ S 6 0）と、を含むように構成した。

#### 【 0 0 3 5 】

そのため、配線部材 3 3 に応力をかけることがなく、屈曲部 1 3 b を形成できるので、回路基板 1 P 2 の信頼性が向上する。しかも、電力用半導体素子 2 1、2 2 と制御素子 2 3 が段違いに配置されているにもかかわらず、1 枚のリードフレーム 1 0 を上下の金型でしっかりと挟み込むことができる。そのため、樹脂の漏れる隙間を生じさせることなく、リードフレーム 1 0 を金型内で固定して封止ができるので、封止信頼性も向上する。したがって、電力用半導体素子 2 1、2 2 の冷却に必要な面積を確保し、小型化できるとともに、封止体 4 0 を構成する封止樹脂を漏らすことなく回路基板 1 P 2（リードフレーム 1 0）を金型内で固定することにより、ばらつきなくしっかりと封止ができる。つまり、小型で、信頼性の高い電力用半導体装置 1 を得ることができる。

#### 【 0 0 3 6 】

なお、換言すれば、本実施の形態 1 にかかる電力用半導体装置は、上記製造方法によって、略矩形板状をなし、主電力を制御する電力用半導体素子 2 1、2 2 と電力用半導体素子 2 1、2 2 を制御する制御信号を出力する制御素子 2 3 とが厚み方向において段違いに配置されるとともに、矩形板状の対向する側面のそれぞれから並列する複数の端子 1 1、1 2 が突出配置された電力用半導体装置 1 であって、一面に電力用半導体素子 2 1、2 2 が接合された第 1 のダイパッド 1 1 d と、第 1 のダイパッド 1 1 d の裏面に接合された放熱部材 5 0 と、電力用半導体素子 2 1、2 2 の上方に位置するとともに、制御素子 2 3 が接合された第 2 のダイパッド 1 2 d と、放熱部材 5 0 の放熱面を除いて当該電力用半導体装置 1 を略矩形形状に封止するように形成された封止体 4 0 と、を備え、少なくとも封止体 4 0 が形成されるまでは、第 1 のダイパッド 1 1 d と第 2 のダイパッド 1 2 d は、並列する複数の端子 1 1、1 2 となるリードパターン 1 1 i、1 1 t、および 1 2 i、1 2 t とともに、1 枚のリードフレーム 1 0、1 1 0（まとめて 1 0）の面内で、リードパターン 1 1 i、1 1 t、および 1 2 i、1 2 t の延在方向におけるそれぞれ一端側の領域と他端側の領域で連なるように形成されているとともに、リードフレーム 1 0 内には、一端側の領域から他端側の領域にかけて延在する延在パターンとなる共通リード 1 3、または枠体 1 5 が形成されており、リードフレーム 1 0 の面を保ったまま、延在パターンとなる枠体 1 5 または共通リード 1 3 の所定部分である屈曲予定領域 R b に屈曲部 1 5 b または 1 3 b を形成することにより、当該リードフレーム 1 0 の面に垂直な方向から見たときに、制御素子 2 3 が、電力用半導体素子 2 1、2 2 にオーバーラップするように構成したことになる。

#### 【 0 0 3 7 】

とくに、延在パターンとして形成した共通リード１３における屈曲部１３ｂまたは屈曲予定領域Ｒｂよりも一端側の部分と電力用半導体素子２２の制御電極とが配線部材３３で電気接続されるとともに、共通リード１３における屈曲部１３ｂまたは屈曲予定領域Ｒｂよりも他端側の部分と制御素子２３の制御信号を出力する電極とが配線部材３３で電気接続されているように構成したので、階層化するための屈曲行程中（ステップＳ４０）において、配線部材３３に応力がかかることがない。つまり、一枚のリードフレーム１０を用いて、階層化するようにしても、配線部材３３に余分な応力がかからないので、より一層信頼性の高い電力用半導体素子を得ることができる。

#### 【００３８】

また、本実施の形態１にかかる電力用半導体装置１の製造方法では、延在パターン１３の屈曲予定領域Ｒｂまたは屈曲部１３ｂよりも一端側の部分と電力用半導体素子２２の制御電極とを配線部材３３により電気接続するとともに、延在パターン１３の屈曲予定領域Ｒｂまたは屈曲部１３ｂよりも他端側の部分と制御素子２３の制御信号を出力する電極とを配線部材３３により電気接続する工程（ステップＳ３０）を有するようにしたので、特に、電力用半導体素子２２と段差のある制御素子２３間の電気接続部に応力がかからず、信頼性が向上する。

#### 【００３９】

実施の形態２．

本実施の形態２にかかる電力用半導体装置では、実施の形態１にかかる電力用半導体装置で用いた共通リードに代えて、制御回路側と電力回路側に、それぞれ中継リードを設けて中継リード間をワイヤボンディングで接合したものである。さらに、制御回路を電力回路にオーバーラップする際のリードフレームの曲げ構造を変更したものである。図６は、本発明の実施の形態２にかかる電力用半導体装置を説明するためのもので、図６（ａ）は電力用半導体装置電を構成するためのリードフレームに半導体素子を接合し、配線部材を接続した状態の斜視図、図６（ｂ）はリードフレームに半導体素子が実装され、さらに、オーバーラップのための曲げ加工を施したトランスファモールドによる封止工程直前状態の斜視図である。図において、実施の形態１における電力用半導体装置と同様の構成の部分には同じ符号を付し、詳細な説明は省略する。

#### 【００４０】

本実施の形態２にかかる電力用半導体装置の構成と製造方法について図に基づいて説明する。

電力用半導体装置の回路を構成するためのリードフレーム２１０は、１枚の銅板を打ち抜いて平面状のパターンを形成したもので、図６に示すように、枠体２１５の内側の領域のうち、屈曲予定領域Ｒｂより図中右側の領域が制御回路を形成するためのパターン、屈曲予定領域Ｒｂよりも左側の領域が電力回路を形成するためのパターンである。制御回路を形成するパターンには、給電方向において延在するように形成された複数のリードパターン１２ｔと、複数のリードパターン１２ｉとが、タイバー１６ｃを介して連なるとともにそれぞれ並行に形成されている。電力回路を形成するパターンにも、給電方向において延在するように形成された複数のリードパターン１１ｔと、複数のリードパターン１１ｉとが、タイバー１６ｐを介して連なるとともに、それぞれ並行に形成されている。

#### 【００４１】

これらも、実施の形態１と同様に、後の工程でタイバー１６ｃ、１６ｐ部分を切り離し、枠体２１５を除去することにより、一連の制御リード１２と、パワーリード１１として機能する。リードパターン１２ｉのうち、ひとつのリードパターン１２ｉの先端には、制御素子２３である半導体の集積回路を接合するためのダイパッド１２ｄが形成されている。そして、リードパターン１１ｉのうち、ひとつのリードパターン１１ｉの先端には、段差部１１ｕを介して、ダイパッド１１ｄが形成されている。

#### 【００４２】

一方、本実施の形態２においては、枠体２１５の内側の領域のうち、並列方向における最外側に、電力回路側、制御回路側それぞれに、電力用半導体素子用中継リード１４ｐ、

10

20

30

40

50

制御素子用中継リード１４ｃ（まとめて中継リード１４と称する）が形成されている。このとき、中継リード１４は、それぞれ少なくとも一部が、並列方向においてダイパッド１１ｄおよびダイパッド１１ｄよりも外側に位置するようにしている。また、枠体２１５の屈曲予定領域Ｒｂ部分には、開口部１５ｈを中心として給電方向の両側に、それぞれ並列方向において向きが異なる切欠きとなる外側に開いた切欠き１５ｎｏと内側に開いた切欠き１５ｎｉ（まとめて切欠き部１５と称する）が給電方向において距離を開けて形成されている。

#### 【００４３】

つぎに、リードフレーム２１０に半導体素子を実装する方法について説明する。

なお、実施の形態１の図３で説明した工程のうち、ステップＳ１０からＳ２０まで、およびステップＳ５０以降については、本実施の形態２においても同様であるので、説明を省略し、ステップＳ３０～Ｓ４０に対応するステップＳ２３０～Ｓ２４５（フローチャートとしては図示せず）について説明する。

#### 【００４４】

図６（ａ）に示すように、パワー用ボンディングワイヤ３１を用いて、ＩＧＢＴ２２（のエミッタ電極）とダイオード２１とリードパターン１１ｉとが連通するように、ワイヤボンディングにより電氣的に接続する。そして、制御用ボンディングワイヤ３２（Ａｕ線：太さ２５μｍ）を用いて、制御素子２３とリードパターン１２ｉとをワイヤボンディングにより電氣的に接続する。ここまでは、実施の形態１と同様である。そして、本実施の形態２においては、実施の形態１における信号用ボンディングワイヤ３３と同様の信号用ボンディングワイヤ３４（Ａｕ線：太さ２５μｍ）を用いて、中継リード１４ｐとＩＧＢＴ２２のゲート電極とをワイヤボンディングにより電氣的に接続する（図中３４ｐと表示）。さらに、信号用ボンディングワイヤ３４を用いて、中継リード１４ｃと、制御素子２３の制御信号出力電極とをワイヤボンディングにより電氣的に接続する（ステップＳ２３０）。これにより、屈曲予定領域Ｒｂの右側には制御回路が、左側には電力スイッチを２組備えた電力回路が形成された回路基板２０１Ｐ１ができあがるが、この段階では制御素子２３と、電力用半導体素子２２間の給電経路が形成されていない。

#### 【００４５】

このときも、実施の形態１と同様、ボンディングワイヤ３１、３２、３４を用いてボンディングを行う際、リードフレーム２１０の面内でオーバーラップしている部材がないので、ボンディング部分より上に位置して作業の障害となる部材はなく、スムーズにボンディングすることができる。また、ボンディングワイヤ等の変形しやすい配線部材がボンディング部分の下側に位置することもなく、ボンディングによる超音波振動や加圧によりダメージを受けることもない。

#### 【００４６】

次に、図６（ｂ）に示すように、リードフレーム２１０の枠体２１５の開口部１５ｈに図示しない変形用ピンを差し込み、並列方向に引っ張り広げる。これにより、切欠き部１５において枠体２１５は、リードフレーム２１０の面に平行な面内（水平方向）で折り曲げられて屈曲部２１５ｂとなり、制御回路が電力回路に向かってスライドし、制御素子２３が電力用半導体素子２１、２２（ダイパッド１１ｄ）の上にオーバーラップする（ステップＳ２４０）。さらに、このスライドにより近接した中継リード１４ｃと１４ｐ間をボンディングワイヤ３４ｂを用いてワイヤボンディングにて電氣的に接合する（ステップＳ２４５）。これにより、制御素子２３が、電力用半導体素子２１、２２（ダイパッド１１ｄ）の上にオーバーラップした回路基板２０１Ｐ２ができあがる。あとは、実施の形態１で説明したステップＳ５０の工程を行うことで、電力用半導体装置２０２の基本構成となる回路基板２０１Ｐ２が形成される。

#### 【００４７】

このとき、パワー用ボンディングワイヤ３１と制御用ボンディングワイヤ３２は、それぞれ、電力回路内、制御回路内で位置が固定されているので、屈曲行程中（ステップＳ４０）において、応力がかかることはない。さらに、オーバーラップした後に行われる信号

用ボンディングワイヤ 3 4 b の接合（ステップ S 2 4 5）は、並列方向において、ダイパッド 1 1 d、1 2 d よりも外側に位置する部分で行われる。そのため、ボンディング位置が空間的に開放されているので、スムーズにボンディングすることができるとともに、ボンディングワイヤ等の変形しやすい配線部材がボンディング部分の下側に位置することなく、ボンディングによる超音波振動や加圧によりダメージを受けることもない。つまり、一枚のリードフレーム 2 1 0 を用いても、回路部材に余分な応力をかけることなく、電力用半導体素子 2 1、2 2 と制御素子 2 3 とが面内でオーバーラップするように階層化することができる。

#### 【0048】

また、本実施の形態 2 においても、リードフレーム 2 1 0 の給電方向の両端に位置するタイバー 1 6 c、1 6 p の近傍部分を含め上下の金型で挟まれる部分は、同一平面内に位置し、重なる部分もない。そのため、金型内での回路基板 2 0 1 P 2 の位置を容易に固定でき、樹脂の漏れの原因となる連通路を形成することもない。つまり、電力用半導体素子 2 1、2 2 と制御素子 2 3 とが面内でオーバーラップして階層化された回路基板 2 0 1 P 2 を、確実に封止できる電力用半導体装置 2 を得ることができる。

#### 【0049】

なお、ここでは、中継リード 1 4 c、1 4 p とをワイヤボンディングで接合する例について説明したが、これに限ることはない。例えば、制御回路側の部分が、屈曲行程中（ステップ S 2 4 0）に電力回路側にスライドした時点で、中継リード 1 4 c の一部が中継リード 1 4 p にオーバーラップするように設計し、オーバーラップ部分を、導電性接着剤やはんだ、または超音波圧接などで電氣的接続を形成するようにしてもよい。

#### 【0050】

また、本実施の形態においては、リードフレーム 2 1 0 の屈曲予定領域 R b 部分も、通常の厚さのままプレス加工により、屈曲部 2 1 5 b を形成したが、あらかじめ屈曲予定領域 R b 部分をコイニング処理やハーフエッチングによって肉厚を薄くしておくことで曲げを容易にし、周辺部への歪を小さくすることが可能である。

#### 【0051】

また、電力用半導体素子として I G B T 2 2 とダイオード 2 1 の組み合わせを用い、図中の電力用半導体素子の数は合計 4 個で、並列接続であったが、これに限定するものではなく、いわゆる 6 i n 1 やインテリジェントパワーモジュールにおいても同様の効果が得られる。また、ボンディングワイヤ 3 4 用の金属線として、所定の太さの A u 線を用いたが、A l 線や C u 線など他の金属や、ボンディングリボン（テープ）など他の形状の接合材料を用いても同様の効果が得られる。

#### 【0052】

以上のように、本実施の形態 2 にかかる電力用半導体装置 2 0 1 によれば、略矩形板状をなし、略矩形板状をなし、主電力を制御する電力用半導体素子 2 1、2 2 と電力用半導体素子 2 1、2 2 を制御する制御信号を出力する制御素子 2 3 とが厚み方向において段違いに配置されるとともに、矩形板状の対向する側面のそれぞれから並列する複数の端子 1 1、1 2 が突出配置された電力用半導体装置 2 0 1 であって、一面に電力用半導体素子 2 1、2 2 が接合された第 1 のダイパッド 1 1 d と、第 1 のダイパッド 1 1 d の裏面に接合された放熱部材 5 0 と、電力用半導体素子 2 1、2 2 の上方に位置するとともに、制御素子 2 3 が接合された第 2 のダイパッド 1 2 d と、放熱部材 5 0 の放熱面を除いて当該電力用半導体装置 2 0 1 を略矩形形状に封止するように形成された封止体 4 0 と、を備え、少なくとも封止体 4 0 が形成されるまでは、第 1 のダイパッド 1 1 d と第 2 のダイパッド 1 2 d は、並列する複数の端子 1 1、1 2 となるリードパターン 1 1 i、1 1 t、および 1 2 i、1 2 t とともに、1 枚のリードフレーム 2 1 0 の面内で、リードパターン 1 1 i、1 1 t、および 1 2 i、1 2 t の延在方向におけるそれぞれ一端側の領域と他端側の領域で連なるように形成されているとともに、リードフレーム 2 1 0 内には、一端側の領域から他端側の領域にかけて延在する延在パターンとなる枠体 2 1 5 が形成されており、リードフレーム 2 1 0 の面を保ったまま、延在パターンとなる枠体 2 1 5 の所定部分である屈

10

20

30

40

50

曲予定領域 R b に屈曲部 2 1 5 b を形成することにより、当該リードフレーム 2 1 0 の面に垂直な方向から見たときに、制御素子 2 3 が、電力用半導体素子 2 1、2 2 にオーバーラップするように構成したことになる。

【0053】

そのため、電力用半導体素子 2 1、2 2 と制御素子 2 3 が段違いに配置されているにもかかわらず、リードフレーム 2 1 0 を上下の金型でしっかりと挟み込むことができる。そのため、電力用半導体素子 2 1、2 2 の冷却に必要な面積を確保し、小型化できるとともに、封止体 4 0 を構成する封止樹脂を漏らすことなく回路基板 2 0 1 P 2 (リードフレーム 2 1 0) を金型内で固定することにより、ばらつきなくしっかりと封止ができる。つまり、小型で、信頼性の高い電力用半導体装置 2 0 1 を得ることができる。

10

【0054】

とくに、リードフレーム 2 1 0 の一端側の領域、および他端側の領域には、リードパターン 1 1 i、1 1 t、および 1 2 i、1 2 t が並列する方向において、それぞれ第 1 のダイパッド 1 1 d および第 2 のダイパッド 1 2 d よりも外側に位置する第 1 の中継リード 1 4 p と第 2 の中継リード 1 4 c が形成されており、第 1 の中継リード 1 4 p と電力用半導体素子 2 2 の制御電極、および、第 2 の中継リード 1 4 c と制御素子 2 3 の制御信号を出力する電極とが、それぞれ配線部材 3 4 p、3 4 c で電気接続されているとともに、屈曲部 2 1 5 b の形成によって接近した第 1 の中継リード 1 4 p と第 2 の中継リード 1 4 c とが、配線部材 3 4 b で電気接続されているように構成したので、配線部材 3 4 p、3 4 c、3 4 b のボンディング位置が空間的に開放されているので、スムーズにボンディングすることができるとともに、ボンディングワイヤ等の変形しやすい配線部材がボンディング部分の下側に位置することなく、ボンディングによる超音波振動や加圧によりダメージを受けることもない。つまり、一枚のリードフレーム 2 1 0 を用いても、回路部材に余分な応力をかけることなく、電力用半導体素子 2 1、2 2 と制御素子 2 3 とが面内でオーバーラップするように階層化することができる。

20

【0055】

また、延在パターンである枠体 2 1 5 の屈曲予定領域 R b には、リードパターン 1 1 i、1 1 t、および 1 2 i、1 2 t が並列する方向において向きが異なる複数の切欠きが 1 5 n o、1 5 n i が延在方向の異なる位置に設けられ、複数の切欠き 1 5 n i、1 5 n o を開くことにより、屈曲部 2 1 5 b をリードフレーム 2 1 0 の面に平行に形成するように構成したので、厚みを増大させることなく、1枚のリードフレーム 2 1 0 を用いて電力用半導体素子 2 1、2 2 と制御素子 2 3 を階層化させることができる。

30

【0056】

なお、延在パターンに切欠き 1 5 n o、1 5 n i を設けて、面内方向に屈曲部 2 1 5 b を形成する構成は、上記実施の形態 1 や後述する実施の形態 3 など、他の実施の形態に適用することが可能である。

【0057】

実施の形態 3 .

本実施の形態 3 にかかる電力用半導体装置では、実施の形態 1 にかかる電力用半導体装置で用いた共通リードを設けることなく、制御素子と電力用半導体素子とを直接ボンディングワイヤで接合したものである。さらに、パワー用ボンディングワイヤではなく、内部リードの先端に設けたバス部を用いて、ダイオードと I G B T の出力電極を覆うように接合したものである。さらに、電力回路においてダイオードと I G B T の位置を逆に配置している。図 7 は、本発明の実施の形態 3 にかかる電力用半導体装置を説明するためのもので、図 7 ( a ) は電力用半導体装置を構成するためのリードフレームに半導体素子を接合し、配線部材を接続した状態の斜視図、図 7 ( b ) はリードフレームに半導体素子が実装され、さらに、オーバーラップのための曲げ加工を施したトランスファモールドによる封止工程直前状態の斜視図である。図において、実施の形態 1 における電力用半導体装置と同様の構成の部分には同じ符号を付し、詳細な説明は省略する。

40

【0058】

50

本実施の形態 3 にかかる電力用半導体装置の構成と製造方法について図に基づいて説明する。

電力用半導体装置の電力回路を構成するためのリードフレーム 310 は、1 枚の銅板を打ち抜いて平面状のパターンを形成したもので、図 7 に示すように、枠体 15 の内側の領域のうち、屈曲予定領域 R b より図中右側の領域が制御回路を形成するためのパターン、屈曲予定領域 R b よりも左側の領域が電力回路を形成するためのパターンである。制御回路を形成するパターンには、給電方向において延在するように形成された複数のリードパターン 12 t と、複数のリードパターン 12 i とが、タイバー 16 c を介して連なるとともに、それぞれ並行に形成されている。電力回路を形成するパターンにも、給電方向において延在するように形成された複数のリードパターン 11 t と、複数のリードパターン 11 i とが、タイバー 16 p を介して連なるとともに、それぞれ並行に形成されている。

10

#### 【0059】

これらも、実施の形態 1 と同様に、後の工程でタイバー 16 c、16 p 部分を切り離し、枠体 15 を除去することにより、一連の制御リード 12 と、パワーリード 11 として機能する。リードパターン 12 i のうち、ひとつのリードパターン 12 i の先端には、制御素子 23 である半導体の集積回路を接合するためのダイパッド 12 d が形成されている。そして、リードパターン 11 i のうち、ひとつのリードパターン 11 i の先端には、段差部 11 u を介して、ダイパッド 11 d が形成されている。

#### 【0060】

一方、本実施の形態 3 においては、電力回路側の内部リードとなるリードパターン 11 i のうち、ダイパッド 11 d が形成されたリードパターン 11 i の並列方向における両外側には、リードパターン 11 i の延在方向において屈曲予定領域 R b を超えて制御回路のダイパッド 12 d 部分にまで延在しているバスパターン 311 i が形成されており、さらに、バスパターン 311 i の制御回路側の端部には、並列方向においてダイパッド 12 d に一部がかかるバス部 11 j が形成されている。

20

#### 【0061】

つぎに、リードフレーム 310 に半導体素子を実装する方法について説明する。

なお、実施の形態 1 の図 3 で説明した工程のうち、ステップ S 50 以降については、本実施の形態 3 においても同様であるので、説明を省略し、ステップ S 10 ~ ステップ S 40 に対応するステップ S 310 ~ ステップ S 345 (フローチャートとしては図示せず) について説明する。

30

#### 【0062】

はじめに、平板状のリードフレーム 310 をプレス加工し、図 7 (a) に示すようにダイパッド 11 d が段差部 11 u により、リードフレーム 310 平面より所定の段差分低くなるようにする。さらに、バス部 11 j がリードフレーム 310 平面より低く、かつ、ダイパッド 11 d の上面 (表面) に対して、バス部 11 j の下面 (裏面) の位置が、電力用半導体素子の厚みに接合部材の厚みを足した分高くなるように段差を付ける (図 3 : ステップ S 310)。

#### 【0063】

そして、段差加工したリードフレーム 310 に、IGBT 22 のゲート電極をタイバー 16 p 側に向け、ダイオード 21 を内側になるように配置して、ステップ S 20 と同様の手法ではあるが、半導体素子を実装する (ステップ S 340)。そして、制御用ボンディングワイヤ 32 (Au 線 : 太さ 25  $\mu\text{m}$ ) を用いて、制御素子 23 とリードパターン 12 i とをワイヤボンディングにより電氣的に接続する (ステップ S 330)。

40

#### 【0064】

このときも、実施の形態 1 と同様、ボンディングワイヤ 32 を用いてボンディングを行う際、リードフレーム 310 の面内でオーバーラップしている部材がない。そのため、ボンディング部分より上に位置して作業の障害となる部材がなく、空間的に開放されているのでスムーズにボンディングすることができる。また、ボンディングワイヤ等の変形しやすい配線部材がボンディング部分の下側に位置することなく、ボンディングによる超音

50



波振動や加圧によりダメージを受けることもない。

【 0 0 6 5 】

次に、枠体 1 5、およびリードパターン 3 1 1 i の屈曲予定領域 R b 部分を実施の形態 1 と同様の要領で屈曲加工する。これにより、制御回路が電力回路に向かってスライドし、ダイパッド 1 2 d がダイパッド 1 1 d に接合された I G B T 2 2 の上にオーバーラップすると同時に、バス部 1 1 j の裏面が、ダイオード 2 1 と I G B T 2 2 の上方にまたがるように位置する（ステップ S 3 4 0）。なお、ダイオード 2 1 と I G B T 2 2 の表面には、屈曲工程（ステップ S 3 4 0）の前に導電性接着剤（例えば、焼結性 A g ペースト）が塗布（供給）されている。そのため、屈曲工程（ステップ S 3 4 0）後に、1 5 0 で 1 h キュアすることによって、バス部 1 1 j がダイオード 2 1 と I G B T 2 2 を電氣的に接

10

【 0 0 6 6 】

これにより、制御回路の少なくとも制御素子 2 3 を実装したダイパッド 1 2 d 部分が、電力回路の上にオーバーラップした回路基板 3 0 1 P 2 ができあがる。あとは、実施の形態 1 で説明したステップ S 5 0 の工程を行うことで、電力用半導体装置の基本構成が形成される。なお、バスパターン 3 1 1 j を折り曲げる工程は、枠体 1 5 に屈曲部 1 5 b を形成する工程とは別に行うようにしてもよい。

20

【 0 0 6 7 】

このとき、制御用ボンディングワイヤ 3 2 は、制御回路内で位置が固定されているので、屈曲行程中（ステップ S 3 4 0）において、応力がかかることはない。さらに、オーバーラップした後に行われる信号用ボンディングワイヤ 3 5 の接合（ステップ S 3 4 5）位置は空間的に開放されているので、スムーズにボンディングすることができるとともに、ボンディングワイヤ等の変形しやすい配線部材がボンディング部分の下側に位置することもなく、ボンディングによる超音波振動や加圧によりダメージを受けることもない。つまり、一枚のリードフレームを用いても、回路部材に余分な応力をかけることなく、電力用半導体素子 2 1、2 2 と制御素子 2 3 とが面内でオーバーラップするように階層化することが

30

【 0 0 6 8 】

このとき、リードフレーム 3 1 0 の給電方向の両端に位置するタイバー 1 6 c、1 6 p の近傍部分を含め上下の金型で挟まれる部分は、同一平面内に位置し、重なる部分もない。そのため、金型内での基本構成の位置を容易に固定でき、樹脂の漏れの原因となる連通口を形成することもない。つまり、電力用半導体素子 2 1、2 2 と制御素子 2 3 とが面内でオーバーラップして階層化された回路基板 3 0 1 P 2 を、確実に封止できる電力用半導体装置 3 0 1 を得ることができる。

【 0 0 6 9 】

なお、ここでは、リードフレーム 3 1 0 の屈曲予定領域 R b 部分も、通常の厚さのままプレス加工により、屈曲部 1 5 b、1 1 b を形成したが、あらかじめ屈曲予定領域 R b 部分をコイニング処理やハーフエッチングによって肉厚を薄くしておくことで曲げを容易にし、周辺部への歪を小さくすることが可能である。

40

【 0 0 7 0 】

また、バス部 1 1 j はプレス加工（ステップ S 3 1 0）により基準面よりやや低くなるように段差付けしており、バス部 1 1 j の裏面が電力用半導体素子である I G B T 2 2、ダイオード 2 1 の表面の高さにほぼ等しくなるように形成されているが、厚み調整ができる接合材料で接続できる場合にはこれにこだわる必要はない。さらに、バス部 1 1 j と電力用半導体素子 2 1、2 2 との電氣的接続に導電性接着剤を用いたが、はんだ接合や超音波圧接など、他の方法を用いても同様の効果が得られる。

50

## 【 0 0 7 1 】

また、I G B T 2 2 のゲート電極と制御素子 2 3 に信号用ボンディングワイヤ 3 5 をボンディングする場合、ダイパッド 1 1 d に図示しない開口部を形成し、開口部からピンを突き上げて、制御素子 2 3 のダイパッド 1 2 d を保持するようにしてもよい。それにより、よりワイヤボンドを容易にすることが可能となる。また、制御素子 2 3 用のダイパッド 1 2 d を廃し、バス部 1 1 j の上に絶縁性ダイボンドシート接着剤などを用いて制御素子 2 3 を搭載するようにすれば、さらなる小型化が可能となる。

## 【 0 0 7 2 】

また、電力用半導体素子として I G B T 2 2 とダイオード 2 1 の組み合わせを用い、図中の電力用半導体素子の数は合計 4 個で、並列接続であったが、これに限定するものではなく、いわゆる 6 i n 1 やインテリジェントパワーモジュールにおいても同様の効果が得られる。また、ボンディングワイヤ 3 5 用の金属線として、所定の太さの A u 線を用いたが、A l 線や C u 線など他の金属や、リボンボンドなど他の形状の接合材料を用いても同様の効果が得られる。

## 【 0 0 7 3 】

以上のように、本実施の形態 3 にかかる電力用半導体装置 3 0 1 によれば、略矩形板状をなし、略矩形板状をなし、主電力を制御する電力用半導体素子 2 1、2 2 と電力用半導体素子 2 1、2 2 を制御する制御信号を出力する制御素子 2 3 とが厚み方向において段違いに配置されるとともに、矩形板状の対向する側面のそれぞれから並列する複数の端子 1 1、1 2 が突出配置された電力用半導体装置 3 0 1 であって、一面に電力用半導体素子 2 1、2 2 が接合された第 1 のダイパッド 1 1 d と、第 1 のダイパッド 1 1 d の裏面に接合された放熱部材 5 0 と、電力用半導体素子 2 1、2 2 の上方に位置するとともに、制御素子 2 3 が接合された第 2 のダイパッド 1 2 d と、放熱部材 5 0 の放熱面を除いて当該電力用半導体装置 3 0 1 を略矩形形状に封止するように形成された封止体 4 0 と、を備え、少なくとも封止体 4 0 が形成されるまでは、第 1 のダイパッド 1 1 d と第 2 のダイパッド 1 2 d は、並列する複数の端子 1 1、1 2 となるリードパターン 1 1 i、1 1 t、および 1 2 i、1 2 t とともに、1 枚のリードフレーム 3 1 0 の面内で、リードパターン 1 1 i、1 1 t、および 1 2 i、1 2 t の延在方向におけるそれぞれ一端側の領域と他端側の領域で連なるように形成されているとともに、リードフレーム 3 1 0 内には、一端側の領域から他端側の領域にかけて延在する延在パターンとなる枠体 1 5 が形成されており、リードフレーム 3 1 0 の面を保ったまま、延在パターンとなる枠体 1 5 所定部分である屈曲予定領域 R b に屈曲部 1 5 b を形成することにより、当該リードフレーム 3 1 0 の面に垂直な方向から見たときに、制御素子 2 3 が、電力用半導体素子 2 1、2 2 にオーバーラップするように構成したことになる。

## 【 0 0 7 4 】

そのため、電力用半導体素子 2 1、2 2 と制御素子 2 3 が段違いに配置されているにもかかわらず、リードフレーム 3 1 0 を上下の金型でしっかりと挟み込むことができる。そのため、電力用半導体素子 2 1、2 2 の冷却に必要な面積を確保し、小型化できるとともに、封止体 4 0 を構成する封止樹脂を漏らすことなく回路基板 3 0 1 P 2 (リードフレーム 3 1 0) を金型内で固定することにより、ばらつきなくしっかりと封止ができる。つまり、小型で、信頼性の高い電力用半導体装置 3 0 1 を得ることができる。

## 【 0 0 7 5 】

とくに、電力用半導体素子は、整流素子 2 1 とスイッチング素子 2 2 からなる 2 つの半導体素子を並べたものであり、リードフレーム 3 1 0 には、一端側の領域から他端側の領域に達するとともに、他端側の端部に所定の大きさのバス部 1 1 j を有するバスパターン 3 1 1 i が形成されており、バスパターン 3 1 1 i のバス部 1 1 j 以外の部分の折り曲げによって、バス部 1 1 j を 2 つの半導体素子 2 1、2 2 にオーバーラップさせて、2 つの半導体素子 2 1、2 2 間が電気接続されているとともに、屈曲部 1 5 b の形成によって接近した電力用半導体素子 2 2 の制御電極と制御素子 2 3 の制御信号を出力する電極とが配線部材 3 5 で電気接続されているように構成した。そのため、オーバーラップした後に行

10

20

30

40

50

われる信号用ボンディングワイヤ35の接合位置は空間的に開放されているので、スムーズにボンディングすることができるとともに、ボンディングワイヤ等の変形しやすい配線部材がボンディング部分の下側に位置することなく、ボンディングによる超音波振動や加圧によりダメージを受けることもない。つまり、一枚のリードフレーム310を用いても、回路部材に余分な応力をかけることなく、信頼性の高い電力用半導体装置301を得ることができる。

#### 【0076】

以上のように上記各実施の形態1～3にかかる電力用半導体装置の製造方法によれば、略矩形板状をなし、主電力を制御する電力用半導体素子21、22と電力用半導体素子21、22を制御する制御信号を出力する制御素子23とが厚み方向において段違いに配置されるとともに、矩形形状の両側面のそれぞれから並列する複数の端子11、12が突出配置された電力用半導体装置1、201、301（代表して1）を一枚のリードフレーム10、210、310（代表して10）を用いて製造する方法であって、一枚のリードフレーム10には、電力用半導体素子21、22が接合される第1のダイパッド11dと、制御素子23が接合される第2のダイパッド12dが、並列する複数の端子11、12となるリードパターン11i、11t、および12i、12tとともに、リードパターンの延在方向におけるそれぞれ一端側の領域と他端側の領域で連なるように形成されているとともに、一端側の領域から他端側の領域にかけて延在する延在パターンである共通リード13、枠体15が形成され、かつ、リードフレーム10の面に垂直な方向において第1のダイパッド11dに対して第2のダイパッド12dが上方に位置するように段差がつけられており、第1のダイパッド11dに電力用半導体素子21、22を接合するとともに、第2のダイパッド12dに制御素子23を接合する工程（ステップS20）と、リードフレーム10の面を保ったまま、屈曲予定領域Rbを屈曲させ、リードフレーム10の面に垂直な方向から見たときに、制御素子23を、電力用半導体素子21、22にオーバーラップさせる工程（ステップS40）と、第1のダイパッド11dの電力用半導体素子21、22が接合された面の反対側の面に、放熱部材50を接合する工程（ステップS50）と、リードフレーム10を少なくとも外枠15部分が露出した状態で図示しない上下の金型ではさみ、金型内に樹脂を流し込んで、放熱部材50の放熱面を除いて電力用半導体装置1を略矩形形状に封止する工程（ステップS60）と、を含むように構成した。

#### 【0077】

そのため、配線部材33に応力をかけることがなく、屈曲部13bを形成できるので、回路基板1P2の信頼性が向上する。しかも、電力用半導体素子21、22と制御素子23が段違いに配置されているにもかかわらず、一枚のリードフレーム10を上下の金型でしっかりと挟み込むことができる。そのため、樹脂の漏れる隙間を生じさせることなく、リードフレーム10を金型内で固定して封止ができるので、封止信頼性も向上する。したがって、電力用半導体素子21、22の冷却に必要な面積を確保し、小型化できるとともに、封止体40を構成する封止樹脂を漏らすことなく回路基板1P2（リードフレーム10）を金型内で固定することにより、ばらつきなくしっかりと封止ができる。つまり、小型で、信頼性の高い電力用半導体装置1を得ることができる。

#### 【0078】

上記各実施の形態において、ダイパッド11dをリードフレーム10、210、310の主面より低くする例について説明したが、これに限ることはない。例えば、ダイパッド12dを主面より高くするようにしてもよく、11dを低くするとともに、12dを高くするようにしてもよい。つまり、ダイパッド11dが12dより所定量低くなるようにすればよい。そして、ダイパッド11d、12dやバス部11jを段差加工工程（ステップS10、S310）で段差付けする例について記載したが、リードフレームを打ち抜く時に同時に行うようにしてもよい。

#### 【0079】

なお、上記各実施の形態においては、スイッチング素子（トランジスタ）22や整流素子（ダイオード）21として機能する電力用半導体素子には、シリコンウエハを基材とし

10

20

30

40

50

た一般的な素子でも良いが、本発明においては炭化ケイ素（SiC）や窒化ガリウム（GaN）、またはダイヤモンドといったシリコンと較べてバンドギャップが広い、いわゆるワイドバンドギャップ半導体材料を用い、運転温度が高くなる場合に、特に顕著な効果が現れる。特に炭化ケイ素を用いた電力用半導体素子に好適に用いることができる。デバイス種類としては、スイッチング素子としてはIGBTの他に、MOSFET（Metal Oxide Semiconductor Field-Effect-Transistor）でもよい。

#### 【0080】

ワイドバンドギャップ半導体によって形成されたスイッチング素子や整流素子（各実施の形態における電力用半導体素子21、22）は、ケイ素で形成された素子よりも電力損失が低いため、スイッチング素子や整流素子における高効率化が可能であり、ひいては、電力用半導体装置の高効率化が可能となる。さらに、耐電圧性が高く、許容電流密度も高いため、スイッチング素子や整流素子の小型化が可能であり、これら小型化されたスイッチング素子や整流素子を用いることにより、電力用半導体装置も小型化が可能となる。また耐熱性が高いので、高温動作が可能であり、ヒートシンクの放熱フィンの小型化や、水冷部の空冷化も可能となるので、電力用半導体装置の一層の小型化が可能になる。

#### 【0081】

一方、上記のように高温動作する場合は停止・駆動時の温度差が大きくなり、さらに、高効率・小型化によって、単位体積あたりに扱う電流量が大きくなる。そのため経時的な温度変化や空間的な温度勾配が大きくなり、電力用半導体素子と配線部材との熱応力も大きくなる可能性がある。しかし、本発明のように製造中の電気接続部の応力を防止し、リードフレームによって正確な位置で固定して、確実に封止することができる電力用半導体装置では、接合部の信頼性が高く、部材の劣化も抑制できるので、ワイドバンドギャップ半導体の特性を活かして、小型化や高効率化を進めてもパワーサイクル寿命が長く、信頼性の高い電力用半導体装置を得ることが容易となる。つまり、本発明による効果を発揮することで、ワイドバンドギャップ半導体の特性を活かすことができるようになる。

#### 【0082】

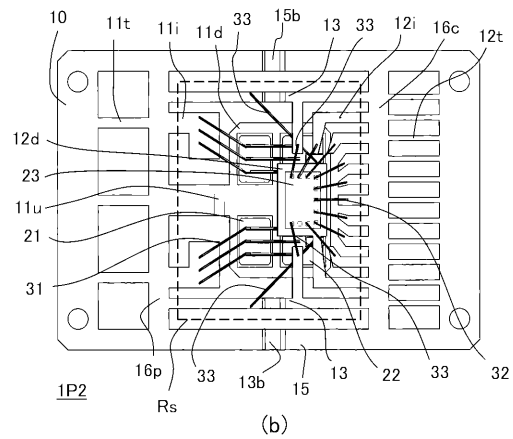
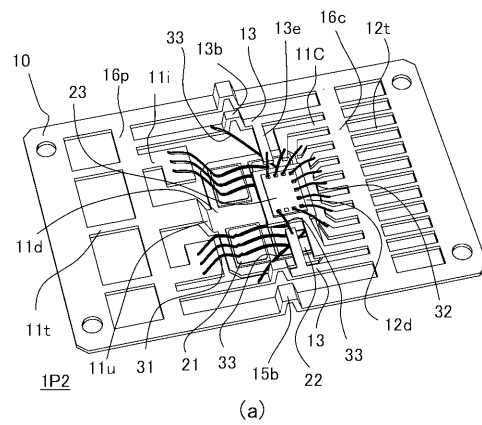
なお、スイッチング素子及び整流素子の両方がワイドバンドギャップ半導体によって形成されていても、いずれか一方の素子がワイドバンドギャップ半導体によって形成されていてもよい。

#### 【符号の説明】

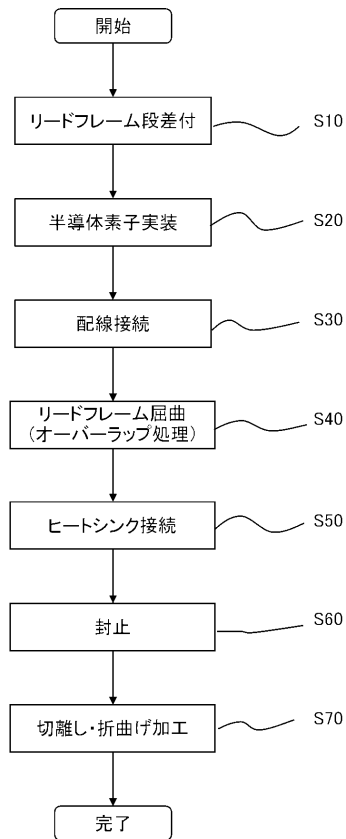
#### 【0083】

- 1 電力用半導体装置、
- 10 リードフレーム；
- 11 パワーリード（端子）、
- 11d：ダイパッド、11i：内部リード対応リードパターン、11j：バス部、11t：外部端子対応リードパターン、11u：段差部対応リードパターン）、
- 12 制御リード（端子）、
- 12d：ダイパッド、12i：内部リード対応リードパターン、12t：外部端子対応リードパターン）
- 13 共通リード（延在パターン（13b：屈曲部、13e：分岐部））、
- 14 中継リード（14c：制御回路対応部分、14p：電力回路対応部分）
- 15 枠体（延在パターン（15b：屈曲部、15h：開口部、15ni：内開き切欠き部、15no：外開き切欠き部））、
- 16 タイバー（16c：制御回路対応部分、16p：電力回路対応部分）
- 21 ダイオード（整流素子：電力用半導体素子）、22 IGBT（スイッチング素子：電力用半導体素子）、23 制御素子、25 ダイボンド材料、
- 31 パワー用ボンディングワイヤ（配線部材）、32 制御用ボンディングワイヤ（配線部材）、33 信号用ボンディングワイヤ（配線部材）、
- 40 封止体、50 放熱板、51 絶縁層
- Rb：リードフレームの屈曲予定領域、Rs 封止予定領域、

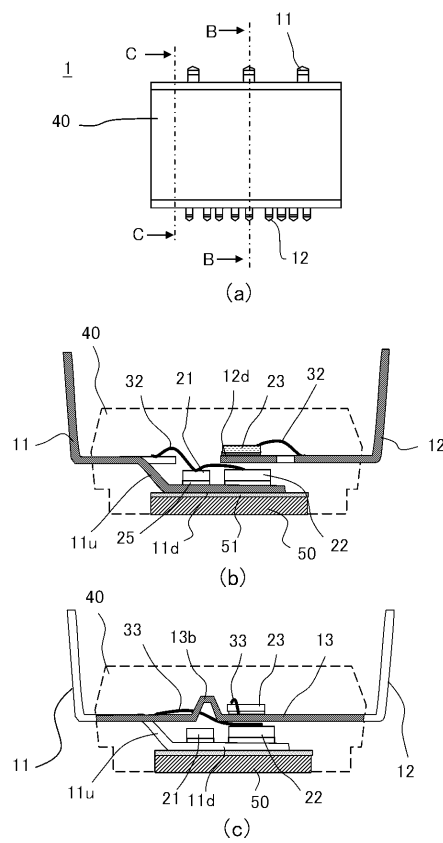
【 図 2 】



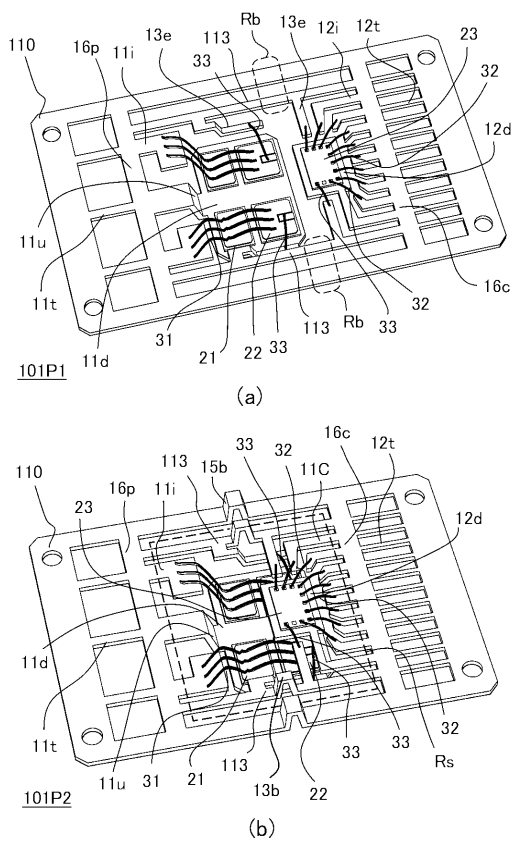
【図 3】



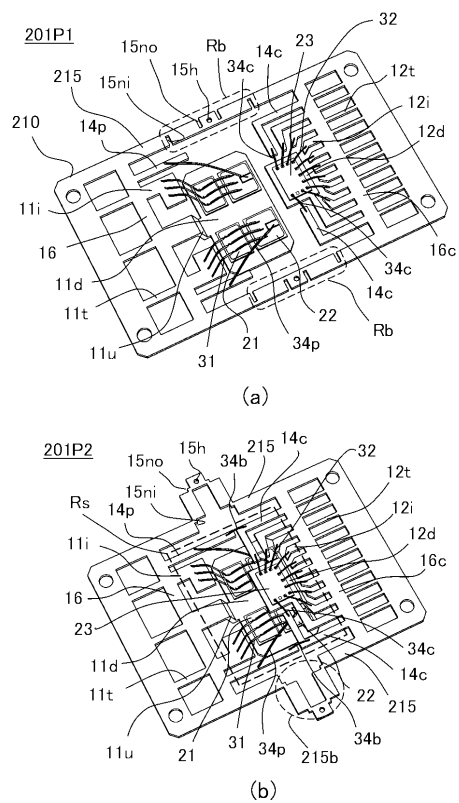
【図 4】



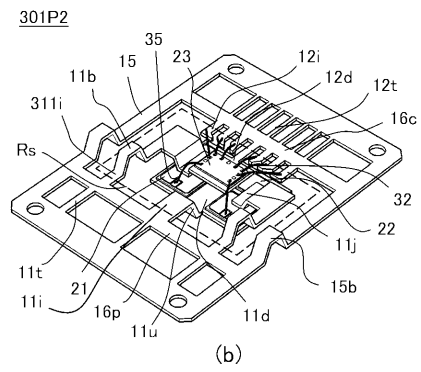
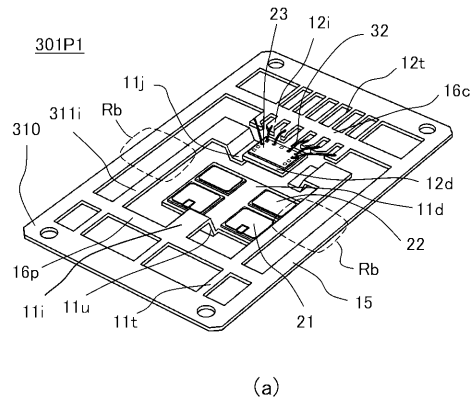
【図 5】



【図 6】



## 【図 7】



---

フロントページの続き

審査官 中野 浩昌

- (56)参考文献 特開2004-022601(JP,A)  
特公昭47-043868(JP,B1)  
実開昭57-170560(JP,U)  
特開2011-066289(JP,A)  
特開昭47-018474(JP,A)  
特開2006-080300(JP,A)  
特開平06-140558(JP,A)  
特開平08-162488(JP,A)  
実開昭55-149957(JP,U)  
特開昭62-219649(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H01L 25/00 - 25/18  
H01L 21/56  
H01L 23/48