

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-3265
(P2014-3265A)

(43) 公開日 平成26年1月9日(2014.1.9)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 F 17/04 (2006.01)	HO 1 F 17/04 F	5 E 0 7 0
HO 1 F 17/00 (2006.01)	HO 1 F 17/00 D	

審査請求 未請求 請求項の数 20 O L (全 16 頁)

(21) 出願番号 特願2012-213739 (P2012-213739)
 (22) 出願日 平成24年9月27日 (2012. 9. 27)
 (31) 優先権主張番号 10-2012-0063795
 (32) 優先日 平成24年6月14日 (2012. 6. 14)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 594023722
 サムソン エレクトロメカニクス カ
 ンパニーリミテッド.
 大韓民国、キョンギド、スウォン、ヨン
 トング、マエタン3ードン 3 1 4
 (74) 代理人 100088605
 弁理士 加藤 公延
 (74) 代理人 100130384
 弁理士 大島 孝文
 (72) 発明者 ハン・ジン・ウ
 大韓民国、キョンギド、スウォン、ヨン
 トング、マエタン3ードン 3 1 4、サ
 ムソン エレクトロメカニクス カ
 パニーリミテッド

最終頁に続く

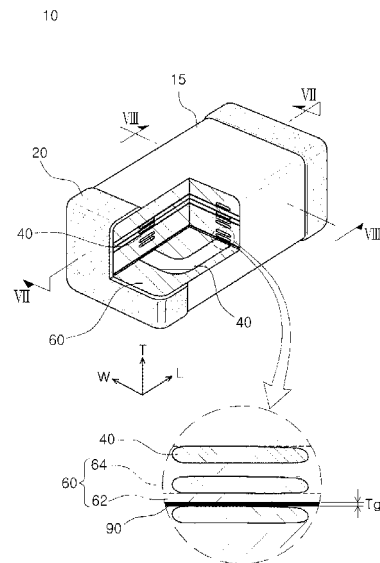
(54) 【発明の名称】 積層チップ電子部品

(57) 【要約】

【課題】本発明は、積層チップ電子部品に関する。

【解決手段】本発明の一実施例による積層チップ電子部品は2016サイズ以下であり、複数の磁性体層を含む積層本体と、上記積層本体内で、積層方向に電氣的に接続されてコイルパターンをなすように形成される導電パターンと、積層された磁性体層の間で上記積層本体の積層面全体に形成され、厚さTgは1μm Tg 7μmの範囲を有する非磁性ギャップ層と、を含み、上記非磁性ギャップ層は、上記磁性体層のうち少なくとも4層以上、上記コイルパターンのターン数以下の範囲のギャップ層数を有することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の磁性体層を含む積層本体と、
前記積層本体内で、積層方向に電氣的に接続されてコイルパターンをなすように形成される導電パターンと、

積層された磁性体層の間で前記積層本体の積層面全体に形成され、厚さ T_g は $1 \mu\text{m}$ $T_g < 7 \mu\text{m}$ の範囲を有する非磁性ギャップ層と、を含み、

前記非磁性ギャップ層の層数は、4層以上、前記コイルパターンのターン数以下の範囲を有する、積層チップ電子部品。

【請求項 2】

前記導電パターンが積層方向に形成されて規定されるアクティブ領域層の厚さを T_a 、前記非磁性ギャップ層全体の厚さを $T_{g_{t.o.t}}$ と規定したときに、 $0.1 < T_{g_{t.o.t}} / T_a < 0.5$ を満たす、請求項 1 に記載の積層チップ電子部品。

【請求項 3】

前記非磁性ギャップ層は誘電体組成からなる層である、請求項 1 に記載の積層チップ電子部品。

【請求項 4】

前記磁性体層は、

前記導電パターンと同一の層に形成される第 1 磁性体層と、

前記導電パターンが電氣的に接続されるようにするビア電極を備える第 2 磁性体層と、を含む、請求項 1 に記載の積層チップ電子部品。

【請求項 5】

前記第 1 磁性体層は前記非磁性ギャップ層を含む、請求項 4 に記載の積層チップ電子部品。

【請求項 6】

前記第 2 磁性体層は前記非磁性ギャップ層を含む、請求項 4 に記載の積層チップ電子部品。

【請求項 7】

前記非磁性ギャップ層は前記導電パターンの間に配置される、請求項 1 に記載の積層チップ電子部品。

【請求項 8】

前記積層本体の長さは 2.1 mm 以下であり、前記積層本体の幅は 1.7 mm 以下である、請求項 1 に記載の積層チップ電子部品。

【請求項 9】

前記積層チップ電子部品の長さ及び幅は、 $2.0 \pm 0.1 \text{ mm}$ 及び $1.6 \pm 0.1 \text{ mm}$ の範囲を有する、請求項 1 に記載の積層チップ電子部品。

【請求項 10】

複数の磁性体層を含む積層本体と、

前記複数の磁性体層の間に配置され、積層方向に電氣的に接続されてコイルパターンをなすように形成される導電パターンと、

前記積層本体内で複数の層数を有し、それぞれ $1 \mu\text{m} \sim 7 \mu\text{m}$ の範囲の厚さ T_g を有する非磁性ギャップ層と、を含む、積層チップ電子部品。

【請求項 11】

前記非磁性ギャップ層は、前記磁性体層のうち少なくとも 4 層以上、前記コイルパターンのターン数以下の範囲の層数を有する、請求項 10 に記載の積層チップ電子部品。

【請求項 12】

前記非磁性ギャップ層は前記積層本体の積層面全体に形成される、請求項 10 に記載の積層チップ電子部品。

【請求項 13】

前記非磁性ギャップ層は前記積層本体の積層面全体に形成され、前記非磁性ギャップ層

10

20

30

40

50

の層数は4層以上である、請求項10に記載の積層チップ電子部品。

【請求項14】

前記導電パターンが積層方向に形成されて規定されるアクティブ領域層の厚さを T_a 、前記非磁性ギャップ層全体の厚さを $T_{g_{t.o.t}}$ と規定したときに、 $0.1 \leq T_{g_{t.o.t}} / T_a \leq 0.5$ を満たす、請求項10に記載の積層チップ電子部品。

【請求項15】

前記非磁性ギャップ層は、前記磁性体層の構成成分の拡散が抑制される誘電体組成からなる層である、請求項10に記載の積層チップ電子部品。

【請求項16】

前記誘電体組成は、 TiO_2 、 ZrO_2 、 Al_2O_3 及び $ZnTiO_3$ から選択された一つ以上の組成を有する、請求項15に記載の積層チップ電子部品。

10

【請求項17】

前記磁性体層は、
前記導電パターンと同一の層に形成される第1磁性体層と、
前記導電パターンが電氣的に接続されるようにするビア電極を備える第2磁性体層と、
を含む、請求項10に記載の積層チップ電子部品。

【請求項18】

前記第1磁性体層は前記非磁性ギャップ層を含む、請求項10に記載の積層チップ電子部品。

【請求項19】

前記第2磁性体層は前記非磁性ギャップ層を含む、請求項10に記載の積層チップ電子部品。

20

【請求項20】

前記非磁性ギャップ層は前記導電パターンの間に配置される、請求項10に記載の積層チップ電子部品。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層チップ電子部品に関する。

【背景技術】

30

【0002】

積層チップ電子部品の一つであるインダクタ(inductor)は、抵抗、キャパシタとともに、電子回路を構成してノイズを除去する代表的な受動素子である。

【0003】

積層チップタイプのインダクタは、磁性体にコイルが形成されるように導電パターンを印刷した後、積層して製造することができる。このような積層チップインダクタは、導電パターンが形成された磁性体層を複数積層した構造を有しており、上記積層チップインダクタ内の内部導電パターンは、チップ内でコイル構造を形成するために、各磁性体層に形成されたビア電極によって順に接続され、目標とするインダクタンス及びインピーダンスなどの特性を具現する。

40

【0004】

最近、積層チップインダクタの小型化の傾向により、DCバイアスによるインダクタンス(Inductance)の低下が問題となっている。DCバイアスによるインダクタンスの低下を抑制するために、小型化されたパワーインダクタには非磁性ギャップ層を用いて磁気飽和を抑制している。

【0005】

上記非磁性ギャップ層を積層チップインダクタ内に形成する目的は、積層チップインダクタの積層本体の全体有効透磁率を減少させ、磁化を遅らせる効果を利用するためである。

【0006】

50

ここで、有効透磁率は磁性体と非磁性体の体積比率に依存するが、上記非磁性ギャップ層が同一の体積を有することを前提として、上記非磁性ギャップ層の厚さを大きくして層数を減らすと、導電パターンの周辺の磁性体層で磁束がローカルループを形成して部分的に磁束相殺が発生し、DCバイアス特性に悪影響を与える反面、上記非磁性ギャップ層の厚さを薄くして層数を増やすと、このようなローカルループをできるだけ抑制することができる。

【0007】

従って、非磁性ギャップ層の厚さを調節することにより、小型化されながらも容量確保が十分であり、DCバイアス特性に優れた積層チップインダクタの開発が求められてきた。

10

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2008-130736号公報

【特許文献2】特許第4725120号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明の一の目的は、非磁性体層の厚さを薄層に調節することにより、小型化されながらも容量確保が十分であり、DCバイアス特性に優れた積層チップ電子部品を提供することにある。

20

【課題を解決するための手段】

【0010】

本発明の一例による積層チップ電子部品は、複数の磁性体層を含む積層本体と、上記積層本体内で、積層方向に電気的に接続されてコイルパターンをなすように形成される導電パターンと、積層された磁性体層の間で上記積層本体の積層面全体に形成され、厚さ T_g は $1\mu m < T_g < 7\mu m$ の範囲を有する非磁性ギャップ層と、を含み、上記非磁性ギャップ層の層数は、4層以上、上記コイルパターンのターン数以下の範囲を有することができる。

【0011】

また、本発明の一例による積層チップ電子部品において、上記導電パターンが積層方向に形成されて規定されるアクティブ領域層の厚さを T_a 、上記非磁性ギャップ層全体の厚さを T_{g_t} と規定したときに、 $0.1 < T_{g_t} / T_a < 0.5$ を満たすことができる。

30

【0012】

また、本発明の一例による積層チップ電子部品の上記非磁性ギャップ層は、誘電体組成からなる層であることができる。

【0013】

また、本発明の一例による積層チップ電子部品の上記磁性体層は、上記導電パターンと同一の層に形成される第1磁性体層と、上記導電パターンが電気的に接続されるようにするビア電極を備える第2磁性体層と、を含むことができる。

40

【0014】

また、本発明の一例による積層チップ電子部品の上記第1磁性体層は、上記非磁性ギャップ層を含むことができる。

【0015】

また、本発明の一例による積層チップ電子部品の上記第2磁性体層は、上記非磁性ギャップ層を含むことができる。

【0016】

また、本発明の一例による積層チップ電子部品の上記非磁性ギャップ層は、上記導電パターンの間に配置されることができる。

50

【0017】

また、本発明の一例による積層チップ電子部品の上記積層本体の長さは2.1mm以下であり、上記積層本体の幅は1.7mm以下であることができる。

【0018】

また、本発明の一例による積層チップ電子部品の上記積層チップ電子部品の長さ及び幅は、 2.0 ± 0.1 mm及び 1.6 ± 0.1 mmの範囲を有することができる。

【0019】

一方、本発明の他の一例による積層チップ電子部品は、複数の磁性体層を含む積層本体と、上記複数の磁性体層の間に配置され、積層方向に電気的に接続されてコイルパターンをなすように形成される導電パターンと、上記積層本体内で複数の層数を有し、それぞれ $1 \mu\text{m} \sim 7 \mu\text{m}$ の範囲の厚さ T_g を有する非磁性ギャップ層と、を含むことができる。

10

【0020】

また、本発明の一例による積層チップ電子部品の上記非磁性ギャップ層は、上記積層本体の積層面全体に形成されることができる。

【0021】

また、本発明の一例による積層チップ電子部品の上記非磁性ギャップ層は、上記積層本体の積層面全体に形成され、上記非磁性ギャップ層の層数は4層以上であることができる。

【0022】

また、本発明の他の例による積層チップ電子部品の上記非磁性ギャップ層は、上記磁性体層のうち少なくとも4層以上、上記コイルパターンのターン数以下の範囲の層数を有することができる。

20

【0023】

また、本発明の他の例による積層チップ電子部品において、上記導電パターンが積層方向に形成されて規定されるアクティブ領域層の厚さを T_a 、上記非磁性ギャップ層全体の厚さを $T_{g_{t.o.t}}$ と規定したときに、 $0.1 < T_{g_{t.o.t}} / T_a < 0.5$ を満たすことができる。

【0024】

また、本発明の他の例による積層チップ電子部品の上記非磁性ギャップ層は、上記磁性体層の構成成分の拡散が抑制される誘電体組成からなる層であることができる。

30

【0025】

また、本発明の他の例による積層チップ電子部品の上記誘電体組成は、 TiO_2 、 ZrO_2 、 Al_2O_3 及び $ZnTiO_3$ から選択された一つ以上の組成を有することができる。

【0026】

また、本発明の他の例による積層チップ電子部品の上記磁性体層は、上記導電パターンと同一の層に形成される第1磁性体層と、上記導電パターンが電気的に接続されるようにするピア電極を備える第2磁性体層と、を含むことができる。

【0027】

また、本発明の他の例による積層チップ電子部品の上記第1磁性体層は、上記非磁性ギャップ層を含むことができる。

40

【0028】

また、本発明の他の例による積層チップ電子部品の上記第2磁性体層は、上記非磁性ギャップ層を含むことができる。

【0029】

また、本発明の他の例による積層チップ電子部品の上記非磁性ギャップ層は、上記導電パターンの間に配置されることができる。

【発明の効果】

【0030】

本発明の一例による積層チップ電子部品は、非磁性ギャップ層の厚さを調節することに

50

より、小型化されながらも容量確保が十分であり、DCバイアス特性に優れる。

【図面の簡単な説明】

【0031】

【図1】本発明の一実施例による積層チップインダクタの概略部分切開斜視図である。

【図2a】非磁性ギャップ層を形成する第1実施例を示す概略図である。

【図2b】非磁性ギャップ層を形成する第1実施例を示す概略図である。

【図2c】非磁性ギャップ層を形成する第1実施例を示す概略図である。

【図3a】非磁性ギャップ層を形成する第2実施例を示す概略図である。

【図3b】非磁性ギャップ層を形成する第2実施例を示す概略図である。

【図3c】非磁性ギャップ層を形成する第2実施例を示す概略図である。

10

【図4a】非磁性ギャップ層を形成する第3実施例を示す概略図である。

【図4b】非磁性ギャップ層を形成する第3実施例を示す概略図である。

【図4c】非磁性ギャップ層を形成する第3実施例を示す概略図である。

【図5】図1の積層チップインダクタの積層形態を分解して示す概略斜視図である。

【図6】図1の磁性体層に形成される導電パターンと非磁性ギャップ層を示す概略平面図である。

【図7】図1のVII-VII'線に沿った切断面を示す概略図である。

【図8】図1のVIII-VIII'線に沿った切断面を示す概略図である。

【発明を実施するための形態】

【0032】

20

以下、図面を参照して本発明の具体的な実施例を詳細に説明する。但し、本発明の思想は提示される実施例に制限されず、本発明の思想を理解する当業者は同一の思想の範囲内で他の構成要素の追加、変更、削除等によって、退歩的な他の発明や本発明の思想の範囲内に含まれる他の実施例を容易に提案することができ、これも本発明の思想の範囲内に含まれる。

【0033】

また、各実施例の図面に示す同一の思想の範囲内における機能が同一の構成要素は、同一の参照符号を用いて説明する。

【0034】

本発明の一実施例による積層チップ電子部品は、磁性体層上に導電パターンが形成されるチップインダクタ(chip inductor)、チップビーズ(chip beads)、チップフィルタ(chip filter)などに適宜応用されることができる。

30

【0035】

以下、積層チップインダクタを利用して本発明の実施例を説明する。

【0036】

積層チップインダクタ

【0037】

図1は本発明の一実施例による積層チップインダクタの概略部分切開斜視図であり、図2aから図2cは非磁性ギャップ層を形成する第1実施例を示す概略図であり、図3aから図3cは非磁性ギャップ層を形成する第2実施例を示す概略図であり、図4aから図4cは非磁性ギャップ層を形成する第3実施例を示す概略図である。

40

【0038】

図1から図4を参照すると、積層チップインダクタ10は、積層本体15と、導電パターン40と、磁性体層62、64と、非磁性ギャップ層90と、外部電極20と、を含むことができる。

【0039】

上記積層本体15は、磁性体グリーンシート上に導電パターン40を印刷し、上記導電パターン40が形成された磁性体グリーンシートを積層した後、焼結することにより製造することができる。

50

【0040】

上記積層本体15は六面体形状であることができる。磁性体グリーンシートを積層してからチップ形状に焼結する際、セラミック粉末の焼結収縮によって上記積層本体15の外観は完全な直線を有する六面体形状ではない。但し、上記積層本体15は、実質的に六面体形状を有するとみなすことができる。

【0041】

本発明の実施例を明確に説明するために六面体の方向を定義すると、図1に示されたL、W及びTはそれぞれ、長さ方向、幅方向、厚さ方向を示す。ここで、厚さ方向は磁性体層が積層された積層方向と同一の概念で用いられることができる。

【0042】

図1の実施例は、長さ方向が幅方向または厚さ方向より大きい直方体状を有するチップインダクタ10に関するものである。

【0043】

本発明の一実施例による積層チップインダクタ10のサイズは、外部電極20を含む上記積層本体15の長さ及び幅がそれぞれ 2.0 ± 0.1 mm及び 1.6 ± 0.1 mm (2016サイズ)の範囲を有することができ、2016サイズ以下(即ち、積層本体の長さが2.1 mm以下、上記積層本体の幅が1.7 mm以下)に形成することができる。

【0044】

上記磁性体層62、64は、Ni-Cu-Zn系、Ni-Cu-Zn-Mg系、Mn-Zn系のフェライト系材料を用いることができるが、これに制限されるものではない。

【0045】

ここで、本実施例による磁性体層62、64は、焼結後に導電パターン40と同一の層をなす第1磁性体層64と、上記積層本体15内で積層方向に隣接した導電パターン40の間に介在される第2磁性体層62と、を含むことができる。

【0046】

上記第2磁性体層62は焼結前に磁性体グリーンシートであることができ、第1磁性体層64は、上記磁性体グリーンシート上に磁性物質を上記導電パターン40の厚さだけ塗布または印刷して形成することができる。

【0047】

上記第1磁性体層64と第2磁性体層62は、別の磁性体層に形成されることができる。但し、上記積層本体15を構成する複数の第1及び第2磁性体層64、62は焼結された状態であり、隣接する第1及び第2磁性体層64、62同士の境界は走査型電子顕微鏡(SEM、Scanning Electron Microscope)を利用せずには確認することが困難であるほど一体化されることができる。

【0048】

上記非磁性ギャップ層90は、上記積層本体15の磁性体層62、64の有効透磁率を減少させて磁化を遅らせることができる。上記磁性体層62、64の材料としてNi-Cu-Zn系フェライトを用いる場合、高温の焼結過程で磁性体と非磁性体との間の拡散によって非磁性ギャップ層90が磁性体の性質に変わらないように、誘電体組成を用いることができる。

【0049】

ここで、上記誘電体組成は、 TiO_2 、 ZrO_2 、 Al_2O_3 及び $ZnTiO_3$ から選択された一つ以上の組成を有するように選択されることができる。

【0050】

このような誘電体組成を選択することにより、非磁性ギャップ層90の厚さを薄くすることができる。上記非磁性ギャップ層90の層数を増やすことができる。このように非磁性ギャップ層90の厚さを薄くして層数を増やすと、導電パターン40の周辺の磁性体層で磁束がローカルループ(local loop)を形成することを抑制して、DCバイアス特性を向上させることができる。

【0051】

10

20

30

40

50

以下、図 2 から図 4 を参照して、非磁性ギャップ層 9 0 の形成について説明する。

【 0 0 5 2 】

図 2 a から図 2 c を参照すると、フェライトグリーンシート 6 2 と非磁性体シート 9 0 を積層し (図 2 a)、上記フェライトグリーンシート 6 2 上に導電パターン 4 0 を印刷して乾燥した後 (図 2 b)、上記導電パターン 4 0 と同一の層をなすように、上記導電パターン 4 0 の隣の空間にフェライトスラリーをペースト (p a s t e) で印刷することにより、上記フェライトグリーンシート 6 2 とは別の平坦化された磁性体層 6 4 を形成する (図 2 c)。ここで、フェライトグリーンシート 6 2、導電パターン 4 0 及び平坦化された磁性体層 6 4 は、一つの積層キャリア 6 0 をなすことができる。上記非磁性体シート 9 0 が形成された上記積層キャリア 6 0 は、他の非磁性体シートが形成された積層キャリア 6 0 や非磁性体シートが形成されていない積層キャリア 6 0 と積層されて、上記積層本体 1 5 内に上記非磁性体ギャップ層を形成することができる。ここで、上記非磁性体シート 9 0 の形成位置は、フェライトグリーンシート 6 2 の積層方向の上部または下部の何れに形成されてもよい。

10

【 0 0 5 3 】

図 3 a から図 3 c を参照すると、非磁性ギャップ層を形成するために、フェライトグリーンシート 6 2 上に誘電体組成を有する非磁性物質を塗布して一つの層を形成し (図 3 a)、その上に導電パターン 4 0 を形成した後 (図 3 b)、上記導電パターン 4 0 の隣の空間にフェライトスラリーをペーストで印刷することにより、平坦化された磁性体層 6 4 を形成することができる (図 3 c)。

20

【 0 0 5 4 】

また、図 4 a から図 4 c を参照すると、非磁性ギャップ層を形成するために、まず、フェライトグリーンシート 6 2 上に誘電体組成を有する非磁性物質を塗布するが、この際、導電パターン 4 0 が形成される空間を空けて印刷することにより一つの層を形成する (図 4 a)。次に、導電パターンの形成のために空けておいた空間に導電パターン 4 0 を形成し (図 4 b)、上記導電パターン 4 0 の隣の空間にフェライトスラリーをペーストで印刷することにより、平坦化された磁性体層 6 4 を形成することができる (図 4 c)。ここで、非磁性物質の塗布は、フェライトグリーンシート 6 2 上に導電パターン 4 0 を印刷し、上記導電パターン 4 0 より薄い厚さに非磁性物質を上記導電パターン 4 0 の隣の空間に印刷し、上記非磁性物質の層上に上記導電パターン 4 0 とほぼ同一の厚さに平坦化された別の磁性体層を形成することを意味する。

30

【 0 0 5 5 】

上記導電パターン 4 0 は、銀 (A g) を主成分とする導電ペーストを所定厚さに印刷して形成することができる。上記導電パターン 4 0 は、長さ方向の両端部に形成される外部電極 2 0 に電氣的に連結されることができる。

【 0 0 5 6 】

上記外部電極 2 0 は、上記積層本体 1 5 の長さ方向の両端部に形成され、C u、N i、S n、A g 及び P d から選択された合金を電気メッキして形成することができるが、その材料が特にこれらに制限されるものではない。

【 0 0 5 7 】

上記導電パターン 4 0 は、上記外部電極 2 0 と電氣的に接続されるリード 4 8 を備えることができる。

40

【 0 0 5 8 】

図 5 は図 1 の積層チップインダクタの積層形態を分解して示す概略斜視図であり、図 6 は図 1 の磁性体層に形成される導電パターンと非磁性ギャップ層を示す概略平面図である。

【 0 0 5 9 】

図 5 及び図 6 を参照すると、一つの積層キャリア 6 0 a 上の上記導電パターン 4 0 a は、長さ方向の導電パターン 4 2 a 及び幅方向の導電パターン 4 4 a を含む。上記導電パターン 4 0 a は、磁性体層 6 2 a に形成されるピア電極 7 2、7 4 により、磁性体層 6 2 a

50

を挟んで配置される他の一つの積層キャリア60b上の導電パターン40bと電氣的に連結され、積層方向にコイルパターン50を形成する。

【0060】

この際、積層キャリア60bと他の積層キャリア60cとの間のように非磁性ギャップ層90bが存在する場合には、磁性体層62bに形成されるビア電極74bと非磁性ギャップ層90bに形成されるビア電極94bとが電氣的に導通して連結される。

【0061】

本実施例によるコイルパターン50は総6.5回のターン数を有するが、これに限定されるものではない。コイルパターン50が6.5回のターン数を有するために、カバー層をなす上部及び下部の磁性体層80a、80bの間に、導電パターン40a、40b、...、40iが形成された積層キャリア60a、60b、...、60iが9個配置される。

10

【0062】

また、本実施例では、上部及び下部の磁性体層80a、80bの間に6個の非磁性ギャップ層90a、90b、...、90fを有する場合を示しているが、これに限定されるものではない。

【0063】

本実施例によると、1回のターン数を有するコイルパターン50を形成するために、導電パターン42a、42bが形成された少なくとも二つ以上の積層キャリアが必要であるが、これに限定されるものではなく、導電パターンの形状に応じて、必要な積層キャリアの数は異なることができる。

20

【0064】

上記非磁性ギャップ層90の厚さTgは、1 μ m~7 μ mの範囲の厚さを有する薄層に製造されることができる。従って、薄層の非磁性ギャップ層90を複数配置してDCバイアス特性を向上させることができ、求められる電氣的性能に応じてTg及びギャップ層数を変更することができる。

【0065】

Tgが1 μ m未満である場合には、非磁性ギャップ層90を形成するためのシートまたは非磁性体物質層に欠陥が発生し、DCバイアス特性が低下する恐れがある。また、Tgが7 μ mを超過する場合には、容量を具現することが困難となる。

【0066】

非磁性ギャップ層90は、4層以上、上記コイルパターン50のターン数以下の範囲のギャップ層数を有することができる。

30

【0067】

非磁性ギャップ層90は、積層された磁性体層の間で上記積層本体15の積層面全体に形成されることができる。ここで、非磁性ギャップ層90が積層本体15の積層面全体に形成されるとは、積層本体15の断面(図7及び図8を参照)上で、長さ方向または幅方向の全面に非磁性ギャップ層90が形成されることを意味し、非磁性ギャップ層90が磁性体層の間の一部領域にのみ形成されないことを意味する。

【0068】

また、上記非磁性ギャップ層90がビア電極や工程過程で生じた孔などの欠陥を一部含んでいても、非磁性ギャップ層90が積層本体15の積層面全体に形成されたとみなすことができる。

40

【0069】

非磁性ギャップ層90の層数が4層未満である場合には、温度によって容量が変化する恐れがあり、DCバイアス特性が低下する恐れがある。また、上記非磁性ギャップ層90の層数が上記コイルパターン50のターン数を超過して積層される場合には、積層本体15のカバー層80a、80bにも上記非磁性ギャップ層90が形成される可能性があるため、容量が低下する恐れがある。

【0070】

図6を参照して、上記コイルパターン50の1回のターンについて説明すると、同一の

50

磁性体層 60b に形成される導電パターン 40b において、一つのビア電極 72b を 1 と規定し、他のビア電極 74b を 2 と規定し、上記 2 と対応する積層方向下側の導電パターン 40c の一つのビア電極 72c を 3 と規定し、上記 1 に対向する磁性体層 60c の導電パターン 40c の対向地点を 4 と規定したときに、上記 1 から反時計回り方向に 1 回のターン (1 2 3 4) をなすと、これを一回のターンと規定することができる。上記 4 を 1' と規定したときに、次の 1 回のターン (1' 2' 3' 4') が形成されること
ことができる。

【0071】

ここで、上記 2 のビア電極 74b の下部と 3 のビア電極 72c の下部は、非磁性ギャップ層 90b、90c それぞれに形成されたビア電極 94b、94c と対応して上部導電パターンと下部導電パターンが電氣的に連結されるようにする。

10

【0072】

図 7 は図 1 の VII - VII' 線に沿った切断面を示す概略図であり、図 8 は図 1 の VIII - VIII' 線に沿った切断面を示す概略図である。

【0073】

図 1 の積層チップインダクタに対して、図 7 は長さ方向 L 及び厚さ方向 T に切断し、図 8 は幅方向 W 及び厚さ方向 T に切断したものである。

【0074】

図 7 及び図 8 の断面図で、点線部分は導電パターン 40 が形成されたものとみなして、導電パターン 40 と磁性体層 60 との厚さなどの寸法関係について説明する。

20

【0075】

図 7 の長さ方向 L 及び厚さ方向 T の断面に示されているように、導電パターン 40 が形成される最上側及び最下側の磁性体層には、外部電極 20 と電氣的に連結されるリード 48 が形成される。上記リード 48 は、積層本体 15 の長さ方向の短辺 W_{s1} 、 W_{s2} に露出し、上記外部電極 20 と電氣的に連結される。

【0076】

上記導電パターン 40 は、第 1 磁性体層 64 と同一の層をなして積層本体 15 内で第 2 磁性体層 62 を挟んで対向して配置されることができる。

【0077】

ここで、上記第 1 磁性体層 64 は、上記導電パターン 40 の厚さだけ印刷されて形成されることができる。

30

【0078】

図 8 の幅方向 W 及び厚さ方向 T の断面を参照すると、本発明の実施例を説明するための寸法が示されている。

【0079】

本発明の実施例によると、上記導電パターン 40 が積層方向に形成されて規定されるアクティブ領域層の厚さを T_a 、上記非磁性ギャップ層 90 それぞれの厚さ T_{g_a} 、 T_{g_b} 、...、 T_{g_f} を合わせた全体厚さを $T_{g_{t.o.t}}$ と規定したときに、 $0.1 < T_{g_{t.o.t}} / T_a < 0.5$ を満たすことができる。

【0080】

$T_{g_{t.o.t}} / T_a$ が 0.1 未満である場合には、非磁性ギャップ層 90 の厚さが足りなくて DC バイアス特性が低下する恐れがあり、0.5 を超過する場合には、容量損失の問題が生じる恐れがある。

40

【0081】

ここで、非磁性ギャップ層 90 の厚さは焼結によって各層が完全に同一であるわけではないため、非磁性ギャップ層 90 の厚さは平均厚さを意味することができる。

【0082】

上記非磁性ギャップ層 90 の厚さは、図 8 に示されているように、積層本体 15 の幅方向 W 及び厚さ方向 T の断面を走査型電子顕微鏡 (SEM、Scanning Electron Microscope) でイメージをスキャンして測定することができる。例え

50

ば、上記積層本体 15 の長さ方向 L の中心部から切断した幅及び厚さ方向 W - T の断面を走査型電子顕微鏡 (SEM、Scanning Electron Microscope) でスキャンしたイメージから抽出された任意の積層本体 15 に対して、非磁性ギャップ層 90 を幅方向に等間隔である 30 個の地点でその厚さを測定し、平均値を測定することができる。

【0083】

また、図 7 に示されているように、非磁性ギャップ層 90 の厚さは、幅方向 W の中心部から長さ方向及び厚さ方向 L - T の断面を走査型電子顕微鏡でスキャンしたイメージを用いて測定することもできる。

【0084】

ここで、積層本体 15 の幅方向 W または長さ方向 L の中心部は、上記積層本体 15 の幅方向 W または長さ方向 L の中心地点から上記積層本体 15 の幅または長さの 30 % 範囲内の地点であると規定することができる。

【0085】

実験例

【0086】

本発明の実施例と比較例による積層チップインダクタは、下記のように製作された。Ni - Zn - Cu 系フェライト粉末を含むスラリーをキャリアフィルム (carrier film) 上に塗布及び乾燥することにより製造された複数個の磁性体グリーンシートを準備する。

【0087】

次に、上記磁性体グリーンシート上に、スクリーンを利用して銀 (Ag) 導電性ペーストを塗布することにより、導電パターンを形成する。その後、上記導電パターンと同一の層になるように、上記導電パターンの周辺の上記磁性体グリーンシート上にフェライトスラリーを塗布することにより、上記磁性体グリーンシートとともに一つの積層キャリアを形成する。

【0088】

導電パターンが形成された積層キャリアを繰り返して積層する。この際、上記導電パターンが電氣的に接続され、積層方向にコイルパターンを有するようにする。また、積層キャリアの間に必要な数の薄層の非磁性シートを積層することにより、導電パターンの間に非磁性ギャップ層を形成することができる。

【0089】

ここで、上記磁性体グリーンシートと非磁性シートにはビア電極が形成されるため、上記磁性体グリーンシートと非磁性シートを挟んで上部導電パターンと下部導電パターンとが電氣的に接続されることができる。

【0090】

ここで、上記積層キャリアを 10 層 ~ 20 層の範囲内で積層し、この積層体を 85 で $1000 \text{ kgf} / \text{cm}^2$ ($9800 \text{ N} / \text{cm}^2$) の圧力条件で等方圧縮成形 (isostatic pressing) した。圧着が完了したチップ積層体を個別チップの形態に切断し、切断されたチップは大気雰囲気中で 230、40 時間維持して脱バインダを行った。

【0091】

その後、950 以下の大気雰囲気中で焼成した。この際、焼成後のチップサイズは 2.0 mm x 1.6 mm (L x W)、即ち、2016 サイズに製作した。

【0092】

次に、メッキなどの工程を経て外部電極を形成した。

【0093】

ここで、上記積層チップインダクタの試料は、幅方向及び厚さ方向 W - T の断面で、非磁性ギャップ層の厚さ Tg、非磁性ギャップ層の個数 n、アクティブ領域層の厚さに対する全体非磁性体ギャップ層の厚さ nTg / Ta、コイルパターンのターン数を多様にして

10

20

30

40

50

製作した。

【0094】

上記Tg、Taは、上記積層本体15の中心部まで研磨して得た切開された断面を光学顕微鏡で高倍率イメージ撮影し、撮影された高倍率イメージをSigmaScan Proなどのコンピュータプログラムで分析して測定した。

【0095】

以下、本発明の実施例と比較例の実験データを参照して、本発明の実施例をより具体的に説明する。

【0096】

下記の表1は、Tg、Tgの個数n、Taの変化によるインダクタンス、DC抵抗、許容電流の変化を測定したものである。

【0097】

【表1】

試料 No.	Tg (μm)	n (個数)	nTg/Ta	コイルパターンのターン数 (個数)	インダクタンス (目標インダクタンス対比) (%)	Rdc (Ω)	許容電流 (mA)
1*	0.7	8	0.091	8	143	105	140
2	1.1	8	0.136	8	119	103	168
3	2.3	8	0.247	8	108	110	185
4	3.5	8	0.333	8	95	108	211
5	5.1	8	0.417	8	87	106	230
6	6.9	8	0.496	8	81	102	245
7*	8.1	8	0.536	8	75	109	267
8*	3.5	3	0.13	8	127	—	145
9	3.5	4	0.17	8	115	—	172
10	3.5	5	0.21	8	112	—	179
11	3.5	6	0.25	8	108	—	185
12	3.5	8	0.33	8	95	—	211
13*	3.5	10	0.42	8	78	—	262

*比較例

【0098】

ここで、インダクタンス(L)はAgilent 4286AモデルのLCR meterを利用して測定した。また、DC抵抗はAgilent 4338Bモデルのミリオームメーター(milliohm meter)を利用して測定し、許容電流はDCバイアス電流をかけた時に容量が初期値の70%水準に減少するDCバイアス電流で測定した。

【0099】

表1を参照すると、Tgが1μm未満である試料1は、ギャップ層の厚さが薄すぎて非磁性ギャップ層の役割を果たすことができないため、初期容量は高いが、低い水準の許容電流が得られた。Tgが7μmを超過する試料7は、容量を具現することが困難である。

【0100】

非磁性ギャップ層の層数が4層未満である試料8は、ギャップ層の数が足りず、非磁性ギャップ層の役割を果たすことができないため、初期容量は高いが、低い水準の許容電流が得られた。上記非磁性ギャップ層の層数が上記コイルパターンのターン数を超過して積層される場合には、容量が低下する恐れがある。

【0101】

nTg/Taが0.1未満である試料1は、非磁性ギャップ層の体積分率が小さすぎて

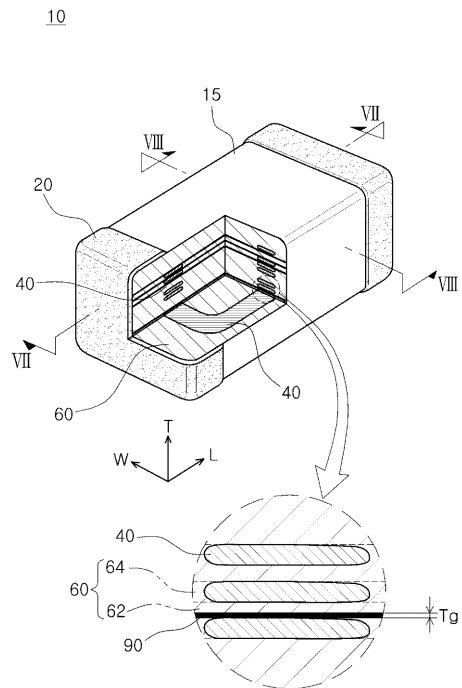
D C バイアス特性が低下する恐れがあり、0.5 を超過する試料 8 は、容量損失の問題が生じる恐れがある。

【符号の説明】

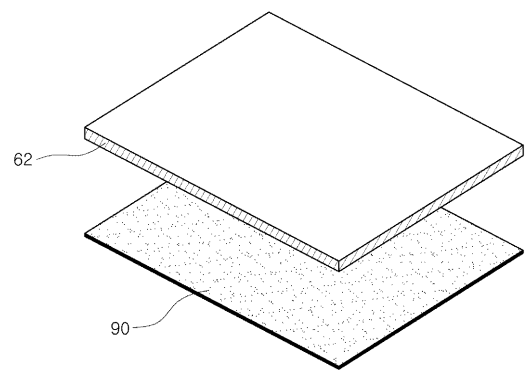
【0102】

- 10 積層チップインダクタ
- 20 外部電極
- 40 導電パターン
- 60 磁性体層
- 80 a、80 b カバー層

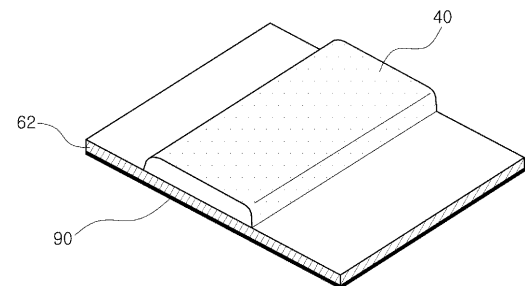
【図1】



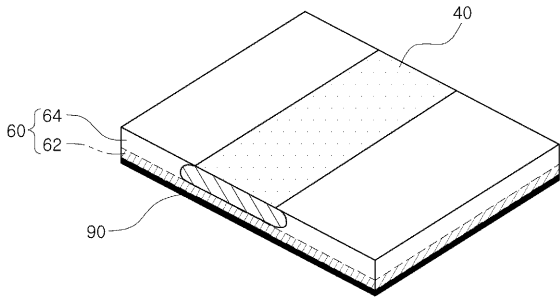
【図2a】



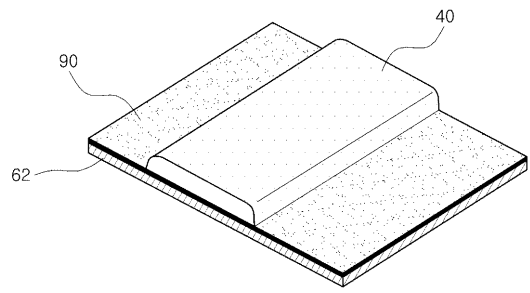
【図2b】



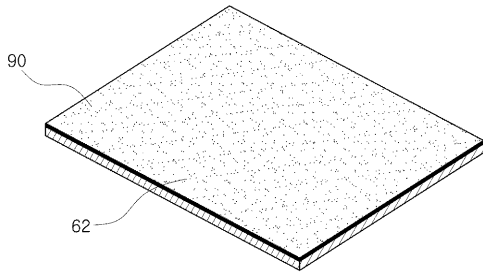
【図 2 c】



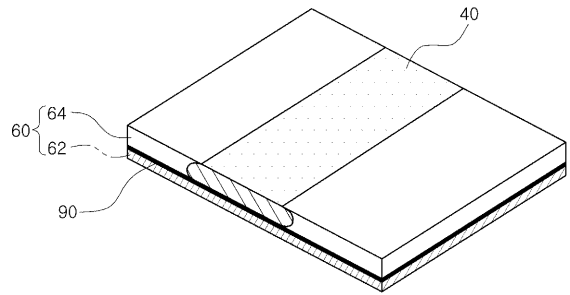
【図 3 b】



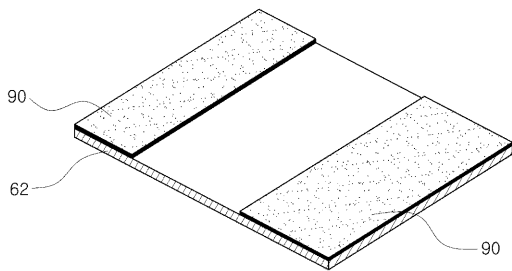
【図 3 a】



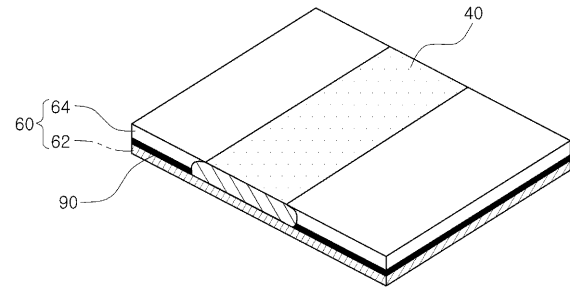
【図 3 c】



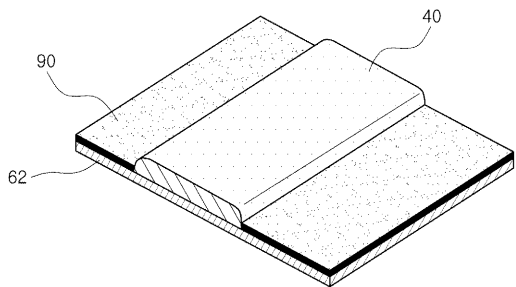
【図 4 a】



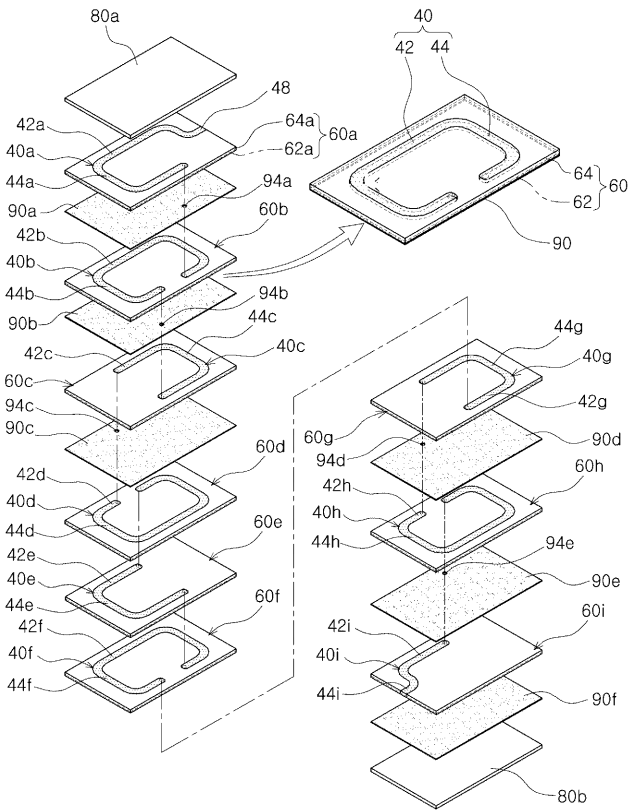
【図 4 c】



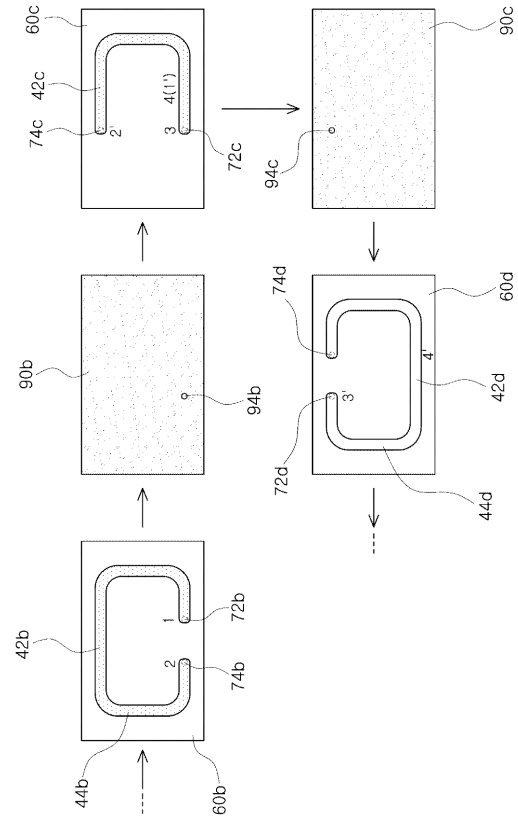
【図 4 b】



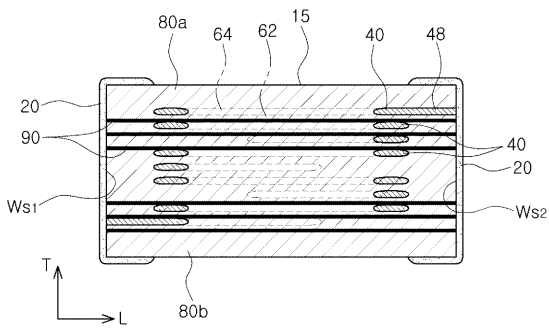
【 図 5 】



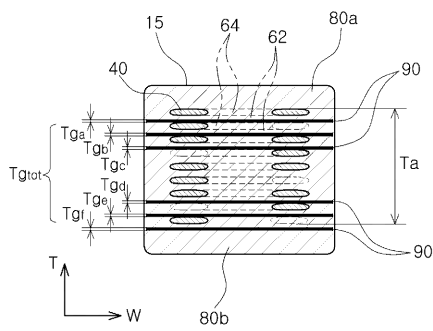
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

- (72)発明者 キム・ミョン・ギ
大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン 3 - ドン 3 1 4、サムソン エレ
クトロ - メカニックス カンパニーリミテッド
- (72)発明者 アン・スン・ヨン
大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン 3 - ドン 3 1 4、サムソン エレ
クトロ - メカニックス カンパニーリミテッド
- (72)発明者 キム・イク・ソブ
大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン 3 - ドン 3 1 4、サムソン エレ
クトロ - メカニックス カンパニーリミテッド
- (72)発明者 ムン・ピョン・チョル
大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン 3 - ドン 3 1 4、サムソン エレ
クトロ - メカニックス カンパニーリミテッド

Fターム(参考) 5E070 AA01 AB01 BA12 BA20 BB01 CB03 CB13 EA01