



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2018년01월22일  
(11) 등록번호 10-1820972  
(24) 등록일자 2018년01월16일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) G02F 1/136 (2006.01)  
H01L 21/336 (2006.01)  
(21) 출원번호 10-2012-7009196  
(22) 출원일자(국제) 2010년09월09일  
심사청구일자 2015년09월07일  
(85) 번역문제출일자 2012년04월10일  
(65) 공개번호 10-2012-0093871  
(43) 공개일자 2012년08월23일  
(86) 국제출원번호 PCT/JP2010/065990  
(87) 국제공개번호 WO 2011/043170  
국제공개일자 2011년04월14일  
(30) 우선권주장  
JP-P-2009-235604 2009년10월09일 일본(JP)  
(56) 선행기술조사문헌  
JP2007059893 A\*  
KR1020060132720 A\*  
KR1020080094483 A\*  
JP2007123861 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
야마자끼 슌페이  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
다카하시 게이  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
이토 요시아끼  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
(74) 대리인  
장수길, 박충범, 이중희

전체 청구항 수 : 총 6 항

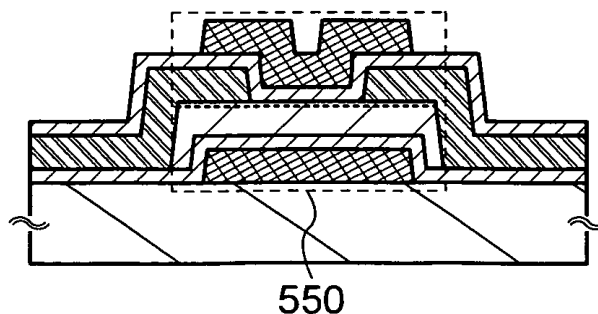
심사관 : 최혜미

(54) 발명의 명칭 반도체 장치 및 그 제조 방법

(57) 요약

목적은 높은 생산성의 반도체 재료 및 새로운 구조를 갖는 반도체 장치를 제공하는 데 있다. 반도체 장치는, 기판 위의 제1 도전층, 제1 도전층을 덮는 제1 절연층, 제1 절연층 위에 있고, 제1 도전층의 일부와 겹치고, 표면 부분에 결정 영역을 갖는 산화물 반도체층, 산화물 반도체층과 접하여 형성된 제2 도전층 및 제3 도전층, 산화물 반도체층, 제2 도전층 및 제3 도전층을 덮는 절연층, 및 절연층 위에 있고, 산화물 반도체층의 일부와 겹치는 제4 도전층을 포함한다.

대표도 - 도13e



## 명세서

### 청구범위

#### 청구항 1

삭제

#### 청구항 2

삭제

#### 청구항 3

삭제

#### 청구항 4

삭제

#### 청구항 5

삭제

#### 청구항 6

삭제

#### 청구항 7

반도체 장치의 제조 방법으로서,

기판 위에 제1 도전층을 형성하는 단계;

상기 제1 도전층 위에 제1 절연층을 형성하는 단계;

상기 제1 절연층 위이고, 상기 제1 도전층과 겹치는 산화물 반도체층을 형성하는 단계;

상기 산화물 반도체층의 결정도(crystallinity)를 증가시키도록 상기 산화물 반도체층을 가열하는 단계;

상기 산화물 반도체층과 접하는 제2 도전층 및 제3 도전층을 형성하는 단계;

상기 산화물 반도체층, 상기 제2 도전층 및 상기 제3 도전층 위에 제2 절연층을 형성하는 단계; 및

상기 제2 절연층 위이고, 상기 산화물 반도체층의 일부와 겹치는 제4 도전층을 형성하는 단계를 포함하고,

상기 제4 도전층은 상기 제2 도전층 및 상기 제3 도전층과 겹치고,

상기 산화물 반도체층은 제1 영역 및 제2 영역을 포함하며, 상기 제1 영역은 상기 제2 영역 위에 있고,

상기 제1 영역은 결정을 포함하고, 상기 결정의 c축은 상기 제2 절연층에 수직이고,

상기 제2 영역은 상기 제1 영역보다 낮은 결정도를 가지고 있고,

상기 제1 영역에 포함된 모든 금속 원소들은 상기 제2 영역에 포함되어 있고, 상기 제2 영역에 포함된 모든 금속 원소들은 상기 제1 영역에 포함되어 있는 반도체 장치의 제조 방법.

#### 청구항 8

제7항에 있어서,

상기 가열의 온도가 500℃ 이상인 반도체 장치의 제조 방법.

#### 청구항 9

제7항에 있어서,

상기 산화물 반도체층은 In-Ga-Zn-O계 타깃을 사용하여 스퍼터링법으로 형성하는 반도체 장치의 제조 방법.

#### 청구항 10

삭제

#### 청구항 11

삭제

#### 청구항 12

삭제

#### 청구항 13

삭제

#### 청구항 14

삭제

#### 청구항 15

반도체 장치의 제조 방법으로서,

기판 위에 제1 도전층을 형성하는 단계;

상기 제1 도전층 위에 제1 절연층을 형성하는 단계;

상기 제1 절연층 위이고, 상기 제1 도전층과 겹치는 산화물 반도체층을 형성하는 단계;

상기 산화물 반도체층에 함유된 수소의 적어도 일부를 제거하도록 상기 산화물 반도체층을 가열하는 단계;

상기 산화물 반도체층과 겹치는 제2 도전층 및 제3 도전층을 형성하는 단계;

상기 산화물 반도체층, 상기 제2 도전층 및 상기 제3 도전층 위에 제2 절연층을 형성하는 단계; 및

상기 제2 절연층 위이고, 상기 산화물 반도체층의 일부와 겹치는 제4 도전층을 형성하는 단계를 포함하고,

상기 제4 도전층은 상기 제2 도전층 및 상기 제3 도전층과 겹치고,

상기 산화물 반도체층은 제1 영역 및 제2 영역을 포함하며, 상기 제1 영역은 상기 제2 영역 위에 있고,

상기 제1 영역은 결정을 포함하고, 상기 결정의 c축은 상기 제2 절연층에 수직이고,

상기 제2 영역은 상기 제1 영역보다 낮은 결정도를 가지고 있고,

상기 제1 영역에 포함된 모든 금속 원소들은 상기 제2 영역에 포함되어 있고, 상기 제2 영역에 포함된 모든 금속 원소들은 상기 제1 영역에 포함되어 있는 반도체 장치의 제조 방법.

#### 청구항 16

제15항에 있어서,

상기 가열의 온도가 500℃ 이상인 반도체 장치의 제조 방법.

#### 청구항 17

제15항에 있어서,

상기 산화물 반도체층은 In-Ga-Zn-O계 타깃을 사용하여 스퍼터링법으로 형성하는 반도체 장치의 제조 방법.

#### 발명의 설명

## 기술분야

[0001] 본 발명의 기술분야는 반도체 장치 및 그 제조 방법에 관한 것이다.

## 배경기술

[0002] 다양한 금속 산화물이 존재하고, 그러한 금속 산화물은 다양한 용도로 사용한다. 예를 들어, 산화인듐은 잘 알려진 재료이고, 액정 디스플레이 등에 필요한 투명 전극의 재료로서 사용한다.

[0003] 몇몇 금속 산화물은 반도체 특성이 있다. 반도체 특성을 갖는 금속 산화물의 예는 산화텅스텐, 산화주석, 산화인듐, 산화아연 등을 포함한다. 이러한 금속 산화물을 사용하여 채널 형성 영역을 형성하는 박막 트랜지스터는 이미 알려져 있다(예를 들어, 특허문헌 1 내지 4, 비특허문헌 1 등 참조).

[0004] 또한, 단성분 산화물뿐만 아니라 다성분 산화물도 금속 산화물로서 알려져 있다. 예를 들어, 동족 계열(homologous series)을 갖는  $\text{InGaO}_3(\text{ZnO})_m$ ( $m$ : 자연수)은 In, Ga 및 Zn을 함유하는 다성분 산화물로서 알려져 있다(예를 들어, 비특허문헌 2 내지 4 등 참조).

[0005] 또한, 이러한 In-Ga-Zn계 산화물을 포함하는 산화물 반도체는 박막 트랜지스터의 채널 형성 영역에 적용할 수 있다는 점이 확인되고 있다(예를 들어, 특허문헌 5, 비특허문헌 5 및 6 등 참조).

## 선행기술문헌

[0006] <특허문헌>

[0007] (특허문헌 1) 일본공개특허출원번호 S60-198861

[0008] (특허문헌 2) 일본공개특허출원번호 H8-264794

[0009] (특허문헌 3) PCT 국제출원의 일본공표번호 H11-505377

[0010] (특허문헌 4) 일본공개특허출원번호 2000-150900

[0011] (특허문헌 5) 일본공개특허출원번호 2004-103957

[0012] <비특허문헌>

[0013] (비특허문헌 1) M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor", Appl. Phys. Lett., 17 June 1996, Vol. 68 pp. 3650-3652

[0014] (비특허문헌 2) M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the  $\text{In}_2\text{O}_3$ - $\text{Ga}_2\text{ZnO}_4$ -ZnO System at 1350°C", J. Solid State Chem., 1991, Vol. 93, pp. 298-315

[0015] (비특허문헌 3) N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds,  $\text{In}_2\text{O}_3(\text{ZnO})_m$ ( $m=3, 4$ , and 5),  $\text{InGaO}_3(\text{ZnO})_3$ , and  $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ( $m=7, 8, 9$ , and 16) in the  $\text{In}_2\text{O}_3$ - $\text{ZnGa}_2\text{O}_4$ -ZnO System", J. Solid State Chem., 1995, Vol. 116, pp. 170-178

[0016] (비특허문헌 4) M. Nakamura, N. Kimizuka, T. Mohri, and M. Isobe, "Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides ( $\text{InFeO}_3(\text{ZnO})_m$ )( $M$ : natural number) and related compound", KOTAI BUTSURI(SOLID STATE PHYSICS), 1993, Vol. 28, No. 5, pp. 317-327

[0017] (비특허문헌 5) K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor", SCIENCE, 2003, Vol. 300, pp. 1269-1272

[0018] (비특허문헌 6) K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors", NATURE, 2004, Vol. 432 pp. 488-492

## 발명의 내용

- [0019] 그러나 실제 상황에서는 그러한 산화물 반도체를 사용하는 경우 반도체 장치의 충분한 특성을 얻지 못했다.
- [0020] 전술한 문제점을 고려하여, 본 발명의 한 실시형태의 목적은 새로운 반도체 재료 및 새로운 구조를 갖는 반도체 장치를 제공하는 데 있다. 대안으로, 본 발명의 한 실시형태의 목적은 새로운 반도체 재료 및 새로운 구조를 갖는 고전력 반도체 장치를 제공하는 데 있다.
- [0021] 본 발명의 한 실시형태는 새로운 구조를 갖는 반도체 장치이다. 표면 부분에 결정 영역을 갖는 산화물 반도체층을 반도체 장치에 사용한다. 반도체 장치는 2개의 도전층으로 전류를 제어한다.
- [0022] 본 발명의 한 실시형태는 새로운 구조를 갖는 반도체 장치이다. 반도체 장치에서 표면 부분에 결정 영역을 갖는 산화물 반도체층을 통해 파괴 전압(breakdown voltage)(예를 들어 드레인 파괴 전압)을 개선한다.
- [0023] 본 발명의 한 실시형태는 반도체 장치의 제조 방법이다.
- [0024] 예를 들어, 본 발명의 한 실시형태는 기판 위의 제1 도전층, 제1 도전층을 덮는 제1 절연층, 제1 절연층 위에 있고, 제1 도전층의 일부와 겹치고, 표면 부분에 결정 영역을 갖는 산화물 반도체층, 산화물 반도체층과 접하여 형성된 제2 도전층 및 제3 도전층, 산화물 반도체층, 제2 도전층 및 제3 도전층을 덮는 절연층, 및 절연층 위에 있고, 산화물 반도체층의 일부와 겹치는 제4 도전층을 포함하는 반도체 장치이다.
- [0025] 상술한 반도체 장치에서, 산화물 반도체층에서 결정 영역 외의 영역은 바람직하게는 비정질이다. 또한, 산화물 반도체층의 결정 영역은 바람직하게는  $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 결정을 함유한다. 또한, 산화물 반도체층은 바람직하게는 In-Ga-Zn-O계 산화물 반도체 재료를 함유한다.
- [0026] 상술한 반도체 장치에서, 제2 도전층, 제3 도전층, 및 제4 도전층은 각각 소스 전극 및 드레인 전극 중 하나, 소스 전극 및 드레인 전극 중 다른 하나, 및 게이트 전극으로서 기능한다. 또한, 제1 도전층은 바람직하게는 산화물 반도체층에서의 전계를 제어하는 기능을 갖는다. 또한, 제2 도전층 또는 제3 도전층은 바람직하게는 산화물 반도체층의 상면 또는 하면에서 산화물 반도체층에 전기적으로 접속되어 있다.
- [0027] 본 발명의 한 실시형태는 기판 위에 제1 도전층을 형성하는 단계; 제1 도전층을 덮는 제1 절연층을 형성하는 단계; 제1 절연층 위에 제1 도전층의 일부와 겹치는 산화물 반도체층을 형성하는 단계; 산화물 반도체층을 가열 처리함으로써 산화물 반도체층의 상면 부분에 결정 영역을 형성하는 단계; 산화물 반도체층과 접하는 제2 도전층 및 제3 도전층을 형성하는 단계; 산화물 반도체층, 제2 도전층 및 제3 도전층을 덮는 절연층을 형성하는 단계; 및 절연층 위에 산화물 반도체층의 일부와 겹치는 제4 도전층을 형성하는 단계를 포함하는 반도체 장치의 제조 방법이다.
- [0028] 상술한 방법에서, 결정 영역은 바람직하게는 산화물 반도체층의 온도가  $500^\circ\text{C}$  이상이 되도록 가열 처리함으로써 형성한다. 또한, 산화물 반도체층은 바람직하게는 In-Ga-Zn-O계 타깃을 사용하여 스퍼터링법으로 형성한다.
- [0029] 본 명세서 등에서, "위"란 용어는 반드시 물체가 또 다른 물체 바로 위에 있음을 의미하지는 않는다. 예를 들어, "물체가 기판 위에 있다"고 기재되어 있는 경우, 물체는 기판의 표면에 대하여 상부에 있다. 즉, "위"란 용어를 사용하는 경우, 몇몇의 경우 물체들 사이에 또 다른 물체가 제공된다.
- [0030] 본 발명의 한 실시형태에 따른 반도체 장치에서, 소위 게이트 전극으로서 기능하는 도전층 외의 도전층을 산화물 반도체층 아래에 형성하는 구조를 이용한다.
- [0031] 이러한 구조로 외부 전계를 차단할 수 있어 반도체 장치에 대한 외부 전계의 부정적인 영향을 줄일 수 있다. 그러므로 산화물 반도체층의 기판 측에 대한 전하의 축적에 기인한 기생 채널의 발생 및 임계 전압의 변동을 방지할 수 있다.
- [0032] 또한, 표면 부분에 결정 영역을 갖는 산화물 반도체층을 사용하여 반도체 장치의 동작 특성을 개선할 수 있다.
- [0033] 상술한 바와 같이, 본 발명의 한 실시형태에 따르면, 산화물 반도체층의 표면 부분의 결정 영역을 통해 반도체 장치의 동작 특성이 개선되고, 도전층의 작용을 통해 더욱 안정한 회로 동작이 실현된다. 또한, 산화물 반도체층의 생산성이 높으므로 우수한 특성을 갖는 반도체 장치를 저비용으로 제공할 수 있다.
- [0034] 또한, 본 발명의 한 실시형태에 따르면, 양호한 반도체 장치의 제조 방법을 제공한다.

### 도면의 간단한 설명

- [0035] 도 1의 A 및 B는 반도체 장치의 구조를 설명하는 단면도 및 평면도이다.

도 2a 내지 2e는 반도체 장치의 제조 방법을 설명하는 단면도이다.  
 도 3의 A 및 B는 반도체 장치의 구조를 설명하는 단면도 및 평면도이다.  
 도 4a 내지 4e는 반도체 장치의 제조 방법을 설명하는 단면도이다.  
 도 5의 A 및 B는 반도체 장치의 구조를 설명하는 단면도 및 평면도이다.  
 도 6a 내지 6d는 반도체 장치의 제조 방법을 설명하는 단면도이다.  
 도 7의 A 내지 C는 반도체 장치의 제조 방법을 설명하는 단면도이다.  
 도 8의 A 및 B는 반도체 장치의 제조 방법을 설명하는 단면도이다.  
 도 9는 DC-DC 컨버터의 구조의 예를 나타낸다.  
 도 10의 A 내지 C는 DC-DC 컨버터에 포함된 회로의 출력 파형의 예를 나타낸다.  
 도 11은 인버터를 구비한 태양광 발전 시스템의 예를 나타낸다.  
 도 12a 내지 12f는 반도체 장치의 제조 방법을 설명하는 단면도이다.  
 도 13a 내지 13e는 반도체 장치의 제조 방법을 설명하는 단면도이다.  
 도 14a 내지 14f는 반도체 장치의 제조 방법을 설명하는 단면도이다.  
 도 15a 내지 15e는 반도체 장치의 제조 방법을 설명하는 단면도이다.  
 도 16의 A 내지 C는 반도체 장치의 제조 방법을 설명하는 단면도이다.  
 도 17의 A 및 B는 반도체 장치의 제조 방법을 설명하는 단면도이다.  
 도 18의 A 내지 C는 반도체 장치의 제조 방법을 설명하는 단면도이다.  
 도 19의 A 및 B는 반도체 장치의 제조 방법을 설명하는 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0036] 이하에서는, 도면을 참조하여 실시형태를 상세하게 설명한다. 본 발명은 이하의 실시형태의 기재 내용에 한정하지 않음을 알아야 한다. 본 기술분야의 통상의 기술자라면 본 명세서 등에서 개시하는 본 발명의 사상을 벗어나지 않으면서 형태 및 세부 사항을 다양하게 변경할 수 있음을 쉽게 인식할 것이다. 상이한 실시형태들의 구조들은 서로 적절하게 조합할 수 있다. 후술하는 본 발명의 구조에서, 동일한 부분 또는 유사한 기능을 갖는 부분은 동일한 참조부호로 표기하고, 그 상세한 설명은 반복하지 않는다.
- [0037] (실시형태 1)
- [0038] 본 실시형태에서, 반도체 장치 및 그 제조 방법의 예는 도 1의 A 및 B와, 도 2a 내지 2e를 참조하여 설명한다. 이하의 설명에서 파워 MOS(MIS)FET를 반도체 장치로서 사용함을 알아야 한다.
- [0039] <반도체 장치의 개요>
- [0040] 도 1의 A 및 B는 반도체 장치의 구조의 예를 나타낸다. 도 1의 A는 단면도에 대응하고, 도 1의 B는 평면도에 대응한다. 또한, 도 1의 A는 도 1의 B의 A-B 라인에 따른 단면에 대응한다. 평면도에서 몇몇 구성 요소는 간소화를 위하여 생략함을 알아야 한다.
- [0041] 도 1의 A 및 B에 도시한 반도체 장치는 기판(100), 소스 전극 및 드레인 전극 중 하나로서 기능하는 도전층(102), 산화물 반도체층(104), 산화물 반도체층(104)의 결정 영역(106), 소스 전극 및 드레인 전극 중 다른 하나로서 기능하는 도전층(108), 게이트 절연층으로서 기능하는 절연층(110), 도전층(108)에 전기적으로 접속된 도전층(112), 도전층(102)에 전기적으로 접속된 도전층(114), 게이트 전극으로서 기능하는 도전층(116) 등을 포함한다.
- [0042] 여기서, 산화물 반도체층(104)은 에너지 갭이 비교적 큰 산화물 반도체 재료를 반도체로서 함유한다. 에너지 갭이 큰 산화물 반도체 재료를 반도체 장치에 사용하는 경우, 반도체 장치의 파괴 전압(예를 들어, 드레인 파괴 전압)을 개선한다.

- [0043] 결정 영역(106)은 산화물 반도체층(104)의 표면 부분(상부 층)에 대응하고, 산화물 반도체층(104)의 일부가 결정화되어 있는 영역이다. 결정 영역(106)을 제공함으로써, 반도체 장치의 파괴 전압(예를 들어, 드레인 파괴 전압)을 더욱 개선할 수 있다. 산화물 반도체층(104)에서 결정 영역(106) 외의 영역들은 바람직하게는 비정질이지만, 그러한 영역들은 비정질 영역에 결정립(crystal grain)을 함유할 수 있거나 미정질일 수 있음을 알아야 한다.
- [0044] 평면도에서, 게이트 전극으로서 기능하는 도전층(116)은 소스 전극 및 드레인 전극 중 다른 하나로서 기능하는 도전층(108) 및 도전층(108)에 전기적으로 접속된 도전층(112) 주위에 제공하고, 소스 전극 및 드레인 전극 중 하나로서 기능하는 도전층(102) 및 도전층(102)에 전기적으로 접속된 도전층(114)은 도전층(116) 주위에 제공한다(도 1의 B 참조).
- [0045] 즉, 소스 전극 및 드레인 전극 중 하나로서 기능하는 도전층(102)은 소스 전극 및 드레인 전극 중 다른 하나로서 기능하는 도전층(108)과 겹치지 않는다. 여기서, "A가 B와 겹치지 않는다"고 기재되어 있는 경우, A 및 B는 평면도에서 A가 B와 동일한 영역을 차지하는 영역을 갖지 않는다. 본 명세서의 다른 부분에 대해서도 동일하게 말할 수 있다.
- [0046] 또한, 게이트 전극으로서 기능하는 도전층(116)은 도전층(102) 및 도전층(108)이 서로 겹치지 않는 영역을 갖는 영역에 제공한다. 즉, 도전층(116)의 적어도 일부는 도전층(102) 및 도전층(108)과 겹치지 않는다. 대조적으로, 도전층(116)의 다른 부분은 도전층(102) 및 도전층(108)과 겹칠 수 있다.
- [0047] 도 1의 A 및 B에서, 도전층(108) 및 도전층(112)은 중앙에 제공하고, 도전층(116), 도전층(102) 및 도전층(114)은 도전층(108) 및 도전층(112) 주위에 제공하지만, 반도체 장치의 레이아웃은 이에 한정하지 않음을 알아야 한다. 구성 요소들의 배열은 반도체 장치의 기능을 손상시키지 않는 경계 내에서 적절하게 변경할 수 있다.
- [0048] 도전층(108)에 전기적으로 접속되어 있는 도전층(112)은 도전층(108)을 외부 배선 등에 전기적으로 접속하기 위한 단자로서 기능하지만, 도전층(108)이 외부 배선 등에 직접 접속할 수 있다면 도전층(112)은 반드시 제공할 필요는 없다. 도전층(114)에 대해서도 동일하게 말할 수 있다. 도 1의 A 및 B에서, 도전층(112)에 전기적으로 접속되어 있는 외부 배선 등은 도시하지 않음을 알아야 한다.
- [0049] 본 실시형태의 반도체 장치의 구조의 세부 사항은 도 1의 A 및 B를 참조하여 후술한다.
- [0050] <기판>
- [0051] 절연 기판, 반도체 기판, 금속 기판 등을 기판(100)으로서 사용한다. 또한, 표면을 절연 재료 등으로 덮은 기판을 사용할 수 있다. 기판(100)은 바람직하게는 산화물 반도체층의 가열을 충분히 견디는 높은 내열성을 가짐을 알아야 한다.
- [0052] 유리 기판, 석영 기판 등을 절연 기판으로서 사용할 수 있다. 또한, 유기 재료, 예컨대 폴리이미드, 폴리아미드, 폴리비닐 페놀, 벤조시클로부텐 수지, 아크릴 수지, 또는 에폭시 수지를 포함하는 절연 기판을 사용할 수 있다. 유기 재료를 포함하는 절연 기판을 사용하는 경우, 공정의 가장 높은 온도를 견딜 수 있는 절연 기판을 선택하는 것이 필요하다.
- [0053] 반도체 기판의 전형적인 예는 실리콘 기판(실리콘 웨이퍼)이다. 복수의 등급의 실리콘 기판이 존재하지만, 특정 수준의 편평도를 갖는다면 저렴한 실리콘 기판을 사용할 수 있다. 예를 들어, 약 6N(99.9999%) 내지 7N(99.99999%)의 순도를 갖는 실리콘 기판을 사용할 수 있다.
- [0054] 금속 기판의 전형적인 예는 알루미늄 기판 및 구리 기판이다. 이러한 금속 기판을 사용하는 경우, 절연 특성을 확보하기 위하여 표면 위에 절연층을 형성할 수 있다. 금속 기판은 높은 열 전도도를 가지므로, 금속 기판은 바람직하게는 높은 발열량을 갖는 파워 MOSFET와 같은 고전력 반도체 장치의 기판으로서 사용한다.
- [0055] <산화물 반도체층>
- [0056] 산화물 반도체층(104)의 반도체 재료의 예로서,  $\text{InMO}_3(\text{ZnO})_m(m>0)$ 으로 표현된 반도체 재료가 있다. 여기서, M은 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn), 코발트(Co) 등으로부터 선택된 하나 이상의 금속 원소를 나타낸다. 예를 들어, M으로서 Ga를 선택하는 경우는 Ga만을 사용하는 경우뿐만 아니라 Ga 및 Ga 외의 상술한 금속 원소, 예컨대 Ni 또는 Fe를 사용하는 경우도 포함한다. 또한, 산화물 반도체에서, 몇몇 경우에는 M으로서 함유된 금속 원소 외에 전이 금속 원소, 예컨대 Fe 또는 Ni 혹은 전이 금속의 산화물을 불순물 원소로서 함유한다. 본 명세서 등에서, 산화물 반도체 중에서 적어도 갈륨을 M으로서 함유하는 산화물 반도체를 In-Ga-Zn-O계 산화물

반도체로서 칭한다.

- [0057] In-Ga-Zn-O계 산화물 반도체 재료는 전계가 없는 경우 충분히 높은 저항을 갖고, 충분히 낮은 오프-상태 전류를 가질 수 있고, 큰 에너지 갭(와이드 갭)을 갖고, 따라서 바람직하게는 파워 MOSFET와 같은 고전력 반도체 장치에 사용한다.
- [0058] 산화물 반도체층(104)의 반도체 재료의 다른 예로서, 예를 들어 In-Sn-Zn-O계 산화물 반도체 재료, In-Al-Zn-O계 산화물 반도체 재료, Sn-Ga-Zn-O계 산화물 반도체 재료, Al-Ga-Zn-O계 산화물 반도체 재료, Sn-Al-Zn-O계 산화물 반도체 재료, In-Zn-O계 산화물 반도체 재료, Sn-Zn-O계 산화물 반도체 재료, Al-Zn-O계 산화물 반도체 재료, In-O계 산화물 반도체 재료, Sn-O계 산화물 반도체 재료, Zn-O계 산화물 반도체 재료 등이 있음을 알아야 한다.
- [0059] (결정 영역(106)을 제외한) 산화물 반도체층(104)은 바람직하게는 비정질 구조를 갖지만, 산화물 반도체층(104)은 결정립을 함유하는 비정질 구조, 미정질 구조 등을 가질 수 있다. 또한, 산화물 반도체층(104)의 두께는 특성, 예컨대 원하는 파괴 전압에 따라 적절히 설정할 수 있다. 구체적으로, 산화물 반도체층(104)의 두께는 대략 100nm 내지 10 $\mu$ m일 수 있다.
- [0060] 결정 영역(106)은 바람직하게는 20nm 이하의 크기를 각각 갖는 미결정(간단히 결정립으로 칭할 수 있음)들이 배열되어 있는 구조를 갖는다. 예를 들어, In-Ga-Zn-O계 산화물 반도체 재료를 사용하여 산화물 반도체층(104)을 형성하는 경우, 결정 영역(106)은 In<sub>2</sub>Ga<sub>2</sub>ZnO<sub>7</sub>의 미결정이 사전설정된 방향으로 배열되어 있는 영역이다. 특히, In<sub>2</sub>Ga<sub>2</sub>ZnO<sub>7</sub>의 c축이 기판의 평면(또는 산화물 반도체층의 표면)에 수직이 되는 방식으로 미결정이 배열되어 있는 경우, 반도체 장치의 파괴 전압을 크게 개선할 수 있어 바람직하다. 이는 In<sub>2</sub>Ga<sub>2</sub>ZnO<sub>7</sub>의 유전율 이방성에 기인한다. b축 방향(또는 a축 방향)에서의 파괴 전압은 c축 방향에서의 파괴 전압에 비해 개선될 수 있다. 미결정의 크기는 예일 뿐이고, 본 발명은 상술한 범위에 한정하는 것으로서 해석하지 않음을 알아야 한다.
- [0061] 반도체 장치에서, 결정 영역(106)은 필수적인 구성 요소가 아님을 알아야 한다. 산화물 반도체 재료를 사용하여 충분히 높은 파괴 전압을 확보할 수 있는 경우, 결정 영역(106)을 반드시 제공할 필요는 없다.
- [0062] <절연층>
- [0063] 게이트 절연층으로서 기능하는 절연층(110)의 절연 재료는 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 산화 탄탈 등으로부터 선택할 수 있다. 대안으로, 이러한 재료의 복합 재료를 사용할 수 있다. 절연층(110)은 임의의 상술한 절연 재료를 사용하여 형성한 층을 포함하는 다층 구조 또는 층형 구조를 가질 수 있다. 일반적으로, MOSFET는 금속, 산화물, 및 반도체를 함유하는 전계 효과 트랜지스터를 의미하지만, 본 발명의 반도체 장치에 사용한 절연층은 산화물에 한정하지 않음을 알아야 한다.
- [0064] 본 명세서 등에서, 산화 질화물은 질소(원자)보다 산소(원자)를 더욱 함유하는 물질을 의미한다. 예를 들어, 산화 질화 실리콘은 산소, 질소, 실리콘, 및 수소를 각각 50 내지 70 원자%, 0.5 내지 15 원자%, 25 내지 35 원자%, 및 0.1 내지 10 원자%의 농도 범위로 함유하는 물질이다. 또한, 질화 산화물은 산소(원자)보다 질소(원자)를 더욱 함유하는 물질을 의미한다. 예를 들어, 질화 산화 실리콘은 산소, 질소, 실리콘, 및 수소를 각각 5 내지 30 원자%, 20 내지 55 원자%, 25 내지 35 원자%, 및 10 내지 25 원자%의 농도 범위로 함유한다. 상술한 농도는 러더포드(Rutherford) 후방 산란 분광분석법(RBS) 또는 수소 전방 산란 분광분석법(HFS)을 이용하여 측정을 수행한 경우의 농도임을 알아야 한다. 또한, 구성 원소의 총 백분율은 100 원자%를 초과하지 않는다.
- [0065] <도전층>
- [0066] 예를 들어, 도전층(102)은 드레인 전극으로서 기능하고, 도전층(108)은 소스 전극으로서 기능하고, 도전층(116)은 게이트 전극으로서 기능한다. 도전층(112) 및 도전층(114)은 외부 배선 등에 전기적 접속을 실현하기 위한 단자로서 기능하지만, 도전층(112) 및 도전층(114)은 필수적인 구성 요소는 아니다.
- [0067] 각 도전층의 도전 재료는 금속 재료, 예컨대 알루미늄, 구리, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 또는 스칸듐; 이러한 금속 재료 중 임의의 금속 재료를 주성분으로서 함유하는 합금 재료; 이러한 금속 재료 중 임의의 금속 재료를 함유하는 질화물 등으로부터 선택할 수 있다. 또한, 투광성 산화물 반도체 재료, 예컨대 산화인듐, 산화인듐과 산화주석의 합금, 산화인듐과 산화아연의 합금, 산화아연, 산화 아연 알루미늄, 산화 질화 아연 알루미늄, 또는 산화 아연 갈륨을 사용할 수 있다. 도전층은 임의의 상술한 도전 재료를

사용하여 형성한 층을 포함하는 단층 구조 또는 층형 구조를 가질 수 있다.

- [0068] 소스 전극으로서 기능하는 도전층(108)은 산화물 반도체층(104) 위에 형성하고, 산화물 반도체층(104)의 상면과 접한다. 드레인 전극으로서 기능하는 도전층(102)은 산화물 반도체층(104) 아래에 형성하고, 산화물 반도체층(104)의 하면과 접한다. 또한, 게이트 전극으로서 기능하는 도전층(116)은 절연층(110) 위에 제공하고, 산화물 반도체층(104)에 전계를 발생시킨다.
- [0069] 소스와 드레인 간의 구별은 편의상 이루어질 뿐이고, 반도체 장치에 포함된 각 구성 요소의 기능이 상술한 명칭에 한정되는 것으로서 해석해서는 안 됨을 알아야 한다. 이는, 소스와 드레인의 기능이 반도체 장치의 동작에 따라 전환될 수 있기 때문이다.
- [0070] 본 실시형태의 반도체 장치의 동작은 간략하게 후술한다.
- [0071] <반도체 장치의 동작>
- [0072] 전자를 캐리어로서 갖는 n형 반도체 장치의 경우, 정상 동작 시 부 바이어스(negative bias)는 소스 전극으로서 기능하는 도전층(108)에 인가하고, 정 바이어스(positive bias)는 드레인 전극으로서 기능하는 도전층(102)에 인가한다.
- [0073] 충분한 두께를 갖는 산화물 반도체층(104)은 소스 전극으로서 기능하는 도전층(108)과 드레인 전극으로서 기능하는 도전층(102) 사이에 제공한다. 또한, 산화물 반도체층(104)은 전계가 없는 경우 와이드 갭(wide gap) 및 충분히 높은 저항을 갖는 산화물 반도체 재료를 사용하여 형성한다. 그러므로 부 바이어스를 도전층(108)에 인가하고 정 바이어스를 도전층(102)에 인가하는 상황에서, 게이트 전극으로서 기능하는 도전층(116)에 바이어스를 인가하지 않거나 도전층(116)에 부 바이어스를 인가하는 경우 매우 적은 양의 전류가 흐른다.
- [0074] 게이트 전극으로서 기능하는 도전층(116)에 정 바이어스를 인가하는 경우, 산화물 반도체층(104)과, 도전층(116)과 겹치는 영역의 절연층(110) 사이의 계면 주위에 음 전하(전자)가 유도되어 채널이 형성된다. 그러므로 소스 전극으로서 기능하는 도전층(108)과 드레인 전극으로서 기능하는 도전층(102) 사이에 전류가 흐른다.
- [0075] 본 발명의 한 실시형태에서 반도체 재료로서 산화물 반도체를 사용하므로, 반도체 장치의 파괴 전압(예를 들어 드레인 파괴 전압)을 개선할 수 있다. 이는, 산화물 반도체의 에너지 갭이 일반적인 반도체 재료의 에너지 갭보다 크기 때문이다.
- [0076] 또한, 미결정이 사전설정된 방향으로 배열되어 있는 결정 영역(106)을 제공함으로써, 반도체 장치의 파괴 전압을 더욱 개선할 수 있다. 예를 들어, In-Ga-Zn-O계 산화물 반도체 재료를 사용하여 산화물 반도체층(104)을 형성하는 경우,  $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 c축이 기판의 평면(또는 산화물 반도체층의 표면)에 수직이 되도록 미결정이 배열되어 있다. 반도체 장치에서 전류가 흐르는 방향이  $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 b축 방향(또는 a축 방향)이고, 따라서 반도체 장치의 파괴 전압을 개선할 수 있다.  $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 결정은 a축 및 b축에 평행한 층들의 층형 구조를 갖도록 형성함을 알아야 한다. 즉,  $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 c축은  $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 결정에 포함된 층에 수직인 방향을 의미한다.
- [0077] <반도체 장치의 제조 공정>
- [0078] 도 1의 A 및 B에 도시한 반도체 장치의 제조 공정은 도 2a 내지 2e를 참조하여 설명한다.
- [0079] 우선, 기판(100) 위에 도전층(102)을 형성한다(도 2a 참조). 기판(100)의 세부 사항은 <기판> 섹션을 참조할 수 있다.
- [0080] 도전층(102)은, <도전층> 섹션에서 예시한 도전 재료를 함유하는 도전층을 스퍼터링법 또는 진공 증착법과 같은 방법으로 기판(100) 위에 성막하고, 이어서 포토리소그래피로 형성한 레지스트 마스크를 사용한 에칭으로 불필요한 부분을 제거하는 방식으로 형성한다. 에칭은 습식 에칭 또는 건식 에칭일 수 있다. 도전층(102) 위에 형성한 각 구성 요소와의 피복성(coverage)을 개선하기 위하여, 에칭은 바람직하게는 도전층(102)의 측면과 도전층(102)의 바닥면 사이의 각도가 예각이 되도록 수행함을 알아야 한다.
- [0081] 도전층(102)이 저 저항 도전 재료, 예컨대 알루미늄 또는 구리를 사용하여 형성한 층과 고 융점 도전 재료, 예컨대 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 또는 스칸듐을 사용하여 형성한 층의 층형 구조를 갖는 경우, 높은 도전성 및 높은 내열성을 실현할 수 있어 바람직하다. 예를 들어, 알루미늄과 몰리브덴의 2층 구조, 구리와 몰리브덴의 2층 구조, 구리와 질화 티타늄의 2층 구조, 구리와 질화 탄탈의 2층 구조 등을 이용할 수 있다. 또한, 질화 티타늄과 몰리브덴의 2층 구조를 이용할 수 있다. 또한, 알루미늄, 알루미늄과 실리콘의

합금, 알루미늄과 티타늄의 합금, 알루미늄과 네오디뮴의 합금 등이 텅스텐, 질화 텅스텐, 질화 티타늄, 티타늄 등의 층들 사이에 개재되어 있는 3층 구조를 이용할 수 있다.

[0082] 다음으로, 도전층(102)을 덮기 위하여 결정 영역(106)을 포함하는 산화물 반도체층(104)을 형성한다(도 2b 참조). 결정 영역(106)이 없는 산화물 반도체층(104)을 형성할 수 있음을 알아야 한다.

[0083] 산화물 반도체층(104)은 <산화물 반도체층> 섹션의 임의의 산화물 반도체 재료를 사용하여 형성한다. 산화물 반도체층(104)은 예를 들어 아르곤을 포함하는 희가스 분위기, 산소 분위기, 또는 희가스와 산소를 혼합한 혼합 분위기에서 스퍼터링법 등으로 성막할 수 있다. 스퍼터링법에서,  $\text{SiO}_2$ 를 2 내지 10 중량% 함유하는 타깃을 사용함으로써 산화물 반도체층(104)에  $\text{SiO}_x(x>0)$ 를 함유시켜 산화물 반도체층(104)의 결정화를 억제할 수 있다. 이러한 방법은 비정질 구조를 갖는 산화물 반도체층(104)을 얻는 데 효과적이다.

[0084] 예를 들어, In, Ga, 및 Zn을 포함하는 산화물 반도체 성막 타깃(예를 들어 In:Ga:Zn=1:1:0.5[원자%], In:Ga:Zn=1:1:1[원자%], 또는 In:Ga:Zn=1:1:2[원자%]의 조성비를 갖는 타깃)을 사용하고; 기판과 타깃 사이의 거리는 100mm이고; 압력은 0.6Pa이고; DC 전력은 0.5kW이고; 분위기는 산소(산소 유량 비율은 100%임) 분위기이다. 따라서, 산화물 반도체층(104)으로서 In-Ga-Zn-0계 비정질 산화물 반도체층을 얻을 수 있다. 전원으로써 펄스 DC 전원을 사용하는 경우, 성막 시 분말형 물질(입자 또는 가루라고도 칭함)을 줄일 수 있고, 두께 분포를 균일하게 할 수 있어 바람직함을 알아야 한다.

[0085] <산화물 반도체층> 섹션에서 기술한 바와 같이, 산화물 반도체층(104)의 두께는 원하는 파괴 전압과 같은 특성에 따라 적절히 설정할 수 있다. 예를 들어, 산화물 반도체층(104)의 두께는 대략 100nm 내지 10 $\mu\text{m}$ 일 수 있다.

[0086] 결정 영역(106)은 산화물 반도체층(104)을 형성한 후 수행한 가열 처리를 통해 형성한다. 가열 처리를 통해 산화물 반도체층(104)에 함유된  $\text{H}_2$ , H, OH 등을 제거하므로 가열 처리는 탈수화 처리 또는 탈수소화 처리로 칭할 수 있음을 알아야 한다.

[0087] 가열 처리로서, 고온 불활성 가스(예를 들어 질소 또는 희가스)를 사용하는 RTA(급속 열 어닐링) 처리를 이용할 수 있다. 여기서, 가열 처리의 온도는 바람직하게는 500℃ 이상이다. 가열 처리 온도의 상한은 특정 온도에서 특별히 한정하지 않지만, 기판(100)의 내열성 내의 상한으로 설정할 필요가 있다. 또한, 가열 처리를 위한 시간은 바람직하게는 1분 내지 10분이다. 예를 들어, RTA 처리는 바람직하게는 650℃에서 약 3분 내지 6분 동안 수행한다. RTA 처리로 가열 처리를 단시간 수행할 수 있고, 따라서 기판(100)에 대한 열의 부정적인 영향을 줄일 수 있다. 즉, 가열 처리를 장시간 수행하는 경우에 비해 가열 처리 온도의 상한을 높일 수 있다. 가열 처리의 타이밍은 상술한 타이밍에 한정하지 않고, 다른 공정의 전 또는 후에 가열 처리를 수행할 수 있음을 알아야 한다. 또한, 가열 처리의 횟수는 1회에 한정하지 않고, 가열 처리는 복수 회 수행할 수 있다.

[0088] 가열 처리에서, 수소(물을 포함함) 등은 처리 분위기에 함유되지 않는 것이 바람직하다. 예를 들어, 가열 처리 장치에 도입된 불활성 가스의 순도는 6N(99.9999%, 즉 불순물 농도가 1ppm 이하임) 이상, 바람직하게는 7N(99.99999%, 즉 불순물 농도가 0.1ppm 이하임) 이상이다.

[0089] 가열 처리를 통해 산화물 반도체층(104)의 표면 부분을 결정화하여, 미결정이 배열되어 있는 결정 영역(106)을 형성한다. 산화물 반도체층(104)의 다른 영역들은 비정질 구조, 비정질 구조와 미정질 구조가 서로 혼합되어 있는 구조, 또는 미정질 구조를 갖는다. 결정 영역(106)은 산화물 반도체층(104)의 일부이고, 산화물 반도체층(104)은 결정 영역(106)을 포함함을 알아야 한다. 여기서, 결정 영역(106)의 두께는 바람직하게는 20nm 이하이다. 이는, 결정 영역이 두꺼운 경우 반도체 장치의 특성이 결정 영역(106)에만 좌우되기 때문이다.

[0090] 가열 처리 후 산화물 반도체층(104)에 수소(물을 포함함)가 침입하는 것을 방지하는 것이 중요함을 알아야 한다. 수소(물을 포함함)의 침입을 방지하기 위하여, 적어도 가열 처리 및 나중의 냉각 공정에서 기판을 대기 중에 노출하지 않는 것이 필요하다. 이는, 예를 들어 가열 처리 및 나중의 냉각 공정을 동일한 분위기에서 수행하는 경우 실현된다. 물론, 냉각 공정의 분위기는 가열 처리 분위기와 상이할 수 있다. 이 경우, 냉각 공정의 분위기는 예를 들어 산소 가스,  $\text{N}_2\text{O}$  가스, 또는 초건조 에어(-40℃ 이하, 바람직하게는 -60℃ 이하의 노점을 가짐)의 분위기일 수 있다.

[0091] 다음으로, 도전층(102)과 겹치지 않는 산화물 반도체층(104) 위의 영역에 도전층(108)을 형성한다(도 2c 참조).

[0092] 도전층(108)은 도전층(102)과 유사한 방식으로 형성할 수 있다. 즉, 도전층(108)은, 스퍼터링법 또는 진공 증착법과 같은 방법으로 도전층을 성막하고, 이어서 레지스트 마스크를 사용한 에칭으로 불필요한 부분을 제거하

는 방식으로 형성한다. 에칭은 습식 에칭 또는 건식 에칭일 수 있다. 산화물 반도체층(104)의 표면 부분에 결정 영역(106)을 형성하는 경우, 결정 영역(106)은 에칭으로 제거하지 않는 것이 필요하다.

- [0093] 예를 들어, 티타늄과 같은 도전 재료를 도전층(108)에 사용하는 경우, 과산화수소수 또는 가열 염산을 에천트로서 사용하는 습식 에칭을 이용하는 것이 바람직하다. 도전층(108)의 도전 재료와 산화물 반도체 재료 간의 에칭 선택비가 충분히 높은 조건하에서 에칭을 이러한 방식으로 수행하는 경우, 표면 부분의 결정 영역(106)은 남을 수 있다.
- [0094] 다음으로, 산화물 반도체층(104) 및 도전층(108)을 덮기 위하여 절연층(110)을 형성한다(도 2d 참조).
- [0095] 절연층(110)은 <절연층> 섹션에서 기술한 절연 재료를 사용하여 형성할 수 있다. 성막 방법으로서, CVD법(플라즈마-강화 CVD법을 포함함), 스퍼터링법 등을 이용할 수 있다. 절연층(110)의 두께는 반도체 장치의 특성에 따라 적절히 설정할 수 있지만, 절연층(110)의 두께는 바람직하게는 10nm 내지 1 $\mu$ m임을 알아야 한다.
- [0096] 이어서, 절연층(110) 등을 선택적으로 제거함으로써 도전층(102) 및 도전층(108)에 도달하는 개구를 형성하고, 이어서 도전층(108)에 전기적으로 접속하는 도전층(112), 도전층(102)에 전기적으로 접속하는 도전층(114), 및 도전층(116)을 형성한다(도 2e 참조).
- [0097] 절연층(110) 등의 제거는 레지스트 마스크를 사용한 에칭으로 수행할 수 있다. 에칭은 습식 에칭 또는 건식 에칭일 수 있다.
- [0098] 도전층(112, 114 및 116)은 다른 도전층들과 유사한 방식으로 형성할 수 있다. 즉, 도전층(112, 114 및 116) 각각은, 스퍼터링법 또는 진공 증착법과 같은 방법으로 도전층을 성막하고, 이어서 레지스트 마스크를 사용한 에칭으로 불필요한 부분을 제거하는 방식으로 형성한다. 에칭은 습식 에칭 또는 건식 에칭일 수 있다.
- [0099] 상술한 바와 같이, 파워 MOSFET로 불리는 반도체 장치를 제조할 수 있다. 본 실시형태에서 기술한 바와 같이, 산화물 반도체 재료를 반도체층에 사용하는 경우, 반도체 장치의 파괴 전압을 개선한다. 특히, 결정 영역을 갖는 산화물 반도체층을 사용하는 경우, 반도체 장치의 파괴 전압을 더욱 개선할 수 있다. 또한, 산화물 반도체층은 스퍼터링법과 같은 생산적인 방법을 이용하여 성막하므로, 반도체 장치의 생산성을 높일 수 있고, 제조 비용을 줄일 수 있다.
- [0100] 본 실시형태에서 기술한 구조, 방법 등은 임의의 다른 실시형태와 적절히 조합할 수 있다.
- [0101] (실시형태 2)
- [0102] 본 실시형태에서, 반도체 장치 및 그 제조 방법의 다른 예는 도 3의 A 및 B와, 도 4a 내지 4e를 참조하여 설명한다. 본 실시형태에서 기술하는 반도체 장치 및 전술한 실시형태의 반도체 장치는 많은 공통점이 있음을 알아야 한다. 그러므로 공통 부분의 설명은 생략하고, 상이한 점을 주로 설명한다.
- [0103] <반도체 장치의 개요>
- [0104] 도 3의 A 및 B는 반도체 장치의 구조의 다른 예를 나타낸다. 도 3의 A는 단면도에 대응하고, 도 3의 B는 평면도에 대응한다. 또한, 도 3의 A는 도 3의 B의 A-B 라인에 따른 단면에 대응한다.
- [0105] 도 3의 A 및 B에 도시한 반도체 장치의 구성 요소는 도 1의 A 및 B에 도시한 반도체 장치의 구성 요소와 유사하다. 즉, 도 3의 A 및 B에 도시한 반도체 장치는 기판(100), 소스 전극 및 드레인 전극 중 하나로서 기능하는 도전층(102), 산화물 반도체층(104), 산화물 반도체층(104)의 결정 영역(106), 소스 전극 및 드레인 전극 중 다른 하나로서 기능하는 도전층(108), 게이트 절연층으로서 기능하는 절연층(110), 도전층(108)에 전기적으로 접속된 도전층(112), 도전층(102)에 전기적으로 접속된 도전층(114), 게이트 전극으로서 기능하는 도전층(116) 등을 포함한다.
- [0106] 도 3의 A 및 B에 도시한 반도체 장치는 산화물 반도체층(104)이 패터닝되어 있다는 점에서 도 1의 A 및 B에 도시한 반도체 장치와 상이하다. 도 3의 A 및 B의 구조를 이용하는 경우에도 도 3의 A 및 B에 도시한 반도체 장치는 도 1의 A 및 B에 도시한 반도체 장치와 유사한 방식으로 동작하고, 도 1의 A 및 B에 도시한 반도체 장치와 유사한 유리한 효과를 얻을 수 있다.
- [0107] <반도체 장치의 제조 공정>
- [0108] 반도체 장치의 제조 공정은 기본적으로는 도 2a 내지 2e와 유사하다. 반도체 장치의 제조 공정은 도 4a 내지 4e를 참조하여 간략하게 후술한다.

- [0109] 우선, 기판(100) 위에 도전층(102)을 형성한다(도 4a 참조). 세부 사항은 전술한 실시형태를 참조할 수 있다.
- [0110] 다음으로, 도전층(102)을 덮기 위하여 결정 영역(106)을 포함하는 산화물 반도체층(104)을 형성한다(도 4b 참조). 산화물 반도체층(104)의 형성 방법은 전술한 실시형태의 형성 방법과 유사하지만, 본 실시형태의 산화물 반도체층(104)은 도전층(102)의 일부를 덮기 위하여 형성되어 있다는 점에서 전술한 실시형태의 산화물 반도체층(104)과 상이하다.
- [0111] 본 실시형태의 산화물 반도체층(104)은, 예를 들어 전술한 실시형태에서 예시한 방법으로 산화물 반도체층(결정 영역을 포함함)을 성장하고, 이어서 산화물 반도체층을 패터닝하는 방식으로 얻을 수 있다. 패터닝은 레지스트 마스크를 사용한 에칭으로 수행할 수 있다. 에칭은 습식 에칭 또는 건식 에칭일 수 있지만, 결정 영역이 남도록 에칭을 수행하는 것이 바람직하다.
- [0112] 다음으로, 도전층(102)과 겹치지 않는 산화물 반도체층(104) 위의 영역에 도전층(108)을 형성한다(도 4c 참조). 세부 사항은 전술한 실시형태를 참조할 수 있다.
- [0113] 다음으로, 산화물 반도체층(104) 및 도전층(108)을 덮기 위하여 절연층(110)을 형성한다(도 4d 참조). 절연층(110)의 세부 사항은 전술한 실시형태를 참조할 수 있다.
- [0114] 이어서, 절연층(110) 등을 선택적으로 제거함으로써 도전층(102) 및 도전층(108)에 도달하는 개구를 형성하고, 이어서 도전층(108)에 전기적으로 접속하는 도전층(112), 도전층(102)에 전기적으로 접속하는 도전층(114), 및 도전층(116)을 형성한다(도 4e 참조). 세부 사항은 전술한 실시형태를 참조할 수 있다.
- [0115] 상술한 바와 같이, 파워 MOSFET로 불리는 반도체 장치를 제조할 수 있다. 본 실시형태에서 기술한 구조, 방법 등은 임의의 다른 실시형태와 적절히 조합할 수 있다.
- [0116] (실시형태 3)
- [0117] 본 실시형태에서, 반도체 장치 및 그 제조 방법의 다른 예는 도 5의 A 및 B와, 도 6a 내지 6d를 참조하여 설명한다. 본 실시형태에서 기술하는 반도체 장치 및 전술한 실시형태의 반도체 장치는 많은 공통점이 있음을 알아야 한다. 그러므로 공통 부분의 설명은 생략하고, 상이한 점을 주로 설명한다.
- [0118] <반도체 장치의 개요>
- [0119] 도 5의 A 및 B는 반도체 장치의 구조의 다른 예를 나타낸다. 도 5의 A는 단면도에 대응하고, 도 5의 B는 평면도에 대응한다. 또한, 도 5의 A는 도 5의 B의 A-B 라인에 따른 단면에 대응한다.
- [0120] 도 5의 A 및 B에 도시한 반도체 장치는 전술한 실시형태에서 기술한 반도체 장치의 도전층(102)을 도전층(109)으로 대체한 반도체 장치에 대응한다. 즉, 도 5의 A 및 B에 도시한 반도체 장치는 기판(100), 소스 전극 및 드레인 전극 중 하나로서 기능하는 도전층(109), 산화물 반도체층(104), 산화물 반도체층(104)의 결정 영역(106), 소스 전극 및 드레인 전극 중 다른 하나로서 기능하는 도전층(108), 게이트 절연층으로서 기능하는 절연층(110), 도전층(108)에 전기적으로 접속된 도전층(112), 도전층(109)에 전기적으로 접속된 도전층(114), 게이트 전극으로서 기능하는 도전층(116) 등을 포함한다.
- [0121] 도전층(109)은 도전층(108)과 동일한 층을 사용하여 형성한다. 도전층(102)을 도전층(109)으로 대체함으로써, 모든 도전층을 산화물 반도체층(104) 위에 제공한다. 따라서, 산화물 반도체층(104)의 표면 편평도가 개선된다.
- [0122] 상술한 구조를 이용하는 경우, 전술한 실시형태에서 기술한 반도체 장치와는 다르게, 캐리어는 산화물 반도체층(104)의 표면 부분(즉, 결정 영역(106))에만 흐른다. 그러므로 결정 영역(106)의 유리한 효과가 더욱 현저하다.
- [0123] <반도체 장치의 제조 공정>
- [0124] 반도체 장치의 제조 공정은, 도전층(102)을 형성하지 않고, 도전층(109)을 도전층(108)과 동시에 형성한다는 점을 제외하고는 도 2a 내지 2e 및 도 4a 내지 4e와 유사하다. 반도체 장치의 제조 공정은 도 6a 내지 6d를 참조하여 간략하게 후술한다.
- [0125] 우선, 기판(100) 위에 산화물 반도체층(104)을 형성한다(도 6a 참조). 산화물 반도체층(104)의 형성 등의 세부 사항은 전술한 실시형태를 참조할 수 있다.

- [0126] 다음으로, 산화물 반도체층(104) 위에 도전층(108) 및 도전층(109)을 형성한다(도 6b 참조). 도전층(109)은 도전층(108)과 유사한 방식으로 형성할 수 있다. 도전층(108) 및 도전층(109)은 서로 분리되어 있음을 알아야 한다. 도전층(108)의 형성 등의 세부 사항은 전술한 실시형태를 참조할 수 있다.
- [0127] 다음으로, 산화물 반도체층(104), 도전층(108), 및 도전층(109)을 덮기 위하여 절연층(110)을 형성한다(도 6c 참조). 절연층(110)의 세부 사항은 전술한 실시형태를 참조할 수 있다.
- [0128] 이어서, 절연층(110) 등을 선택적으로 제거함으로써 도전층(108) 및 도전층(109)에 도달하는 개구를 형성하고, 이어서 도전층(108)에 전기적으로 접속하는 도전층(112), 도전층(109)에 전기적으로 접속하는 도전층(114), 및 도전층(116)을 형성한다(도 6d 참조). 세부 사항은 전술한 실시형태를 참조할 수 있다.
- [0129] 상술한 바와 같이, 파워 MOSFET로 불리는 반도체 장치를 제조할 수 있다. 본 실시형태에서 기술한 구조, 방법 등은 임의의 다른 실시형태와 적절히 조합할 수 있다.
- [0130] (실시형태 4)
- [0131] 본 실시형태에서, 소위 파워 MOSFET 및 박막 트랜지스터를 동일한 기판 위에 유사한 공정으로 제조하는 방법의 예는 도 7의 A 내지 C 및 도 8의 A 및 B를 참조하여 설명한다. 도 1의 A 및 B에 예시한 반도체 장치를 파워 MOSFET로서 형성하는 예를 후술함을 알아야 한다.
- [0132] 본 실시형태에서 예시한 반도체 장치의 제조 공정은 도 2a 내지 2e의 공정에 박막 트랜지스터의 제조 공정을 부가함으로써 얻은 공정에 대응한다. 즉, 기본적인 제조 공정은 도 2a 내지 2e에 예시한 공정과 유사하다. 파워 MOSFET 및 박막 트랜지스터는 일반적으로 요구되는 특성이 상이함을 알아야 한다. 파워 MOSFET 및 박막 트랜지스터의 크기 등은 바람직하게는 요구되는 특성에 따라 적절하게 설정한다. 파워 MOSFET 및 박막 트랜지스터는 도 7의 A 내지 C 및 도 8의 A 및 B에 대략 동일한 스케일로 나타내지만, 이러한 스케일은 이해를 용이하게 하기 위한 것이고, 실제 크기의 관계를 규정하지는 않는다.
- [0133] 우선, 기판(100) 위에 도전층(102)을 형성한다(도 7의 A 참조). 세부 사항은 전술한 실시형태를 참조할 수 있다.
- [0134] 다음으로, 도전층(102)을 덮기 위하여 결정 영역(106)을 포함하는 산화물 반도체층(104)을 형성하고, 박막 트랜지스터의 구성 요소인 결정 영역(206)을 포함하는 산화물 반도체층(204)을 형성한다(도 7의 B 참조). 산화물 반도체층(104 및 204) 각각은, 예를 들어 전술한 실시형태에서 예시한 방법으로 산화물 반도체층(결정 영역을 포함함)을 성막하고, 이어서 산화물 반도체층을 패터닝하는 방식으로 얻을 수 있다. 패터닝은 레지스트 마스크를 사용한 에칭으로 수행할 수 있다. 에칭은 습식 에칭 또는 건식 에칭일 수 있지만, 산화물 반도체층의 결정 영역이 남도록 에칭을 수행하는 것이 바람직하다.
- [0135] 이어서, 도전층(102)과 겹치지 않는 산화물 반도체층(104) 위의 영역에 도전층(108)을 형성하고, 산화물 반도체층(204) 위에 도전층(208 및 209)을 형성한다(도 7의 C 참조). 여기서, 도전층(208)은 박막 트랜지스터의 소스 전극 및 드레인 전극 중 하나로서 기능하고, 도전층(209)은 박막 트랜지스터의 소스 전극 및 드레인 전극 중 다른 하나로서 기능한다. 도전층(208 및 209)의 제조 공정은 도전층(108)의 제조 공정과 유사하다. 도전층(108)의 제조 공정의 세부 사항은 전술한 실시형태를 참조할 수 있다.
- [0136] 다음으로, 산화물 반도체층(104), 도전층(108), 산화물 반도체층(204), 도전층(208), 및 도전층(209)을 덮기 위하여 절연층(110)을 형성한다(도 8의 A 참조). 절연층(110)은 박막 트랜지스터의 게이트 절연층으로서 또한 기능한다. 절연층(110)의 제조 공정의 세부 사항은 전술한 실시형태를 참조할 수 있다.
- [0137] 이어서, 절연층(110) 등을 선택적으로 제거함으로써 도전층(102), 도전층(108), 도전층(208), 및 도전층(209)에 도달하는 개구를 형성하고, 이어서 도전층(108)에 전기적으로 접속하는 도전층(112), 도전층(102)에 전기적으로 접속하는 도전층(114), 도전층(116), 도전층(208)에 전기적으로 접속하는 도전층(212), 도전층(209)에 전기적으로 접속하는 도전층(214), 및 도전층(216)을 형성한다(도 8의 B 참조). 도전층(212, 214 및 216)의 제조 공정은 도전층(112, 114 및 116)의 제조 공정과 유사하다. 세부 사항은 전술한 실시형태를 참조할 수 있다.
- [0138] 이러한 방식으로, 파워 MOSFET 및 박막 트랜지스터를 동일한 기판 위에 유사한 공정으로 형성할 수 있다.
- [0139] 본 실시형태에서 예시하는 방법 등으로 파워 MOSFET 및 박막 트랜지스터를 동일한 기판 위에 유사한 공정으로 형성할 수 있다. 그러므로 다양한 집적회로 및 전력 회로를 동일한 기판 위에 형성할 수 있다.
- [0140] 본 실시형태에서, 파워 MOSFET의 산화물 반도체층(104) 및 박막 트랜지스터의 산화물 반도체층(204)은 동일한

공정으로 형성하지만, 산화물 반도체층의 요구되는 두께는 몇몇 경우에서 파워 MOSFET와 박막 트랜지스터 사이에서 상이하다. 그러므로 산화물 반도체층(104) 및 산화물 반도체층(204)을 상이한 공정으로 형성할 수 있다. 구체적으로, 산화물 반도체층(104) 및 산화물 반도체층(204)을 다음과 같이 형성할 수 있다. 산화물 반도체층의 제조 공정을 두 단계로 분리하는데, 산화물 반도체층(104) 및 산화물 반도체층(204) 중 하나를 제1 단계에서 제조하고, 산화물 반도체층(104) 및 산화물 반도체층(204) 중 다른 하나를 제2 단계에서 제조한다. 대안으로, 두꺼운 산화물 반도체층을 에칭 등으로 선택적으로 얇게 하여 산화물 반도체층(104) 및 산화물 반도체층(204)을 제조한다.

- [0141] 절연층(110)에 대해서도 동일하게 말할 수 있다. 파워 MOSFET와 박막 트랜지스터의 절연층(110)이 상이한 두께를 갖도록 별도로 형성한다. 구체적으로, 절연층(110)을 다음과 같이 형성한다. 절연층의 제조 공정을 두 단계로 분리하는데, 산화물 반도체층(104) 위에 형성된 절연층 및 산화물 반도체층(204) 위에 형성된 절연층 중 하나를 제1 단계에서 제조하고, 산화물 반도체층(104) 위에 형성된 절연층 및 산화물 반도체층(204) 위에 형성된 절연층 중 다른 하나를 제2 단계에서 제조한다. 대안으로, 두꺼운 절연층을 에칭 등으로 선택적으로 얇게 하여 산화물 반도체층(104) 위에 형성된 절연층 및 산화물 반도체층(204) 위에 형성된 절연층을 제조한다.
- [0142] 본 실시형태에서 기술한 구조, 방법 등은 임의의 다른 실시형태와 적절히 조합할 수 있다.
- [0143] (실시형태 5)
- [0144] 본 실시형태에서, 본 발명의 반도체 장치를 포함하는 회로의 예는 도 9 및 도 10의 A 내지 C를 참조하여 설명한다. 전력 회로(예를 들어 전력 변환 회로)의 예인 DC-DC 컨버터를 후술함을 알아야 한다.
- [0145] DC-DC 컨버터는 DC 전압을 상이한 DC 전압으로 변환하기 위한 회로이다. DC-DC 컨버터의 전형적인 변환 방법은 선형 방법 및 스위칭 방법이다. 스위칭 타입 DC-DC 컨버터는 높은 변환 효율을 가지므로, 이러한 DC-DC 컨버터는 전자 장치의 전력 절약이 이루어지는 경우 바람직하다. 여기서, 스위칭 타입 DC-DC 컨버터, 특히 초퍼(chopper) DC-DC 컨버터를 설명한다.
- [0146] 도 9에 도시한 DC-DC 컨버터는 전원(300), 기준 전압 생성 회로(302), 기준 전류 생성 회로(304), 에러 증폭기(306), PWM 버퍼(308), 삼각파 생성 회로(310), 코일(312), 파워 MOSFET(314), 다이오드(316), 커패시터(318), 저항기(320), 저항기(322) 등을 포함한다. 여기서, n채널 파워 MOSFET를 파워 MOSFET(314)로서 사용함을 알아야 한다.
- [0147] 기준 전압 생성 회로(302)는 다양한 기준 전압( $V_{ref}$ )을 생성한다. 또한, 기준 전류 생성 회로(304)는 기준 전압 생성 회로(302)에서 생성된 기준 전압( $V_{ref}$ )을 이용하여 기준 전류( $I_{ref}$ ) 또는 바이어스 전류를 생성한다.
- [0148] 에러 증폭기(306)는 기준 전압 생성 회로(302)에서 생성된 기준 전압( $V_{ref}$ )과 피드백 전압( $V_{FB}$ ) 간의 차를 적분하고, 적분 값을 PWM 버퍼(308)에 출력한다. 삼각파 생성 회로(310)는 기준 전압( $V_{ref}$ )과 기준 전류( $I_{ref}$ )로부터 삼각파를 생성하고, 삼각파를 PWM 버퍼(308)에 출력한다.
- [0149] PWM 버퍼(308)는 에러 증폭기(306)로부터의 출력과 삼각파 생성 회로(310)로부터의 삼각파를 비교하고, 펄스 신호를 파워 MOSFET(314)에 출력한다.
- [0150] PWM 버퍼(308)로부터의 펄스 신호가 고 전위를 갖는 경우, n채널 파워 MOSFET(314)는 온이 되고, 다이오드(316)의 입력 측의 전위는 접지 전위(저 전위)가 된다. 그러므로 펄스 신호가 고 전위를 갖는 기간 동안 출력 전압( $V_{OUT}$ )은 점차 낮아진다.
- [0151] 반대로, PWM 버퍼(308)로부터의 펄스 신호가 저 전위를 갖는 경우, n채널 파워 MOSFET(314)는 오프가 되고, 다이오드(316)의 입력 측의 전위는 상승한다. 그러므로 펄스 신호가 저 전위를 갖는 기간 동안 출력 전압( $V_{OUT}$ )은 점차 증가한다.
- [0152] PWM 버퍼(308)로부터의 펄스 신호에 기인한 출력 전압( $V_{OUT}$ )의 변화는 매우 작다. 따라서, DC-DC 컨버터로 출력 전압의 수준을 실질적으로 일정하게 유지할 수 있다.
- [0153] DC-DC 컨버터에서, 코일(312)은 파워 MOSFET(314)의 스위칭에 기인한 전류 변화를 감소시키기 위하여 제공함을 알아야 한다. 또한, 커패시터(318)는 출력 전압( $V_{OUT}$ )의 급격한 변동을 억제하기 위하여 제공한다. 또한, 저항기(320 및 322)는 출력 전압( $V_{OUT}$ )으로부터 피드백 전압( $V_{FB}$ )을 생성하기 위하여 제공한다.

- [0154] 도 10의 A 내지 C는 DC-DC 컨버터에 포함된 회로들의 출력 파형의 예를 나타낸다.
- [0155] 도 10의 A는 삼각파 생성 회로(310)로부터 출력된 삼각파(350)를 나타낸다. 도 10의 B는 에러 증폭기(306)로부터의 출력 파형(352)을 나타낸다.
- [0156] 도 10의 C는 PWM 버퍼(308)에서 생성된 펄스 신호(354)를 나타낸다. 삼각파(350) 및 출력 파형(352)이 PWM 버퍼(308)에 입력되면, PWM 버퍼(308)는 이러한 파들을 서로 비교하여 펄스 신호(354)를 생성한다. 이어서, 펄스 신호(354)는 파워 MOSFET(314)에 출력되고, 출력 전압( $V_{OUT}$ )의 수준이 결정된다.
- [0157] 상술한 바와 같이, 본 발명의 파워 MOSFET는 DC-DC 컨버터에 적용할 수 있다. 본 발명의 파워 MOSFET는 높은 파괴 전압을 갖고, 파워 MOSFET를 포함하는 DC-DC 컨버터의 신뢰성을 개선할 수 있다. 또한, 본 발명의 파워 MOSFET의 제조 비용을 억제하여 파워 MOSFET를 포함하는 DC-DC 컨버터의 제조 비용을 억제한다. 이러한 방식으로 본 발명의 반도체 장치를 전자 회로에 사용함으로써, 신뢰성 향상 및 제조 비용 감소와 같은 유리한 효과를 얻을 수 있다.
- [0158] 본 실시형태에서 예시한 DC-DC 컨버터는 본 발명의 반도체 장치를 포함하는 전력 회로의 예일 뿐임을 알아야 한다. 물론, 본 발명의 반도체 장치를 다른 회로에 사용할 수 있다. 본 실시형태에서 기술한 구조, 방법 등은 임의의 다른 실시형태와 적절히 조합할 수 있다.
- [0159] (실시형태 6)
- [0160] 본 실시형태에서, 본 발명의 반도체 장치를 사용하여 형성한 인버터를 구비한 태양광 발전 시스템의 예는 도 11을 참조하여 설명한다. 여기서, 주택 태양광 발전 시스템의 구조의 예를 설명함을 알아야 한다.
- [0161] 도 11에 도시한 주택 태양광 발전 시스템은 전력을 공급하기 위한 방법이 태양광 발전의 상황에 따라 변하는 시스템이다. 예를 들어, 태양광 발전을 수행하는 경우(예를 들어 맑은 하늘의 경우), 태양광 발전으로 발생한 전력은 가정에서 소비하고, 잉여 전력은 전력 회사로부터의 배전선(414)에 공급한다. 반대로, 태양광 발전으로 발생한 전력량이 충분하지 않은 경우(예를 들어 밤 또는 비의 경우), 배전선(414)으로부터 전기가 공급되어 가정에서 소비된다.
- [0162] 도 11에 도시한 주택 태양광 발전 시스템은 태양광을 전력(DC 전력)으로 변환하기 위한 태양 전지 패널(400), DC 전력을 AC 전력으로 변환하기 위한 인버터(404) 등을 포함한다. 인버터(404)로부터 출력된 AC 전력은 다양한 전기 기기(410)를 작동시키기 위한 전력으로서 사용한다.
- [0163] 잉여 전력은 배전선(414)을 통해 옥외로 공급한다. 즉, 이러한 시스템을 사용하여 전력을 판매할 수 있다. DC 스위치(402)는 태양 전지 패널(400) 및 인버터(404)가 서로 접속되는지 접속해제되는지 여부를 선택하기 위하여 제공한다. AC 스위치(408)는 배전선(414)에 접속되어 있는 변압기(412) 및 분전반(406)이 서로 접속되는지 접속해제되는지 여부를 선택하기 위하여 제공한다.
- [0164] 본 발명의 반도체 장치를 인버터에 적용함으로써, 높은 신뢰성을 갖는 저렴한 태양광 발전 시스템을 실현할 수 있다.
- [0165] 본 실시형태에서 기술한 구조, 방법 등은 임의의 다른 실시형태와 적절히 조합할 수 있다.
- [0166] (실시형태 7)
- [0167] 본 실시형태에서, 반도체 장치인 트랜지스터(특히, 박막 트랜지스터) 및 그 제조 방법의 예는 도 12a 내지 12f 및 도 13a 내지 13e를 참조하여 설명한다. 후술하는 반도체 장치는 새로운 구조를 갖는 반도체 장치임을 알아야 한다. 표면 부분에 결정 영역을 갖는 산화물 반도체층을 반도체 장치에 사용한다. 반도체 장치는 2개의 도전층으로 전류를 제어한다.
- [0168] 우선, 기판(500) 위에 도전층(502)을 성막하고(도 12a 참조), 도전층(502) 위에 레지스트 마스크(504)를 선택적으로 형성한다. 이어서, 레지스트 마스크(504)를 사용하여 도전층(502)을 선택적으로 에칭하여 도전층(506)을 형성한다(도 12b 참조). 레지스트 마스크(504)를 제거한 후, 도전층(506)을 덮기 위하여 절연층(508)을 형성한다(도 12c 참조). 여기서, 도전층(506)은 산화물 반도체층에서의 전계를 제어하는 기능이 있다. 또한, 도전층(506)은 트랜지스터의 동작에 부정적인 영향을 미치는 외부 전계를 차단하는 기능이 있다. 구성 요소들의 재료, 제조 방법 등은 전술한 실시형태(예를 들어, 실시형태 1 내지 3)를 참조할 수 있다.
- [0169] 도전층(502)의 선택적인 에칭으로 도전층(506)을 형성하는 예를 설명하지만, 도전층(506)은 기판의 전체 상면

위에 형성할 수 있음을 알아야 한다. 대안으로, 도전층(506)은 산화물 반도체층의 전체 하면 아래에 형성할 수 있다.

[0170] 다음으로, 절연층(508) 위에 산화물 반도체층(510)을 성막하고(도 12d 참조), 산화물 반도체층(510) 위에 레지스트 마스크(512)를 선택적으로 형성한다. 이어서, 레지스트 마스크(512)를 사용하여 산화물 반도체층(510)을 선택적으로 에칭하여 산화물 반도체층(514)을 형성한다(도 12e 참조). 산화물 반도체층(514)을 형성한 후 레지스트 마스크(512)를 제거함을 알아야 한다. 산화물 반도체층의 세부 사항은 전술한 실시형태를 참조할 수 있다. 또한, 다른 구성 요소의 세부 사항은 전술한 실시형태를 참조할 수 있다. 산화물 반도체층(510)의 두께는 원하는 특성에 따라 적절히 설정할 수 있다. 산화물 반도체층(510)을 박막 트랜지스터에 사용하는 경우, 예를 들어 산화물 반도체층(510)의 두께는 바람직하게는 약 20nm 내지 2 $\mu$ m이다.

[0171] 다음으로, 산화물 반도체층(514)을 덮기 위하여 도전층(516)을 성막하고(도 12f 참조), 도전층(516) 위에 레지스트 마스크(518) 및 레지스트 마스크(520)를 선택적으로 형성한다. 이어서, 레지스트 마스크를 사용하여 도전층(516)을 선택적으로 에칭하여, 소스 전극 및 드레인 전극 중 하나로서 기능하는 도전층(522) 및 소스 전극 및 드레인 전극 중 다른 하나로서 기능하는 도전층(524)을 형성한다(도 13a 참조). 도전층(522) 및 도전층(524)을 형성한 후 레지스트 마스크(518) 및 레지스트 마스크(520)를 제거함을 알아야 한다. 상술한 구성 요소의 세부 사항은 전술한 실시형태를 참조할 수 있다.

[0172] 다음으로, 산화물 반도체층(514), 도전층(522), 및 도전층(524)을 덮기 위하여 게이트 절연층으로서 기능하는 절연층(526)을 형성한다(도 13b 참조). 이어서, 절연층(526) 위에 도전층(528)을 성막하고(도 13c 참조), 도전층(528) 위에 레지스트 마스크(530)를 선택적으로 형성한다. 그 후, 레지스트 마스크(530)를 사용하여 도전층(528)을 선택적으로 에칭하여 게이트 전극으로서 기능하는 도전층(532)을 형성한다(도 13d 참조). 도전층(532)을 형성한 후 레지스트 마스크(530)를 제거한다. 상술한 구성 요소의 세부 사항은 전술한 실시형태를 참조할 수 있다.

[0173] 이러한 방식으로, 기판(500) 위에 형성된 도전층(506), 도전층(506)을 덮는 절연층(508), 도전층(506)의 일부와 겹치고 표면 부분에 결정 영역을 갖는, 절연층(508) 위에 형성된 산화물 반도체층(514), 산화물 반도체층(514)과 접하여 형성된 도전층(522 및 524), 산화물 반도체층(514)과 도전층(522 및 524)을 덮는 절연층(526), 및 산화물 반도체층(514)의 일부와 겹치는, 절연층(526) 위에 형성된 도전층(532)을 포함하는 트랜지스터(550)를 제공한다(도 13e 참조). 표면 부분에 결정 영역을 갖는 산화물 반도체층을 사용하고, 2개의 도전층으로 전류를 제어하기 때문에 트랜지스터(550)는 새로운 반도체 장치라고 말할 수 있음을 알아야 한다.

[0174] 본 실시형태에서 기술한 바와 같이, 전술한 실시형태에서 기술한 산화물 반도체층을 사용하여 반도체 장치를 제조하는 경우, 산화물 반도체층으로의 불순물(예를 들어 수소(물을 포함함))의 침입을 방지할 수 있다. 그러므로 반도체 장치의 신뢰성을 개선할 수 있다.

[0175] 또한, 전술한 실시형태에서 기술한 산화물 반도체층을 사용하여 반도체 장치를 제조하는 경우, 양호한 전기적 특성을 갖는 반도체 장치를 제공할 수 있다.

[0176] 또한, 소위 게이트 전극으로서 기능하는 도전층 외의 도전층을 산화물 반도체층 아래에 형성하는 구조를 이용함으로써 외부 전계를 차단할 수 있어, 반도체 장치에 대한 외부 전계의 부정적인 영향을 줄일 수 있다. 그러므로 산화물 반도체층의 기판 측에 대한 전하의 축적에 기인한 기생 채널의 발생 및 임계 전압의 변동을 방지할 수 있다.

[0177] 본 실시형태에서 기술한 구조, 방법 등은 다른 실시형태에서 기술한 임의의 구조, 방법 등과 적절히 조합할 수 있다.

[0178] (실시형태 8)

[0179] 본 실시형태에서, 반도체 장치인 트랜지스터 및 그 제조 방법의 예는 도 14a 내지 14f 및 도 15a 내지 15e를 참조하여 설명한다.

[0180] 우선, 기판(600) 위에 도전층(602)을 성막하고(도 14a 참조), 도전층(602) 위에 레지스트 마스크(604)를 선택적으로 형성한다. 이어서, 레지스트 마스크(604)를 사용하여 도전층(602)을 선택적으로 에칭하여 도전층(606)을 형성한다(도 14b 참조). 레지스트 마스크(604)를 제거한 후, 도전층(606)을 덮기 위하여 절연층(608)을 형성한다(도 14c 참조). 여기서, 도전층(606)은 산화물 반도체층에서의 전계를 제어하는 기능이 있다. 또한, 도전층(606)은 트랜지스터의 동작에 부정적인 영향을 미치는 외부 전계를 차단하는 기능이 있다. 구성 요소들의

재료, 제조 방법 등은 전술한 실시형태(예를 들어, 실시형태 1 내지 3)를 참조할 수 있다.

- [0181] 도전층(602)의 선택적인 에칭으로 도전층(606)을 형성하는 예를 설명하지만, 도전층(606)은 기판의 전체 상면 위에 형성할 수 있음을 알아야 한다. 대안으로, 도전층(606)은 산화물 반도체층의 전체 하면 아래에 형성할 수 있다.
- [0182] 다음으로, 절연층(608) 위에 도전층(610)을 성막하고(도 14d 참조), 도전층(610) 위에 레지스트 마스크(612) 및 레지스트 마스크(614)를 선택적으로 형성한다. 이어서, 레지스트 마스크를 사용하여 도전층(610)을 선택적으로 에칭하여, 소스 전극 및 드레인 전극 중 하나로서 기능하는 도전층(616) 및 소스 전극 및 드레인 전극 중 다른 하나로서 기능하는 도전층(618)을 형성한다(도 14e 참조). 도전층(616) 및 도전층(618)을 형성한 후 레지스트 마스크(612) 및 레지스트 마스크(614)를 제거함을 알아야 한다. 상술한 구성 요소의 세부 사항은 전술한 실시형태를 참조할 수 있다.
- [0183] 다음으로, 도전층(616) 및 도전층(618)을 덮기 위하여 산화물 반도체층(620)을 형성하고(도 14f 참조), 산화물 반도체층(620) 위에 레지스트 마스크(622)를 선택적으로 형성한다. 이어서, 레지스트 마스크(622)를 사용하여 산화물 반도체층(620)을 선택적으로 에칭하여 산화물 반도체층(624)을 형성한다(도 15a 참조). 산화물 반도체층(624)을 형성한 후 레지스트 마스크(622)를 제거함을 알아야 한다. 산화물 반도체층의 세부 사항은 전술한 실시형태를 참조할 수 있다. 또한, 다른 구성 요소의 세부 사항은 전술한 실시형태를 참조할 수 있다. 산화물 반도체층(620)의 두께는 원하는 특성에 따라 적절히 설정할 수 있다. 산화물 반도체층(620)을 박막 트랜지스터에 사용하는 경우, 예를 들어 산화물 반도체층(620)의 두께는 바람직하게는 약 20nm 내지 2 $\mu$ m이다.
- [0184] 다음으로, 도전층(616), 도전층(618), 및 산화물 반도체층(624)을 덮기 위하여 게이트 절연층으로서 기능하는 절연층(626)을 형성한다(도 15b 참조). 이어서, 절연층(626) 위에 도전층(628)을 성막하고(도 15c 참조), 도전층(628) 위에 레지스트 마스크(630)를 선택적으로 형성한다. 그 후, 레지스트 마스크(630)를 사용하여 도전층(628)을 선택적으로 에칭하여 게이트 전극으로서 기능하는 도전층(632)을 형성한다(도 15d 참조). 도전층(632)을 형성한 후 레지스트 마스크(630)를 제거한다. 상술한 구성 요소의 세부 사항은 전술한 실시형태를 참조할 수 있다.
- [0185] 이러한 방식으로, 기판(600) 위에 형성된 도전층(606), 도전층(606)을 덮는 절연층(608), 도전층(606)의 일부와 겹치고 표면 부분에 결정 영역을 갖는, 절연층(608) 위에 형성된 산화물 반도체층(624), 산화물 반도체층(624)과 접하여 형성된 도전층(616 및 618), 산화물 반도체층(624)과 도전층(616 및 618)을 덮는 절연층(626), 및 산화물 반도체층(624)의 일부와 겹치는, 절연층(626) 위에 형성된 도전층(632)을 포함하는 트랜지스터(650)를 제공한다(도 15e 참조). 표면 부분에 결정 영역을 갖는 산화물 반도체층을 사용하고, 2개의 도전층으로 전류를 제어하기 때문에 트랜지스터(650)는 새로운 반도체 장치라고 말할 수 있음을 알아야 한다.
- [0186] 본 실시형태에서 기술한 바와 같이, 전술한 실시형태에서 기술한 산화물 반도체층을 사용하여 반도체 장치를 제조하는 경우, 산화물 반도체층으로의 불순물(예를 들어 수소(물을 포함함))의 침입을 방지할 수 있다. 그러므로 반도체 장치의 신뢰성을 개선할 수 있다.
- [0187] 또한, 전술한 실시형태에서 기술한 산화물 반도체층을 사용하여 반도체 장치를 제조하는 경우, 양호한 전기적 특성을 갖는 반도체 장치를 제공할 수 있다.
- [0188] 또한, 소위 게이트 전극으로서 기능하는 도전층 외의 도전층을 산화물 반도체층 아래에 형성하는 구조를 이용함으로써 외부 전계를 차단할 수 있어, 반도체 장치에 대한 외부 전계의 부정적인 영향을 줄일 수 있다. 그러므로 산화물 반도체층의 기판 측에 대한 전하의 축적에 기인한 기생 채널의 발생 및 임계 전압의 변동을 방지할 수 있다.
- [0189] 본 실시형태에서 기술한 구조, 방법 등은 다른 실시형태에서 기술한 임의의 구조, 방법 등과 적절히 조합할 수 있다.
- [0190] (실시형태 9)
- [0191] 본 실시형태에서, 소위 파워 MOSFET 및 박막 트랜지스터를 동일한 기판 위에 유사한 공정으로 제조하는 방법의 예는 도 16의 A 내지 C 및 도 17의 A 및 B를 참조하여 설명한다. 본 실시형태의 반도체 장치의 제조 공정 및 전술한 실시형태의 공정은 많은 공통점이 있어, 공통 부분의 설명은 생략함을 알아야 한다.
- [0192] 본 실시형태의 반도체 장치의 제조 공정은 산화물 반도체층에서의 전계를 제어하기 위한 도전층을 산화물 반도체

체층 아래에 형성한다는 점에서 전술한 실시형태의 반도체 장치의 제조 공정과 상이함을 알아야 한다.

- [0193] 우선, 기판(100) 위에 도전층(102)을 형성하고, 박막 트랜지스터의 구성 요소인 도전층(202)을 형성한다. 이어서, 도전층(202)을 덮는 절연층(203)을 형성한다(도 16의 A 참조). 세부 사항은 전술한 실시형태(예를 들어 실시형태 4)를 참조할 수 있다. 도전층(202)은 도전층(102)과 유사한 공정으로 형성하고, 산화물 반도체층에서의 전계를 제어하는 기능이 있음을 알아야 한다. 도전층(102)은 절연층(203)으로 덮지 않은 것이 바람직하다. 절연층(203)은 예를 들어 기판(100) 위에 절연층을 형성하고 패터닝하는 방식으로 형성할 수 있다.
- [0194] 다음으로, 도전층(102)을 덮기 위하여 결정 영역(106)을 포함하는 산화물 반도체층(104)을 형성하고, 결정 영역(206)을 포함하는 산화물 반도체층(204)을 절연층(203) 위에 형성한다(도 16의 B 참조). 이어서, 도전층(102)과 겹치지 않는 산화물 반도체층(104) 위의 영역에 도전층(108)을 형성하고, 산화물 반도체층(204) 위에 도전층(208 및 209)을 형성한다(도 16의 C 참조). 세부 사항은 전술한 실시형태를 참조할 수 있다.
- [0195] 이하의 공정은 전술한 실시형태(예를 들어 실시형태 4)의 공정과 유사하다. 즉, 산화물 반도체층(104), 도전층(108), 산화물 반도체층(204), 도전층(208), 및 도전층(209)을 덮기 위하여 절연층(110)을 형성하고(도 17의 A 참조); 절연층(110) 등을 선택적으로 제거함으로써 도전층(102, 108, 202, 208 및 209)에 도달하는 개구를 형성하고; 이어서 도전층(108)에 전기적으로 접속하는 도전층(112), 도전층(102)에 전기적으로 접속하는 도전층(114), 도전층(116), 도전층(202)에 전기적으로 접속하는 도전층(도시하지 않음), 도전층(208)에 전기적으로 접속하는 도전층(212), 도전층(209)에 전기적으로 접속하는 도전층(214), 도전층(216) 등을 형성한다(도 17의 B 참조). 도전층(202) 및 도전층(216)은 서로 전기적으로 접속할 수 있지만, 전계를 제어하기 위하여 도전층(202) 및 도전층(216)은 서로 전기적으로 접속할 필요는 없음을 알아야 한다. 예를 들어, 도전층(202)의 전위로서, 플로팅 전위, 고정 전위, 및 도전층(216)의 전위와는 상이하게 변동하는 전위 중 임의의 전위를 이용할 수 있다.
- [0196] 이러한 방식으로, 파워 MOSFET 및 박막 트랜지스터를 동일한 기판 위에 유사한 공정으로 제조할 수 있다.
- [0197] 또한, 소위 게이트 전극으로서 기능하는 도전층 외의 도전층을 산화물 반도체층 아래에 형성하는 구조를 이용함으로써 외부 전계를 차단할 수 있어, 반도체 장치에 대한 외부 전계의 부정적인 영향을 줄일 수 있다. 그러므로 산화물 반도체층의 기판 측에 대한 전하의 축적에 기인한 기생 채널의 발생 및 임계 전압의 변동을 방지할 수 있다.
- [0198] 본 실시형태에서 기술한 구조, 방법 등은 임의의 다른 실시형태와 적절히 조합할 수 있다.
- [0199] (실시형태 10)
- [0200] 본 실시형태에서, 소위 파워 MOSFET 및 박막 트랜지스터를 동일한 기판 위에 유사한 공정으로 제조하는 방법의 다른 예는 도 18의 A 내지 C 및 도 19의 A 및 B를 참조하여 설명한다. 본 실시형태의 반도체 장치의 제조 공정 및 전술한 실시형태의 공정은 많은 공통점이 있어, 공통 부분의 설명은 생략함을 알아야 한다.
- [0201] 본 실시형태의 반도체 장치의 제조 공정은 전계를 제어하기 위한 도전층을 파워 MOSFET의 산화물 반도체층 아래에 형성한다는 점에서 전술한 실시형태의 반도체 장치의 제조 공정과 상이함을 알아야 한다.
- [0202] 우선, 기판(100) 위에 도전층(102) 및 도전층(103)을 형성하고, 박막 트랜지스터의 구성 요소인 도전층(202)을 형성한다. 이어서, 도전층(103 및 202)을 덮는 절연층(203)을 형성한다(도 18의 A 참조). 세부 사항은 전술한 실시형태(예를 들어 실시형태 4)를 참조할 수 있다. 도전층(103 및 202)은 도전층(102)과 유사한 공정으로 형성하고, 산화물 반도체층에서의 전계를 제어하는 기능이 있음을 알아야 한다. 도전층(102)은 절연층(203)으로 덮지 않은 것이 바람직하다. 절연층(203)은 예를 들어 기판(100) 위에 절연층을 형성하고 패터닝하는 방식으로 형성할 수 있다.
- [0203] 다음으로, 도전층(102) 및 절연층(203)을 덮기 위하여 결정 영역(106)을 포함하는 산화물 반도체층(104)을 형성하고, 결정 영역(206)을 포함하는 산화물 반도체층(204)을 절연층(203) 위에 형성한다(도 18의 B 참조). 이어서, 도전층(102)과 겹치지 않는 산화물 반도체층(104) 위의 영역에 도전층(108)을 형성하고, 산화물 반도체층(204) 위에 도전층(208 및 209)을 형성한다(도 18의 C 참조). 세부 사항은 전술한 실시형태(예를 들어 실시형태 4)를 참조할 수 있다.
- [0204] 이하의 공정은 전술한 실시형태(예를 들어 실시형태 4 또는 9)의 공정과 유사하다. 즉, 산화물 반도체층(104), 도전층(108), 산화물 반도체층(204), 도전층(208), 및 도전층(209)을 덮기 위하여 절연층(110)을 형성하고(도 19의 A 참조); 절연층(110) 등을 선택적으로 제거함으로써 도전층(102, 103, 108, 202, 208 및 209)에 도달하

는 개구를 형성하고; 이어서 도전층(108)에 전기적으로 접속하는 도전층(112), 도전층(102)에 전기적으로 접속하는 도전층(114), 도전층(103)에 전기적으로 접속하는 도전층(도시하지 않음), 도전층(116), 도전층(202)에 전기적으로 접속하는 도전층(도시하지 않음), 도전층(208)에 전기적으로 접속하는 도전층(212), 도전층(209)에 전기적으로 접속하는 도전층(214), 도전층(216) 등을 형성한다(도 19의 B 참조). 도전층(103)과 도전층(116) 또는 도전층(202)과 도전층(216)은 서로 전기적으로 접속할 수 있지만, 전계를 제어하기 위하여 도전층(103)과 도전층(116) 또는 도전층(202)과 도전층(216)은 서로 전기적으로 접속할 필요는 없음을 알아야 한다. 예를 들어, 도전층(103)의 전위 또는 도전층(202)의 전위로서, 플로팅 전위, 고정 전위, 및 도전층(116)의 전위 또는 도전층(216)의 전위와는 상이하게 변동하는 전위 중 임의의 전위를 이용할 수 있다.

[0205] 이러한 방식으로, 파워 MOSFET 및 박막 트랜지스터를 동일한 기판 위에 유사한 공정으로 제조할 수 있다.

[0206] 또한, 소위 게이트 전극으로서 기능하는 도전층 외의 도전층을 산화물 반도체층 아래에 형성하는 구조를 이용함으로써 외부 전계를 차단할 수 있어, 반도체 장치에 대한 외부 전계의 부정적인 영향을 줄일 수 있다. 그러므로 산화물 반도체층의 기판 측에 대한 전하의 축적에 기인한 기생 채널의 발생 및 임계 전압의 변동을 방지할 수 있다.

[0207] 본 실시형태에서 기술한 구조, 방법 등은 임의의 다른 실시형태와 적절히 조합할 수 있다.

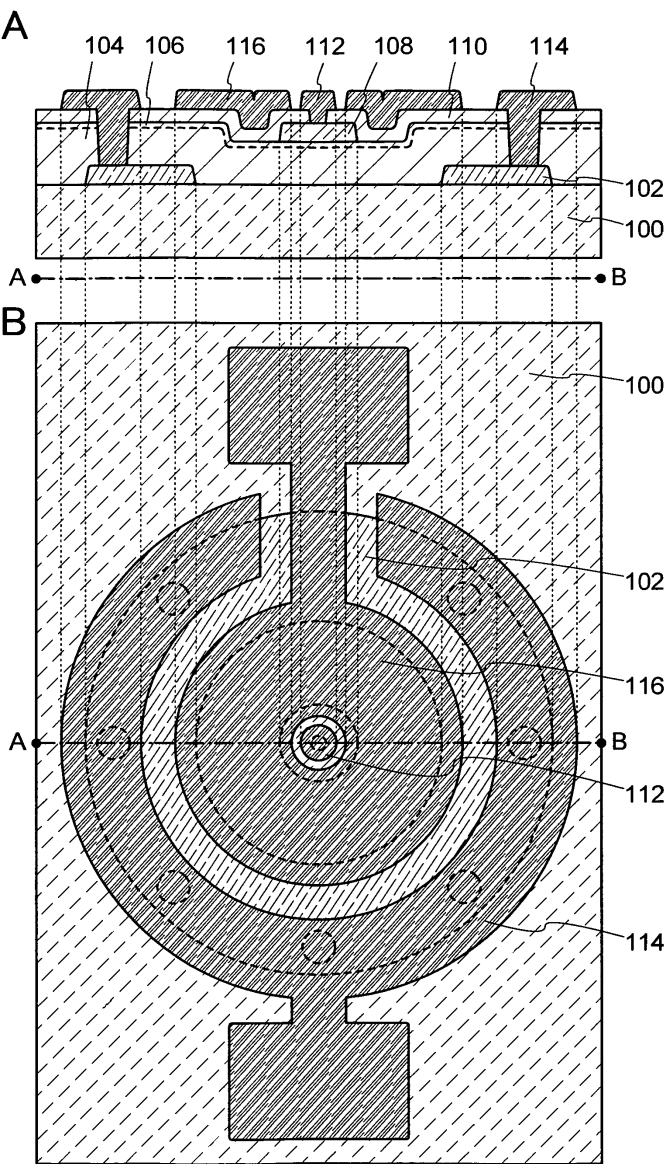
[0208] 본원은 그 전반적인 내용이 본원에 참조로서 포함되는, 일본특허청에 2009년 10월 9일에 출원한 일본특허출원번호 2009-235604에 기초한다.

### 부호의 설명

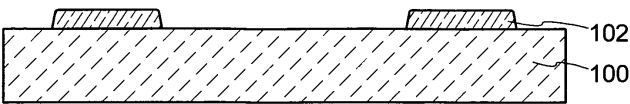
[0209] 100: 기판, 102: 도전층, 103: 도전층, 104: 산화물 반도체층, 106: 결정 영역, 108: 도전층, 109: 도전층, 110: 절연층, 112: 도전층, 114: 도전층, 116: 도전층, 202: 도전층, 203: 절연층, 204: 산화물 반도체층, 206: 결정 영역, 208: 도전층, 209: 도전층, 212: 도전층, 214: 도전층, 216: 도전층, 300: 전원, 302: 기준 전압 생성 회로, 304: 기준 전류 생성 회로, 306: 에러 증폭기, 308: PWM 버퍼, 310: 삼각파 생성 회로, 312: 코일, 314: 파워 MOSFET, 316: 다이오드, 318: 커패시터, 320: 저항기, 322: 저항기, 350: 삼각파, 352: 출력 파형, 354: 펄스 신호, 400: 태양 전지 패널, 402: DC 스위치, 404: 인버터, 406: 분전반, 408: AC 스위치, 410: 전기 기기, 412: 변압기, 414: 배전선, 500: 기판, 502: 도전층, 504: 레지스트 마스크, 506: 도전층, 508: 절연층, 510: 산화물 반도체층, 512: 레지스트 마스크, 514: 산화물 반도체층, 516: 도전층, 518: 레지스트 마스크, 520: 레지스트 마스크, 522: 도전층, 524: 도전층, 526: 절연층, 528: 도전층, 530: 레지스트 마스크, 532: 도전층, 550: 트랜지스터, 600: 기판, 602: 도전층, 604: 레지스트 마스크, 606: 도전층, 608: 절연층, 610: 도전층, 612: 레지스트 마스크, 614: 레지스트 마스크, 616: 도전층, 618: 도전층, 620: 산화물 반도체층, 622: 레지스트 마스크, 624: 산화물 반도체층, 626: 절연층, 628: 도전층, 630: 레지스트 마스크, 632: 도전층, 650: 트랜지스터

도면

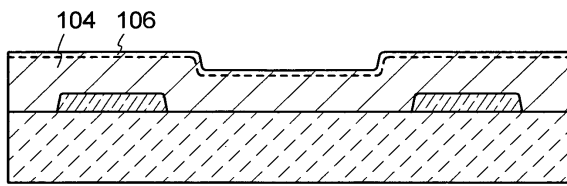
도면1



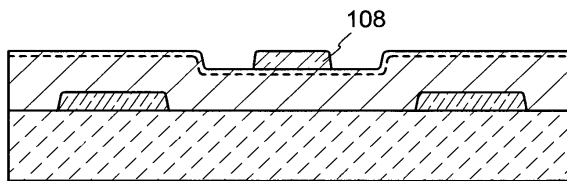
도면2a



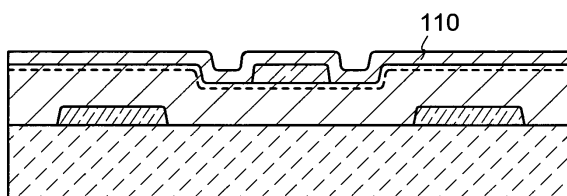
도면2b



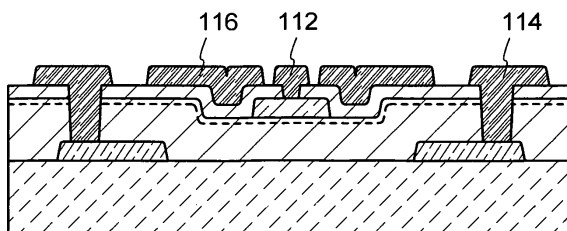
도면2c



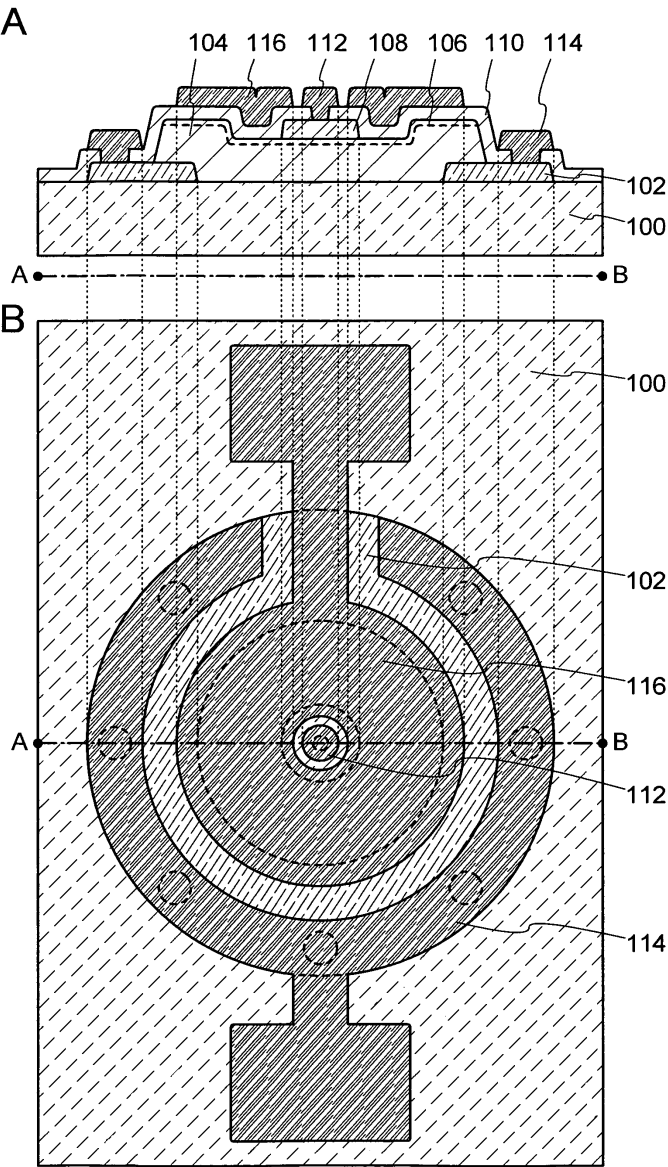
도면2d



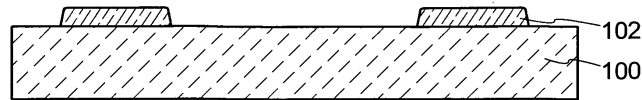
도면2e



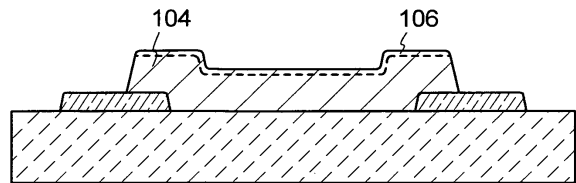
도면3



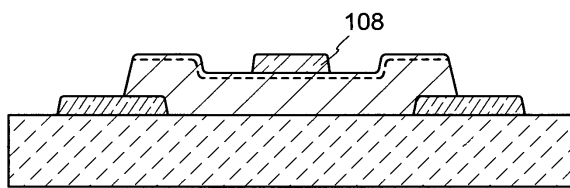
도면4a



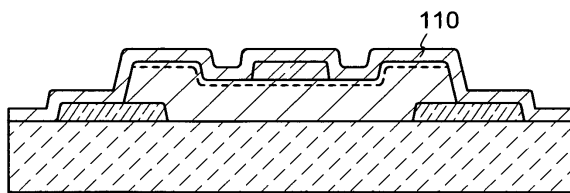
도면4b



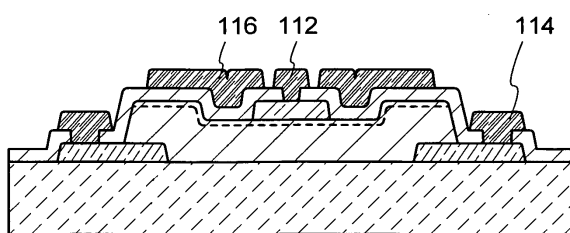
도면4c



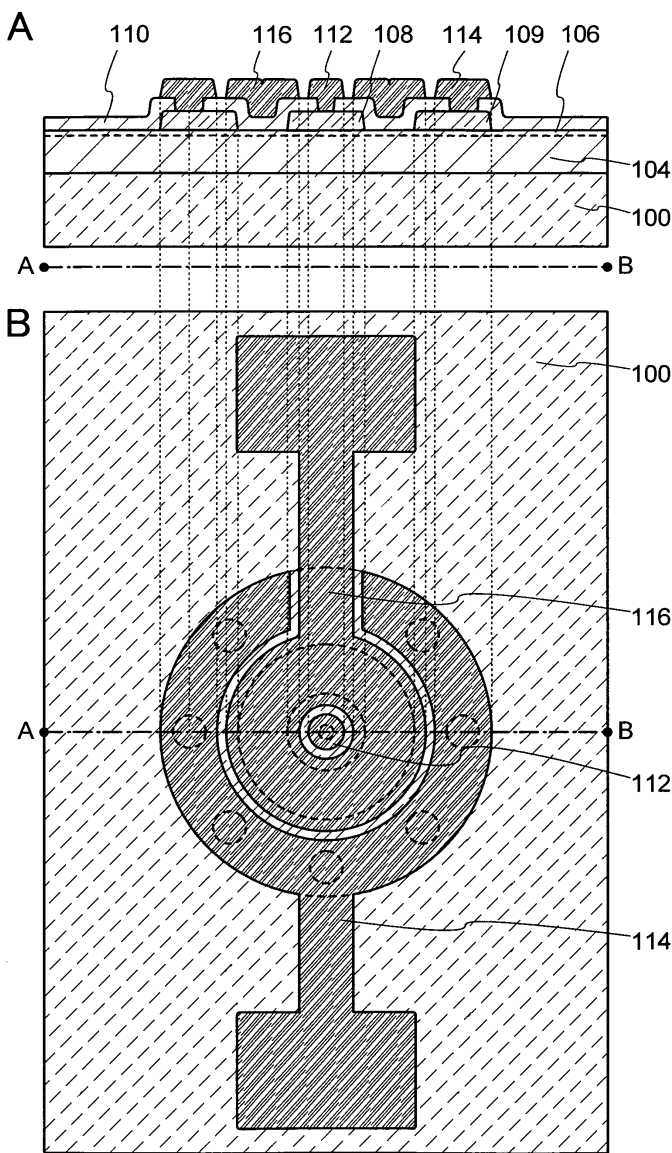
도면4d



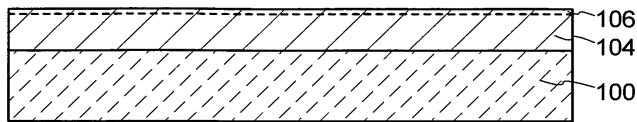
도면4e



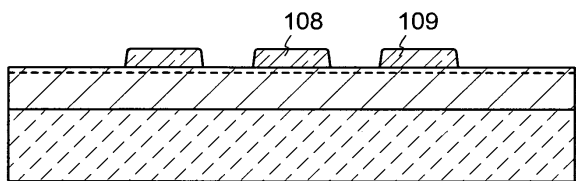
도면5



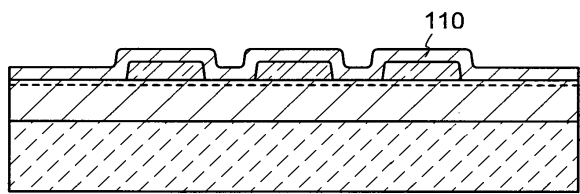
도면6a



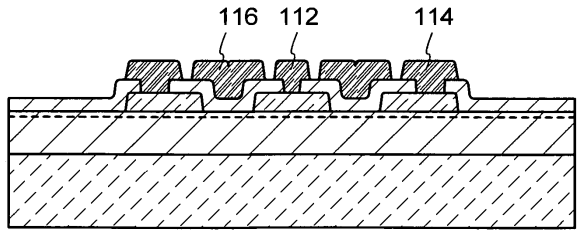
도면6b



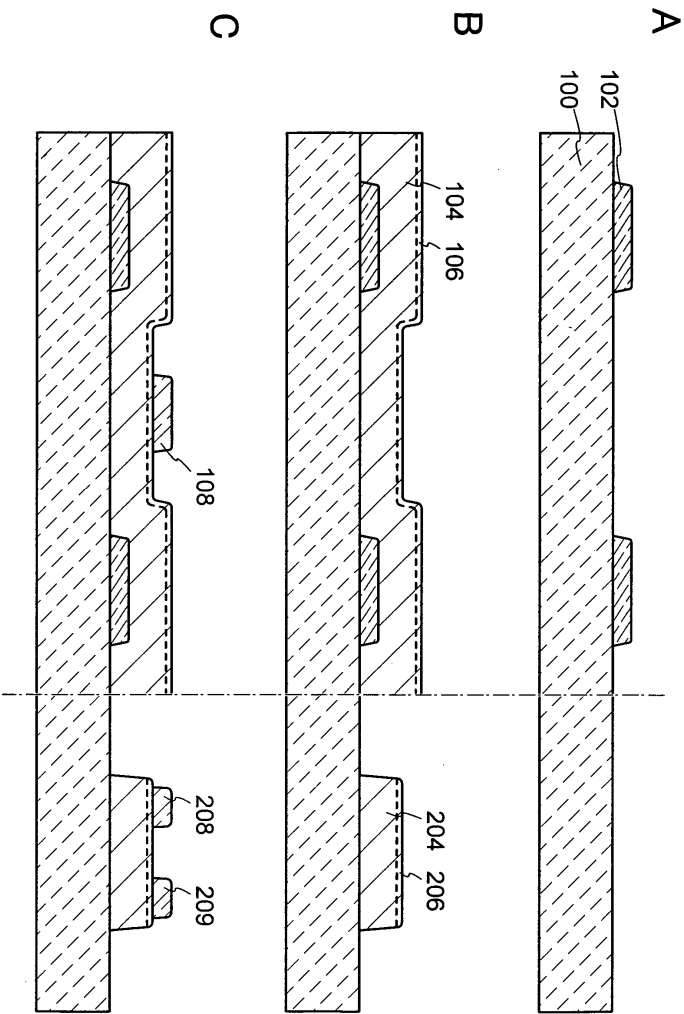
도면6c



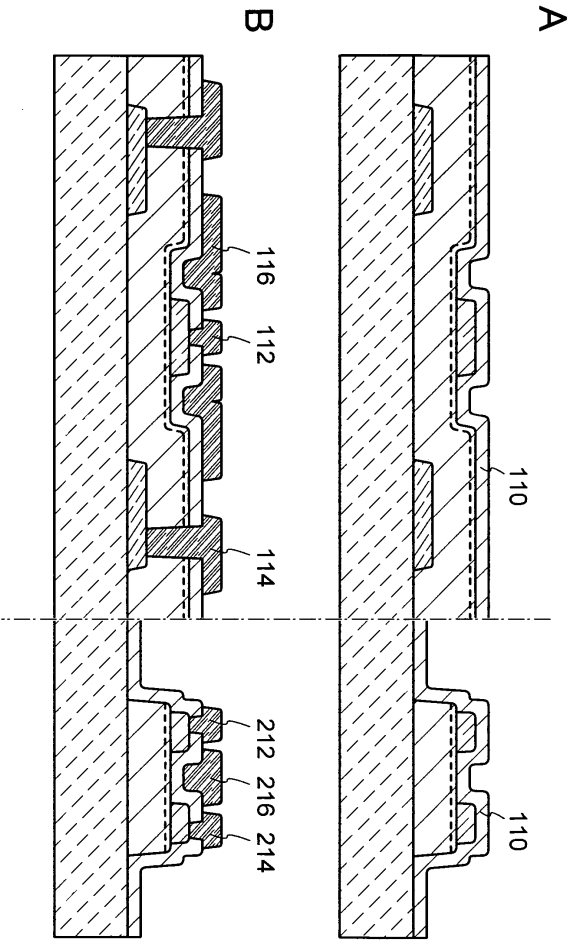
도면6d



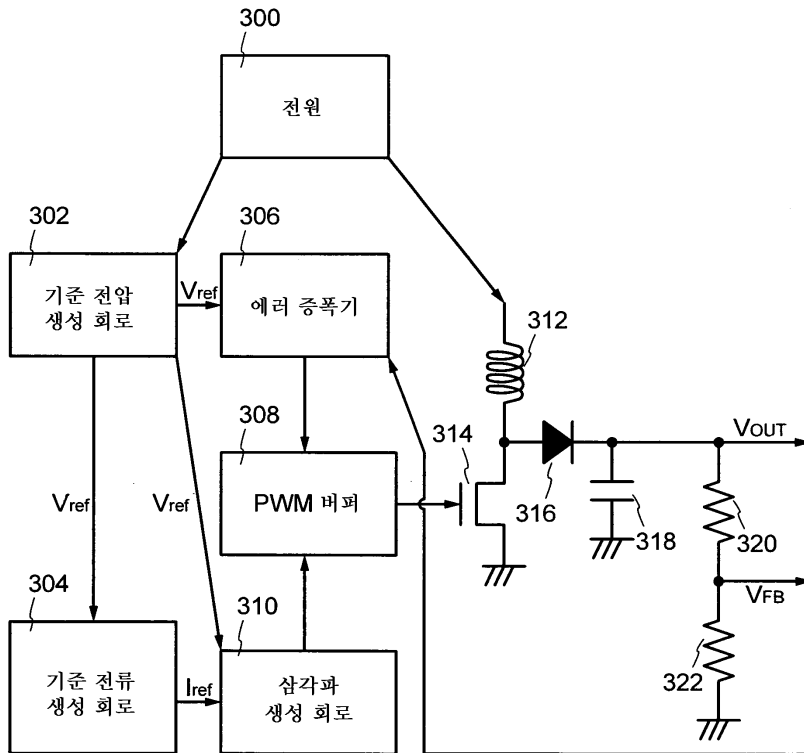
도면7



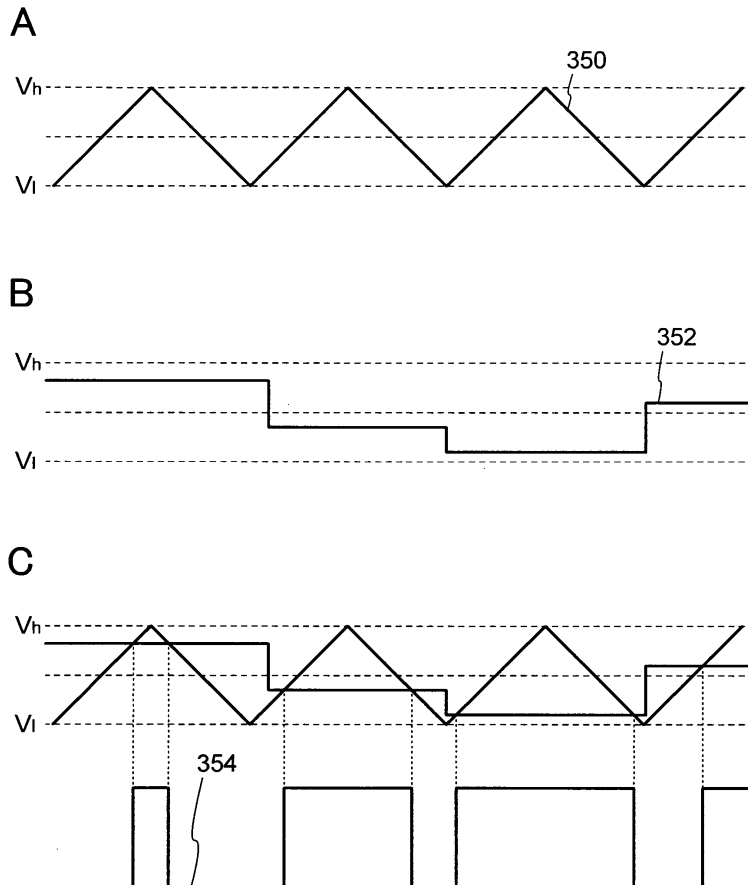
도면8



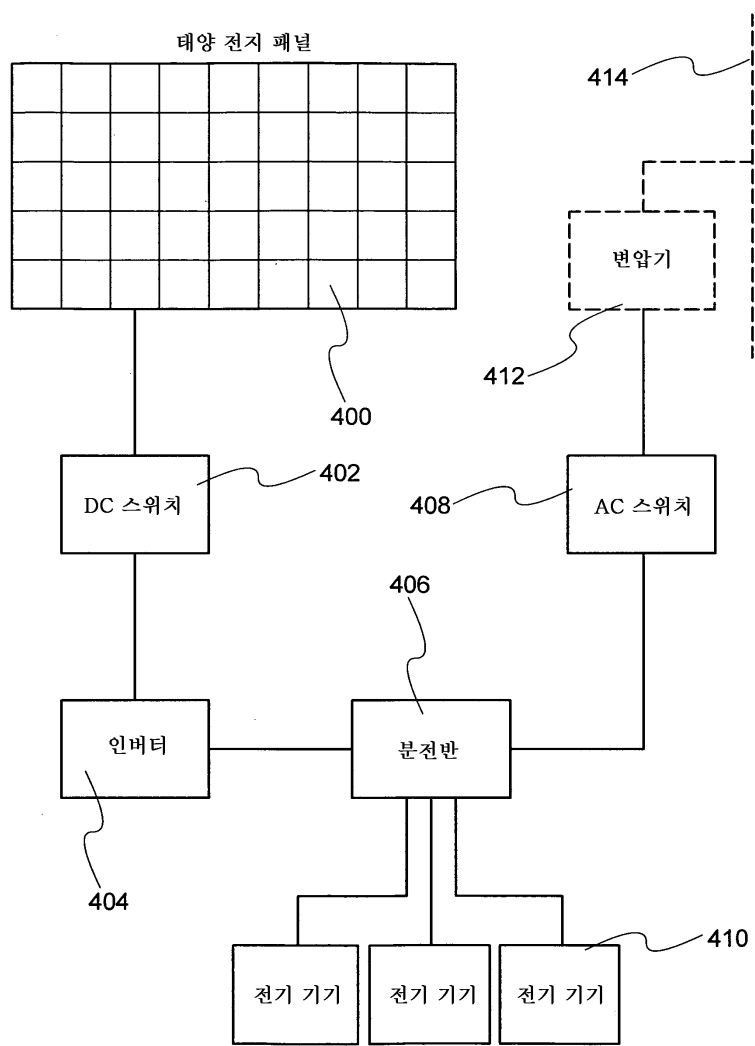
도면9



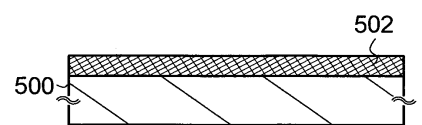
도면10



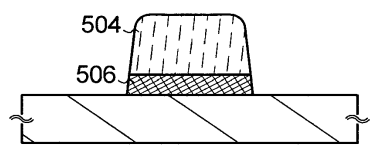
도면11



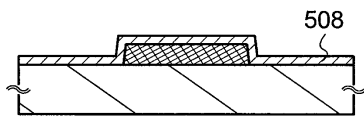
도면12a



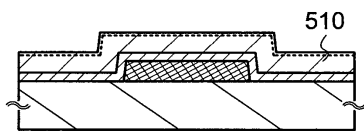
도면12b



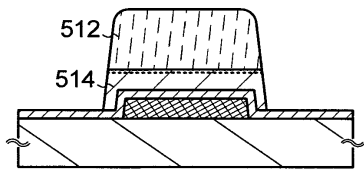
도면12c



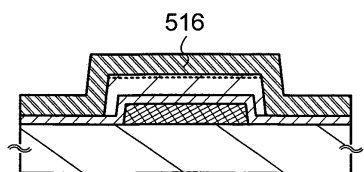
도면12d



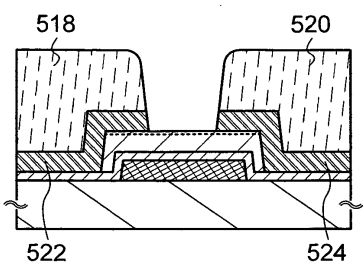
도면12e



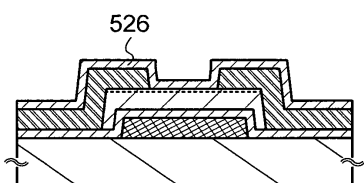
도면12f



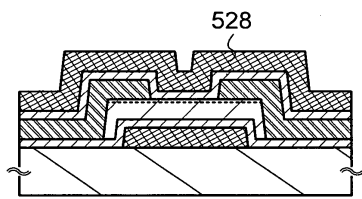
도면13a



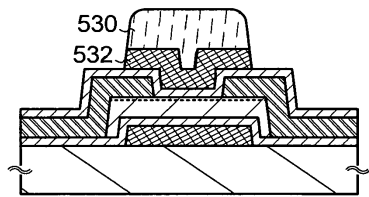
도면13b



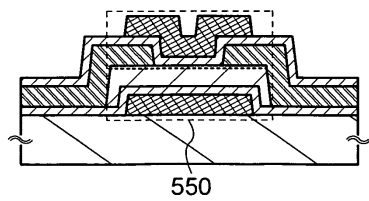
도면13c



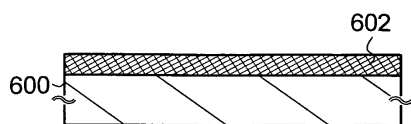
도면13d



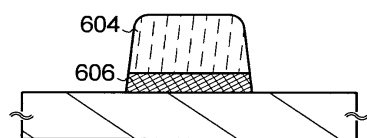
도면13e



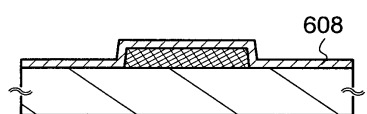
도면14a



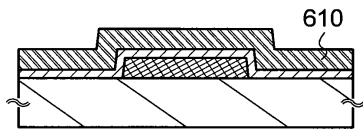
도면14b



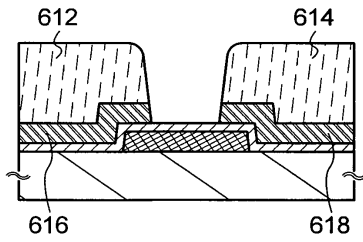
도면14c



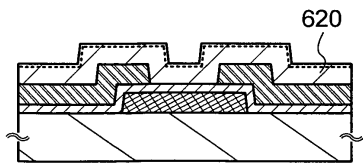
도면14d



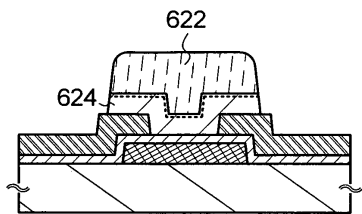
도면14e



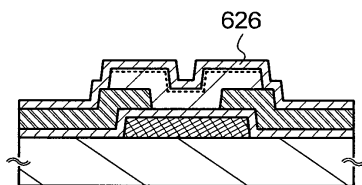
도면14f



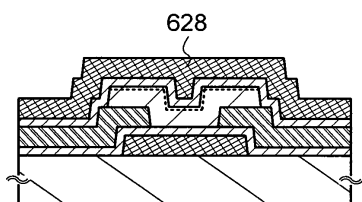
도면15a



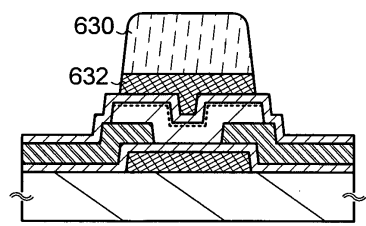
도면15b



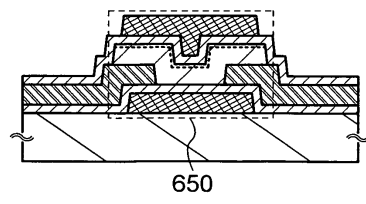
도면15c



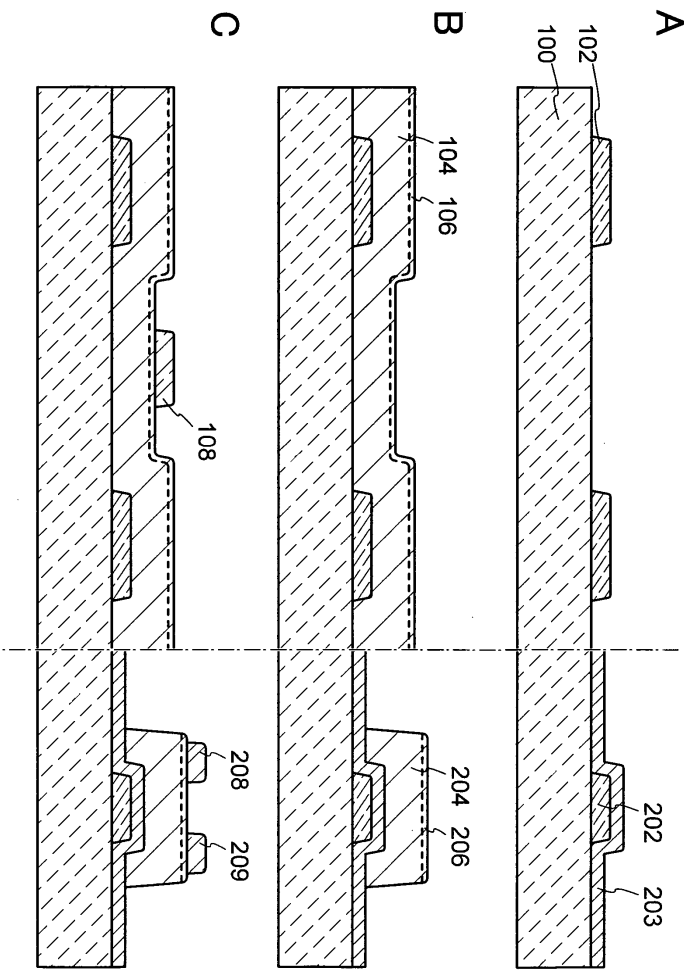
도면15d



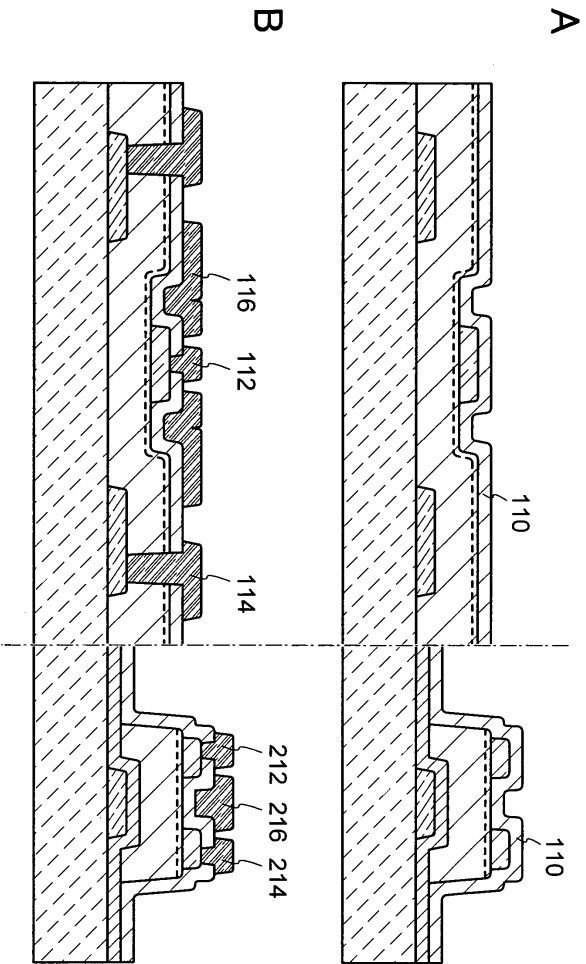
도면15e



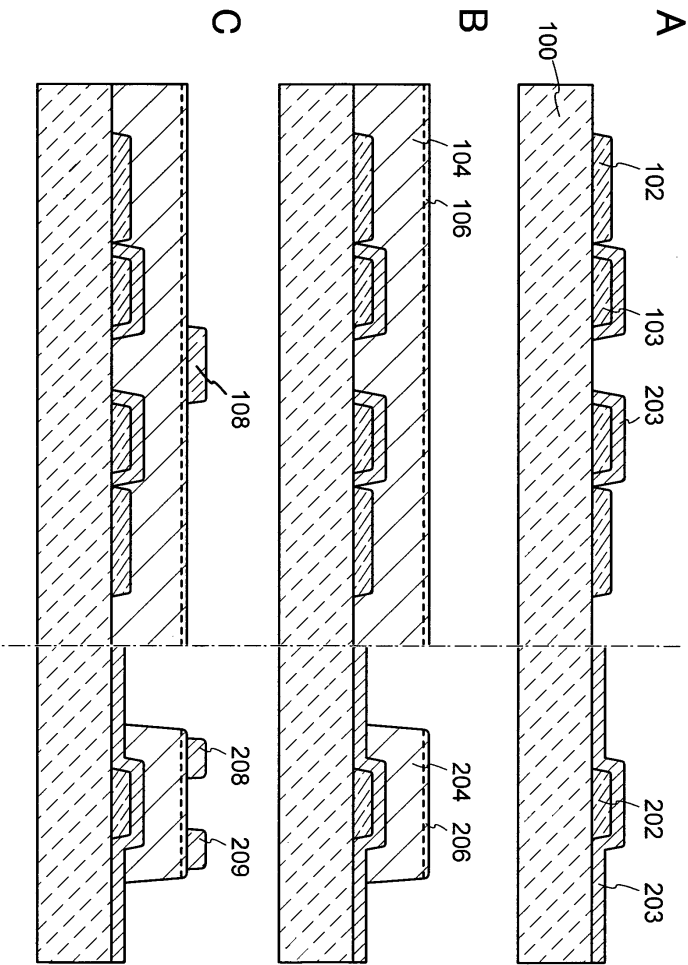
도면16



도면17



도면18



도면19

