(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3600396号
(P3600396)
(45)発行日　平成16年12月15日(2004.12.15)　(24)登録日　平成16年9月24日(2004.9.24)

(51)Int.Cl.[7]	F I
G11C 16/06	G11C 17/00　632A
H02M 3/07	H02M 3/07

請求項の数 14　(全 11 頁)

(21)出願番号　特願平9-44175
(22)出願日　平成9年2月27日(1997.2.27)
(65)公開番号　特開平10-241387
(43)公開日　平成10年9月11日(1998.9.11)
審査請求日　平成13年6月5日(2001.6.5)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100068814
弁理士　坪井　淳
(74)代理人　100092196
弁理士　橋本　良郎
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】

【請求項１】

第１、第２の出力端を有し、電源電圧を昇圧した第１の電圧を前記第１、第２の出力端から出力する第１の昇圧回路と、

制御信号が第１のレベルであるとき、前記電源電圧を昇圧して前記第１の電圧より高い第２の電圧を前記第１の昇圧回路の第２の出力端に供給し、前記制御信号が第２のレベルのとき、昇圧動作を停止する第２の昇圧回路と、

前記第１の昇圧回路の第１、第２の出力端相互間に接続され、ゲートに前記制御信号が供給され、前記制御信号が前記第２のレベルのとき、前記第１、第２の出力端を同電位とする第１のトランジスタを具備することを特徴とする半導体記憶装置。

【請求項２】

前記第１のトランジスタは、ソースとバックゲートが前記第２の出力端に接続され、ドレインが前記第１の出力端に接続されたＰチャネルトランジスタであることを特徴とする請求項１記載の半導体記憶装置。

【請求項３】

前記第１のトランジスタは、Ｎチャネルトランジスタであることを特徴とする請求項１記載の半導体記憶装置。

【請求項４】

前記第１のトランジスタは、しきい値電圧がほぼ０Ｖのトランジスタであることを特徴とする請求項３記載の半導体記憶装置。

【請求項５】
前記第２の昇圧回路から出力される前記第２の電圧が供給され、前記制御信号の第１のレベルを前記第２の電圧のレベルに変換し、前記第１のトランジスタのゲートに供給するレベルシフタをさらに具備することを特徴とする請求項２記載の半導体記憶装置。
【請求項６】
前記第１の出力端に接続され、前記第１の電圧を降圧して第１の内部電圧を生成する第１の降圧回路と、
前記第２の出力端に接続され、前記第２の電圧を降圧して第２の内部電圧を生成する第２の降圧回路と、
前記第１、第２の降圧回路の出力端に接続され、前記第２の内部電圧の信号レベルで動作されて前記第１、第２の降圧回路から出力される第１、第２の内部電圧の一方を出力する切り換え回路と
を具備することを特徴とする請求項１記載の半導体記憶装置。
【請求項７】
前記切り換え回路は、ＰチャネルＭＯＳトランジスタにより構成されていることを特徴とする請求項６記載の半導体記憶装置。
【請求項８】
前記切り換え回路から出力される電圧は、メモリセルのワード線に供給される電圧であることを特徴とする請求項６記載の半導体記憶装置。
【請求項９】
前記第２の出力端にソース及びバックゲートが接続され、ドレインが前記第２の降圧回路に接続され、ゲートが前記第１の出力端に接続されたＰチャネルトランジスタを具備することを特徴とする請求項６記載の半導体記憶装置。
【請求項１０】
前記第２の出力端にソース及びバックゲートが接続され、ドレインが前記第２の降圧回路に接続され、ゲートが前記第１の降圧回路の出力端に接続されたＰチャネルトランジスタを具備することを特徴とする請求項６記載の半導体記憶装置。
【請求項１１】
電流通路の一端部に書き込み時に前記第１の昇圧回路からの前記第１の電圧が供給され、前記電流通路の他端が前記メモリセルのドレイン側に接続された第２のトランジスタと、
電流通路の一端部に消去時に前記第１の昇圧回路からの前記第１の電圧が供給され、前記電流通路の他端が前記メモリセルのソース側に接続された第３のトランジスタと、
前記第２の昇圧回路から出力される第２の電圧を降圧して第３の内部電圧を生成する第３の降圧回路と、
データの書き込み時に、信号レベルを前記第３の降圧回路から出力される前記第３の内部電圧に応じたレベルに変換して前記第２のトランジスタのゲートに供給する第１の制御回路と、
データの消去時に、信号レベルを前記第３の降圧回路から出力される前記第３の内部電圧に応じたレベルに変換して前記第３のトランジスタのゲートに供給する第２の制御回路とを具備することを特徴とする請求項１記載の半導体記憶装置。
【請求項１２】
前記第２、第３のトランジスタは、ソースフォロワとされたＮチャネルトランジスタからなることを特徴とする請求項１１記載の半導体記憶装置。
【請求項１３】
前記第２の昇圧回路から出力される第２の電圧から書き込み電圧を生成し、書き込み時に前記メモリセルのコントロールゲートに前記書き込み電圧を供給する生成回路を具備することを特徴とする請求項１１記載の半導体記憶装置。
【請求項１４】
前記電源電圧から負電圧を生成し、消去時に前記メモリセルのコントロールゲートに前記負電圧を供給する第３の昇圧回路を具備することを特徴とする請求項１１記載の半導体記

憶装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、例えばフラッシュＥＥＰＲＯＭ（Ｅｌｅｃｔｒｉｃａｌｌｙ　Ｅｒａｓａｂｌｅ　Ｐｒｏｇｒａｍｍａｂｌｅ　ＲＯＭ）に係わり、特に、外部電源電圧より高い電圧をチップ内部で発生させる内部昇圧回路を有する半導体記憶装置に関する。
【０００２】
【従来の技術】
フラッシュＥＥＰＲＯＭは、フローティングゲートとコントロールゲートを有するスタック型トランジスタをメモリセルとして使用している。このメモリセルはフローティングゲートに電子を注入したり、フローティングゲートから電子を放出することにより、しきい値を変化させ、データの書込み消去が行われる。
【０００３】
従来、ホットエレクトロンを注入してデータを書込むフラッシュメモリの電源は読み出し用の電源Ｖｃｃ＝５Ｖと、書込み、消去用の電源Ｖｐｐ＝１２Ｖの２種類を使用する２電源方式や、電源Ｖｃｃ＝５Ｖのみを使用する単一電源方式等がある。単一電源方式の場合、書込み、消去用の電源Ｖｐｐは、昇圧回路を使用して生成されている。
【０００４】
【発明が解決しようとする課題】
ところで、現在、低消費電力化のため、電源電圧の低電圧化が要求され、電源電圧は、３Ｖが一般的となりつつある。また、使用上の便利さという面では、単一電源方式の方が、２電源方式より優れている。
【０００５】
従来のように、データの読み出し時、電源電圧を直接コントロールゲートに供給する方式の場合、電源電圧が５Ｖから３Ｖに低下されると、コントロールゲートに供給される電圧も３Ｖに低下する。すると、メモリセルに流れる電流の減少を招くこととなる。セル電流の減少は読み出し速度の低下をもたらすとともに、電源電圧に対するマージンを損なうこととなる。このため、読み出し用の電圧や書込み、消去用の電圧を内部で生成する必要がある。
【０００６】
しかし、電源電圧が低下された場合、チップ内部で必要な電圧を発生するために複数の昇圧回路が必要となる。しかも、これら昇圧回路によって発生された電圧をデータの読み出しや書き込み、消去といったモードに応じて切り換える必要がある。この切り換え回路は、発生された電圧を低下させることなくそのままメモリセルのコントロールゲート等必要とする部分に供給しなければならない。従来、この切り換え回路は、発生された電圧がトランジスタのしきい値電圧分だけ低下しないよう、デプレーション型トランジスタを使用して構成されていた。しかし、デプレーション型トランジスタを使用する場合、製造工程が増加し、チップコストが高騰するため得策ではなかった。
【０００７】
この発明は、上記課題を解決するものであり、その目的とするところは、デプレーション型トランジスタを使用することなく、発生された電圧を必要とする部分に切り換えて供給でき、チップコストの高騰を抑えることが可能な半導体記憶装置を提供しようとするものである。
【０００８】
【課題を解決するための手段】
この発明は、上記課題を解決するため、第１、第２の出力端を有し、電源電圧を昇圧した第１の電圧を前記第１、第２の出力端から出力する第１の昇圧回路と、制御信号が第１のレベルであるとき、前記電源電圧を昇圧して前記第１の電圧より高い第２の電圧を前記第１の昇圧回路の第２の出力端に供給し、前記制御信号が第２のレベルのとき、昇圧動作を

停止する第２の昇圧回路と、前記第１の昇圧回路の第１、第２の出力端相互間に接続され、ゲートに前記制御信号が供給され、前記制御信号が前記第２のレベルのとき、前記第１、第２の出力端を同電位とする第１のトランジスタを具備している。

【００１２】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

図２は、メモリセルの動作電圧を示している。昇圧回路のレイアウト面積を少なくするには、セルの動作電圧をなるべく低く抑え、セルに流れる動作電流を少なくする必要がある。データの読み出し時は、高速読み出しに十分なセル電流を得るため、コントロールゲートに昇圧した電圧５Ｖを供給する。データの書き込みはチャネルホットエレクトロンをドレイン側からフローティンゲートに注入する。書き込み時には、コントロールゲートに電圧１０Ｖ、ドレインに電圧５Ｖを印加する。これらの電圧は昇圧回路で生成して供給する。この時、ドレインには大きな電流が流れる。データの消去は、Ｆ－Ｎトンネリングによりフローティングゲートからソースへ電子を引き抜く。この時、ソースからバックゲートにバンド間トンネル電流が流れる。読み出し時にコントロールゲートへ供給する電圧、書き込み時にコントロールゲートとドレイン間に供給する電圧、消去時にコントロールゲートとソース間に供給する電圧は昇圧回路により発生する。

【００１３】

図３は、昇圧回路系を概略的に示している。書き込み時、ドレインに供給する電圧、消去時、ソースに供給する電圧、読み出し時にコントロールゲートへ供給する電圧を１つの昇圧回路から供給することにより、昇圧回路の数を３つにすることができ、昇圧回路系の構成を簡略化できる。

【００１４】

すなわち、図３に示すように、この発明は３種類の昇圧回路を有している。中電圧系昇圧回路３１は、５Ｖ程度の中位の電圧で数ｍＡ～数十ｍＡの大電流を供給する。高電圧系昇圧回路３２は、１０Ｖ程度の高電圧で数百マイクロＡ～数ｍＡの電流を供給する。負電圧系昇圧回路３３は、－１０Ｖ程度の負電圧を発生する。中電圧系昇圧回路３１は、切り換え回路３４を介して、読み出し時にメモリセル３５のコントロールゲート、書き込み時にメモリセル３５のドレイン、消去時にメモリセル３５のソースに接続される。高電圧系昇圧回路３２は、切り換え回路３４を介して、書き込み時にメモリセル３５のコントロールゲートに接続される。負電圧系昇圧回路３３は、切り換え回路３４を介して、消去時にメモリセル３５のコントロールゲートに接続される。

【００１５】

図１は、この発明の第１の実施の形態を示すものであり、図３に示す昇圧系を具体的に示している。中電圧系昇圧回路３１は、中電圧ＶＰを出力する第１、第２の出力端Ｖｐ１、Ｖｐ２を有するチャージポンプ回路３１ａと、第１の出力端Ｖｐ１のレベルを検出するレベル検出器３１ｂと、このレベル検出器３１ｂにより第１の出力端Ｖｐのレベルの低下が検知された場合発振し、クロック信号φ１をチャージポンプ回路３１ａに供給する発振器（ＯＳＣ）３１ｃとにより構成されている。

【００１６】

高電圧系昇圧回路３２は、高電圧ＶＨを出力する出力端ＶＨを有するチャージポンプ回路３２ａと、出力端ＶＨのレベルを検出するレベル検出器３２ｂと、このレベル検出器３２ｂにより出力端ＶＨのレベルの低下が検知されるとともに、データ読み出し信号／ＲＤ（読み出し時ローレベル）がハイレベルとなった場合、発振し、クロック信号φ２をチャージポンプ回路３２ａに供給する発振器（ＯＳＣ）３２ｃとにより構成されている。チャージポンプ回路３２ａの出力端ＶＨは、中電圧系昇圧回路３１の第２の出力端Ｖｐ２に接続されている。

【００１７】

図４は、前記チャージポンプ回路３１ａを示している。このチャージポンプ回路３１ａにおいて、電源Ｖｃｃと前記第２の出力端Ｖｐ２間にはダイオード接続された複数のトラン

ジスタ４１ａ～４１ｄが直列接続されている。これらトランジスタの各接続ノードにはキャパシタ４１ｅ～４１ｇの一端が接続されている。キャパシタ４１ｇとトランジスタ４１ｄの接続ノードと前記第１の出力端Ｖｐ１間にはダイオード接続されたトランジスタ４１ｈが接続されている。バッファ回路４１ｉは前記発振器３１ｃから出力されるクロック信号φ１を各キャパシタ４１ｅ～４１ｇの他端に供給する。発振器３１ｃから供給されるクロック信号φ１がバッファ４１ｉを介してキャパシタに供給され、このキャパシタがポンピングされて、電荷が転送される。前記トランジスタ４１ａ～４１ｄ、４１ｈはしきい値電圧がほぼ０ＶのＩ（イントリンシック）‐タイプ、ＮチャネルＭＯＳトランジスタである。

【００１８】

図５は、チャージポンプ回路３２ａを示している。このチャージポンプ回路３２ａにおいて、電源Ｖｃｃと前記出力端ＶＨ間にはダイオード接続された複数のトランジスタ５１ａ～５１ｆが直列接続されている。これらトランジスタの各接続ノードにはキャパシタ５１ｇ～５１ｋの一端が接続されている。バッファ回路５１ｌは前記発振器３２ｃから出力されるクロック信号φ２を各キャパシタ５１ｇ～５１ｋの他端に供給する。発振器３２ｃから供給されるクロック信号φ２がバッファ５１ｌを介してキャパシタに供給され、このキャパシタがポンピングされて、電荷が転送される。前記トランジスタ５１ａ～５１ｆはしきい値電圧がほぼ０ＶのＩ‐タイプ、ＮチャネルＭＯＳトランジスタである。

【００１９】

図６は、図１に示す中電圧系昇圧回路３１、高電圧系昇圧回路３２に接続され、中電圧ＶＰ、高電圧ＶＨからワード線の電圧ＶＳＷ、書き込み時のドレイン電圧、消去時のソース電圧を制御する電圧ＶＳＷＢＳを生成する回路を示している。

【００２０】

中電圧系昇圧回路３１の第１、第２の出力端Ｖｐ１、Ｖｐ２（ＶＨ）の相互間には、Ｐチャネルトランジスタ６１が接続されている。このＰチャネルトランジスタ６１のゲートにはレベルシフタ６２を介して、データ読み出し信号／ＲＤが供給されている。レベルシフタ６２は入力信号を高電圧ＶＨレベルに変換する。第１の出力端Ｖｐ１は、読み出し時にワード線の電圧を生成する中間電圧発生回路６３に接続され、第２の出力端Ｖｐ２は、Ｐチャネルトランジスタ６５を介して、書き込み時にワード線の電圧を生成する中間電圧発生回路６４に接続されている。Ｐチャネルトランジスタ６５のバックゲートは第２の出力端Ｖｐ２（高電圧ＶＨ）に接続され、ゲートは第１の出力端Ｖｐ１に接続されている。中間電圧発生回路６３、６４の出力端はＰチャネルトランジスタ６６、６７のソースに接続されている。トランジスタ６６のゲートにはレベルシフタ６８を介して、データ読み出し信号／ＲＤが供給され、トランジスタ６７のゲートにはインバータ６９で反転されたレベルシフタ６８の出力信号が供給される。レベルシフタ６８は入力信号を高電圧ＶＨレベルに変換する。トランジスタ６６、６７のドレインは互いに接続され、ここからワード線の電圧ＶＳＷが出力される。Ｐチャネルトランジスタ６６、６７のバックゲートは高電圧ＶＨに接続されている。前記Ｐチャネルトランジスタ６５と中間電圧発生回路６４の接続点（高電圧ＶＨ’）には、書き込み時のドレイン電圧、消去時のソース電圧を制御する電圧ＶＳＷＢＳを生成する中間電圧発生回路７０が接続されている。

【００２１】

図１、図６において、高電圧系昇圧回路３２の出力端ＶＨは、中電圧系昇圧回路３１の第２の出力端Ｖｐ２に接続されており、高電圧系昇圧回路３２がデータの読み出し時に止まっていても出力端ＶＨには、中電圧系昇圧回路３１の第２の出力端Ｖｐ２の電位に保持されている。したがって、高電圧系昇圧回路３２は停止している場合においても出力電位が不定となることがない。

【００２２】

データの読み出し時、あるいはスタンドバイ状態のとき、信号／ＲＤはローレベルとなり高電圧系昇圧回路３２は動作しない。この時、第１、第２の出力端Ｖｐ１、Ｖｐ２（ＶＨ）の相互間にあるＰチャネルトランジスタ６１はオンとなり、電圧はＶＰ＝ＶＨとなる。

読み出し時やスタンドバイ以外のとき、高電圧系昇圧回路３２は動作し、Ｐチャネルトランジスタ６１はオフする。このとき、電圧はＶＰ＜ＶＨとなる。第１、第２の出力端Ｖｐ１，Ｖｐ２の電位を上記のように制御するトランスファーゲートは、デプレーション型のトランジスタを用いれば容易に実現できるが、製造工程が増大する。そこで、この発明では、上記構成としている。

【００２３】

図６に示す回路において、データの読み出し時、Ｐチャネルトランジスタ６６がオン、Ｐチャネルトランジスタ６７がオフとなり、中間電圧発生回路６３は電圧ＶＰを降圧してワード線の電圧ＶＳＷを生成し、書き込みやベリファイ時、Ｐチャネルトランジスタ６７がオン、Ｐチャネルトランジスタ６６がオフとなり、中間電圧発生回路６４は電圧ＶＨを降圧してワード線の電圧ＶＳＷを生成する。Ｐチャネルトランジスタ６１のバックゲートバイアスは電圧ＶＨであるため、電圧ＶＨは電圧ＶＰより常に高くなければならない。しかし、信号／ＲＤがローレベルの状態で、電圧ＶＳＷを低い状態、例えばイレーズベリファイの電圧３．５Ｖから立ち上げようとした場合、電圧ＶＳＷにはワード線の大きな寄生容量があるため電圧ＶＨは、３．５Ｖ程度に下がってしまう。トランジスタ６５はこれを防止している。すなわち、このトランジスタ６５は電圧ＶＨが電圧ＶＰとＰチャネルトランジスタのしきい値電圧をたした電圧までしか下がらないようにしている。

【００２４】

図７は、電圧ＶＳＷを生成する中間電圧発生回路６３、６４の一例を示し、図８は、電圧ＶＳＷＢＳを生成する中間電圧発生回路７０の一例を示している。これら中間電圧発生回路は、特願平８－１６２７５３号に記載された回路であり、この回路に限定されない。図７に示す回路は、ＶＰ又はＶＨ’が供給されるＰチャネルトランジスタＴＰ２１，ＴＰ２０，ＴＰ１と、基準電圧ＶＲＥＦと出力検出電圧ＶＢとを比較する比較器７１、７２と、これら比較器７１、７２の出力に応じて前記Ｐチャネルトランジスタ ＴＰ２１，ＴＰ２０，ＴＰ１を制御するＮチャネルトランジスタＴＮ２０、ＴＮ６、ＴＮ２１、ＴＮ２２と、出力電圧を制御するＰチャネルトランジスタＳ１、Ｓ２～Ｓｎと直列接続された複数の抵抗ｒ１、ｒ２～ｒｎとからなる抵抗分割回路４０と前記出力検出電圧ＶＢを生成する抵抗Ｒ１、Ｒ２と、出力安定用のキャパシタＣ１とにより構成されている。この回路は、複数のＰチャネルトランジスタＳ１～Ｓｎにより、抵抗分割回路４０を制御して必要な電圧ＶＳＷを生成している。

【００２５】

これに対して、図８は、ＰチャネルトランジスタＳ１のソースと出力端の間にドレインとゲートが接続されたＮチャネルトランジスタ８１を接続している。この構成は後述する図９において、ソースフォロワトランジスタのしきい値電圧をキャンセルする。図８において、図７と同一部分には同一符号を付している。

【００２６】

図９は、図６乃至図８に示す回路で生成された電圧を使用した半導体記憶装置の概略構成を示している。書き込み制御信号Ｐｒｏｇ　はレベルシフタ９１、インバータ回路９２、９３を介してカラムセレクタとしてのＮチャネルトランジスタ９４のゲートに供給される。レベルシフタ９１、インバータ回路９２、９３には中間電圧発生回路７０の出力電圧ＶＳＷＢＳが供給され、Ｎチャネルトランジスタ９４のゲートには、ＶＳＷＢＳレベルの信号が供給される。このトランジスタ９４のドレインには電圧ＶＰが供給され、ソースはメモリセル９６のドレインに接続されている。このメモリセル９６のコントロールゲート（ワード線）はローデコーダ９５に接続されている。このローデコーダ９５には中間電圧発生回路６３、６４の出力電圧ＶＳＷが供給されている。コントロールゲートはＶＳＷレベルの信号により制御される。

【００２７】

消去信号Ｅｒｓはレベルシフタ９７、インバータ回路９８、９９を介してＮチャネルトランジスタ１００のゲートに供給される。レベルシフタ９７、インバータ回路９８、９９には中間電圧発生回路７０の出力電圧ＶＳＷＢＳが供給され、Ｎチャネルトランジスタ１０

０のゲートには、ＶＳＷＢＳレベルの信号が供給される。このトランジスタ１００のドレインには電圧ＶＰが供給され、ソースはメモリセル９６のソースに接続されるとともに、Ｎチャネルトランジスタ１０１を介して接地される。このトランジスタ１０１のゲートにはインバータ回路１０２を介して消去信号Ｅｒｓが供給される。

【００２８】

上記のように、メモリセル９６における書き込み時のドレイン電流と、消去時のソース電流は、ドレインに電圧ＶＰが供給され、ゲートに所定の電圧よりしきい値電圧分高いＶＳＷＢＳレベルの信号が供給されるソースフォロワのＮチャネルトランジスタ９４、１００により制御されている。このような構成とすることにより、しきい値落ちすることなく所定の電圧、ここではＶＰを供給できる。

【００２９】

また、Ｎチャネルトランジスタ９４、１００のドレイン電圧ＶＰは、段数が少なく、電流容量が大きいチャージポンプ回路で構成された中電圧系昇圧回路３１の出力電圧であるため、大電流を流すことができる。一方、Ｎチャネルトランジスタ９４、１００のゲートには直流電流が流れないため、段数が多く、電流容量が小さいチャージポンプ回路で構成された高電圧系昇圧回路３２の出力電圧で駆動できる。この構成によれば、トランジスタの動作に必要な電圧を最適な昇圧回路から供給できる。尚、Ｎチャネルトランジスタ９４、１００のドレインは、電圧ＶＰを変換して電位を調整した電圧を供給してもよい。

【００３０】

図１０は、図６の変形例を示すものであり、図６と同一部分には同一符号を付す。この例では、Ｐチャネルトランジスタ６１に代えて、しきい値電圧がほぼ０ＶのＩ－タイプ、ＮチャネルＭＯＳトランジスタ１１０を用い、Ｐチャネルトランジスタ６５のゲートを中間電圧発生回路６３の出力端とＰチャネルトランジスタ６６のソースとの接続ノードに接続している。尚、ここで、中間電圧発生回路６４の出力端にバックゲートが電圧ＶＨに接続されたＰチャネルトランジスタ６７を接続しているため、電圧ＶＨが中間電圧発生回路６３の出力端の電圧ＶＤより低下した場合、ソースと基板間がフォワードバイアスされることとなる。すなわち、電圧ＶＨは中間電圧発生回路６３の出力端の電圧ＶＤより低下してはならない。したがって、この例でも、Ｐチャネルトランジスタ６５を設けることで、電圧ＶＨの低下を防止し、トランジスタ６６を保護している。

【００３１】

【発明の効果】

以上、詳述したようにこの発明によれば、デプレーション型トランジスタを使用することなく、発生された電圧を必要とする部分に切り換えて供給でき、チップコストの高騰を抑えることが可能な半導体記憶装置を提供できる。

【図面の簡単な説明】

【図１】この発明の第１の実施の形態を示す構成図。

【図２】この発明の動作電圧を説明するために示す図。

【図３】この発明の概略構成を説明するために示す構成図。

【図４】図１の一部の構成を示す回路図。

【図５】図１の一部の構成を示す回路図。

【図６】図１に接続される中間電圧発生回路を示す回路図。

【図７】図６に示す中間電圧発生回路の一例を示す回路図。

【図８】図６に示す中間電圧発生回路の一例を示す回路図。

【図９】図６乃至図８に示す回路で生成された電圧を使用したこの発明の半導体記憶装置の概略を示す構成図。

【図１０】図６に示す回路の変形例を示す回路図。

【符号の説明】

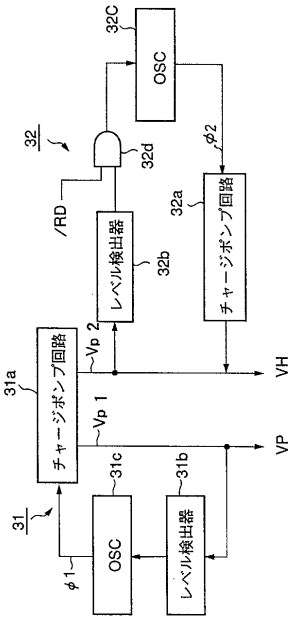
３１…中電圧系昇圧回路、

３２…高電圧系昇圧回路、

３３…負電圧系昇圧回路、

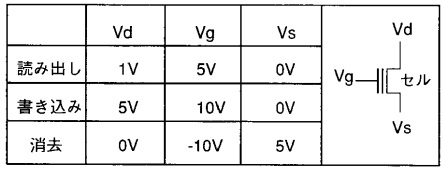
３１ａ，３２ａ…第１、第２のチャージポンプ回路、
Ｖｐ１、Ｖｐ２…第１、第２の出力端、
６１、６５、６６、６７…Ｐチャネルトランジスタ、
６３、６４、７０…中間電圧発生回路。

【図１】

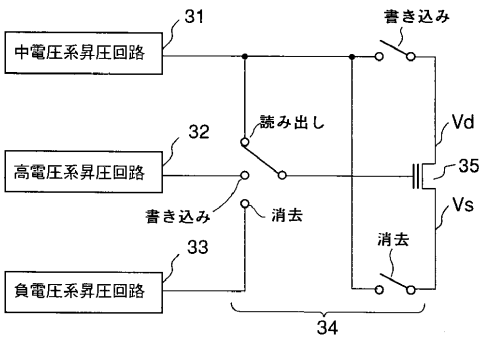


【図２】

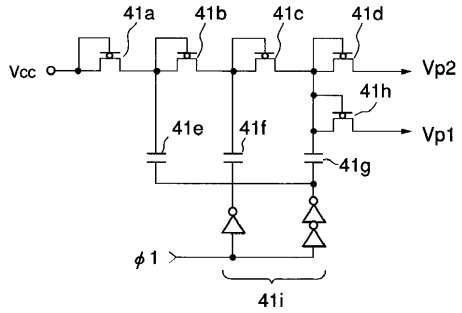
	Vd	Vg	Vs
読み出し	1V	5V	0V
書き込み	5V	10V	0V
消去	0V	-10V	5V



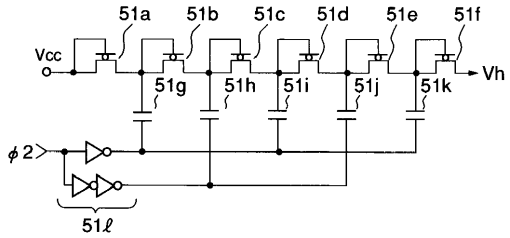
【図３】



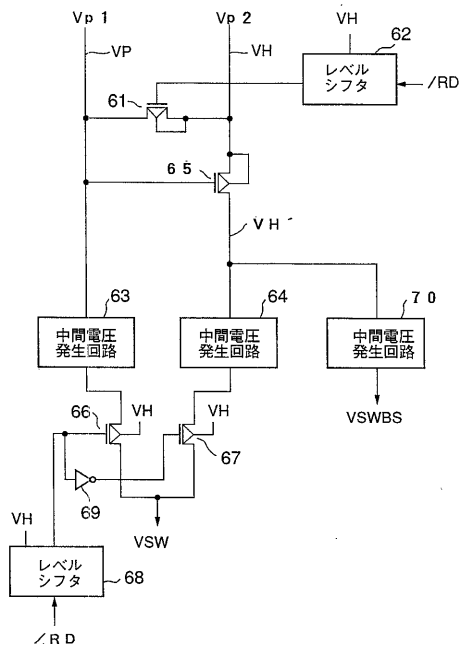
【図４】


41a
41b
41c
41d
Vcc
Vp2
41h
41e
41f
Vp1
41g
φ1
41i

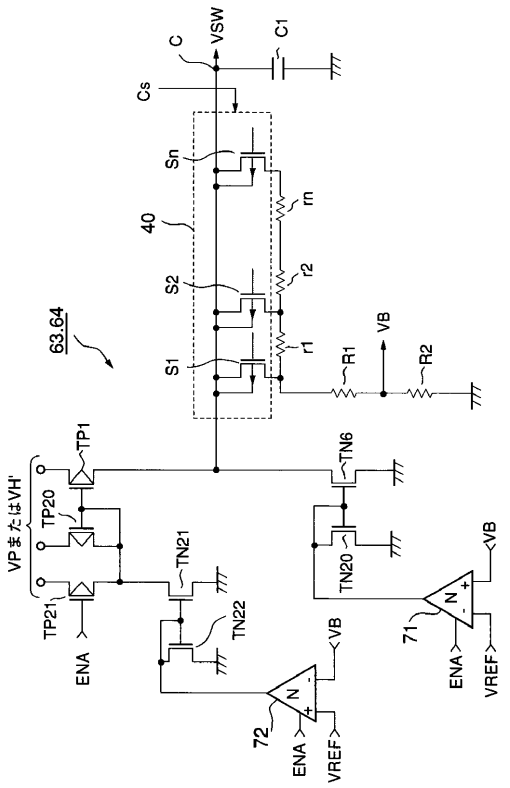
【図５】


51a
51b
51c
51d
51e
51f
Vcc
Vh
51g
51h
51i
51j
51k
φ2
51ℓ

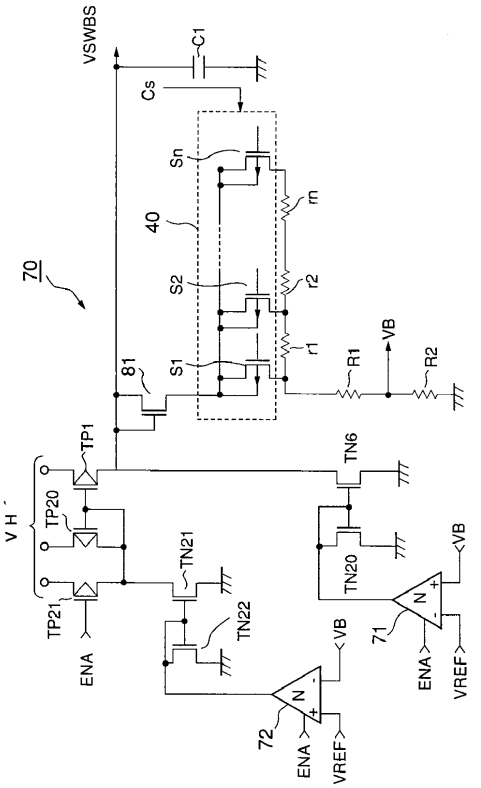
【図６】


Vp 1
Vp 2
VH
62
VP
VH
レベル
シフタ
/RD
61
65
VH'
63
64
70
中間電圧
発生回路
中間電圧
発生回路
中間電圧
発生回路
66
VH
VH
67
VSWBS
69
VSW
VH
レベル
シフタ
68
/RD

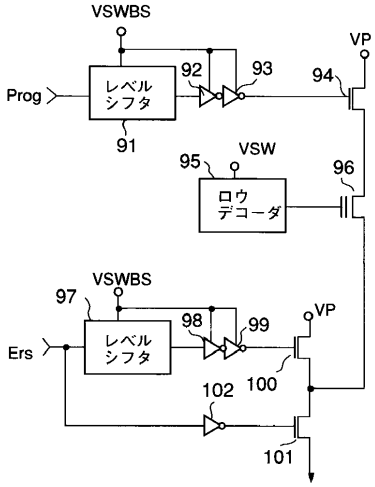
【図７】


C
VSW
C1
Cs
Sn
m
40
S2
r2
63,64
r1
S1
R1
VB
R2
TP1
TN6
VPまたはVH'
TP20
TN21
TN20
TP21
TN22
VB
71
ENA
VREF
72
ENA
VREF

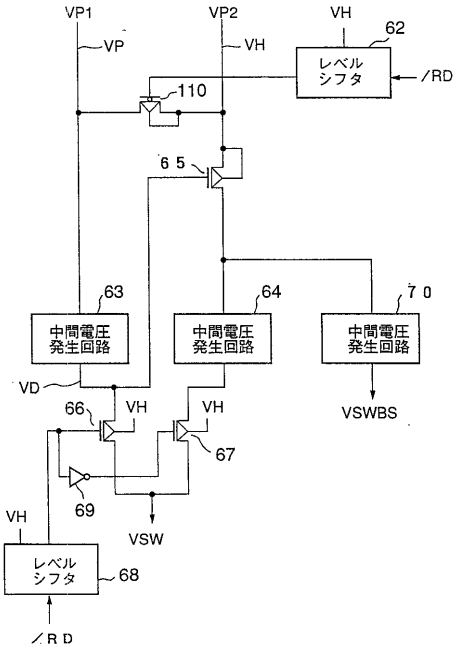
【図８】


VSWBS
C1
Cs
Sn
m
40
S2
r2
70
r1
81
S1
R1
VB
R2
TP1
TN6
VH'
TP20
TN21
TN20
VB
TP21
TN22
71
ENA
VREF
VB
72
ENA
VREF

【図９】


VSWBS
VP
Prog
レベル
シフタ
92
93
94
91
VSW
95
96
ロウ
デコーダ
VSWBS
97
98
99
VP
Ers
レベル
シフタ
100
102
101

【図１０】


VP1
VP2
VH
62
VP
VH
レベル
シフタ
/RD
110
65
63
64
70
中間電圧
発生回路
中間電圧
発生回路
中間電圧
発生回路
VD
66
VH
VH
67
VSWBS
69
VH
VSW
レベル
シフタ
68
/RD

フロントページの続き

(74)代理人 100070437
弁理士 河井 将次
(72)発明者 番場 博則
神奈川県川崎市幸区堀川町５８０番１号 株式会社東芝半導体システム技術センター内
(72)発明者 渥美 滋
神奈川県川崎市幸区堀川町５８０番１号 株式会社東芝半導体システム技術センター内

審査官 長島 孝志

(56)参考文献 特開平０６－２５９９７９（ＪＰ，Ａ）
特開平０１－３０７０９７（ＪＰ，Ａ）
特開平０８－０８４０５５（ＪＰ，Ａ）
特開平０８－２５５４９３（ＪＰ，Ａ）
特開平０６－０８４３８８（ＪＰ，Ａ）
特開平０５－１５９５８７（ＪＰ，Ａ）
特開平０６－０３７２８５（ＪＰ，Ａ）
特開平０９－１１５２９３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
G11C 16/00-16/34
H02M 3/07