

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 29 年 6 月 15 日 (2017.6.15)

【公表番号】特表 2016-521008 (P2016-521008A)

【公表日】平成 28 年 7 月 14 日 (2016.7.14)

【年通号数】公開・登録公報 2016-042

【出願番号】特願 2016-512060 (P2016-512060)

【国際特許分類】

H 0 1 L 21/337 (2006.01)

H 0 1 L 21/338 (2006.01)

H 0 1 L 29/808 (2006.01)

H 0 1 L 29/812 (2006.01)

H 0 1 L 29/778 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/8232 (2006.01)

【F I】

H 0 1 L 29/80 P

H 0 1 L 29/80 H

H 0 1 L 29/80 E

H 0 1 L 29/80 W

H 0 1 L 29/80 L

H 0 1 L 27/04 H

H 0 1 L 27/06 F

【手続補正書】

【提出日】平成 29 年 4 月 27 日 (2017.4.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

静電放電 (ESD) 保護素子であって、

ドレイン、少なくとも 2 つのゲート、およびソースを有する第 1 の電界効果トランジスタであって、前記第 1 の電界効果トランジスタのドレインは、ESD イベントから保護されるように、回路のノードに結合される、第 1 の電界効果トランジスタと、

前記第 1 の電界効果トランジスタのソースとコモンノードとの間に結合される、少なくとも 1 つの第 1 のダイオードと、

前記少なくとも 2 つのゲートのうちの第 1 のゲートと前記コモンノードとの間に直列に結合される第 1 および第 2 の抵抗器であって、前記第 1 の抵抗器と第 2 の抵抗器との間の第 1 のノードは、前記少なくとも 2 つのゲートのうちの第 2 のゲートと結合される、第 1 および第 2 の抵抗器と

を備える、ESD 保護素子。

【請求項 2】

前記コモンノードは、電源コモンである、請求項 1 に記載の ESD 保護素子。

【請求項 3】

ドレイン、少なくとも2つのゲート、およびソースを有する第2の電界効果トランジスタであって、前記第2の電界効果トランジスタのドレインは、電源コモンに結合される、第2の電界効果トランジスタと、

前記少なくとも1つの第1のダイオードのカソードに結合されるカソードを有する少なくとも1つの第2のダイオードと、

前記第2の電界効果トランジスタの第1のゲートと前記コモンノードとの間に直列に結合される第3および第4の抵抗器であって、前記第3の抵抗器と第4の抵抗器との間の第2のノードは、前記第2の電界効果トランジスタの第2の1つのゲートと結合される、第3および第4の抵抗器と

をさらに備える、請求項1に記載のESD保護素子。

【請求項4】

前記第1の電界効果トランジスタの前記少なくとも2つのゲートのうちの一方または前記第1および第2の電界効果トランジスタの前記少なくとも2つのゲートのうちの一方は、トリガゲートであり、前記少なくとも2つのゲートのうちの別の一方は、放電ゲートである、請求項1に記載のESD保護素子。

【請求項5】

前記第1のFETまたは前記第1および第2のFETは、空乏モードFETである、請求項1に記載のESD保護素子。

【請求項6】

前記少なくとも1つの第1のダイオードまたは前記少なくとも1つの第1および第2のダイオードはそれぞれ、前記第1または第2のFETのソースと前記コモンノードとの間に直列に接続される2つのダイオードである、請求項1に記載のESD保護素子。

【請求項7】

前記電源コモンは、電気接地に結合される、請求項1に記載のESD保護素子。

【請求項8】

前記空乏モードFETは、高電子移動度トランジスタ(HEMT)である、請求項5に記載のESD保護素子。

【請求項9】

前記HEMTは、シュードモルフィック型HEMT(pHEMT)である、請求項8に記載のESD保護素子。

【請求項10】

前記HEMTは、メタモルフィック型HEMT(mHEMT)である、請求項8に記載のESD保護素子。

【請求項11】

前記HEMTは、誘導HEMTである、請求項8に記載のESD保護素子。

【請求項12】

前記第1の電界効果トランジスタまたは前記第1および第2の電界効果トランジスタ、前記少なくとも1つの第1または第1および第2のダイオード、ならびに前記第1および第2または第1、第2、第3および第4の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される前記回路のノードに結合される、請求項1に記載のESD保護素子。

【請求項13】

前記第1の電界効果トランジスタ、前記少なくとも1つの第1のダイオード、ならびに、第1および第2の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される前記回路のノードに結合され、前記集積回路ダイの前記外部接続の機能は、アナログ入力、デジタル入力、アナログ出力、デジタル出力、アナログ入力/出力、デジタル入力/出力、電力接続、バイアス入力、および外部補償キャパシタから成る群から選択される、請求項2に記載のESD保護素子。

【請求項14】

前記第1および第2の電界効果トランジスタ、前記少なくとも1つの第1および第2の

ダイオード、ならびに、前記第 1、第 2、第 3 および第 4 の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される前記回路のノードに結合され、前記集積回路ダイの前記外部接続の機能は、アナログ入力、デジタル入力、アナログ出力、デジタル出力、アナログ入力 / 出力、デジタル入力 / 出力、電力接続、バイアス入力、および外部補償キャパシタから成る群から選択される、請求項 3 に記載の E S D 保護素子。

【請求項 1 5】

前記第 1 の電界効果トランジスタ、前記少なくとも 1 つの第 1 のダイオード、ならびに、第 1 および第 2 の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される前記回路のノードに結合され、前記集積回路ダイの前記外部接続の機能は、無線周波数信号入力を備える、請求項 2 に記載の E S D 保護素子。

【請求項 1 6】

前記第 1 および第 2 の電界効果トランジスタ、前記少なくとも 1 つの第 1 および第 2 のダイオード、ならびに、前記第 1、第 2、第 3 および第 4 の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される前記回路のノードに結合され、前記集積回路ダイの前記外部接続の機能は、無線周波数信号入力を備える、請求項 3 に記載の E S D 保護素子。

【請求項 1 7】

前記第 1 の電界効果トランジスタ、前記少なくとも 1 つの第 1 のダイオード、ならびに、第 1 および第 2 の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される前記回路のノードに結合され、前記集積回路ダイの前記外部接続の機能は、無線周波数信号出力を備える、請求項 2 に記載の E S D 保護素子。

【請求項 1 8】

前記第 1 および第 2 の電界効果トランジスタ、前記少なくとも 1 つの第 1 および第 2 のダイオード、ならびに、前記第 1、第 2、第 3 および第 4 の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される前記回路のノードに結合され、前記集積回路ダイの前記外部接続の機能は、無線周波数信号出力を備える、請求項 3 に記載の E S D 保護素子。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 1

【補正方法】変更

【補正の内容】

【0 0 1 1】

さらなる実施形態によると、第 1 および第 2 の F E T、少なくとも 1 つの第 1 および第 2 のダイオード、ならびに第 1、第 2、第 3、および第 4 の抵抗器は、集積回路ダイ上に加工され、集積回路ダイの外部接続に結合され得る、回路ノードに結合されてもよい。さらなる実施形態によると、集積回路ダイの外部接続の機能は、無線周波数信号入力を備えてもよい。さらなる実施形態によると、集積回路ダイの外部接続の機能は、無線周波数信号出力を備えてもよい。

本発明は、例えば、以下を提供する。

(項目 1)

静電放電 (E S D) 保護素子であって

ドレイン、少なくとも 2 つのゲート、およびソースを有する、電界効果トランジスタ (F E T) であって、そのドレインは、E S D イベントから保護されるように、回路のノードに結合される、電界効果トランジスタと、

前記 F E T のソースと電源コモンとの間に結合される、少なくとも 1 つのダイオードと

、

前記 F E T の少なくとも 2 つのゲート間に結合される、第 1 の抵抗器と、

前記少なくとも 2 つのゲートのうちの一方および前記電源コモンに結合される、第 2 の

抵抗器と、

を備える、E S D保護素子。

(項目2)

前記少なくとも2つのゲートのうちの一方は、トリガゲートであって、前記少なくとも2つのゲートのうちの別の一方は、放電ゲートである、項目1に記載のE S D保護素子。

(項目3)

前記F E Tは、空乏モードF E Tである、項目1に記載のE S D保護素子。

(項目4)

前記少なくとも1つのダイオードは、前記F E Tのソースと電源コモンとの間に直列に接続される2つのダイオードである、項目1に記載のE S D保護素子。

(項目5)

前記電源コモンは、電気接地に結合される、項目1に記載のE S D保護素子。

(項目6)

前記空乏モードF E Tは、高電子移動度トランジスタ(H E M T)である、項目3に記載のE S D保護素子。

(項目7)

前記H E M Tは、シュードモルフィック型H E M T(p H E M T)である、項目6に記載のE S D保護素子。

(項目8)

前記H E M Tは、メタモルフィック型H E M T(m H E M T)である、項目6に記載のE S D保護素子。

(項目9)

前記H E M Tは、誘導H E M Tである、項目6に記載のE S D保護素子。

(項目10)

前記F E T、前記少なくとも1つのダイオード、ならびに前記第1および第2の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される回路ノードに結合される、項目1に記載のE S D保護素子。

(項目11)

前記集積回路ダイの外部接続の機能は、アナログ入力、デジタル入力、アナログ出力、デジタル出力、アナログ入力/出力、デジタル入力/出力、電力接続、バイアス入力、および外部補償キャパシタから成る群から選択される、項目10に記載のE S D保護素子。

(項目12)

静電放電(E S D)保護素子であって、

ドレイン、少なくとも2つのゲート、およびソースを有する、第1の電界効果トランジスタ(F E T)であって、そのドレインは、E S Dイベントから保護されるように、回路のノードに結合される、第1の電界効果トランジスタと、

前記第1のF E Tのソースに結合されるアノードを有する、少なくとも1つの第1のダイオードと、

前記第1のF E Tの少なくとも2つのゲート間に結合される、第1の抵抗器と、

前記少なくとも2つのゲートの一方および前記少なくとも1つの第1のダイオードのカソードに結合される、第2の抵抗器と、

ドレイン、少なくとも2つのゲート、およびソースを有する、第2の電界効果トランジスタ(F E T)であって、そのドレインは、電源コモンに結合される、第2の電界効果トランジスタと、

前記少なくとも1つの第1のダイオードのカソードに結合されるカソードを有する、少なくとも1つの第2のダイオードと、

前記第2のF E Tの少なくとも2つのゲート間に結合される、第3の抵抗器と、

前記第2のF E Tの少なくとも2つのゲートの一方および前記少なくとも1つの第2のダイオードのカソードに結合される、第4の抵抗器と、

を備える、E S D保護素子。

(項目 1 3)

前記第 1 および第 2 の F E T の少なくとも 2 つのゲートのうちの一方は、トリガゲートであって、前記第 1 および第 2 の F E T の少なくとも 2 つのゲートのうちの別の一方は、放電ゲートである、項目 1 2 に記載の E S D 保護素子。

(項目 1 4)

前記第 1 および第 2 の F E T は、空乏モード F E T である、項目 1 2 に記載の E S D 保護素子。

(項目 1 5)

前記少なくとも 1 つの第 1 および第 2 のダイオードは、それぞれ、前記第 1 および第 2 の F E T のソース間に直列に接続される、2 つのダイオードである、項目 1 2 に記載の E S D 保護素子。

(項目 1 6)

前記電源コモンは、電気接地に結合される、項目 1 2 に記載の E S D 保護素子。

(項目 1 7)

前記第 1 および第 2 の空乏モード F E T は、高電子移動度トランジスタ (H E M T) である、項目 1 4 に記載の E S D 保護素子。

(項目 1 8)

前記 H E M T は、シュードモルフィック型 H E M T (p H E M T)、メタモルフィック型 H E M T (m H E M T) および誘導 H E M T から成る群から選択される、項目 1 7 に記載の E S D 保護素子。

(項目 1 9)

前記第 1 および第 2 の F E T、前記第 1 および第 2 の少なくとも 1 つのダイオード、ならびに前記第 1、第 2、第 3、および第 4 の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される回路ノードに結合される、項目 1 2 に記載の E S D 保護素子。

(項目 2 0)

前記集積回路ダイの外部接続の機能は、無線周波数信号入力を備える、項目 1 9 に記載の E S D 保護素子。

(項目 2 1)

前記集積回路ダイの外部接続の機能は、無線周波数信号出力を備える、項目 1 9 に記載の E S D 保護素子。