

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成29年6月15日(2017.6.15)

【公表番号】特表2016-521008(P2016-521008A)

【公表日】平成28年7月14日(2016.7.14)

【年通号数】公開・登録公報2016-042

【出願番号】特願2016-512060(P2016-512060)

【国際特許分類】

H 01 L	21/337	(2006.01)
H 01 L	21/338	(2006.01)
H 01 L	29/808	(2006.01)
H 01 L	29/812	(2006.01)
H 01 L	29/778	(2006.01)
H 01 L	21/822	(2006.01)
H 01 L	27/04	(2006.01)
H 01 L	27/06	(2006.01)
H 01 L	21/8232	(2006.01)

【F I】

H 01 L	29/80	P
H 01 L	29/80	H
H 01 L	29/80	E
H 01 L	29/80	W
H 01 L	29/80	L
H 01 L	27/04	H
H 01 L	27/06	F

【手続補正書】

【提出日】平成29年4月27日(2017.4.27)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

静電放電(ESD)保護素子であって、

ドレイン、少なくとも2つのゲート、およびソースを有する第1の電界効果トランジスタであって、前記第1の電界効果トランジスタのドレインは、ESDイベントから保護されるように、回路のノードに結合される、第1の電界効果トランジスタと、

前記第1の電界効果トランジスタのソースとコモンノードとの間に結合される、少なくとも1つの第1のダイオードと、

前記少なくとも2つのゲートのうちの第1のゲートと前記コモンノードとの間に直列に結合される第1および第2の抵抗器であって、前記第1の抵抗器と第2の抵抗器との間の第1のノードは、前記少なくとも2つのゲートのうちの第2のゲートと結合される、第1および第2の抵抗器と

を備える、ESD保護素子。

【請求項2】

前記コモンノードは、電源コモンである、請求項1に記載のESD保護素子。

【請求項3】

ドレイン、少なくとも 2 つのゲート、およびソースを有する第 2 の電界効果トランジスタであって、前記第 2 の電界効果トランジスタのドレインは、電源コモンに結合される、第 2 の電界効果トランジスタと、

前記少なくとも 1 つの第 1 のダイオードのカソードに結合されるカソードを有する少なくとも 1 つの第 2 のダイオードと、

前記第 2 の電界効果トランジスタの第 1 のゲートと前記コモンノードとの間に直列に結合される第 3 および第 4 の抵抗器であって、前記第 3 の抵抗器と第 4 の抵抗器との間の第 2 のノードは、前記第 2 の電界効果トランジスタの第 2 の 1 つのゲートと結合される、第 3 および第 4 の抵抗器と

をさらに備える、請求項 1 に記載の ESD 保護素子。

【請求項 4】

前記第 1 の電界効果トランジスタの前記少なくとも 2 つのゲートのうちの一方または前記第 1 および第 2 の電界効果トランジスタの前記少なくとも 2 つのゲートのうちの一方は、トリガゲートであり、前記少なくとも 2 つのゲートのうちの別の一方は、放電ゲートである、請求項 1 に記載の ESD 保護素子。

【請求項 5】

前記第 1 の FET または前記第 1 および第 2 の FET は、空乏モード FET である、請求項 1 に記載の ESD 保護素子。

【請求項 6】

前記少なくとも 1 つの第 1 のダイオードまたは前記少なくとも 1 つの第 1 および第 2 のダイオードはそれぞれ、前記第 1 または第 2 の FET のソースと前記コモンノードとの間に直列に接続される 2 つのダイオードである、請求項 1 に記載の ESD 保護素子。

【請求項 7】

前記電源コモンは、電気接地に結合される、請求項 1 に記載の ESD 保護素子。

【請求項 8】

前記空乏モード FET は、高電子移動度トランジスタ (HEMT) である、請求項 5 に記載の ESD 保護素子。

【請求項 9】

前記 HEMT は、シュードモルフィック型 HEMT (pHEMT) である、請求項 8 に記載の ESD 保護素子。

【請求項 10】

前記 HEMT は、メタモルフィック型 HEMT (mHEMT) である、請求項 8 に記載の ESD 保護素子。

【請求項 11】

前記 HEMT は、誘導 HEMT である、請求項 8 に記載の ESD 保護素子。

【請求項 12】

前記第 1 の電界効果トランジスタまたは前記第 1 および第 2 の電界効果トランジスタ、前記少なくとも 1 つの第 1 または第 1 および第 2 のダイオード、ならびに前記第 1 および第 2 または第 1 、第 2 、第 3 および第 4 の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される前記回路のノードに結合される、請求項 1 に記載の ESD 保護素子。

【請求項 13】

前記第 1 の電界効果トランジスタ、前記少なくとも 1 つの第 1 のダイオード、ならびに、第 1 および第 2 の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される前記回路のノードに結合され、前記集積回路ダイの前記外部接続の機能は、アナログ入力、デジタル入力、アナログ出力、デジタル出力、アナログ入力 / 出力、デジタル入力 / 出力、電力接続、バイアス入力、および外部補償キャパシタから成る群から選択される、請求項 2 に記載の ESD 保護素子。

【請求項 14】

前記第 1 および第 2 の電界効果トランジスタ、前記少なくとも 1 つの第 1 および第 2 の

ダイオード、ならびに、前記第1、第2、第3および第4の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される前記回路のノードに結合され、前記集積回路ダイの前記外部接続の機能は、アナログ入力、デジタル入力、アナログ出力、デジタル出力、アナログ入力／出力、デジタル入力／出力、電力接続、バイアス入力、および外部補償キャパシタから成る群から選択される、請求項3に記載のE S D保護素子。

【請求項15】

前記第1の電界効果トランジスタ、前記少なくとも1つの第1のダイオード、ならびに、第1および第2の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される前記回路のノードに結合され、前記集積回路ダイの前記外部接続の機能は、無線周波数信号入力を備える、請求項2に記載のE S D保護素子。

【請求項16】

前記第1および第2の電界効果トランジスタ、前記少なくとも1つの第1および第2のダイオード、ならびに、前記第1、第2、第3および第4の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される前記回路のノードに結合され、前記集積回路ダイの前記外部接続の機能は、無線周波数信号入力を備える、請求項3に記載のE S D保護素子。

【請求項17】

前記第1の電界効果トランジスタ、前記少なくとも1つの第1のダイオード、ならびに、第1および第2の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される前記回路のノードに結合され、前記集積回路ダイの前記外部接続の機能は、無線周波数信号出力を備える、請求項2に記載のE S D保護素子。

【請求項18】

前記第1および第2の電界効果トランジスタ、前記少なくとも1つの第1および第2のダイオード、ならびに、前記第1、第2、第3および第4の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される前記回路のノードに結合され、前記集積回路ダイの前記外部接続の機能は、無線周波数信号出力を備える、請求項3に記載のE S D保護素子。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

さらなる実施形態によると、第1および第2のF E T、少なくとも1つの第1および第2のダイオード、ならびに第1、第2、第3、および第4の抵抗器は、集積回路ダイ上に加工され、集積回路ダイの外部接続に結合され得る、回路ノードに結合されてもよい。さらなる実施形態によると、集積回路ダイの外部接続の機能は、無線周波数信号入力を備えてもよい。さらなる実施形態によると、集積回路ダイの外部接続の機能は、無線周波数信号出力を備えてもよい。

本発明は、例えば、以下を提供する。

(項目1)

静電放電(E S D)保護素子であって

ドレイン、少なくとも2つのゲート、およびソースを有する、電界効果トランジスタ(F E T)であって、そのドレインは、E S Dイベントから保護されるように、回路のノードに結合される、電界効果トランジスタと、

前記F E Tのソースと電源コモンとの間に結合される、少なくとも1つのダイオードと、

前記F E Tの少なくとも2つのゲート間に結合される、第1の抵抗器と、

前記少なくとも2つのゲートのうちの一方および前記電源コモンに結合される、第2の

抵抗器と、

を備える、E S D 保護素子。

(項目2)

前記少なくとも2つのゲートのうちの一方は、トリガゲートであって、前記少なくとも2つのゲートのうちの別の一方は、放電ゲートである、項目1に記載のE S D 保護素子。

(項目3)

前記F E Tは、空乏モードF E Tである、項目1に記載のE S D 保護素子。

(項目4)

前記少なくとも1つのダイオードは、前記F E Tのソースと電源コモンとの間に直列に接続される2つのダイオードである、項目1に記載のE S D 保護素子。

(項目5)

前記電源コモンは、電気接地に結合される、項目1に記載のE S D 保護素子。

(項目6)

前記空乏モードF E Tは、高電子移動度トランジスタ(HEMT)である、項目3に記載のE S D 保護素子。

(項目7)

前記HEMTは、シードモルフィック型HEMT(pHEMT)である、項目6に記載のE S D 保護素子。

(項目8)

前記HEMTは、メタモルフィック型HEMT(mHEMT)である、項目6に記載のE S D 保護素子。

(項目9)

前記HEMTは、誘導HEMTである、項目6に記載のE S D 保護素子。

(項目10)

前記F E T、前記少なくとも1つのダイオード、ならびに前記第1および第2の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される回路ノードに結合される、項目1に記載のE S D 保護素子。

(項目11)

前記集積回路ダイの外部接続の機能は、アナログ入力、デジタル入力、アナログ出力、デジタル出力、アナログ入力/出力、デジタル入力/出力、電力接続、バイアス入力、および外部補償キャパシタから成る群から選択される、項目10に記載のE S D 保護素子。

(項目12)

静電放電(E S D)保護素子であって、

ドレイン、少なくとも2つのゲート、およびソースを有する、第1の電界効果トランジスタ(F E T)であって、そのドレインは、E S Dイベントから保護されるように、回路のノードに結合される、第1の電界効果トランジスタと、

前記第1のF E Tのソースに結合されるアノードを有する、少なくとも1つの第1のダイオードと、

前記第1のF E Tの少なくとも2つのゲート間に結合される、第1の抵抗器と、

前記少なくとも2つのゲートのうちの一方および前記少なくとも1つの第1のダイオードのカソードに結合される、第2の抵抗器と、

ドレイン、少なくとも2つのゲート、およびソースを有する、第2の電界効果トランジスタ(F E T)であって、そのドレインは、電源コモンに結合される、第2の電界効果トランジスタと、

前記少なくとも1つの第1のダイオードのカソードに結合されるカソードを有する、少なくとも1つの第2のダイオードと、

前記第2のF E Tの少なくとも2つのゲート間に結合される、第3の抵抗器と、

前記第2のF E Tの少なくとも2つのゲートのうちの一方および前記少なくとも1つの第2のダイオードのカソードに結合される、第4の抵抗器と、

を備える、E S D 保護素子。

(項目13)

前記第1および第2のFETの少なくとも2つのゲートのうちの一方は、トリガゲートであって、前記第1および第2のFETの少なくとも2つのゲートのうちの別の一方は、放電ゲートである、項目12に記載のESD保護素子。

(項目14)

前記第1および第2のFETは、空乏モードFETである、項目12に記載のESD保護素子。

(項目15)

前記少なくとも1つの第1および第2のダイオードは、それぞれ、前記第1および第2のFETのソース間に直列に接続される、2つのダイオードである、項目12に記載のESD保護素子。

(項目16)

前記電源コモンは、電気接地に結合される、項目12に記載のESD保護素子。

(項目17)

前記第1および第2の空乏モードFETは、高電子移動度トランジスタ(HEMT)である、項目14に記載のESD保護素子。

(項目18)

前記HEMTは、シュードモルフィック型HEMT(pHEMT)、メタモルフィック型HEMT(mHEMT)および誘導HEMTから成る群から選択される、項目17に記載のESD保護素子。

(項目19)

前記第1および第2のFET、前記第1および第2の少なくとも1つのダイオード、ならびに前記第1、第2、第3、および第4の抵抗器は、集積回路ダイ上に加工され、前記集積回路ダイの外部接続に結合される回路ノードに結合される、項目12に記載のESD保護素子。

(項目20)

前記集積回路ダイの外部接続の機能は、無線周波数信号入力を備える、項目19に記載のESD保護素子。

(項目21)

前記集積回路ダイの外部接続の機能は、無線周波数信号出力を備える、項目19に記載のESD保護素子。