



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0105392
(43) 공개일자 2013년09월25일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
(21) 출원번호 10-2013-0024343
(22) 출원일자 2013년03월07일
심사청구일자 없음
(30) 우선권주장
JP-P-2012-057974 2012년03월14일 일본(JP)

(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 순페이
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
코야마 준
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 20 항

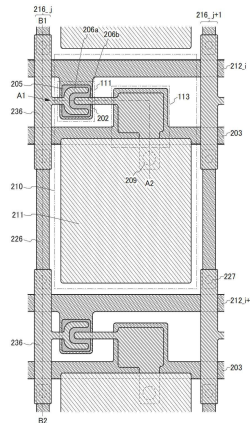
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 배선 저항의 증대로 인한 전압 강하, 신호 전달의 늦음, 신호 파형의 왜곡 등으로 인한 동작 불량이나 신뢰성의 저하를 방지하고 소비 전력이 저감된 반도체 장치를 제공한다.

게이트 배선을 구리를 포함한 도전층으로 형성하고, 소스 전극 및 드레인 전극과 동일한 도전층의 일부로 형성되는 신호 배선을 게이트 배선과 동일한 도전층의 일부로 형성되는 배선과 전기적으로 직렬 또는 병렬로 접속함으로써, 신호 배선의 폭이나 두께를 증가시키지 않고 실질적으로 신호 배선의 배선 저항을 저감시킬 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

반도체 장치에 있어서,
 구리를 포함한 제 1 배선과;
 콘택트 홀을 포함한, 상기 제 1 배선 위의 절연층과;
 상기 절연층 위의 제 2 배선과;
 상기 절연층 위의 산화물 반도체층을 포함하고,
 상기 제 2 배선은 상기 콘택트 홀을 통하여 상기 제 1 배선과 전기적으로 접속되는, 반도체 장치.

청구항 2

제 1 항에 있어서,
 구리를 포함한 게이트 전극을 더 포함하고,
 상기 게이트 전극 및 상기 제 1 배선은 동일한 층 위에 접하고,
 상기 산화물 반도체층은 상기 절연층을 개재하여 상기 게이트 전극과 중첩되는, 반도체 장치.

청구항 3

제 1 항에 있어서,
 상기 절연층 위의, 상기 산화물 반도체층과 접하는 전극을 더 포함하고,
 상기 전극은 상기 절연층과 접하고,
 상기 제 2 배선은 상기 절연층과 접하는, 반도체 장치.

청구항 4

제 1 항에 있어서,
 상기 제 2 배선은 상기 제 1 배선과 중첩되는, 반도체 장치.

청구항 5

제 1 항에 있어서,
 상기 제 1 배선은 구리를 포함한 제 1 층과 구리보다 용점이 높은 금속 원소를 포함한 제 2 층을 포함하는, 반도체 장치.

청구항 6

제 1 항에 있어서,
 상기 제 1 배선은 구리를 포함한 제 1 층과 구리보다 용점이 높은 금속 원소의 질화물을 포함한 제 2 층을 포함하는, 반도체 장치.

청구항 7

제 1 항에 있어서,
 상기 절연층은 질화 실리콘 또는 산화 알루미늄을 포함하는, 반도체 장치.

청구항 8

반도체 장치에 있어서,

구리를 포함한 제 1 배선과;

구리를 포함한 제 2 배선과;

상기 제 1 배선과 상기 제 2 배선 위의, 제 1 콘택트 홀과 제 2 콘택트 홀과 제 3 콘택트 홀을 포함한 절연층과;

상기 절연층 위의 제 3 배선과;

상기 절연층 위의 산화물 반도체층을 포함하고,

상기 제 3 배선은 상기 제 1 콘택트 홀을 통하여 상기 제 1 배선과 전기적으로 접속되고,

상기 제 3 배선은 상기 제 2 콘택트 홀을 통하여 상기 제 1 배선과 전기적으로 접속되고,

상기 제 3 배선은 상기 제 3 콘택트 홀을 통하여 상기 제 2 배선과 전기적으로 접속되는, 반도체 장치.

청구항 9

제 8 항에 있어서,

구리를 포함한 게이트 전극을 더 포함하고,

상기 게이트 전극, 상기 제 1 배선, 및 상기 제 2 배선은 동일한 층 위에 접하고,

상기 산화물 반도체층은 상기 절연층을 개재하여 상기 게이트 전극과 중첩되는, 반도체 장치.

청구항 10

제 8 항에 있어서,

상기 절연층 위의, 상기 산화물 반도체층과 접하는 전극을 더 포함하고,

상기 전극은 상기 절연층과 접하고,

상기 제 3 배선은 상기 절연층과 접하는, 반도체 장치.

청구항 11

제 8 항에 있어서,

상기 제 3 배선은 상기 제 1 배선 및 상기 제 2 배선과 중첩되는, 반도체 장치.

청구항 12

제 8 항에 있어서,

상기 제 1 배선 및 상기 제 2 배선의 각각은 구리를 포함한 제 1 층과 구리보다 용점이 높은 금속 원소를 포함한 제 2 층을 포함하는, 반도체 장치.

청구항 13

제 8 항에 있어서,

상기 제 1 배선 및 상기 제 2 배선의 각각은 구리를 포함한 제 1 층과 구리보다 용점이 높은 금속 원소의 질화물을 포함한 제 2 층을 포함하는, 반도체 장치.

청구항 14

제 8 항에 있어서,

상기 절연층은 질화 실리콘 또는 산화 알루미늄을 포함하는, 반도체 장치.

청구항 15

반도체 장치에 있어서,
 구리를 포함한 제 1 배선과;
 상기 제 1 배선 위의, 제 1 콘택트 홀과 제 2 콘택트 홀을 포함한 절연층과;
 상기 절연층 위의 제 2 배선과;
 상기 절연층 위의 제 3 배선과;
 상기 절연층 위의 산화물 반도체층을 포함하고,
 상기 제 2 배선은 상기 제 1 콘택트 홀을 통하여 상기 제 1 배선과 전기적으로 접속되고,
 상기 제 3 배선은 상기 제 2 콘택트 홀을 통하여 상기 제 1 배선과 전기적으로 접속되는, 반도체 장치.

청구항 16

제 15 항에 있어서,
 구리를 포함한 게이트 전극을 더 포함하고,
 상기 게이트 전극 및 상기 제 1 배선은 동일한 층 위에 접하고,
 상기 산화물 반도체층은 상기 절연층을 개재하여 상기 게이트 전극과 중첩되는, 반도체 장치.

청구항 17

제 15 항에 있어서,
 상기 절연층 위의, 상기 산화물 반도체층과 접하는 전극을 더 포함하고,
 상기 전극은 상기 절연층과 접하고,
 상기 제 2 배선은 상기 절연층과 접하고,
 상기 제 3 배선은 상기 절연층과 접하는, 반도체 장치.

청구항 18

제 15 항에 있어서,
 상기 제 1 배선은 구리를 포함한 제 1 층과 구리보다 용점이 높은 금속 원소를 포함한 제 2 층을 포함하는, 반도체 장치.

청구항 19

제 15 항에 있어서,
 상기 제 1 배선은 구리를 포함한 제 1 층과 구리보다 용점이 높은 금속 원소의 질화물을 포함한 제 2 층을 포함하는, 반도체 장치.

청구항 20

제 15 항에 있어서,
 상기 절연층은 질화 실리콘 또는 산화 알루미늄을 포함하는, 반도체 장치.

명세서

기술분야

[0001] 본 발명은 반도체 장치 및 그 제작 방법에 관한 것이다.

[0002] 또한 본 명세서 등에 있어서 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며

전기 광학 장치, 표시 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.

배경 기술

- [0003] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터(박막 트랜지스터(TFT)라고도 함)를 구성하는 기술이 주목을 받고 있다. 이 트랜지스터는 집적 회로(IC)나 화상 표시 장치(표시 장치) 등의 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용 가능한 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있으나, 반도체 회로의 고집적화나 표시 장치의 고정세화에 따라, 근년에 들어 실리콘계 반도체 재료보다 성능이 높은 반도체 재료로서 산화물 반도체 재료가 주목을 받고 있다.
- [0004] 예를 들어, 트랜지스터의 활성층으로서, 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함한 비정질 산화물을 사용한 트랜지스터가 개시(開示)되어 있다(특허문헌 1 참조).
- [0005] 특히 액정 표시 장치나 EL(Electro Luminescence) 표시 장치로 대표되는 액티브 매트릭스형 반도체 장치에 있어서는, 화면의 해상도가 하이비전 화질(HD, 1366×768), 풀 하이비전 화질(FHD, 1920×1080)과 같이 고정세화되는 경향이 있고, 해상도가 3840×2048 또는 4096×2180 등인, 소위 4K 디지털 시네마용 표시 장치의 개발도 시급히 요구되고 있다. 또한 화면의 크기도 대형화되는 경향이 있다.
- [0006] 화면의 크기의 고정세화나 대형화는, 표시부 내의 배선 저항을 증대시키는 경향이 있다. 배선 저항의 증대는, 전원선의 전압 강하, 신호선의 종단으로의 신호 전달의 지연, 신호 파형의 왜곡 등을 발생시켜 결과적으로 표시의 불균일이나 계조 불량 등의 표시 품질의 저하나, 소비 전력의 증가를 발생시킨다. 또한 표시 장치 이외의 반도체 장치에 있어서도 배선 저항의 증대는 전원선의 전압 강하, 신호 전달의 지연, 신호 파형의 왜곡 등을 발생시키므로 동작 불량이나 신뢰성의 저하, 소비 전력 증대의 하나의 요인이 될 수 있다.
- [0007] 배선 저항의 증대를 억제하기 위하여 구리(Cu)를 사용하여 저저항의 배선층을 형성하는 기술이 검토되고 있다(예를 들어 특허문헌 2 및 특허문헌 3 참조).

선행기술문헌

특허문헌

- [0008] (특허문헌 0001) 일본국 특개 2006-165528호 공보
(특허문헌 0002) 일본국 특개 2004-133422호 공보
(특허문헌 0003) 일본국 특개 2004-163901호 공보

발명의 내용

해결하려는 과제

- [0009] 그러나 Cu는 반도체 내에서도 산화 실리콘 내에서 확산되기 쉬워 반도체 장치의 동작을 불안정하게 하며 수율을 현저히 저하시킬 우려가 있다. 특히 산화물 반도체는 실리콘계 반도체보다 Cu의 영향을 받기 쉽고 Cu의 확산에 의하여 트랜지스터의 전기 특성의 열화나, 신뢰성의 저하가 발생되기 쉽다.
- [0010] 또한 배선 저항을 작게 하기 위하여 배선 폭을 크게 하면, 배선의 점유 면적이 증대하여 고정세화되기가 어려워진다. 또한 배선 저항을 작게 하기 위하여 배선을 두껍게 하면 형성 시간의 증가나 그 후에 배선 위에 형성되는 층의 피복성이 악화되기 쉽다 등의 문제가 생겨 생산성 저하의 하나의 요인이 된다.
- [0011] 본 발명의 일 형태는 전기 특성이 양호하고 신뢰성이 높은 트랜지스터 및 상기 트랜지스터를 사용한 반도체 장치를 제공하는 것을 과제 중 하나로 한다.
- [0012] 본 발명의 일 형태는 신호 기록 불량이나 신호 파형의 왜곡으로 인한 계조 불량 등을 방지하여, 표시 품질이 더욱 좋은 표시 장치를 제공하는 것을 과제 중 하나로 한다.
- [0013] 본 발명의 일 형태는 배선 저항의 증대로 인한 전압 강하, 신호 전달의 지연, 신호 파형의 왜곡 등으로 인한 동작 불량이나, 신뢰성의 저하를 방지하여, 소비 전력이 저감된 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

과제의 해결 수단

- [0014] 게이트 배선에 구리를 포함한 도전층을 사용함으로써 게이트 배선의 배선 저항을 저감시킨다. 또한 산화물 반도체층과 접하는 소스 전극 및 드레인 전극은 구리를 사용하지 않고 형성됨으로써 구리의 확산에 의하여 발생하는 트랜지스터의 전기 특성의 열화나 신뢰성의 저하를 방지한다.
- [0015] 또한 소스 전극 및 드레인 전극과 동일한 도전층의 일부로 형성되는 신호 배선을, 게이트 배선과 동일한 도전층의 일부로 형성되는 배선과 전기적으로 직렬 또는 병렬로 접속함으로써 신호 배선의 폭이나 두께를 증가시키지 않고 실질적으로 신호 배선의 배선 저항을 저감시킬 수 있다.
- [0016] 또한 구리를 포함한 배선을, 배리어성을 갖는 절연층으로 덮음으로써 구리의 확산을 억제할 수 있다. 배리어성을 갖는 절연층으로서는 예를 들어 질화 실리콘, 산화 알루미늄 등을 사용할 수 있다.
- [0017] 본 발명의 일 형태는 구리를 포함한 도전층으로 형성된 제 1 배선과, 산화물 반도체층과 접하는 도전층과 동일한 도전층의 일부로 형성된 제 2 배선과, 절연층을 갖고, 절연층은 제 1 배선 위에 형성되고, 제 2 배선은 절연층 위에 형성되고, 제 1 배선과 제 2 배선은 절연층에 형성된 콘택트 홀을 통하여 전기적으로 병렬로 접속되어 있는 것을 특징으로 하는 반도체 장치이다. 또한 제 1 배선과 제 2 배선은 중첩되도록 형성하여도 좋다.
- [0018] 본 발명의 일 형태는 구리를 포함한 도전층으로 형성된 복수의 제 1 배선과, 산화물 반도체층과 접하는 도전층과 동일한 도전층의 일부로 형성된 복수의 제 2 배선과, 절연층을 갖고, 절연층은 제 1 배선 위에 형성되고, 제 2 배선은 절연층 위에 형성되고, 제 1 배선과 제 2 배선은 절연층에 형성된 콘택트 홀을 통하여 전기적으로 직렬로 접속되어 있는 것을 특징으로 하는 반도체 장치이다.
- [0019] 또한 제 1 배선과 제 2 배선은 하나의 콘택트 홀로 접속시켜도 좋고 복수의 콘택트 홀로 접속시켜도 좋다.
- [0020] 또한 절연층은 배리어성을 갖는 절연층 및 산소를 포함한 절연층의 적층으로 하여도 좋다. 예를 들어 질화 실리콘과 질화산화 실리콘의 적층으로 하여도 좋다.

발명의 효과

- [0021] 본 발명의 일 형태에 의하여 전기 특성이 양호하고 신뢰성이 높은 트랜지스터 및 상기 트랜지스터를 사용한 반도체 장치를 제공할 수 있다.
- [0022] 본 발명의 일 형태에 의하여 표시 품질이 좋은 표시 장치를 대표로 하는 반도체 장치를 제공할 수 있다.
- [0023] 본 발명의 일 형태에 의하여 동작 불량이 적고 신뢰성이 양호하며 소비 전력이 저감된 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

- [0024] 도 1은 본 발명의 일 형태를 설명한 상면도.
 도 2a 및 도 2b는 본 발명의 일 형태를 설명한 단면도.
 도 3은 본 발명의 일 형태를 설명한 상면도.
 도 4는 본 발명의 일 형태를 설명한 단면도.
 도 5a 내지 도 5c는 본 발명의 일 형태를 설명한 회로도.
 도 6은 본 발명의 일 형태를 설명한 상면도.
 도 7은 본 발명의 일 형태를 설명한 상면도.
 도 8a 및 도 8b는 본 발명의 일 형태를 설명한 단면도.
 도 9는 본 발명의 일 형태를 설명한 단면도.
 도 10(a1), 도 10(a2), 도 10(b1), 및 도 10(b2)은 본 발명의 일 형태를 설명한 상면도 및 단면도.
 도 11(a1), 도 11(a2), 도 11(b1), 도 11(b2), 도 11(c1), 도 11(c2), 도 11(d1), 및 도 11(d2)은 제작 방법을 설명한 도면.

도 12(a1), 도 12(a2), 도 12(b1), 및 도 12(b2)는 제작 방법을 설명한 도면.

도 13(a1), 도 13(a2), 도 13(b1), 도 13(b2), 도 13(c1), 및 도 13(c2)은 제작 방법을 설명한 도면.

도 14a 내지 도 14d는 제작 방법을 설명한 도면.

도 15a 내지 도 15c는 제작 방법을 설명한 도면.

도 16a 내지 도 16c는 본 발명의 일 형태를 설명한 도면.

도 17a 및 도 17b는 본 발명의 일 형태를 설명한 도면.

도 18a 및 도 18b는 본 발명의 일 형태를 설명한 도면.

도 19a 및 도 19b는 본 발명의 일 형태를 설명한 도면.

도 20a 내지 도 20f는 전자 기기를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0025] 실시형태에 대하여, 도면을 사용하여 상세하게 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 제시되는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 다른 도면간에서 공통적으로 사용하고, 그 반복 설명은 생략한다.

[0026] 또한, 본 명세서 등에서의 "제 1", "제 2", "제 3" 등의 서수는, 구성 요소의 혼동을 피하기 위하여 붙이는 것이며, 수적으로 한정되는 것은 아니다.

[0027] 또한, 도면 등에서 제시하는 각 구성의, 위치, 크기, 범위 등은 이해하기 쉽게 하기 위하여 실제의 위치, 크기, 범위 등을 나타내지 않은 경우가 있다. 따라서, 개시하는 발명은 반드시 도면 등에서 개시한 위치, 크기, 범위 등에 한정되지 않는다.

[0028] 트랜지스터는 반도체 소자의 1종이고, 전류나 전압의 증폭이나 도통 또는 비도통을 제어하는 스위칭 동작 등을 실현할 수 있다. 본 명세서에서의 트랜지스터는 IGFET(Insulated Gate Field Effect Transistor)나 박막 트랜지스터(TFT: Thin Film Transistor)를 포함한다.

[0029] 또한, 트랜지스터의 "소스"나 "드레인"의 기능은, 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에 있어서 전류의 방향이 변화되는 경우 등에 교체되는 경우가 있다. 따라서, 본 명세서에서는 "소스"나 "드레인"이라는 용어는 교체하여 사용할 수 있는 것으로 한다.

[0030] 또한, 본 명세서 등에 있어서, "전극"이나 "배선"이라는 용어는 이들 구성 요소를 기능적으로 한정하는 것은 아니다. 예를 들어, "전극"은 "배선"의 일부로서 사용될 수 있고, 또한 그 반대도 마찬가지이다. 또한, "전극"이나 "배선"이라는 용어는 복수의 "전극"이나 "배선"이 일체가 되어 형성되어 있는 경우 등도 포함한다.

[0031] (실시형태 1)

[0032] 본 실시형태에서는 배선 저항을 저감시킨 반도체 장치의 구성 및 제작 방법의 일례에 대하여 도 1 내지 도 15c를 사용하여 설명한다. 또한 본 실시형태에서는 반도체 장치의 일 형태인 표시 장치에 적용하는 예를 제시한다.

[0033] 도 5a에, 표시 장치에 사용하는 반도체 장치(100)의 구성예를 도시하였다. 반도체 장치(100)는, 기관(101) 위에 화소 영역(102)과, 단자(107) 및 m 개(m 은 1 이상의 정수)의 단자(105)를 갖는 단자부(103)와, n 개(n 은 1 이상의 정수)의 단자(106)를 갖는 단자부(104)를 갖는다. 또한, 반도체 장치(100)는, 단자부(103)에 전기적으로 접속되는 배선(203) 및 m 개의 배선(212)과, 단자부(104)에 전기적으로 접속되는 n 개의 배선(216)을 갖는다. 또한, 화소 영역(102)은, 세로 m 개(행) $\times$ 가로 n 개(열)의 매트릭스 형상으로 배치된 복수의 화소(110)를 갖는다. i 행 j 열의 화소(110)(i, j)(i 는 1 이상 m 이하의 정수이고, j 는 1 이상 n 이하의 정수)는 행 방향으로 연장되는 배선(212 _{i})과 열 방향으로 연장되는 배선(216 _{j})에 각각 전기적으로 접속된다. 또한, 각 화소는 용량 전극 또는 용량 배선으로서 기능하는 배선(203)과 접속되고, 배선(203)은 단자(107)와 전기적으로 접속된다. 또한, 배선(212 _{i})은 단자(105 _{i})와 전기적으로 접속되고, 배선(216 _{j})은 단자(106 _{j})와 전기적으로 접속된다.

- [0034] 단자부(103) 및 단자부(104)는 외부 입력 단자이며 외부에 제공된 제어 회로와 FPC(Flexible Printed Circuit) 등을 이용하여 접속된다. 외부에 제공된 제어 회로로부터 공급되는 신호는, 단자부(103) 및 단자부(104)를 통하여 반도체 장치(100)에 입력된다. 도 5a에는, 단자부(103)를 화소 영역(102)의 좌우 외측에 형성하고, 이 2군데에서 신호를 입력하는 구성을 도시하였다. 또한, 단자부(104)를 화소 영역(102)의 상하 외측에 형성하고, 이 2군데에서 신호를 입력하는 구성을 도시하였다. 2군데에서 신호를 입력함으로써 신호의 공급 능력이 높아지기 때문에, 반도체 장치(100)의 고속 동작이 용이해진다. 또한, 반도체 장치(100)의 대형화나 고정세화에 따른 배선 저항의 증대로 인한 신호 지연의 영향을 경감시킬 수 있다. 또한, 반도체 장치(100)에 용장성(redundancy)을 갖게 하는 것이 가능하게 되므로, 반도체 장치(100)의 신뢰성을 향상시킬 수 있다. 또한, 도 5a에서는 단자부(103) 및 단자부(104)를 각각 2군데에 제공하는 구성으로 하였지만, 각각 1군데에 제공하는 구성으로 하여도 좋다.
- [0035] 반도체 장치(100)를 액정 표시 장치로서 사용하는 경우에 화소(110)로서 사용하는 것이 가능한 회로 구성의 일례를 화소(210)로서 도 5b에 도시하였다. 도 5b에 예시한 화소(210)는, 트랜지스터(111)와, 액정 소자(112)와, 용량 소자(113)를 갖는다. 트랜지스터(111)의 게이트 전극은 배선(212_i)과 전기적으로 접속되고, 트랜지스터(111)의 소스 전극 또는 드레인 전극 중 한쪽은 배선(216_j)과 전기적으로 접속된다. 또한, 트랜지스터(111)의 소스 전극 또는 드레인 전극의 다른 쪽은, 액정 소자(112)의 한쪽의 전극과, 용량 소자(113)의 한쪽의 전극과 전기적으로 접속된다. 액정 소자(112)의 다른 쪽의 전극은, 전극(114)과 전기적으로 접속된다. 전극(114)의 전위는, 0V나, GND나, 공통 전위 등의 고정 전위로 하면 좋다. 용량 소자(113)의 다른 쪽의 전극은, 배선(203)에 전기적으로 접속된다.
- [0036] 트랜지스터(111)는 배선(216_j)으로부터 공급되는 화상 신호를 액정 소자(112)에 입력할지 여부를 선택하는 기능을 갖는다. 배선(212_i)에 트랜지스터(111)를 온 상태로 하는 신호가 공급되면, 트랜지스터(111)를 통하여 배선(216_j)으로부터의 화상 신호가 액정 소자(112)에 공급된다. 액정 소자(112)는, 공급되는 화상 신호(전위)에 따라 빛의 투과율이 제어된다. 용량 소자(113)는, 액정 소자(112)에 공급된 전위를 유지하기 위한 유지 용량(Cs 용량이라고도 함)으로서의 기능을 갖는다. 용량 소자(113)를 제공함으로써, 트랜지스터(111)가 오프 상태일 때 소스 전극과 드레인 전극간에 흐르는 전류(오프 전류)에 기인하는, 액정 소자(112)에 공급된 전위의 변동을 억제할 수 있다.
- [0037] 반도체 장치(100)를 EL 표시 장치로서 사용하는 경우에 화소(110)로서 사용하는 것이 가능한 회로 구성의 일례를 화소(310)로서 도 5c에 도시하였다. 도 5c에 예시한 화소(310)는 트랜지스터(111)와, 트랜지스터(121)와, EL소자(122)와, 용량 소자(113)를 갖는다. 트랜지스터(111)의 게이트 전극은 배선(212_i)과 전기적으로 접속되고, 트랜지스터(111)의 소스 전극 또는 드레인 전극 중 한쪽은 배선(216_j)과 전기적으로 접속된다. 또한, 트랜지스터(111)의 소스 전극 또는 드레인 전극 중 다른 쪽은 트랜지스터(121)의 게이트 전극과 용량 소자(113)의 한쪽의 전극이 전기적으로 접속된 노드(115)와 전기적으로 접속된다. 또한, 트랜지스터(121)의 소스 전극 또는 드레인 전극 중 한쪽은 EL소자(122)의 한쪽의 전극과 전기적으로 접속되고, 소스 전극 또는 드레인 전극 중 다른 쪽은 용량 소자(113)의 다른 쪽의 전극과 배선(203)에 전기적으로 접속된다. 또한, EL소자(122)의 다른 쪽의 전극은 전극(114)과 전기적으로 접속된다. 전극(114)의 전위는, 0V나, GND나, 공통 전위 등의 고정 전위로 하면 좋다. 배선(203)과 전극(114)의 전위차는 트랜지스터(121)의 문턱 전압과 EL소자(122)의 문턱 전압의 합계 전압보다 크게 되도록 설정한다.
- [0038] 트랜지스터(111)는, 배선(216_j)으로부터 공급되는 화상 신호를 트랜지스터(121)의 게이트 전극에 입력할지 여부를 선택하는 기능을 갖는다. 배선(212_i)에 트랜지스터(111)를 온 상태로 하는 신호가 공급되면, 트랜지스터(111)를 통하여 배선(216_j)으로부터의 화상 신호가 노드(115)에 공급된다.
- [0039] 트랜지스터(121)는 노드(115)에 공급된 전위(화상 신호)에 따른 전류를 EL소자(122)에 흘리는 기능을 갖는다. 용량 소자(113)는 노드(115)와 배선(203)의 전위차를 일정하게 유지하는 기능을 갖는다. 트랜지스터(121)는 EL소자(122)에 화상 신호에 따른 전류를 흘리기 위한 전류원으로서 기능한다.
- [0040] 트랜지스터(111)의 채널이 형성되는 반도체층에는 산화물 반도체를 사용할 수 있다. 산화물 반도체는, 에너지 갭이 3.0eV 이상으로 크고, 가시광에 대한 투과율이 크다. 또한, 산화물 반도체를 적절한 조건으로 가공하여 얻어진 트랜지스터에서는, 오프 전류 사용시의 온도 조건하(예를 들어, 25℃)에서 $100\text{zA}(1 \times 10^{-19}\text{A})$ 이하, 또는 $10\text{zA}(1 \times 10^{-20}\text{A})$ 이하, 또는 $1\text{zA}(1 \times 10^{-21}\text{A})$ 이하로 할 수 있다. 그러므로, 소비 전력이 적은 반도체 장치를 제공할 수 있다. 또한 반도체층에 산화물 반도체를 사용함으로써 용량 소자(113)를 제공하지 않아도 액정 소자

(112)에 인가된 전위의 유지가 가능하게 되므로, 화소의 개구율을 높일 수 있어 표시 품질이 좋고 소비 전력이 저감된 표시 장치를 제공할 수 있다.

[0041] 반도체층에 사용하는 산화물 반도체는 수분 또는 수소 등 불순물이 저감되고 산화물 반도체 내의 산소 결손을 저감시킴으로써 i형(진성) 또는 실질적으로 i형화된 산화물 반도체를 사용하는 것이 바람직하다.

[0042] 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물이 저감되어 고순도화된 산화물 반도체(purified OS)는, 그 후 산화물 반도체에 산소를 공급하여 산화물 반도체 내의 산소 결손을 저감시킴으로써 i형(진성)의 산화물 반도체 또는 i형에 매우 가까운(실질적으로 i형화된) 산화물 반도체로 할 수 있다. 채널이 형성되는 반도체층에 i형 또는 실질적으로 i형화된 산화물 반도체를 사용한 트랜지스터는, 오프 전류가 현저히 낮다는 특성을 갖는다. 구체적으로는, 고순도화된 산화물 반도체란, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의한 수소 농도의 측정값이 $5 \times 10^{19} / \text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} / \text{cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17} / \text{cm}^3$ 이하인 것을 말한다.

[0043] 또한, 홀 효과 측정에 의하여 측정할 수 있는, i형 또는 실질적으로 i형화된 산화물 반도체의 캐리어 밀도는 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{11} / \text{cm}^3$ 미만이다. 또한, 산화물 반도체의 밴드갭은 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 채널이 형성되는 반도체층에 i형 또는 실질적으로 i형화된 산화물 반도체를 사용함으로써, 트랜지스터의 오프 전류를 저감시킬 수 있다.

[0044] 여기서, 산화물 반도체 내의 수소 농도의 SIMS 분석에 대하여 설명하기로 한다. SIMS 분석은, 그 원리상 시료 표면 근방이나, 재질이 상이한 막과의 적층 계면 근방의 데이터를 정확하게 얻기가 어렵다는 것이 알려져 있다. 그래서, 막 내에 있어서의 수소 농도의 두께 방향의 분포를 SIMS로 분석하는 경우, 대상이 되는 막이 존재하는 범위에 있어서, 값이 극단적으로 변동되는 일이 없고 거의 일정한 값이 얻어지는 영역에서의 평균값을 수소 농도로서 채용한다. 또한, 측정의 대상이 되는 막의 두께가 작은 경우, 인접하는 막 내의 수소 농도의 영향을 받아 거의 일정한 값이 얻어지는 영역을 찾을 수 없는 경우가 있다. 이 경우, 상기 막이 존재하는 영역에 있어서, 수소 농도의 최대값 또는 최소값을 상기 막 내의 수소 농도로서 채용한다. 또한, 상기 막이 존재하는 영역에 있어서, 최대값을 갖는 산 형상의 피크, 최소값을 갖는 골짜기 형상의 피크가 존재하지 않은 경우, 변곡점의 값을 수소 농도로서 채용한다.

[0045] 채널이 형성되는 반도체층에 사용하는 산화물 반도체로서는, 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히 In과 Zn을 양쪽 모두 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기 특성의 불균일을 감소시키기 위한 스테빌라이저로서, 이들에 더하여 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 hafnium(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다.

[0046] 또한, 다른 스테빌라이저로서, 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 1종 또는 복수종을 가져도 좋다.

[0047] 예를 들면, 산화물 반도체로서, 산화 인듐, 산화 주석, 산화 아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다. 또한, 상기 산화물 반도체에 SiO_2 를 포함시켜도 좋다.

[0048] 여기서, 예를 들면 In-Ga-Zn계 산화물이란, 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물이라는 뜻이고 In과 Ga와 Zn의 비율은 불문한다. 또한, In과 Ga와 Zn 이외의 금속 원소를 포함해도 된다. 이때, 산화물 반도체의 화학 양론비에 대하여 산소를 과잉으로 하면 바람직하다. 산소를 과잉으로 함으로써 산화물 반도체의 산소 결손에 기인하는 캐리어의 생성을 억제할 수 있다.

- [0049] 또한, 산화물 반도체층은, 화학식 $\text{InMO}_3(\text{ZnO})_m(m>0)$ 로 표기되는 박막을 사용할 수 있다. 여기서, M은 Sn, Zn, Ga, Al, Mn 및 Co 중에서 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체층으로서, $\text{In}_2\text{SnO}_5(\text{ZnO})_n(n>0)$ 으로 표기되는 재료를 사용하여도 좋다.
- [0050] 예를 들어, 원자수비가 In: Ga: Zn=1: 1: 1(=1/3: 1/3: 1/3) 또는 In: Ga: Zn=2: 2: 1(=2/5: 2/5: 1/5)인 In-Ga-Zn계 산화물이나 그 조성의 근방의 산화물을 사용할 수 있다. 또는, 원자수비가 In: Sn: Zn=1: 1: 1(=1/3: 1/3: 1/3), In: Sn: Zn=2: 1: 3(=1/3: 1/6: 1/2) 또는 In: Sn: Zn=2: 1: 5(=1/4: 1/8: 5/8)인 In-Sn-Zn계 산화물이나 그 조성의 근방의 산화물을 사용하면 좋다.
- [0051] 그러나, 이들에 한정되지 않으며, 필요로 하는 반도체 특성(이동도, 문턱값, 편차 등)에 따라 적절한 조성의 것을 사용하면 좋다. 또한, 필요로 하는 반도체 특성을 얻기 위하여, 캐리어 농도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.
- [0052] 예를 들어, In-Sn-Zn계 산화물은 비교적 용이하게 높은 이동도를 얻을 수 있다. 그러나, In-Ga-Zn계 산화물을 사용한 경우에도 벌크 내의 결함 밀도를 저감시킴으로써 이동도를 높일 수 있다.
- [0053] 또한, 예를 들면, In, Ga, Zn의 원자수비가 In: Ga: Zn=a: b: c(a+b+c=1)인 산화물과 원자수비가 In: Ga: Zn=A: B: C(A+B+C=1)인 산화물의 조성이 근방이라는 것은, a, b, c가, $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 를 만족시키는 것을 말하며, r은 예를 들면 0.05로 하면 좋다. 다른 산화물도 마찬가지이다.
- [0054] 산화물 반도체층은 단결정이라도 좋고, 비단결정이라도 좋다. 후자의 경우 비정질이라도 다결정(폴리크리스탈이라고도 함)이라도 좋다. 또한, 비정질 내에 결정성을 갖는 부분을 포함하는 구조라도 좋다.
- [0055] 비정질(어모퍼스) 상태의 산화물 반도체는, 비교적 용이하게 평탄한 표면을 얻을 수 있기 때문에, 이것을 사용하여 트랜지스터를 제작하였을 때의 계면 산란을 저감시킬 수 있어, 비교적 용이하게, 비교적 높은 이동도를 얻을 수 있다.
- [0056] 또한, 산화물 반도체로서 In-Zn계 산화물의 재료를 사용하는 경우, 원자수비로, In/Zn=0.5 이상 50 이하, 바람직하게는 In/Zn=1 이상 20 이하, 더욱 바람직하게는 In/Zn=1.5 이상 15 이하로 한다. Zn의 원자수비를 바람직한 상기 범위로 함으로써, 트랜지스터의 전계 효과 이동도를 향상시킬 수 있다. 여기서, 화합물의 원자수비가 In: Zn: O=X: Y: Z일 때 $Z>1.5X+Y$ 로 한다.
- [0057] 산화물 반도체층은, 예를 들어 비단결정을 가져도 좋다. 비단결정은 예를 들어 CAAC(C Axis Aligned Crystal), 다결정, 미결정, 비정질부를 갖는다. 비정질부는, 미결정, CAAC보다 결함 준위 밀도가 높다. 또한, 미결정은 CAAC보다 결함 준위 밀도가 높다. 또한, CAAC를 갖는 산화물 반도체를 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)라고 부른다.
- [0058] 산화물 반도체층은, 예를 들어 CAAC-OS를 가져도 좋다. CAAC-OS는 예를 들어 c축 배향하고, a축 또는/및 b축은 거시적으로 보면 정렬되어 있지 않다.
- [0059] 산화물 반도체층은 예를 들어 미결정을 가져도 좋다. 또한, 미결정을 갖는 산화물 반도체를 미결정 산화물 반도체라고 부른다. 미결정 산화물 반도체층은 예를 들어 1nm 이상 10nm 미만의 사이즈의 미결정(나노 결정이라고도 함)을 막 내에 포함하는 산화물 반도체를 갖는다. 또는 미결정 산화물 반도체층은 예를 들어 1nm 이상 10nm 미만의 결정부를 갖는 결정-비정질 혼상 구조의 산화물 반도체를 갖는다.
- [0060] 산화물 반도체층은 예를 들어 비정질부를 가져도 좋다. 또한, 비정질부를 갖는 산화물 반도체를 비정질 산화물 반도체라고 부른다. 비정질 산화물 반도체층은 예를 들어 원자 배열이 무질서한 층이고, 결정 성분을 갖지 않는다. 또는 비정질 산화물 반도체층은 예를 들어 완전한 비정질이고, 결정부를 갖지 않는다.
- [0061] 또한, 산화물 반도체층이 CAAC-OS, 미결정 산화물 반도체, 비정질 산화물 반도체의 혼합층이어도 좋다. 혼합층은 예를 들어 비정질 산화물 반도체의 영역과, 미결정 산화물 반도체의 영역과, CAAC-OS의 영역을 갖는다. 또한, 혼합층은 예를 들어 비정질 산화물 반도체의 영역과, 미결정 산화물 반도체의 영역과, CAAC-OS의 영역의 적층 구조를 가져도 좋다.
- [0062] 또한, 산화물 반도체층은 예를 들어 단결정을 가져도 좋다.
- [0063] 산화물 반도체층은 복수의 결정부를 갖고, 상기 결정부의 c축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되어 있는 것이 바람직하다. 또한, 상이한 결정부들 사이에서 a축 및 b축의 방향이 각각

상이하여도 좋다. 이와 같은 산화물 반도체층의 일례로서는, CAAC-OS층이 있다.

- [0064] CAAC-OS층은, 완전한 비정질이 아니다. CAAC-OS층은, 예를 들어, 결정부 및 비정질부를 갖는 결정-비정질 혼상 구조의 산화물 반도체를 갖는다. 또한, 상기 결정부는 하나의 변이 100nm 미만의 입방체 내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는 CAAC-OS층에 포함되는 비정질부와 결정부의 경계, 결정부와 결정부의 경계는 명확하지 않다. 또한, TEM에 의하여 CAAC-OS층에 명확한 입계(그레인 바운더리라고도 함)는 확인되지 않는다. 그래서, CAAC-OS층은 입계에 기인하는 전자 이동도의 저하가 억제된다.
- [0065] CAAC-OS층에 포함되는 결정부는, 예를 들어 c축이 CAAC-OS층의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, 또 ab면에 수직인 방향에서 볼 때 금속 원자가 삼각형상 또는 육각형상으로 배열하며, c축에 수직인 방향에서 볼 때 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 상이한 결정부들 사이에서 a축 및 b축의 방향이 각각 상이하여도 좋다. 본 명세서에 있어서, 단순히 수직이라고 기재한 경우, 80° 이상 100° 이하의 범위, 바람직하게는 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 단순히 평행이라고 기재한 경우에는 -10° 이상 10° 이하의 범위, 바람직하게는 -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.
- [0066] 또한, CAAC-OS층에 있어서 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC-OS층의 형성 과정에서 산화물 반도체층의 표면 측으로부터 결정 성장시키는 경우에는, 피형성면 근방보다 표면 근방에서 결정부가 차지하는 비율이 높은 경우가 있다. 또한, CAAC-OS층에 불순물을 첨가함으로써 상기 불순물 첨가 영역에서 결정부가 비정질화되는 경우도 있다.
- [0067] CAAC-OS층에 포함되는 결정부의 c축은, CAAC-OS층의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS층의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 다른 방향을 향하는 경우가 있다. 또한 결정부는, 성막을 수행하였을 때 또는 성막을 수행한 후에 가열 처리 등의 결정화 처리를 수행하였을 때 형성된다. 따라서, 결정부의 c축은, CAAC-OS층이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬된다.
- [0068] CAAC-OS를 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다. 따라서 상기 트랜지스터는 신뢰성이 높다.
- [0069] 또한 산화물 반도체층을 CAAC-OS로 하기 위해서는, 산화물 반도체층이 형성되는 표면이 비정질이면 바람직하다. 산화물 반도체층이 형성되는 표면이 결정질이면 산화물 반도체층의 결정성이 흩어지기 쉽고 CAAC-OS가 형성되기 어렵다.
- [0070] 다만 산화물 반도체층이 형성되는 표면은 CAAC 구조를 가져도 좋다. 산화물 반도체층이 형성되는 표면이 CAAC 구조를 갖는 경우에는 산화물 반도체층도 CAAC-OS가 되기 쉽다.
- [0071] 따라서 산화물 반도체층을 CAAC-OS로 하기 위해서는 산화물 반도체층이 형성되는 표면이 비정질이나 CAAC 구조를 가지면 바람직하다.
- [0072] 또한 산화물 반도체를 구성하는 산소의 일부는 질소로 치환되어도 좋다.
- [0073] 또한, CAAC-OS와 같이 결정부를 갖는 산화물 반도체에서는, 벌크 내의 결함을 더욱 저감시킬 수 있고, 표면의 평탄성을 높이면 비정질 상태의 산화물 반도체 이상의 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는 평탄한 표면 위에 산화물 반도체를 형성하는 것이 바람직하고, 구체적으로는 평균 면 거칠기(Ra)가 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는 0.1nm 이하의 표면 위에 형성하면 좋다. Ra는 원자간력 현미경(AFM: Atomic Force Microscope)으로 평가 가능하다.
- [0074] 다만, 본 실시형태에서 설명하는 트랜지스터는 보텀 게이트형이므로 산화물 반도체막의 아래 쪽에는 게이트 전극(202)과, 게이트 절연층으로서 기능하는 절연층(204)이 존재한다. 따라서, 상기 평탄한 표면을 얻기 위하여 기판 위에 게이트 전극(202) 및 절연층(204)을 형성한 후, 적어도 게이트 전극(202)과 중첩되는 절연층(204)의 표면에 대하여 화학적 기계 연마(CMP: Chemical Mechanical Polishing) 처리 등의 평탄화 처리를 수행하여도 좋다.
- [0075] 산화물 반도체층(205)의 두께는, 1nm 이상 30nm 이하(바람직하게는 5nm 이상 10nm 이하)로 하여, 스퍼터링법, MBE(Molecular Beam Epitaxy)법, CVD법, 펄스 레이저 퇴적법, ALD(Atomic Layer Deposition)법 등을 적절히 이용할 수 있다. 또한 산화물 반도체층(205)은 스퍼터링 타깃 표면에 대하여 대략 수직으로 복수의 기판 표면이

세트된 상태에서 성막을 수행하는 스퍼터링 장치를 사용하여, 형성하여도 좋다.

[0076] 또한 본 실시형태에서는 트랜지스터를 n채널형의 트랜지스터로서 설명한다.

[0077] 다음에 도 5a에 도시한 화소(110)의 구성예에 대하여 도 1 내지 도 2b를 사용하여 설명한다. 도 1은 도 5a에 도시한 화소(110)의 평면 구성을 설명하는 상면도이고, 도 2a 및 도 2b는 도 5a에 도시한 화소(110)의 적층 구성을 도시한 단면도이다. 또한 도 1에서의 A1-A2, 및 B1-B2의 섹션은 도 2a 및 도 2b에서의 단면 A1-A2, 단면 B1-B2에 상당한다. 또한 도면을 보기 쉽게 하기 위하여 도 1에서는 일부의 구성 요소의 기재를 생략하였다.

[0078] 도 1에 도시한 트랜지스터(111)는, 드레인 전극(206b)을 U자형(C자형, ㄷ자형, 또는 말굽형)의 소스 전극(206a)으로 둘러싸는 형상으로 한 것이다. 이런 형상으로 함으로써, 트랜지스터의 면적이 작아도 충분한 채널 폭을 확보하는 것이 가능하게 되고, 트랜지스터의 도통시에 흐르는 전류(온 전류라고도 함)의 양을 늘리는 것이 가능하게 된다.

[0079] 또한, 화소 전극(211)과 전기적으로 접속되는 드레인 전극(206b)과 게이트 전극(202)간에 발생하는 기생 용량이, 소스 전극(206a)과 게이트 전극(202)간에 발생하는 기생 용량보다 크면, 피드스루(feedthrough)의 영향을 받기 쉬워지기 때문에, 액정 소자(112)에 공급된 전위를 정확하게 유지할 수 없어 표시 품질이 저하되는 요인이 된다. 본 실시형태에 나타내는 바와 같이, 소스 전극(206a)을 U자형으로 하여 드레인 전극(206b)을 둘러싸는 형상으로 함으로써, 충분한 채널 폭을 확보하면서, 드레인 전극(206b)과 게이트 전극(202)간에 발생하는 기생 용량을 작게 할 수 있기 때문에, 표시 장치의 표시 품질을 향상시킬 수 있다. 또한 게이트 전극(202)은 배선(212_i)과 접속되고, 소스 전극(206a)은 배선(236)과 접속된다. 또한 도 1 내지 도 2b에는 배선(216_j)은 배선(236)과 배선(226)을 갖고, 배선(236)과 배선(226)을 전기적으로 직렬로 접속하는 예를 도시하였다.

[0080] 도 2a에 도시한 단면 A1-A2는, 트랜지스터(111) 및 용량 소자(113)의 적층 구조를 나타내었다. 트랜지스터(111)는 채널 에칭형이라고 불리는 보텀 게이트 구조의 트랜지스터이다.

[0081] 도 2a에 도시한 단면 A1-A2에 있어서, 기관(200) 위에 절연층(201)이 형성되고, 절연층(201) 위에 게이트 전극(202) 및 배선(203)이 형성된다. 또한, 게이트 전극(202) 및 배선(203) 위에, 절연층(204)과 산화물 반도체층(205)이 형성된다. 또한, 산화물 반도체층(205) 위에 소스 전극(206a) 및 드레인 전극(206b)이 형성된다. 또한, 산화물 반도체층(205)의 일부와 접하여 소스 전극(206a) 및 드레인 전극(206b) 위에 절연층(207)이 형성되고, 절연층(207) 위에 절연층(208)이 형성된다. 절연층(208) 위에는 화소 전극(211)이 형성되고, 절연층(207) 및 절연층(208)에 형성된 콘택트 홀(209)을 통하여 드레인 전극(206b)과 전기적으로 접속된다.

[0082] 게이트 전극(202), 배선(212_i), 배선(203), 및 배선(226)은 동일한 도전층을 사용하여 형성할 수 있다. 또한 게이트 전극(202), 배선(212_i), 배선(203), 배선(226)을 구리(Cu)를 포함한 도전 재료로 형성함으로써 배선 저항의 증가를 방지할 수 있다. 또한 게이트 전극(202), 배선(212_i), 배선(203), 배선(226)을, Cu를 포함한 도전층과, 텅스텐(W), 탄탈(Ta), 몰리브덴(Mo), 티타늄(Ti), 크롬(Cr) 등의 Cu보다 용점이 높은 금속 원소를 포함한 도전층이나, 상술한 금속 원소의 질화물이나 산화물을 적층함으로써 마이그레이션을 억제하여 반도체 장치의 신뢰성을 향상시킬 수 있다. 예를 들어 질화 탄탈과 구리의 적층으로 한다.

[0083] 절연층(204)은 Cu의 확산을 막기 위한 배리어성을 갖는 재료를 사용하여 형성하는 것이 바람직하다. 배리어성을 갖는 재료로서는 예를 들어 질화 실리콘이나 산화 알루미늄을 들 수 있다. Cu를 포함한 배선을, 배리어성을 갖는 절연층으로 덮음으로써 Cu의 확산을 억제할 수 있다.

[0084] 또한 산화물 반도체층(205)과 접하여 형성되는 소스 전극(206a) 및 드레인 전극(206b)(이들과 동일한 층으로 형성되는 배선을 포함함)은 Cu를 사용하지 않고 형성하는 것이 바람직하다. 산화물 반도체층(205)과 접하여 형성되는 소스 전극(206a) 및 드레인 전극(206b)에 Cu를 사용하면 소스 전극(206a) 및 드레인 전극(206b) 형성시에 에칭된 Cu가 산화물 반도체층(205) 내에 확산되어 트랜지스터의 전기 특성이나 신뢰성을 열화시키는 원인이 된다. 또한 소스 전극(206a) 및 드레인 전극(206b)은 단층 구조이어도 좋고 복수 층의 적층 구조로 하여도 좋다. 예를 들어 텅스텐과 알루미늄과 티타늄의 3층 구조로 하여도 좋다.

[0085] 또한 배선(203)과 드레인 전극(206b)이 절연층(204)을 개재(介在)하여 중첩되어 있는 부분이, 용량 소자(113)로서 기능한다. 따라서 배선(203)은 용량 전극 또는 용량 배선으로서 기능한다. 또한 절연층(204)은 용량 소자(113)를 구성하는 유전체층으로서 기능한다. 또한 용량 소자(113)를 구성하기 위한 유전체층으로서 산화물 반도체를 사용하여도 좋다. 산화물 반도체층의 비유전율은 14 내지 16으로 크기 때문에, 산화물 반도체층(205)에 산화물 반도체를 사용하면, 용량 소자(113)의 용량값을 크게 하는 것이 가능하게 된다. 또한 배선(203)과 드레인 전극(206b) 사이에 형성되는 유전체층을 다층 구조로 하여도 좋다. 유전체층을 다층 구조로 함으로써,

하나의 유전체층에 핀홀이 생겨도 상기 핀홀이 다른 유전체층으로 피복되어, 용량 소자(113)를 정상적으로 기능시킬 수 있다.

[0086] 도 2b에 도시한 단면 B1-B2는 배선(216_j)의 적층 구조를 도시하였다. 도 2b에 도시한 단면 B1-B2에 있어서, 기판(200) 위에 절연층(201)이 형성되고, 절연층(201) 위에 배선(226)이 형성된다. 또한 배선(226) 위에 절연층(204)이 형성되고, 절연층(204) 위에 배선(236)이 형성되고, 절연층(204)에 형성된 콘택트 홀(227)을 통하여 배선(226)과 전기적으로 접속된다. 또한 배선(236) 위에 절연층(207)과 절연층(208)이 형성된다.

[0087] 배선(216_j)은 복수의 배선(226)과 복수의 배선(236)을 갖는다. 배선(226)은 배선(212_i) 및 배선(203)과 동일한 층을 사용하여 형성한다. 배선(236)은 소스 전극(206a) 및 드레인 전극(206b)과 동일한 층을 사용하여 형성된다. 또한 배선(236)은 배선(212_i) 및 배선(203) 위에 절연층(204)을 개재하여 형성되고, 인접하는 배선(226)을 전기적으로 접속한다. 도 1 내지 도 2b에 도시한 배선(216_j)은 Cu를 포함한 배선(226)과 배선(236)을 교대로 전기적으로 접속하는 구성을 갖는다. 또한 Cu를 포함한 배선(226)은 배리어성을 갖는 절연층(204)으로 덮여 있기 때문에 Cu의 확산이 억제된다. 이와 같이 배선(216_j)을, Cu를 포함한 도전 재료를 갖는 구성으로 함으로써 배선의 폭이나 두께를 증가시키지 않고 배선(216_j)의 배선 저항을 저감시킬 수 있다.

[0088] 다음에 도 1 내지 도 2b와 다른 구성을 갖는 배선(216_j)에 대하여 도 3 및 도 4를 사용하여 설명한다.

[0089] 도 3은 도 1에 도시한 배선(216_j)과 다른 구성을 갖는 배선(216_j)의 평면 구성을 설명하는 상면도이고, 도 4는 도 3 중의 C1-C2의 쇄선으로 나타낸 부위의 단면도이다. 도 4에 도시한 단면 C1-C2는 도 2a 및 도 2b에 도시한 배선(216_j)과 다른 구성을 갖는 배선(216_j)의 적층 구조를 나타낸다. 또한 도면을 보기 쉽게 하기 위하여 도 3에서는 일부의 구성 요소의 기재를 생략하였다.

[0090] 도 4에 도시한 단면 C1-C2는 도 3에 도시한 배선(216_j)의 적층 구조를 나타낸 것이다. 도 4에 도시한 단면 C1-C2에 있어서 기판(200) 위에 절연층(201)이 형성되고, 절연층(201) 위에 배선(226)이 형성된다. 또한 배선(226) 위에 절연층(204)이 형성되고, 절연층(204) 위에 배선(246)이 형성되고, 절연층(204)에 형성된 콘택트 홀(227)을 통하여 배선(226)과 전기적으로 접속된다. 또한 배선(246) 위에 절연층(207)과 절연층(208)이 형성된다.

[0091] 도 3 및 도 4에 도시한 배선(216_j)은 배선(246)과 복수의 배선(226)을 갖는다. 배선(246)은 열 방향을 따라 연장되고 Cu를 포함한 복수의 배선(226)과 전기적으로 접속됨으로써 배선의 폭이나 두께를 증가시키지 않고 배선(216_j)의 배선 저항을 저감시킬 수 있다. 또한 배선(246)은 복수의 배선(226)을 접속한 구성으로 볼 수 있다. 즉, 도 3 및 도 4에 도시한 배선(216_j)은 배선(246)과 배선(226)을 전기적으로 병렬로 접속한 구성을 갖는다.

[0092] 또한 배선(236)과 배선(226)의 접촉 면적, 및 배선(246)과 배선(226)의 접촉 면적은 큰 것이 바람직하다. 또한 배선(226) 위에 복수의 콘택트 홀(227)이 형성되는 것이 바람직하다.

[0093] 다음에 도 5c에 도시한 화소(310)의 구성예에 대하여 도 6 내지 도 9를 사용하여 설명한다. 도 6 및 도 7은 화소(310)의 평면 구성을 도시한 상면도이다. 도 6은 최상층에 화소 전극(211)이 형성된 상태의 상면도이고, 도 7은 격벽층(254), EL층(251)이 추가로 형성된 상태의 상면도이다. 또한 도면을 보기 쉽게 하기 위하여 도 6 및 도 7에서는 일부의 구성 요소의 기재를 생략하였다.

[0094] 도 8a 내지 도 9는 화소(310)의 적층 구조를 도시한 단면도이다. 도 8a는 도 6 및 도 7에서의 C1-C2의 일점 쇄선에서의 단면에 상당한 도면이고, 도 8b는 도 6 및 도 7에서의 D1-D2의 일점 쇄선에서의 단면에 상당한 도면이다. 도 9는 도 6 및 도 7에서의 E1-E2의 일점 쇄선에서의 단면에 상당한 도면이다. 또한 도 6 내지 도 9에 있어서 도 1 내지 도 4를 사용하여 설명한 구성과 동일한 부분의 설명은 생략한다.

[0095] 도 8a에 도시한 단면 C1-C2는 트랜지스터(111), 트랜지스터(121), 및 용량 소자(113)의 적층 구조를 나타낸 것이다. 또한 트랜지스터(121)도 트랜지스터(111)와 마찬가지로, 보텀 게이트 구조의 트랜지스터이다.

[0096] 도 8a에 도시한 단면 C1-C2에 있어서 트랜지스터(111)가 갖는 드레인 전극(206b)은 절연층(204)에 형성된 콘택트 홀(239)을 통하여 트랜지스터(121)가 갖는 게이트 전극(262)과 전기적으로 접속된다. 또한 트랜지스터(121)가 갖는 소스 전극(266a)은 화소 전극(211)과 전기적으로 접속된다. 또한 도 6 및 도 7에 있어서 트랜지스터(121)가 갖는 드레인 전극(266b)은 절연층(204)에 형성된 콘택트 홀(238)을 통하여 배선(203)과 전기적으로 접속된다.

[0097] 또한 절연층(208) 위에, 화소마다 EL층(251)을 분리하기 위한 격벽층(254)이 형성된다. 또한 화소 전극(211)

및 격벽층(254) 위에 EL층(251)이 형성되고 격벽층(254) 및 EL층(251) 위에 전극(252)이 형성된다. 개구부(271)에 있어서 화소 전극(211), EL층(251), 및 전극(252)이 중첩되는 부위가 EL소자(253)로서 기능한다.

[0098] 도 8b에 도시한 단면 D1-D2에 있어서, 기관(200) 위에 절연층(201)이 형성되고, 절연층(201) 위에 절연층(204)이 형성되고, 절연층(201) 위에 배선(226)이 형성된다. 또한 배선(226) 위에 절연층(204)이 형성되고, 절연층(204) 위에 절연층(207)이 형성되고, 절연층(207) 위에 절연층(208)이 형성된다. 또한 절연층(207) 위에 화소 전극(211)이 형성된다. 절연층(207) 위에 격벽층(254)이 형성되고, 격벽층(254)의 화소 전극(211)과 중첩되는 위치에 개구부(271)가 형성된다.

[0099] 개구부(271)가 형성되는 격벽층(254)의 측면 형상은 테이퍼 형상 또는 곡률을 갖는 형상으로 하는 것이 바람직하다. 격벽층(254)이 되는 재료를 감광성을 갖는 수지 재료로 하면 격벽층(254)의 측면 형상을, 연속된 곡률을 갖는 형상으로 할 수 있다. 격벽층(254)을 형성하기 위한 유기 절연 재료로서는 아크릴 수지, 페놀 수지, 폴리스타이렌, 폴리이미드 등을 적용할 수 있다.

[0100] 화소 전극(211)은 EL소자(253)의 한쪽의 전극으로서 기능한다. 또한, 전극(252)은 EL소자(253)의 다른 쪽의 전극으로서 기능한다. 전극(252)은 트랜지스터의 소스 전극 또는 드레인 전극과 같은 재료로 형성할 수 있다. EL소자(253)가, EL소자(253)의 발광을 기관(200)측의 면으로부터 추출하는 배면 발광(보통 에미션) 구조의 경우에는 전극(252)으로서 알루미늄이나 은 등의, 빛의 반사율이 높은 재료를 사용하는 것이 바람직하다.

[0101] EL층(251)은 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층 등을 적층하여 사용하면 좋다. 또한, 화소 전극(211)을 양극으로서 사용하는 경우에는 화소 전극(211)에 일함수가 큰 재료를 사용한다. 또한, 화소 전극(211)을 복수의 층으로 이루어진 적층 구조로 하는 경우에는 적어도 EL층(251)과 접하는 층에 일함수가 큰 재료를 사용한다. 또한, 전극(252)을 음극으로서 사용하는 경우에는 일함수가 작은 금속 재료를 전극(252)에 사용하면 좋다. 구체적으로는, 전극(252)으로서는 알루미늄과 리튬의 합금을 사용할 수 있다. 전극(252)을 알루미늄과 리튬의 합금층과 도전층의 적층으로 하여도 좋다.

[0102] 또한 EL소자(253)의 발광을 전극(252)측의 면으로부터 추출하는 전면 발광(통 에미션) 구조나, 상기의 양면으로부터 발광을 추출하는 양면 발광(듀얼 에미션) 구조에 적용할 수도 있다. EL소자(253)를 전면 발광 구조로 하는 경우에는 화소 전극(211)을 음극으로 하고, 전극(252)을 양극으로서 사용하고, EL층(251)을 구성하는 주입층, 수송층, 발광층 등의 적층을 배면 발광 구조와 반대의 순서로 적층하면 좋다.

[0103] 또한 도 9에 도시한 단면 중에서, 격벽층(254)보다 아래 층의 구조를 도 4에 도시한 구조로 치환하여 사용할 수도 있다.

[0104] 다음에 단자(105) 및 단자(106)의 구성예에 대하여 도 10(a1), 도 10(a2), 도 10(b1), 및 도 10(b2)을 사용하여 설명한다. 도 10(a1) 및 도 10(a2)에는 단자(105)의 상면도 및 단면도를 각각 도시하였다. 도 10(a1)에 나타난 J1-J2의 일점 쇄선은 도 10(a2)에서의 단면 J1-J2에 상당한다. 또한, 도 10(b1) 및 도 10(b2)에는 단자(106)의 상면도 및 단면도를 각각 도시하였다. 도 10(b1)에서의 K1-K2의 일점 쇄선은 도 10(b2)에서의 단면 K1-K2에 상당한다. 또한, 단면 J1-J2 및 단면 K1-K2에서, J2 및 K2는 기관 단부(端部)에 상당한다.

[0105] 또한 도면을 보기 쉽게 하기 위하여 도 10(a1) 및 도 10(b1)에서는 일부의 구성 요소의 기재를 생략하였다.

[0106] 단면 J1-J2에 있어서, 기관(200) 위에 절연층(201)이 형성되고, 절연층(201) 위에 배선(212_i)이 형성된다. 또한 배선(212_i) 위에 절연층(204)이 형성되고, 절연층(204) 위에 전극(235)이 형성된다. 전극(235)은 절연층(204)에 형성된 콘택트 홀(218)을 통하여 배선(212_i)과 전기적으로 접속된다. 또한 전극(235) 위에 절연층(207)과 절연층(208)이 형성되고, 절연층(208) 위에 전극(221)이 형성된다. 전극(222)은 절연층(207)과 절연층(208)에 형성된 콘택트 홀(219)을 통하여 전극(221)과 전기적으로 접속된다.

[0107] 단면 K1-K2에 있어서 기관(200) 위에 절연층(201)이 형성되고, 절연층(201) 위에 배선(226)이 형성된다. 또한 배선(226) 위에 절연층(204)이 형성되고, 절연층(204) 위에 배선(236)이 형성된다. 배선(236)은 절연층(204)에 형성된 콘택트 홀(228)을 통하여 배선(226)과 전기적으로 접속된다. 도 10(b1) 및 도 10(b2)에는 절연층(204)에 복수의 콘택트 홀을 형성하는 예를 도시하였지만, 도 10(a1) 및 도 10(a2)에 도시한 바와 같이 콘택트 홀을 하나 형성하는 것으로 하여도 좋다. 또한 배선(236) 위에 절연층(207)과 절연층(208)이 형성되고, 절연층(208) 위에 전극(222)이 형성된다. 전극(222)은 절연층(207)과 절연층(208)에 형성된 콘택트 홀(229)을 통하여 배선(236)과 전기적으로 접속된다. 또한 배선(226)과 배선(236)에 의하여 배선(216_j)이 형성된다.

[0108] 또한, 단자(107)의 구성도, 단자(105) 또는 단자(106)와 같은 구성으로 할 수 있다. 또한 단자(105)와 단자

(106)의 구성을 서로 바꿔 사용하여도 좋고, 단자(105)와 단자(106)의 구성을 어느 한쪽의 구성으로 통일하여도 좋다.

[0109] 다음에 도 1 내지 도 2b를 사용하여 설명한 표시 장치의 화소부와, 도 10(a1) 및 도 10(a2)를 사용하여 설명한 단자(105)의 제작 방법에 대하여 도 11(a1) 내지 도 15c를 사용하여 설명한다. 또한 도 11(a1) 내지 도 13(c2)에서의 단면 A1-A2는 도 1에서의 A1-A2의 일점 채선에서 나타난 부위의 단면도이고, 단면 J1-J2는 도 10(a1) 및 도 10(a2)에서의 J1-J2의 일점 채선에서 나타난 부위의 단면이다. 또한 도 14a 내지 도 15c에서의 단면 B1-B2는 도 1의 B1-B2의 일점 채선으로 나타난 부위의 단면도이다.

[0110] 우선, 기판(200) 위에 절연층(201)이 되는 절연층을 50nm 이상 300nm 이하, 바람직하게는 100nm 이상 200nm 이하의 두께가 되도록 형성한다(도 11(a1), 도 11(a2), 도 14a 참조). 기판(200)은 유리 기판, 세라믹 기판 외에도, 본 제작 공정의 처리 온도에 견딜 수 있을 정도의 내열성을 갖는 플라스틱 기판 등을 사용할 수 있다. 또한, 기판에 투광성을 필요로 하지 않는 경우에는, 스테인리스 합금 등의 금속의 기판 표면에 절연층을 제공한 것을 사용하여도 좋다. 유리 기판으로서는, 예를 들면, 바륨보로실리케이트 유리, 알루미늄보로실리케이트 유리 또는 알루미늄보로실리케이트 유리 등의 무알칼리 유리 기판을 사용하면 좋다. 그 이외에, 석영 기판, 사파이어 기판 등을 사용할 수 있다. 본 실시형태에서는, 기판(200)에 알루미늄보로실리케이트 유리를 사용한다.

[0111] 또한, 기판(200)으로서 가요성 기판(플렉시블 기판)을 사용하여도 좋다. 가요성 기판을 사용하는 경우, 가요성 기판 위에 트랜지스터나 용량 소자 등을 직접 제작하여도 좋고, 다른 제작 기판 위에 트랜지스터나 용량 소자 등을 제작하고 그 후에 박리하여 가요성 기판에 전치(轉置)하여도 좋다. 또한, 제작 기판으로부터 박리하여 가요성 기판에 전치하기 위하여 제작 기판과 트랜지스터나 용량 소자 등 사이에 박리층을 제공하면 좋다.

[0112] 절연층(201)은 하지층으로서 기능하고, 기판(200)으로부터의 불순물 원소의 확산을 방지 또는 저감시킬 수 있다. 절연층(201)은, 질화 알루미늄, 산화 알루미늄, 질화산화 알루미늄, 산화질화 알루미늄, 산화 갈륨, 질화 실리콘, 산화 실리콘, 질화산화 실리콘 또는 산화질화 실리콘 중에서 선택된 재료를, 단층으로 또는 적층하여 형성한다. 또한, 본 명세서 중에서 질화산화란 그 조성으로서 산소의 함유량보다 질소의 함유량이 많은 것을 말하고, 산화질화란 그 조성으로서 질소의 함유량보다 산소의 함유량이 많은 것을 말한다. 또한, 각 원소의 함유량은, 예를 들면 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 등을 이용하여 측정할 수 있다. 절연층(201)은, 스퍼터링법, CVD법, 도포법, 인쇄법 등을 이용하여 형성할 수 있다.

[0113] 또한, 절연층(201)에 염소, 불소 등의 할로젠 원소를 포함시킴으로써 기판(200)으로부터 불순물 원소가 확산되는 것을 방지하거나 또는 저감시키는 기능을 더 높일 수 있다. 절연층(201)에 포함시키는 할로젠 원소의 농도는, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)을 사용한 분석에 의하여 얻어지는 농도 피크에 있어서, $1 \times 10^{15}/\text{cm}^3$ 이상 $1 \times 10^{20}/\text{cm}^3$ 이하로 하면 좋다.

[0114] 절연층(201)은 스퍼터링법, MBE법, CVD법, 펄스 레이저 퇴적법, ALD법 등을 적절히 사용하여 형성할 수 있다. 또한, μ 파(예를 들어 주파수 2.45GHz)를 사용한 고밀도 플라즈마 CVD법 등을 적용할 수 있다. 또한, 절연층(201)은 스퍼터링 타겟 표면에 대하여 대략 수직으로 복수의 기판 표면이 세트된 상태에서 성막을 수행하는 스퍼터링 장치를 사용하여, 형성하여도 좋다.

[0115] 본 실시형태에서는 기판(200) 위에 절연층(201)으로서, 플라즈마 CVD법을 사용하여 막 두께가 200nm인 산화질화 실리콘을 형성한다. 또한, 절연층(201) 형성시의 온도는 기판(200)이 견딜 수 있는 온도 이하로 높을수록 바람직하다. 예를 들어, 기판(200)을 350℃ 이상 450℃ 이하의 온도로 가열하면서 절연층(201)을 형성한다. 또한, 절연층(201) 형성시의 온도는 일정한 것이 바람직하다. 예를 들어, 절연층(201)의 형성을, 기판(200)을 350℃로 가열하여 수행한다.

[0116] 또한, 절연층(201)을 형성한 후, 감압하, 질소 분위기하, 희가스 분위기하, 또는 초진조 공기 질소 분위기하에서, 가열 처리를 수행하여도 좋다. 가열 처리에 의하여 절연층(201)에 포함된 수소, 수분, 수소화물, 또는 산화물 등의 농도를 저감시킬 수 있다. 가열 처리는 기판(200)이 견딜 수 있는 온도 이하로, 보다 높은 온도로 수행하는 것이 바람직하다. 구체적으로는, 절연층(201)의 성막 온도 이상, 기판(200)의 변형점 미만으로 수행하는 것이 바람직하다.

[0117] 또한, 절연층(201) 내의 수소 농도는, $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하로 하는 것이 바람직하다.

[0118] 또한 절연층(201)을 형성한 후, 절연층(201)에 산소 도핑 처리를 수행하고, 절연층(201)을 화학양론적 조성보다

산소가 많은 영역을 갖는(산소 과잉 영역을 갖는) 상태로 하여도 좋다. 또한 "산소 도핑 처리"란, 산소(적어도 산소 라디칼, 산소 원자, 산소 분자, 오존, 산소 이온(산소 분자 이온), 및 산소 클러스터 이온 중 어느 것을 포함함)를 벌크에 첨가하는 것을 말한다. 또한 상기 "벌크"라는 용어는 산소를 박막 표면뿐만 아니라 박막 내부에 첨가하는 것을 명확하게 하는 취지로 사용한다. 또한 "산소 도핑 처리"에는 플라즈마화된 산소를 벌크에 첨가하는 "산소 플라즈마 도핑 처리"가 포함된다. 산소 도핑 처리는 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 산소 분위기하에서 수행하는 플라즈마 처리 등을 사용하여 수행할 수 있다. 또한, 이온 주입법으로서 가스 클러스터 이온 빔을 사용하여도 좋다.

[0119] 산소 도핑 처리에는, 산소를 포함한 가스를 사용할 수 있다. 산소를 포함한 가스로서는, 산소, 일산화 이질소, 이산화 질소, 이산화탄소, 일산화 탄소 등을 사용할 수 있다. 또한, 산소 도핑 처리에 있어서 상술한 산소를 함유한 가스에 희가스를 첨가하여도 좋다.

[0120] 또한, 산소의 첨가에 의하여 절연층(201)을 구성하는 원소와 수소 사이의 결합, 또는 상기 원소와 수산기 사이의 결합이 절단됨과 함께 상기 수소 또는 수산기가 산소와 반응됨으로써 물을 생성하기 때문에, 산소의 도입 후에 가열 처리를 수행하면 불순물인 수소 또는 수산기가 물로서 이탈되기 쉬워진다. 그러므로, 절연층(201)에 산소를 도입한 후에 가열 처리를 수행하여도 좋다. 그 후, 추가적으로 절연층(201)에 산소를 도입하고, 절연층(201)을 산소가 과잉으로 포함된 상태로 하여도 좋다. 또한, 절연층(201)으로의 산소의 도입과 가열 처리 각각을 교대로 복수회 수행하여도 좋다. 또한, 가열 처리와 산소의 도입을 동시에 수행하여도 좋다.

[0121] 다음에, 절연층(201) 위에 스퍼터링법, 진공 증착법 또는 도금법에 의하여 100nm 이상 500nm 이하, 바람직하게는 200nm 이상 300nm 이하의 두께로 Cu를 포함한 도전층을 형성하고, 상기 도전층 위에 포토리소그래피법 또는 잉크젯법 등에 의하여 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 도전층을 에칭하여 게이트 전극(202), 배선(212_i), 배선(203), 배선(226)을 형성한다(도 11(a1), 도 11(a2), 도 14a 참조). 또는 레지스트 마스크를 사용하지 않고 구리 등의 도전성 나노 페이스트를 잉크젯법에 의하여 기판 위에 토출(吐出)하고 소성함으로써 형성할 수도 있다.

[0122] Cu를 포함한 도전층에 사용하는 재료는 Cu뿐만 아니라, Cu에 W, Ta, Mo, Ti, Cr, 알루미늄(Al), 지르코늄(Zr), 칼슘(Ca) 등의 원소를 하나 또는 복수 종류 조합하여 첨가한 Cu 합금 재료를 사용할 수 있다. Cu 합금 재료를 사용함으로써 Cu 배선의 밀착성, 힐록(hillock) 등의 마이그레이션 내성을 개선할 수 있다.

[0123] 또한 Cu를 포함한 도전층은 단층 구조로 하여도 2층 이상의 적층 구조로 하여도 좋다. 예를 들어 절연층(201)과 도전층의 밀착성을 개선하기 위하여 절연층(201) 위에 W, Ta, Mo, Ti, Cr 등의 금속, 또는 이들 금속을 조합한 합금, 또는 이들 금속의 질화물이나 산화물을 사용한 층을 형성하고 그 위에 Cu 또는 Cu 합금 재료를 사용한 층을 형성하는 2층 구조로 하여도 좋다. 또한 상술한 금속, 합금, 질화물, 산화물을 적층한 3층 구조로 하여도 좋다.

[0124] 본 실시형태에서는 Cu를 포함한 도전층으로서 스퍼터링법을 사용하여 절연층(201) 위에 질화 탄탈과 구리의 적층막을 형성한다. 그리고 포토리소그래피 공정으로 형성한 레지스트 마스크를 사용하여 Cu를 포함한 도전층의 일부를 선택적으로 에칭하고 게이트 전극(202), 배선(212_i), 배선(203), 및 배선(226)을 형성한다. 에칭은 드라이 에칭법 또는 웨트 에칭법에 의하여 수행할 수 있다. 또한 Cu를 포함한 도전층의 에칭을 드라이 에칭법과 웨트 에칭법의 양쪽 모두를 조합하여 수행하여도 좋다. 예를 들어 Cu의 에칭을 웨트 에칭법으로 수행하고, 질화 탄탈의 에칭을 드라이 에칭법으로 수행하여도 좋다.

[0125] 또한 도전층의 에칭을 드라이 에칭법으로 수행하는 경우는, 에칭 가스로서 할로젠 원소를 포함한 가스를 사용할 수 있다. 할로젠 원소를 포함하는 가스의 일 예로는, 염소(Cl_2), 삼염화 붕소(BCl_3), 사염화 실리콘(SiCl_4) 또는 사염화 탄소(CCl_4) 등으로 대표되는 염소계 가스, 사불화 탄소(CF_4), 육불화 황(SF_6), 삼불화 질소(NF_3) 또는 트라이플루오로메탄(CHF_3) 등으로 대표되는 불소계 가스, 브로민화 수소(HBr) 또는 산소를 적절히 사용할 수 있다. 또한 사용하는 에칭용 가스에 불활성 기체를 첨가하여도 좋다. 또한 드라이 에칭법으로서는 반응성 이온 에칭(RIE: Reactive Ion Etching)법을 사용할 수 있다.

[0126] 또한 플라즈마원으로서, 용량 결합형 플라즈마(CCP: Capacitively Coupled Plasma), 유도 결합 플라즈마(ICP: Inductively Coupled Plasma), 전자 사이클로트론 공명(ECR: Electron Cyclotron Resonance) 플라즈마, 헬리콘과 플라즈마(HWP: Helicon Wave Plasma), 마이크로파 여기 표면파 플라즈마(SWP: Surface Wave Plasma) 등을 사용할 수 있다. 특히 ICP, ECR, HWP, 및 SWP는 고밀도의 플라즈마를 생성할 수 있다. 드라이 에칭법으로 수행하는 에칭(이하, "드라이 에칭 처리"라고도 함)은 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형

전극에 인가되는 전력량, 기판 측의 전극에 인가되는 전력량, 기판 측의 전극 온도 등)은 적절히 조절하여 수행한다.

[0127] 또한, 포토리소그래피법을 사용하여 도전층이나 절연층 위에 임의의 형상의 레지스트 마스크를 형성하는 공정을 포토리소그래피 공정이라고 하지만, 일반적으로 레지스트 마스크 형성 후에는, 에칭 공정과 레지스트 마스크의 박리 공정이 수행되는 경우가 많다. 따라서, 특별히 설명이 없는 한, 본 명세서에서 말하는 포토리소그래피 공정에는, 레지스트 마스크의 형성 공정과, 도전층 또는 절연층의 에칭 공정과, 레지스트 마스크의 박리 공정이 포함되어 있는 것으로 한다.

[0128] 또한 게이트 전극(202)의 단면 형상, 구체적으로는 단부의 단면 형상(테이퍼각이나 막 두께 등)을 생각해내 형성함으로써 이후에 형성되는 층의 피복성을 향상시킬 수 있다.

[0129] 구체적으로는 게이트 전극(202)의 단면 형상이 사다리꼴형 또는 삼각형이 되도록 게이트 전극(202)의 단부를 테이퍼 형상으로 한다. 여기서 게이트 전극(202) 단부의 테이퍼각 θ (도 11(a1) 참조)를 80° 이하, 바람직하게는 60° 이하, 더 바람직하게는 45° 이하로 한다. 또한 테이퍼각 θ 란, 테이퍼 형상을 갖는 층을 그 단면(기판 표면과 직교되는 면) 방향으로부터 관찰하였을 때 상기 층의 측면과 저면이 이루는 상기 층 내의 각도를 나타낸다. 또한 테이퍼각이 90° 미만인 경우를 순 테이퍼라고 하고, 테이퍼각이 90° 이상인 경우를 역 테이퍼라고 한다.

[0130] 또한 게이트 전극(202) 단부의 단면 형상을 복수의 단으로 이루어진 계단 형상으로 함으로써 그 위에 피복되는 층의 피복성을 향상시킬 수도 있다. 또한 게이트 전극(202)에 한정되지 않고 각 층의 단부의 단면 형상을 순 테이퍼 형상 또는 계단 형상으로 함으로써 그 위에 피복되는 층이 끊어지는 현상(단절)을 방지하고 피복성을 양호한 것으로 할 수 있다.

[0131] 다음에 게이트 전극(202), 배선(212_i), 배선(203), 및 배선(226) 위에 절연층(204) 및 산화물 반도체층(205)을 형성한다(도 11(b1), 도 11(b2), 도 14b 참조).

[0132] 절연층(204)은 스퍼터링법, MBE법, CVD법, 펄스 레이저 퇴적법, ALD법 등을 적절히 사용하여 형성할 수 있다. 또한, μ 파를 사용한 고밀도 플라즈마 CVD법 등을 적용할 수 있다. 또한, 절연층(204)은 스퍼터링 타겟 표면에 대하여 대략 수직으로 복수의 기판 표면이 세트된 상태에서 성막을 수행하는 스퍼터링 장치를 사용하여, 형성하여도 좋다.

[0133] 절연층(204)으로서 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 산화 탄탈, 산화 갈륨, 산화 이트륨, 산화 란탄, 산화 하프늄, 하프늄실리케이트, 질소가 도입된 하프늄실리케이트, 질소가 도입된 하프늄알루미늄네이트 중에서 선택된 재료를 단층으로 또는 적층하여 사용할 수 있다.

[0134] 본 실시형태에서는 절연층(204)으로서 μ 파를 사용한 고밀도 플라즈마 CVD법에 의하여, 기판 온도를 200°C 내지 350°C 로 하여 질화 실리콘과 산화질화 실리콘의 적층을 형성한다. 절연층(204)은 50nm 이상 800nm 이하, 바람직하게는 100nm 이상 600nm 이하의 두께로 형성하는 것이 바람직하다. 절연층(204)의 두께는, 제작하는 트랜지스터의 크기나 절연층(204)에 의한 게이트 전극(202)의 단차 피복성을 고려하여 형성하는 것이 바람직하다.

[0135] 또한 일반적으로, 용량 소자는 서로 대향하는 두 개의 전극 사이에 유전체가 끼워진 구성을 갖고 유전체의 두께가 얇을수록(서로 대향하는 두 개의 전극 사이의 거리가 짧을수록) 또 유전체의 유전율이 클수록 용량값이 커진다. 다만, 용량 소자의 용량값을 늘리기 위하여 유전체를 얇게 하면 두 개의 전극간에 생기는 누설 전류(이하, "리크 전류"라고도 함)가 증가되기 쉬워지고 또 용량 소자의 절연 내압이 저하되기 쉬워진다.

[0136] 트랜지스터의 게이트 전극, 게이트 절연층, 반도체층이 중첩되는 부분은 상술한 용량 소자로서 기능한다(이하, "게이트 용량"이라고도 함). 또한, 반도체층에 있어서 게이트 절연층을 개재하여 게이트 전극과 중첩되는 영역에 채널이 형성된다. 즉, 게이트 전극과 채널 형성 영역이 용량 소자의 두 개의 전극으로서 기능하고, 게이트 절연층이 용량 소자의 유전체로서 기능한다. 게이트 용량의 용량값은 큰 것이 바람직하지만, 용량값을 늘리기 위하여 게이트 절연층을 얇게 하면 상술한 리크 전류의 증가나 절연 내압의 저하 등의 문제가 발생되기 쉽다.

[0137] 그러므로, 절연층(204)으로서 하프늄실리케이트(HfSi_xO_y ($x>0$, $y>0$)), 질소가 첨가된 하프늄실리케이트($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x>0$, $y>0$, $z>0$)), 질소가 첨가된 하프늄알루미늄네이트($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x>0$, $y>0$, $z>0$)), 산화 하프늄, 산화 이트륨 등의 high-k 재료를 사용하면 절연층(204)을 두껍게 하여도 게이트 전극(202)과 산화물 반도체층(205)간

의 용량값을 충분히 확보할 수 있게 된다.

- [0138] 예를 들어, 절연층(204)으로서 유전율이 높은 high-k 재료를 사용하면 절연층(204)을 두껍게 하여도 절연층(204)에 산화 실리콘을 사용한 경우와 같은 용량값을 실현할 수 있어, 게이트 전극(202)과 산화물 반도체층(205)간에 생기는 리크 전류를 저감시킬 수 있다. 또한 게이트 전극(202)과 동일한 층으로 형성된 배선과, 상기 배선과 중첩되는 다른 배선간에 생기는 리크 전류를 저감시킬 수 있다. 또한 절연층(204)을 high-k 재료와 상기 재료와의 적층 구조로 하여도 좋다.
- [0139] 절연층(204)은 이후에 형성되는 산화물 반도체층(205)과 접하는 부분에 있어서 산소를 포함하는 것이 바람직하다. 산화물 반도체층(205)과 접하는 절연층(204)은 막 내(벌크 내)에 적어도 화학양론비를 초과하는 양의 산소가 존재하는 것이 바람직하다. 예를 들어 절연층(204)으로서 산화 실리콘막을 사용하는 경우에는 $\text{SiO}_{2+\alpha}$ (다만, $\alpha > 0$)로 한다. 이 산화 실리콘막을 절연층(204)으로서 사용함으로써 산화물 반도체층(205)에 산소를 공급할 수 있고 특성을 양호하게 할 수 있다.
- [0140] 또한 절연층(204)은 Cu를 포함한 도전층으로 형성된 게이트 전극(202)(이것과 동일한 층으로 형성된 배선 또는 전극을 포함함)과 접하는 부분에 있어서 Cu의 확산을 억제하기 위한 배리어성을 갖는 재료를 사용하여 형성하는 것이 바람직하다. 배리어성을 갖는 재료로서는 예를 들어 질화 실리콘이나 산화 알루미늄을 들 수 있다. 게이트 전극(202)을 배리어성을 갖는 절연층으로 덮음으로써 Cu의 확산을 억제할 수 있다. 또한 절연층(204)을 배리어성을 갖는 재료로 형성하고 게이트 전극(202)을 배리어성을 갖는 재료로 끼우는 구성으로 하면 Cu의 확산을 억제하는 효과를 더 높일 수 있다.
- [0141] 또한 질화 실리콘이나 산화 알루미늄 등은 수소, 수분, 수소화물, 또는 수산화물 등의 불순물이나, 산소에 대한 배리어성도 갖는다. 절연층(204)을 배리어성을 갖는 재료로 형성함으로써 기판 측으로부터 상기 불순물이 침입하는 것을 방지하고 절연층(204) 내에 포함되는 산소가 기판 측으로 확산되는 것을 방지할 수 있다.
- [0142] 본 실시형태에서는 게이트 전극(202)(이것과 동일한 층으로 형성된 배선 또는 전극을 포함함) 위에 절연층(204)으로서 μ 파를 사용한 고밀도 플라즈마 CVD법에 의하여 질화 실리콘과 산화질화 실리콘의 적층막을 형성한다.
- [0143] 또한, 절연층(204)을 형성하기 전에, 산소, 일산화 이질소, 또는 희가스(대표적으로는 아르곤) 등을 사용한 플라즈마 처리에 의하여, 피형성면의 표면에 부착된 수분이나 유기물 등의 불순물을 제거하는 것이 바람직하다.
- [0144] 또한, 절연층(204)을 형성한 후, 감압하, 질소 분위기하, 희가스 분위기하, 또는 초진조 공기 질소 분위기하에서 가열 처리를 수행하여도 좋다. 가열 처리에 의하여 절연층(204)에 포함되는 수소, 수분, 수소화물, 또는 수산화물 등의 농도를 저감시킬 수 있다. 가열 처리는 기판(200)이 견딜 수 있는 온도 이하로, 보다 높은 온도로 수행하는 것이 바람직하다. 구체적으로는, 절연층(204)의 성막 온도 이상, 기판(200)의 변형점 미만으로 수행하는 것이 바람직하다.
- [0145] 또한, 절연층(204)을 형성한 후, 절연층(204)에 산소 도핑 처리를 수행하고 절연층(204)을 산소가 과잉으로 포함된 상태로 하여도 좋다. 또한 절연층(204)에 수행하는 산소 도핑 처리는 상기 가열 처리 후에 수행하는 것이 바람직하다.
- [0146] 산소의 공급원이 되는 산소를 많이(과잉으로) 포함하는 절연층(204)을 산화물 반도체층(205)과 접하여 제공함으로써 그 후의 가열 처리에 의하여 상기 절연층(204)으로부터 산화물 반도체층(205)에 산소를 공급할 수 있다. 산화물 반도체층(205)에 산소를 공급함으로써 산화물 반도체층(205) 내의 산소 결손을 보전할 수 있다.
- [0147] 또한 절연층(204)을 절연층 A와 절연층 B의 적층으로 하고, Cu를 포함한 도전층으로 형성된 게이트 전극(202)(이것과 동일한 층으로 형성된 배선 또는 전극을 포함함) 위에 배리어성을 갖는 재료를 사용하여 절연층 A를 형성하고, 절연층 A 위에 산소를 포함한 재료를 사용하여 절연층 B를 형성하여도 좋다. 예를 들어 게이트 전극(202) 위에 절연층 A로서 질화 실리콘막을 형성하고 그 위에 절연층 B로서 산화질화 실리콘막을 형성하여도 좋다.
- [0148] 다음에 절연층(204) 위에 후에 산화물 반도체층(205)이 되는 산화물 반도체층(215)(도시하지 않았음)을 스퍼터링법에 의하여 형성한다.
- [0149] 또한, 산화물 반도체층(215)의 형성에 앞서, 절연층(204)에 있어서 산화물 반도체층(205)이 접하여 형성되는 영역에 평탄화 처리를 수행하여도 좋다. 평탄화 처리로서는, 특별히 한정되지 않지만 연마 처리(예를 들면, CMP 처리), 드라이 에칭 처리, 플라즈마 처리를 사용할 수 있다.

- [0150] 플라즈마 처리로서는, 예를 들어 아르곤 가스를 도입하여 플라즈마를 발생시키는 역 스퍼터링을 수행할 수 있다. 역 스퍼터링이란, 아르곤 분위기하에서 RF 전원을 사용하여 기판 측에 전압을 인가하여 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨, 산소 등을 사용하여도 좋다. 역 스퍼터링을 수행하면 절연층(204) 표면에 부착된 분말상 물질(파티클, 먼지라고도 함)을 제거할 수 있다.
- [0151] 또한, 평탄화 처리로서의 연마 처리, 드라이 에칭 처리, 플라즈마 처리는 복수회 수행하여도 좋고, 이들을 조합하여 수행하여도 좋다. 또한, 조합하여 수행하는 경우, 공정 순서도 특별히 한정되지 않고 절연층(204) 표면의 요철 상태에 맞추어 적절히 설정하면 좋다.
- [0152] 또한, 산화물 반도체층(215)을 형성하기 위한 스퍼터링 가스는, 회가스(대표적으로는 아르곤) 분위기, 산소 가스 분위기, 회가스 및 산소의 혼합 가스를 적절히 사용한다. 또한, 스퍼터링 가스에는 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도 가스를 사용하는 것이 바람직하다.
- [0153] 또한, 산화물 반도체층(215)은 산소가 많이 함유되는 조건(예를 들어 산소 100%의 분위기하에서 스퍼터링법에 의하여 성막을 수행하는 조건 등)으로 형성함으로써 산소를 많이 함유하는 상태 또는 산소가 과포화인 상태(바람직하게는 산화물 반도체가 결정 상태에서의 화학양론적 조성에 대하여 산소의 함유량이 과잉인 영역이 포함되는 상태)로 하는 것이 바람직하다.
- [0154] 예를 들어 스퍼터링법을 사용하여 산화물 반도체층을 형성하는 경우, 스퍼터링 가스 내의 산소가 차지하는 비율이 많은 조건으로 수행하는 것이 바람직하고 스퍼터링 가스를 산소 가스 100%로서 수행하는 것이 바람직하다. 스퍼터링 가스 내의 산소 가스가 차지하는 비율이 많은 조건, 특히 산소 가스 100%의 분위기에서 성막을 수행하면, 예를 들어 형성 온도를 300℃ 이상으로 하여도, 산화물 반도체층 내로부터 Zn이 방출되는 것이 억제된다.
- [0155] 또한 산화물 반도체층(215)은, 구리, 알루미늄, 염소 등의 불순물이 거의 포함되지 않는 고순도화된 것이 바람직하다. 트랜지스터의 제조 공정에 있어서, 이들 불순물이 혼입될 우려 또는 산화물 반도체층 표면에 부착될 우려가 없는 공정을 적절히 선택하는 것이 바람직하다. 구체적으로는 산화물 반도체층 내의 구리 농도는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $1 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다. 또한, 산화물 반도체층 내의 알루미늄 농도는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하로 한다. 또한, 산화물 반도체층 내의 염소 농도는 $2 \times 10^{18} \text{ atoms/cm}^3$ 이하로 한다.
- [0156] 또한, 산화물 반도체층(215) 내의 나트륨(Na), 리튬(Li), 칼륨(K) 등의 알칼리 금속의 농도는, Na는 $5 \times 10^{16} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{16} \text{ cm}^{-3}$ 이하, 더욱 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하, Li는 $5 \times 10^{15} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하, K는 $5 \times 10^{15} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하로 한다.
- [0157] 본 실시형태에서는 산화물 반도체층(215)으로서, AC 전원 장치를 갖는 스퍼터링 장치를 사용한 스퍼터링법에 의하여 막 두께 35nm의 In-Ga-Zn계 산화물(IGZO)을 형성한다. 스퍼터링법으로 제작하기 위한 타깃으로서서는 조성으로서 In: Ga: Zn=1: 1: 1[원자수비]의 금속 산화물 타깃을 사용한다.
- [0158] 또한, 금속 산화물 타깃의 상대 밀도(충전율)는 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 상대 밀도가 높은 금속 산화물 타깃을 사용함으로써, 성막된 산화물 반도체를 치밀한 막으로 할 수 있다.
- [0159] 산화물 반도체층(215)은 감압 상태로 유지된 성막실 내에 기판(200)을 유지하고, 성막실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 상기 타깃을 사용하여 절연층(204) 위에 형성한다. 성막실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프, 예를 들어, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단으로서, 터보 분자 펌프에 콜드 트랩(cold trap)을 더한 것이어도 좋다. 크라이오 펌프를 사용하여 배기한 성막실은, 예를 들어 수소 원자, 물(H₂O) 등 수소 원자를 포함한 화합물(더 바람직하게는 탄소 원자를 포함한 화합물) 등이 배기되므로, 이 성막실에서 형성한 산화물 반도체층(215)에 포함되는 불순물 농도를 저감시킬 수 있다.
- [0160] 또한 절연층(204)과 산화물 반도체층(215)을 대기에 노출시키지 않고 연속적으로 형성하여도 좋다. 절연층(204)과 산화물 반도체층(215)을 대기에 노출시키지 않고 연속적으로 형성하면 절연층(204) 표면에 수소나 수분 등의 불순물이 부착되는 것을 방지할 수 있다.
- [0161] 다음에 포토리소그래피 공정으로 산화물 반도체층(215)의 일부를 선택적으로 에칭하여 섬 형상의 산화물 반도체층(205)을 형성한다(도 11(b1) 참조). 또한 산화물 반도체층(205)을 형성하기 위한 레지스트 마스크를 잉크젯

법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감시킬 수 있다.

[0162] 또한, 산화물 반도체층(215)의 에칭은, 드라이 에칭법이어도 웨트 에칭법이어도 좋고, 양쪽 모두를 사용하여도 좋다. 웨트 에칭법에 의하여, 산화물 반도체층(215)의 에칭을 수행하는 경우는, 에칭액으로서 인산과 초산과 질산을 섞은 용액이나, 옥살산을 포함한 용액 등을 사용할 수 있다. 또한, ITO-07N(KANTO CHEMICAL Co., Inc. 제조)을 사용하여도 좋다. 또한 드라이 에칭법으로 산화물 반도체층(215)의 에칭을 수행하는 경우 예를 들어 ECR 또는 ICP 등의 고밀도 플라즈마원을 사용한 드라이 에칭법을 사용할 수 있다. 또한 넓은 면적에 걸쳐 일정한 방전을 얻기 쉬운 드라이 에칭법으로서 ECCP(Enhanced Capacitively Coupled Plasma) 모드를 사용한 드라이 에칭법이 있다. 이 드라이 에칭법을 이용하면 예를 들어 기관으로서 제 10세대의 3m를 초과하는 크기의 기관을 사용한 경우에도 대응하는 것이 가능하다.

[0163] 또한, 산화물 반도체층(205)을 형성한 후에 산화물 반도체층(205) 내의 과잉의 수소(물이나 수산기를 포함함)를 제거(탈수화 또는 탈수소화)하기 위한 가열 처리를 수행하여도 좋다. 가열 처리의 온도는, 300℃ 이상 700℃ 이하, 또는 기관의 변형점 미만으로 한다. 가열 처리는 감압하 또는 질소 분위기하 등에서 수행할 수 있다. 예를 들어, 가열 처리 장치 중의 하나인 전기로에 기관을 도입하고, 산화물 반도체층(205)에 대하여 질소 분위기하 450℃로 1시간 동안 가열 처리를 수행한다.

[0164] 또한, 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열 전도 또는 열 복사에 의하여 피처리물을 가열하는 장치를 사용하여도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는 할로겐 램프, 메탈할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 빛(전자기파)의 복사에 의하여 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 사용하여 가열 처리를 수행하는 장치이다. 고온의 가스에는 아르곤 등의 희가스, 또는 질소와 같은, 가열 처리에 의하여 피처리물과 반응하지 않는 불활성 기체가 사용된다.

[0165] 예를 들면, 가열 처리로서 650℃ 내지 700℃의 고온으로 가열한 불활성 가스 내에 기관을 넣고, 수분간 가열한 후, 기관을 불활성 가스 내에서 꺼내는 GRTA를 수행하여도 좋다.

[0166] 또한, 가열 처리에 있어서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에 물, 수소 등이 포함되지 않은 것이 바람직하다. 또는, 열처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.

[0167] 또한, 가열 처리에 의하여 산화물 반도체층(205)을 가열한 후, 같은 노(爐)에 고순도의 산소 가스, 고순도의 일산화 이질소 가스, 또는 조건조 에어(캐비티 링 다운 분광법(CRDS: Cavity Ring-Down Spectroscopy)을 사용한 노점계를 사용하여 측정한 경우의 수분량이 20ppm(노점 환산으로 -55℃) 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하의 공기)를 도입하여도 좋다. 산소 가스 또는 일산화 이질소 가스에 물, 수소 등이 포함되지 않은 것이 바람직하다. 또는, 열처리 장치에 도입하는 산소 가스 또는 일산화 이질소 가스의 순도를 6N 이상, 바람직하게는 7N 이상(즉 산소 가스 또는 일산화 이질소 가스 내의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다. 탈수화 또는 탈수소화 처리에 의한 불순물의 배제 공정에 기인하여 동시에 감소된, 산화물 반도체를 구성하는 주성분 재료인 산소를 산소 가스 또는 일산화 이질소 가스의 작용에 의하여 공급함으로써, 산화물 반도체 내의 산소 결손이 저감되고 산화물 반도체층(205)을 i형(진성) 또는 실질적으로 i형화시킬 수 있다. 이 점에서, 실리콘 등과 같이 불순물 원소를 첨가함에 의한 i형화가 아니므로 산화물 반도체의 i형화는 종래에는 없는 기술적 사상을 포함하는 것이라고 말할 수 있다.

[0168] 탈수화 또는 탈수소화를 하기 위한 가열 처리는, 산화물 반도체층을 형성한 후이면, 섬 형상의 산화물 반도체층(205)을 형성하기 전에 수행하여도 좋고, 형성한 후에 수행하여도 좋다. 또한, 탈수화 또는 탈수소화를 하기 위한 가열 처리는, 복수회 수행하여도 좋고, 다른 가열 처리와 겹쳐서 수행하여도 좋다.

[0169] 또한, 탈수화 또는 탈수소화 처리에 의하여, 산화물 반도체를 구성하는 주성분 재료인 산소가 동시에 이탈되어 감소될 우려가 있다. 산화물 반도체층에 있어서, 산소가 이탈된 부분에서는 산소 결손이 존재하고, 상기 산소 결손에 기인하여 트랜지스터의 전기 특성 변동을 초래하는 도너 준위가 발생한다.

[0170] 그러므로 탈수화 또는 탈수소화 처리를 수행한 산화물 반도체층(205)에 산소 도핑 처리를 수행하고 산화물 반도체층(205) 내에 산소를 공급하여도 좋다.

- [0171] 탈수화 또는 탈수소화 처리를 수행한 산화물 반도체층(205)에 산소를 도입하여 막 내에 산소를 공급함으로써, 탈수화 또는 탈수소화 처리에 의한 불순물의 배제 공정에 기인하여 생긴 산화물 반도체 내의 산소 결손을 저감시키고 산화물 반도체층(205)을 i형(진성)화시킬 수 있다. i형(진성)화된 산화물 반도체층(205)을 갖는 트랜지스터는 전기 특성 변동이 억제되고 전기적으로 안정된다.
- [0172] 산화물 반도체층(205)에 산소를 도입하는 경우 산소 도핑 처리를 산화물 반도체층(205)에 직접 수행하여도 좋고 다른 층을 통과시켜 수행하여도 좋다.
- [0173] 또한, 산소의 도입에 의하여 산화물 반도체층(205)을 구성하는 원소와 수소 사이의 결합, 또는 상기 원소와 산기 사이의 결합이 절단됨과 함께 이들 수소 또는 수산기가 산소와 반응함으로써 물을 생성하기 때문에 산소의 도입 후에 가열 처리를 수행하면 불순물인 수소 또는 수산기가 물로서 이탈되기 쉬워진다. 그러므로 산화물 반도체층(205)에 산소를 도입한 후에 가열 처리를 수행하여도 좋다. 그 후에, 산화물 반도체층(205)에 산소를 더 도입하고 산화물 반도체층(205)을 산소가 과잉으로 포함된 상태로 하여도 좋다. 또한, 산화물 반도체층(205)으로의 산소 도입과 가열 처리는 각각을 교대로 복수회 수행하여도 좋다. 또한 가열 처리와 산소의 도입을 동시에 수행하여도 좋다. 또한 산화물 반도체층(205)에 충분히 산소가 공급되어 산소 과포화의 상태로 하기 위하여, 산소를 많이 포함한 절연층(산화 실리콘층 등)이 산화물 반도체층(205)을 끼우도록, 또 산화물 반도체층(205)과 접하도록 제공되는 것이 바람직하다.
- [0174] 또한, 산소를 많이 포함한 절연층의 수소 농도도 트랜지스터의 특성에 영향을 미치므로 중요하다. 산소를 많이 포함한 절연층의 수소 농도가 $7.2 \times 10^{20} \text{ atoms/cm}^3$ 이상인 경우에는 트랜지스터의 초기 특성의 편차 증대, L 길이의 의존성의 증대, 또한 BT 스트레스 시험에 있어서 크게 열화되므로 산소를 많이 포함한 절연층의 수소 농도는 $7.2 \times 10^{20} \text{ atoms/cm}^3$ 미만으로 한다. 즉, 산화물 반도체층의 수소 농도는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 또 산소를 많이 포함한 절연층의 수소 농도는 $7.2 \times 10^{20} \text{ atoms/cm}^3$ 미만으로 하는 것이 바람직하다.
- [0175] 또한 산화물 반도체층(205)을 복수의 산화물 반도체층이 적층된 구조로 하여도 좋다. 예를 들어 산화물 반도체층(205)을 제 1 산화물 반도체층과 제 2 산화물 반도체층의 적층으로 하여, 제 1 산화물 반도체층과 제 2 산화물 반도체층에 각각 상이한 금속 산화물을 사용하여도 좋다. 예를 들어 제 1 산화물 반도체층에 3원계 금속의 산화물을 사용하고 제 2 산화물 반도체층에 2원계 금속의 산화물을 사용하여도 좋다. 또한 예를 들어 제 1 산화물 반도체층과 제 2 산화물 반도체층 양쪽 모두를 3원계 금속의 산화물로 하여도 좋다.
- [0176] 또한, 제 1 산화물 반도체층과 제 2 산화물 반도체층의 구성 원소를 동일하게 하고, 양쪽의 조성을 각각 상이하게 하여도 좋다. 예를 들어 제 1 산화물 반도체층의 원자수비를 In: Ga: Zn=1: 1: 1로 하고, 제 2 산화물 반도체층의 원자수비를 In: Ga: Zn=3: 1: 2로 하여도 좋다. 또한, 제 1 산화물 반도체층의 원자수비를 In: Ga: Zn=1: 3: 2로 하고 제 2 산화물 반도체층의 원자수비를 In: Ga: Zn=2: 1: 3으로 하여도 좋다.
- [0177] 이 때, 제 1 산화물 반도체층과 제 2 산화물 반도체층 중, 게이트 전극에 가까운 측(채널 측)의 산화물 반도체층의 In과 Ga의 함유율을 In>Ga로 하면 좋다. 또한 게이트 전극으로부터 먼 측(백 채널 측)의 산화물 반도체층의 In과 Ga의 함유율을 In≤Ga로 하면 좋다.
- [0178] 산화물 반도체에서는 주로 중금속의 s궤도가 캐리어 전도에 기여하고, In의 함유율을 높게 함으로써 s궤도의 오버랩이 많아질 경향이 있기 때문에, In>Ga의 조성이 되는 산화물은 In≤Ga의 조성이 되는 산화물과 비교하여 높은 이동도를 갖는다. 또한, Ga는 In과 비교하여 산소 결손의 형성 에너지가 크고 산소 결손이 생기기 어렵기 때문에 In≤Ga의 조성이 되는 산화물은 In>Ga의 조성이 되는 산화물과 비교하여 안정된 특성을 갖는다.
- [0179] 채널 측에 In>Ga의 조성이 되는 산화물 반도체를 적용하고, 백 채널 측에 In≤Ga의 조성이 되는 산화물 반도체를 적용함으로써, 트랜지스터의 이동도 및 신뢰성을 더욱 높이는 것이 가능하게 된다.
- [0180] 또한 제 1 산화물 반도체층과 제 2 산화물 반도체층에 결정성이 다른 산화물 반도체를 적용하여도 좋다. 즉, 단결정 산화물 반도체, 다결정 산화물 반도체, 비정질 산화물 반도체 또는 CAAC-OS를 적절히 조합한 구성으로 하여도 좋다. 또한, 제 1 산화물 반도체층과 제 2 산화물 반도체층 중 적어도 어느 한쪽에 비정질 산화물 반도체를 적용하면 산화물 반도체층(205)의 내부 응력이나 외부로부터의 응력을 완화하고, 트랜지스터의 특성 변동이 저감되고, 또한 트랜지스터의 신뢰성을 더욱 높이는 것이 가능하게 된다.
- [0181] 한편 비정질 산화물 반도체는 수소 등의 도너가 되는 불순물을 흡수하기 쉽고, 또한 산소 결손이 생기기 쉬우므로 n형화되기 쉽다. 그러므로 채널 측의 산화물 반도체층은 CAAC-OS 등의 결정성을 갖는 산화물 반도체를 적용

하는 것이 바람직하다.

- [0182] 또한 트랜지스터로서 보텀 게이트 구조의 채널 에칭형의 트랜지스터를 사용하는 경우 백 채널 측에 비정질 산화물 반도체를 사용하면, 소스 전극 및 드레인 전극 형성시의 에칭 처리에 의하여 산소 결손이 생기고 n형화되기 쉽다. 그러므로 채널 에칭형의 트랜지스터를 사용하는 경우는 백 채널 측의 산화물 반도체층에 결정성을 갖는 산화물 반도체를 적용하는 것이 바람직하다.
- [0183] 또한 산화물 반도체층(205)을 3층 이상의 적층 구조로 하며 복수 층의 결정성을 갖는 산화물 반도체층으로 비정질 산화물 반도체층을 끼우는 구조로 하여도 좋다. 또한 결정성을 갖는 산화물 반도체층과 비정질 산화물 반도체층을 교대로 적층하는 구조로 하여도 좋다.
- [0184] 산화물 반도체층(205)을 복수 층의 적층 구조로 하는 경우의 상기 구성은 각각 구성을 적절히 조합하여 사용할 수 있다.
- [0185] 또한 산화물 반도체층(205)을 복수 층의 적층 구조로 하고 각 산화물 반도체층을 형성한 후에 산소 도핑 처리를 수행하여도 좋다. 각 산화물 반도체층을 형성할 때마다 산소 도핑 처리를 수행함으로써 산화물 반도체 내의 산소 결손을 저감시키는 효과를 높일 수 있다.
- [0186] 다음에 포토리소그래피 공정에 의하여 절연층(204)의 일부를 선택적으로 제거하고 콘택트 홀(218), 콘택트 홀(228) 및 콘택트 홀(227)을 형성한다(도 10(a2), 도 10(b2), 도 11(c2), 도 14c 참조). 절연층(204)의 에칭은 드라이 에칭법 또는 웨트 에칭법에 의하여 수행할 수 있다. 또한 드라이 에칭법과 웨트 에칭법의 양쪽 모두를 조합하여 수행하여도 좋다.
- [0187] 다음에 산화물 반도체층(205) 위에 도전층(217)(도시하지 않았음)을 형성하고, 포토리소그래피 공정에 의하여 도전층(217)의 일부를 선택적으로 에칭하고 소스 전극(206a) 및 드레인 전극(206b)을 형성한다(도 11(d1), 도 11(d2), 도 14d 참조).
- [0188] 소스 전극(206a) 및 드레인 전극(206b)이 되는 도전층(217)은 이후의 가열 처리에 견딜 수 있는 재료를 사용하여 형성한다. 도전층(217)으로서는 예를 들어 Al, Cr, Ta, Ti, Mo, W 중으로부터 선택된 원소를 포함한 금속, 또는 상술한 원소를 성분으로 하는 금속 질화물(질화 티타늄, 질화 몰리브덴, 질화 텅스텐) 등을 사용할 수 있다. 또한, Al 등의 금속층의 아래 측 또는 위 측 중 한쪽 또는 양쪽 모두에 Ti, Mo, W 등의 고용점 금속 또는 이들의 금속 질화물(질화 티타늄, 질화 몰리브덴, 질화 텅스텐)을 적층시킨 구성으로 하여도 좋다. 또한, 도전층(217)을 도전성을 갖는 금속 산화물로 형성하여도 좋다. 도전성을 갖는 금속 산화물로서는 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐-산화 주석($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO라고 약기함), 산화 인듐-산화 아연($\text{In}_2\text{O}_3\text{-ZnO}$), 또는 이들 금속 산화물 재료에 산화 실리콘을 포함시킨 것을 사용할 수 있다.
- [0189] 또한 소스 전극(206a) 및 드레인 전극(206b)이 되는 도전층(217)에 Cu를 사용하지 않은 것이 바람직하다. 특히 도전층(217)에 주성분 레벨(1wt% 이상)로 Cu가 포함되지 않은 것이 바람직하다. 소스 전극(206a) 및 드레인 전극(206b)이 되는 도전층(217)은 산화물 반도체층(205)과 접하여 형성되므로 도전층(217)을 에칭할 때 노출된 산화물 반도체층(205) 표면에 Cu가 부착되고, 또한 부착된 Cu가 산화물 반도체층(205) 내에 확산되어 트랜지스터의 전기 특성의 열화나 신뢰성의 저하의 하나의 요인이 된다.
- [0190] 본 실시형태에서는 도전층(217)으로서 스퍼터링법에 의하여 W와 Al과 Ti의 적층을 형성한다. 도전층(217)의 에칭은 웨트 에칭법 또는 드라이 에칭법으로 수행할 수 있다. 예를 들어 에칭 가스(BCl_3 : Cl_2 =750sccm: 150sccm)를 사용하여, 바이어스 전력을 1500W로 하고, ICP 전원 전력을 0W로 하며, 압력을 2.0Pa로 한 ICP 에칭법(드라이 에칭법)에 의하여 수행할 수 있다.
- [0191] 다음에 산화물 반도체층(205)의 일부와 접하여 소스 전극(206a) 및 드레인 전극(206b) 위에 절연층(225)을 20nm 내지 50nm의 두께로 형성한다(도 12(a1), 도 12(a2), 도 15a 참조). 절연층(225)은 절연층(201) 또는 절연층(204)과 동일한 재료 및 방법으로 형성할 수 있다. 예를 들어 산화 실리콘이나 산화질화 실리콘 등을 스퍼터링법이나 CVD법으로 형성하고 절연층(225)으로서 사용할 수 있다.
- [0192] 본 실시형태에서는, 절연층(225)으로서 플라즈마 CVD법에 의하여 두께가 30nm인 산화질화 실리콘을 형성한다. 절연층(225)의 형성은 예를 들어 SiH_4 와 N_2O 의 가스 유량비를 SiH_4 : N_2O =20sccm: 3000sccm으로 하고, 압력을 40Pa로 하며, RF 전원 전력(전원 출력)을 100W로 하며, 기판 온도를 350℃로 하면 좋다.

- [0193] 다음에 절연층(225)에 산소(231)를 도입하고, 절연층(225)을 산소를 과잉으로 포함한 절연층(207)으로 한다(도 12(b1), 도 12(b2), 도 15b 참조). 산소(231)에는 적어도 산소 라디칼, 오존, 산소 원자, 산소 이온(분자 이온, 클러스터 이온을 포함함) 중 어느 것이 포함된다. 산소(231)의 도입은 산소 도핑 처리에 의하여 수행할 수 있다.
- [0194] 또한 산소(231)의 도입은 플라즈마 처리에 의하여 절연층(225)의 전체면에 한 번으로 수행하여도 좋고, 예를 들어 선 형상의 이온 빔을 사용하여 수행하여도 좋다. 선 형상의 이온 빔을 사용하는 경우에는 기관(200) 또는 이온 빔을 상대적으로 이동(스캔)시킴으로써 절연층(225)의 전체면에 산소(231)를 도입할 수 있다.
- [0195] 산소(231)의 공급 가스로서는 산소 원자를 함유한 가스를 사용하면 좋고, 예를 들어, O_2 가스, N_2O 가스, CO_2 가스, CO 가스, NO_2 가스 등을 사용할 수 있다. 또한, 산소의 공급 가스에 희가스(예를 들어 Ar)를 함유시켜도 좋다.
- [0196] 또한 예를 들어, 이온 주입법으로 산소를 도입하는 경우, 산소(231)의 도즈량은 $1 \times 10^{13} \text{ ions/cm}^2$ 이상 $5 \times 10^{16} \text{ ions/cm}^2$ 이하로 하는 것이 바람직하고, 절연층(207)의 산소의 함유량은 화학양론적 조성을 초과할 정도로 하는 것이 바람직하다. 또한, 이런 화학양론적 조성보다 산소를 과잉으로 포함한 영역은 절연층(207)의 일부에 존재하면 좋다. 또한, 산소의 주입 깊이는 주입 조건에 따라 적절히 제어하면 좋다.
- [0197] 본 실시형태에서는 산소 분위기하에서 수행하는 플라즈마 처리에 의하여 산소(231)를 도입한다. 또한, 절연층(207)은 산화물 반도체층(205)과 접하는 절연층이기 때문에, 가능한 한 물이나 수소 등의 불순물이 포함되지 않은 것이 바람직하다. 따라서 산소(231)를 도입하기 전에 절연층(225) 내의 과잉의 수소(물이나 수산기를 포함함)를 제거하기 위한 가열 처리를 수행하는 것이 바람직하다. 탈수화 또는 탈수소화 처리를 목적으로 한 가열 처리의 온도는 300°C 이상 700°C 이하, 또는 기관의 변형점 미만으로 한다. 탈수화 또는 탈수소화 처리를 목적으로 한 가열 처리는 상술한 가열 처리와 마찬가지로 수행할 수 있다.
- [0198] 산소(231)를 도입하기 위한 플라즈마 처리(산소 플라즈마 처리)는 산소 유량을 250sccm로 하고, ICP 전원 전력을 0W로 하고, 바이어스 전력을 4500W로 하고, 압력을 15Pa로 하여 수행한다. 이 때 산소 플라즈마 처리에 의하여 절연층(225)에 도입된 산소의 일부는 절연층(225)을 통과하여 산화물 반도체층(205)에 도입된다. 산화물 반도체층(205) 내에 절연층(225)을 통과하여 산소가 도입되므로 산화물 반도체층(205)의 표면이 플라즈마로 인한 대미지를 받기 어려운 반도체 장치의 신뢰성을 향상시킬 수 있다. 절연층(225)은 10nm보다 두껍고 100nm보다 얇게 하는 것이 바람직하다. 절연층(225)의 두께를 10nm 이하로 하면 산소 플라즈마 처리를 할 때 산화물 반도체층(205)이 대미지를 받기 쉽다. 또한 절연층(225)의 두께를 100nm 이상으로 하면 산소 플라즈마 처리에 의하여 도입된 산소가 충분히 산화물 반도체층(205)에 공급되지 않을 우려가 있다. 또한 절연층(225)의 탈수화 또는 탈수소화 처리를 목적으로 한 가열 처리 및/또는 산소(231)의 도입은 복수회 수행하여도 좋다. 절연층(225)에 산소를 도입함으로써 절연층(207)을 산소 공급층으로서 기능시킬 수 있다.
- [0199] 다음에 절연층(207) 위에 절연층(208)을 200nm 내지 500nm의 두께로 형성한다(도 13(a1), 도 13(a2), 도 15c 참조). 절연층(208)은 절연층(201) 또는 절연층(204)과 같은 재료 및 방법으로 형성할 수 있다. 예를 들어 산화 실리콘막이나 산화질화 실리콘막 등을 스퍼터링법이나 CVD법으로 형성하여 절연층(208)으로서 사용할 수 있다.
- [0200] 본 실시형태에서는 절연층(208)으로서 플라즈마 CVD법에 의하여 두께가 370nm인 산화질화 실리콘막을 형성한다. 절연층(208)의 형성은 예를 들어, SiH_4 와 N_2O 의 가스 유량비를 $SiH_4: N_2O=30\text{sccm}: 4000\text{sccm}$ 으로 하고, 압력을 200Pa로 하고, RF 전원 전력(전원 출력)을 150W로 하고, 기관 온도를 220°C 로 하면 좋다.
- [0201] 또한 절연층(208)을 형성한 후, 불활성 가스 분위기하, 산소 분위기하, 또는 불활성 가스와 산소의 혼합 분위기하에서 250°C 이상 650°C 이하, 바람직하게는 300°C 이상 600°C 이하의 온도로 가열 처리를 수행하여도 좋다. 상기 가열 처리에 의하여 절연층(207)에 포함된 산소를 산화물 반도체층(205)에 공급하여 산화물 반도체층(205)의 산소 결손을 보전할 수 있다. 절연층(207) 위에 절연층(208)을 형성함으로써, 절연층(207)에 함유되는 산소를 효율적으로 산화물 반도체층(205)에 공급할 수 있다.
- [0202] 또한 절연층(208)에 산소 도핑 처리를 수행하고, 절연층(208)에 산소(231)를 도입하고, 산소가 과잉으로 포함된 상태로 하여도 좋다. 절연층(208)에 산소(231)를 도입하는 것은 절연층(207)에 산소(231)를 도입하는 것과 마찬가지로 수행하여도 좋다. 또한 절연층(208)에 산소(231)를 도입한 후, 불활성 가스 분위기하, 산소

분위기하, 또는 불활성 gas와 산소의 혼합 분위기하에서 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 600℃ 이하의 온도로 가열 처리를 수행하여도 좋다.

[0203] 채널이 형성되는 반도체층에 산화물 반도체를 사용한 트랜지스터는 산화물 반도체층에 산소가 공급됨으로써 산화물 반도체층과 절연층과의 계면 준위 밀도를 저감시킬 수 있다. 결과적으로 트랜지스터의 동작 등에 기인하여 산화물 반도체층과 절연층과의 계면에 캐리어가 포획되는 것을 억제할 수 있어, 신뢰성이 높은 트랜지스터를 얻을 수 있다.

[0204] 또한 산화물 반도체층의 산소 결손에 기인하여 캐리어가 생기는 경우가 있다. 일반적으로 산화물 반도체층의 산소 결손은 산화물 반도체층 내에 캐리어인 전자가 생성되는 하나의 요인이 된다. 결과적으로 트랜지스터의 문턱 전압이 마이너스 방향으로 시프트된다. 그래서, 산화물 반도체층에 산소가 충분히 공급되고, 바람직하게는 산화물 반도체층에 산소가 과잉으로 포함되어 있음으로써, 산화물 반도체층의 산소 결손 밀도를 저감시킬 수 있다.

[0205] 다음에 포토리소그래피 공정에 의하여 절연층(207) 및 절연층(208)의 일부를 선택적으로 제거하여 콘택트 홀(209), 콘택트 홀(219), 콘택트 홀(229) 및 콘택트 홀(227)을 형성한다(도 10(a2), 도 10(b2), 도 13(b1), 도 13(b2), 도 14c 참조). 절연층(207) 및 절연층(208)은 드라이 에칭법 또는 웨트 에칭법에 의하여 에칭될 수 있다. 또한 드라이 에칭법과 웨트 에칭법의 양쪽 모두를 조합하여 수행하여도 좋다.

[0206] 다음에 스퍼터링법, 진공 증착법 등을 사용하여 투광성을 갖는 도전층을 30nm 이상 200nm 이하, 바람직하게는 50nm 이상 100nm 이하의 두께로 형성하고, 포토리소그래피 공정에 의하여 화소 전극(211), 전극(221), 전극(222)을 형성한다(도 10(a1), 도 10(a2), 도 10(b1), 도 10(b2), 도 13(c1), 도 13(c2) 참조).

[0207] 투광성을 갖는 도전층으로서는 산화 인듐, 산화 주석, 산화 아연, 산화 인듐 산화 아연, ITO, 또는 이들 금속 산화물 재료에 산화 실리콘을 포함시킨 재료를 사용할 수 있다.

[0208] 또한, 투광성을 갖는 도전층을, 도전성 고분자(도전성 중합체라고도 함)를 포함한 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극은 시트 저항이 10000Ω/□ 이하, 파장 550nm에 있어서의 투광률이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률이 0.1 Ω·cm 이하인 것이 바람직하다.

[0209] 본 실시형태에서는 투광성을 갖는 도전막으로서 두께가 80nm인 ITO를 형성하고, 포토리소그래피 공정에 의하여 투광성을 갖는 도전층을 선택적으로 에칭하여 화소 전극(211), 전극(221), 전극(222)을 형성한다.

[0210] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0211] (실시형태 2)

[0212] 본 실시형태에서는 상기 실시형태에서 제시한 표시 장치의 일례에 대하여 도 16a 내지 도 17b를 사용하여 설명한다. 또한 상기 실시형태에서 일례를 제시한 트랜지스터를 사용하여, 트랜지스터를 포함한 구동 회로의 일부 또는 전체를 화소부와 동일한 기판 위에 일체 형성하여 시스템 온 패넬을 형성할 수 있다.

[0213] 도 16a에 있어서, 제 1 기판(4001) 위에 제공된 화소부(4002)를 둘러싸도록 하여 실재(4005)가 제공되고, 화소부(4002)는 제 2 기판(4006)에 의하여 밀봉되어 있다. 도 16a에 있어서는, 제 1 기판(4001) 위의 실재(4005)에 의하여 둘러싸여 있는 영역과는 다른 영역에, 별도로 준비된 기판 위에 단결정 반도체 또는 다결정 반도체로 형성된 신호선 구동 회로(4003), 및 주사선 구동 회로(4004)가 실장되어 있다. 또한, 신호선 구동 회로(4003), 주사선 구동 회로(4004), 또는 화소부(4002)에 공급되는 각종 신호 및 전위는, FPC(Flexible printed circuit)(4018a), FPC(4018b)로부터 공급된다.

[0214] 도 16b 및 도 16c에 있어서, 제 1 기판(4001) 위에 제공된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록 실재(4005)가 제공된다. 또한, 화소부(4002)와, 주사선 구동 회로(4004) 위에 제 2 기판(4006)이 제공된다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는 제 1 기판(4001)과 실재(4005)와 제 2 기판(4006)에 의하여 표시 소자와 함께 밀봉된다. 도 16b 및 도 16c에 있어서는, 제 1 기판(4001) 위의 실재(4005)에 의하여 둘러싸여 있는 영역과는 다른 영역에, 별도로 준비된 기판 위에 단결정 반도체 또는 다결정 반도체로 형성된 신호선 구동 회로(4003)가 실장되어 있다. 도 16b 및 도 16c에 있어서는, 신호선 구동 회로(4003), 주사선 구동 회로(4004), 또는 화소부(4002)에 공급되는 각종 신호 및 전위는 FPC(4018)로부터 공급된다.

[0215] 또한, 도 16b 및 도 16c에 있어서는, 신호선 구동 회로(4003)를 별도로 형성하고 제 1 기판(4001)에 실장하는

예를 도시하였지만, 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도로 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도로 형성하여 실장하여도 좋다.

[0216] 또한, 별도로 형성한 구동 회로의 접속 방법은 특별히 한정되지 않으며 COG(Chip On Glass) 방법, 와이어 본딩 방법, 또는 TAB(Tape Automated Bonding) 방법 등을 이용할 수 있다. 도 16a는 COG 방법에 의하여 신호선 구동 회로(4003), 주사선 구동 회로(4004)를 실장하는 예이고, 도 16b는 COG 방법에 의하여 신호선 구동 회로(4003)를 실장하는 예이며, 도 16c는 TAB 방법에 의하여 신호선 구동 회로(4003)를 실장하는 예이다.

[0217] 또한, 표시 장치는 표시 소자가 밀봉된 상태에 있는 패널과, 상기 패널에 컨트롤러를 포함한 IC 등을 실장한 상태에 있는 모듈을 포함한다.

[0218] 또한, 본 명세서 중에 있어서의 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치를 포함함)을 가리킨다. 또한, 커넥터, 예를 들어 FPC 또는 TAB 테이프 또는 TCP가 장착된 모듈, TAB 테이프나 TCP 끝에 프린트 배선판이 제공된 모듈, 또는 표시 소자에 COG 방식에 의하여 IC(집적 회로)가 직접 실장된 모듈도 모두 표시 장치에 포함되는 것으로 한다.

[0219] 또한 제 1 기판 위에 제공된 화소부 및 주사선 구동 회로는 복수의 트랜지스터를 가지며, 상기 실시형태에서 제시한 트랜지스터를 적용할 수 있다.

[0220] 표시 장치에 제공되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함)를 사용할 수 있다. 발광 소자는 전류 또는 전압에 의하여 휘도가 제어되는 소자를 그 범주에 포함하며, 구체적으로는 무기 EL, 유기 EL 등이 포함된다. 또한 전자 잉크 등, 전기적 작용에 의하여 콘트라스트가 변화되는 표시 매체도 적용할 수 있다.

[0221] 도 17a 및 도 17b는, 도 16b 중에서 M-N의 쇄선으로 나타낸 부위의 단면 구성을 도시한 단면도이다. 도 17a 및 도 17b에 도시한 바와 같이, 반도체 장치는 전극(4015) 및 전극(4016)을 갖고, 전극(4015) 및 전극(4016)은 FPC(4018)가 갖는 단자와 이방성 도전층(4019)을 통하여 전기적으로 접속되어 있다. 또한 전극(4016)은 절연층(4022)에 형성된 개구를 통하여 배선(4014)과 전기적으로 접속된다.

[0222] 전극(4015)은 제 1 전극층(4030)과 동일한 도전층으로 형성되고, 전극(4016)은 트랜지스터(4010), 트랜지스터(4011)의 소스 전극 및 드레인 전극과 동일한 도전층으로 형성되고, 배선(4014)은 트랜지스터(4010), 트랜지스터(4011)의 게이트 전극과 동일한 도전층으로 형성된다.

[0223] 또한, 도 17a에서는 전극(4016)과 배선(4014)이, 절연층(4022)에 형성된 하나의 개구를 통하여 접속되지만, 도 17b에서는 절연층(4022)에 형성된 복수의 개구를 통하여 접속된다. 복수의 개구를 형성함으로써 표면에 요철이 형성되므로 나중에 형성되는 전극(4015)과 이방성 도전층(4019)의 접촉 면적을 늘릴 수 있다. 따라서 FPC(4018)와 전극(4015)의 접속을 양호한 것으로 할 수 있다.

[0224] 또한, 제 1 기판(4001) 위에 제공된 화소부(4002)와 주사선 구동 회로(4004)는 복수의 트랜지스터를 갖고, 도 17a 및 도 17b에서는 화소부(4002)에 포함되는 트랜지스터(4010)와, 주사선 구동 회로(4004)에 포함되는 트랜지스터(4011)를 예시하였다. 도 17a에서는 트랜지스터(4010), 트랜지스터(4011) 위에는 절연층(4020)이 제공되고, 도 17b에서는 절연층(4024) 위에 평탄화층(4021)이 추가적으로 제공되어 있다. 또한 절연층(4023)은 하지층으로서 기능하는 절연층이고, 절연층(4022)은 게이트 절연층으로서 기능하는 절연층이다.

[0225] 본 실시형태에서는, 트랜지스터(4010), 트랜지스터(4011)로서 상기 실시형태에서 제시한 트랜지스터를 적용할 수 있다.

[0226] 상기 실시형태에서 제시한 트랜지스터는, 전기 특성 변동이 억제되어 있어 전기적으로 안정적이다. 따라서, 도 17a 및 도 17b에 도시한 본 실시형태의 반도체 장치로서 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0227] 또한, 도 17b는, 절연층(4024) 위에 있어서, 구동 회로용 트랜지스터(4011)의 산화물 반도체층의 채널 형성 영역과 중첩되는 위치에 도전층(4017)이 제공되어 있는 예를 도시한 것이다. 본 실시형태에서는, 도전층(4017)을 제 1 전극층(4030)과 동일한 도전층으로 형성한다. 도전층(4017)을 산화물 반도체층의 채널 형성 영역과 중첩되는 위치에 제공함으로써, BT 시험 전후에서의 트랜지스터(4011)의 문턱 전압의 변화량을 더욱 저감시킬 수 있다. 또한, 도전층(4017)의 전위는 트랜지스터(4011)의 게이트 전극과 동일하여도 좋고 달라도 좋으며, 도전층(4017)을 제 2 게이트 전극으로서 기능시킬 수도 있다. 또한, 도전층(4017)의 전위는, GND, 0V, 또는 플로팅 상태이어도 좋다. 또한 도전층(4017)에 공급되는 전위를 제어함으로써, 트랜지스터의 문턱 전압을 제어할 수 있다. 그러므로 도전층(4017)을 백 게이트 전극이라고 부르는 경우가 있다. 또한 트랜지스터(4010)에 백 게이

트 전극을 형성하여도 좋다.

- [0228] 또한, 도전층(4017)은 외부의 전장을 차폐하는 기능도 갖는다. 즉 외부의 전장이 내부(박막 트랜지스터를 포함한 회로부)에 작용하지 않도록 하는 기능(특히 정전기에 대한 정전 차폐 기능)도 갖는다. 도전층(4017)의 차폐 기능에 의하여, 정전기 등의 외부의 전장의 영향에 기인하여 트랜지스터의 전기적 특성이 변동되는 것을 방지할 수 있다.
- [0229] 또한 도전층(4017)에 의하여 산화물 반도체층을 덮음으로써 도전층(4017) 측으로부터 산화물 반도체층에 빛이 입사하는 것을 방지할 수 있다. 따라서 산화물 반도체층의 광 열화를 방지하고 트랜지스터의 문턱 전압이 시프트되는 등의 전기 특성의 열화가 초래되는 것을 방지할 수 있다.
- [0230] 화소부(4002)에 제공된 트랜지스터(4010)는 표시 소자와 전기적으로 접속되고 표시 패널을 구성한다. 표시 소자는 표시를 수행할 수 있으면 특별히 한정되지 않으며 다양한 표시 소자를 사용할 수 있다.
- [0231] 도 17a에 표시 소자로서 액정 소자를 사용한 액정 표시 장치의 예를 도시하였다. 도 17a에 있어서, 표시 소자인 액정 소자(4013)는 제 1 전극층(4030), 제 2 전극층(4031), 및 액정층(4008)을 포함한다. 또한, 배향막으로서 기능하는 절연층(4032), 절연층(4033)이 액정층(4008)을 협지하도록 제공된다. 제 2 전극층(4031)은 제 2 기판(4006) 측에 제공되고, 제 1 전극층(4030)과 제 2 전극층(4031)은 액정층(4008)을 개재하여 중첩되는 구성이 된다.
- [0232] 또한 스페이서(4035)는 절연층을 선택적으로 에칭함으로써 얻어지는 기둥 형상의 스페이서이며, 제 1 전극층(4030)과 제 2 전극층(4031)의 간격(셀 갭)을 제어하기 위하여 제공되어 있다. 또한, 구 형상의 스페이서를 사용하여도 좋다.
- [0233] 표시 소자로서 액정 소자를 사용하는 경우, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이들 액정 재료는 조건에 따라 콜레스테릭(cholesteric)상, 스멕틱상, 큐빅상, 키랄 네마틱상, 등방상 등을 나타낸다.
- [0234] 또한, 배향막을 사용하지 않는 블루상을 나타내는 액정을 사용하여도 좋다. 블루상은 액정상의 하나이며, 콜레스테릭 액정을 계속해서 승온하면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현하는 상이다. 블루상은 좁은 온도 범위에서밖에 발현되지 않기 때문에, 온도 범위를 개선하기 위하여 5wt% 이상의 키랄제를 혼합시킨 액정 조성물을 사용하여 액정층에 사용한다. 블루상을 나타내는 액정과 키랄제를 포함한 액정 조성물은, 응답 속도가 1msec 이하로 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하며 시야각 의존성이 작다. 또한, 배향막을 제공하지 않아도 좋기 때문에 러빙 처리도 불필요하기 때문에, 러빙 처리로 인한 정전 파괴를 방지할 수 있고, 제작 공정중의 액정 표시 장치의 불량이나 파손을 경감시킬 수 있다. 따라서, 액정 표시 장치의 생산성을 향상시킬 수 있게 된다. 산화물 반도체층을 사용하는 트랜지스터는, 정전기의 영향에 의하여 트랜지스터의 전기적인 특성이 현저히 변동되어 설계 범위를 이탈할 우려가 있다. 따라서 산화물 반도체층을 사용하는 트랜지스터를 갖는 액정 표시 장치에 블루상의 액정 재료를 사용하는 것은 더 효과적이다.
- [0235] 또한, 액정 재료의 고유 저항은, $1 \times 10^9 \Omega \cdot \text{cm}$ 이상이고, 바람직하게는 $1 \times 10^{11} \Omega \cdot \text{cm}$ 이상이며, 더욱 바람직하게는 $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상이다. 또한, 본 명세서에 있어서의 고유 저항의 값은 20℃에서 측정한 값으로 한다.
- [0236] 본 실시형태에서 사용하는 고순도화된 산화물 반도체층을 사용한 트랜지스터는 오프 상태에서의 전류값(오프 전류값)을 낮게 할 수 있다. 따라서, 화상 신호 등의 전기 신호의 유지 시간을 길게 할 수 있고 전원 온 상태에서는 기록 간격도 길게 설정할 수 있다. 따라서, 리프레쉬 동작의 빈도를 줄일 수 있기 때문에, 소비 전력을 억제하는 효과를 얻을 수 있다.
- [0237] 액정 표시 장치에 제공되는 유지 용량의 크기는, 화소부에 배치되는 트랜지스터의 누설 전류 등을 고려하여 소정의 기간 동안 전하를 유지할 수 있도록 설정된다. 유지 용량의 크기는, 트랜지스터의 오프 전류 등을 고려하여 설정하면 좋다. 고순도의 산화물 반도체층을 갖는 트랜지스터를 사용함으로써, 각 화소에서의 액정 용량에 대하여 1/3 이하, 바람직하게는 1/5 이하의 용량의 크기를 갖는 유지 용량을 제공하면 충분하다.
- [0238] 또한, 상술한 산화물 반도체를 사용한 트랜지스터는, 비교적 높은 전계 효과 이동도가 얻어지기 때문에, 고속 구동이 가능하다. 따라서, 표시 기능을 갖는 반도체 장치의 화소부에 상기 트랜지스터를 사용함으로써, 고화질의 화상을 제공할 수 있다. 또한, 동일 기판 위에 구동 회로부 또는 화소부를 나누어 제작하는 것이 가능하게 되므로, 반도체 장치의 부품 개수를 삭감할 수 있다.

- [0239] 액정 표시 장치에는 TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 사용할 수 있다.
- [0240] 또한, 노멀리 블랙형의 액정 표시 장치, 예를 들어 수직 배향(VA) 모드를 채용한 투과형의 액정 표시 장치로 하여도 좋다. 여기서, 수직 배향 모드란, 액정 표시 패널의 액정 분자의 배열을 제어하는 방식의 일종이며, 전압이 인가되어 있지 않을 때 패널 면에 대하여 액정 분자가 수직 방향을 향하는 방식이다. 수직 배향 모드로서는, 몇 개의 예를 들 수 있는데, 예를 들어 MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드 등을 사용할 수 있다. 또한, 화소(픽셀)를 몇 개의 영역(서브 픽셀)으로 나누고, 각각 다른 방향으로 분자를 배향하도록 구성되는 멀티 도메인화 또는 멀티 도메인 설계라는 방법을 사용할 수 있다.
- [0241] 또한, 표시 장치에 있어서, 블랙 매트릭스(차광층), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기관) 등은 적절히 제공한다. 예를 들어, 편광 기관 및 위상차 기관에 의한 원 편광을 사용하여도 좋다. 또한, 광원으로서 백 라이트, 사이드 라이트 등을 사용하여도 좋다.
- [0242] 또한, 화소부에서의 표시 방식은, 프로그래시브 방식이나 인터레이스 방식 등을 사용할 수 있다. 또한, 컬러 표시할 때, 화소에서 제어하는 색 요소로서는 RGB(R는 적색, G는 녹색, B는 청색을 나타냄)의 3색에 한정되지 않는다. 예를 들어, RGBW(W는 백색을 나타냄), 또는 RGB에, 옐로우, 시안, 마젠타 등을 일색 이상 추가한 것이 있다. 또한 색 요소의 도트마다 그 표시 영역의 크기가 상이하여도 좋다. 다만, 본 발명은 컬러 표시의 표시 장치로 한정되는 것이 아니라 흑백 표시의 표시 장치에 적용할 수도 있다.
- [0243] 또한, 표시 장치에 포함되는 표시 소자로서, 일렉트로루미네선스를 이용하는 발광 소자를 적용할 수 있다. 일렉트로루미네선스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인지 또는 무기 화합물인지에 따라 구별되고, 일반적으로는 전자(前者)는 유기 EL소자, 후자(後者)는 무기 EL소자라고 불린다.
- [0244] 유기 EL소자는 발광 소자에 전압을 인가함으로써 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되고 전류가 흐른다. 그리고, 이들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고 이 여기 상태가 기저 상태로 되돌아올 때에 발광한다. 이와 같은 메커니즘 때문에, 이와 같은 발광 소자는 전류 여기형의 발광 소자라고 불린다.
- [0245] 무기 EL소자는, 그 소자 구성에 의하여, 분산형 무기 EL소자와 박막형 무기 EL소자로 분류된다. 분산형 무기 EL소자는, 발광 재료의 입자를 바인더 내에 분산시킨 발광층을 갖는 것이며, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL소자는, 발광층을 유전체층으로 협지하고, 또한 그것을 전극 사이에 끼운 구조이며, 발광 메커니즘은 금속 이온의 내각(內殼) 전자 천이(electron transition)를 이용하는 국재(局在)형 발광이다. 또한, 여기서는, 발광 소자로서 유기 EL소자를 사용하여 설명한다.
- [0246] 발광 소자는 발광을 추출하기 위하여 적어도 한 쌍의 전극 중 한쪽이 투명하면 좋다. 그리고, 기관 위에 트랜지스터 및 발광 소자를 형성하고, 기관과는 반대 측의 면으로부터 발광을 추출하는 상면 발광 구조, 기관 측의 면으로부터 발광을 추출하는 배면 발광 구조, 기관 측 및 기관과는 반대 측의 면으로부터 발광을 추출하는 양면 발광 구조의 발광 소자가 있고, 어느 발광 구조의 발광 소자도 적용할 수 있다.
- [0247] 도 17b에 표시 소자로서 발광 소자를 사용한 발광 장치의 예를 도시하였다. 표시 소자인 발광 소자(4513)는 화소부(4002)에 제공된 트랜지스터(4010)와 전기적으로 접속된다. 또한 발광 소자(4513)의 구성은 제 1 전극층(4030), 전계 발광층(4511), 제 2 전극층(4031)의 적층 구조이지만 제시한 구성에 한정되지 않는다. 발광 소자(4513)로부터 추출하는 빛의 방향 등에 맞추어 발광 소자(4513)의 구성은 적절히 바꿀 수 있다.
- [0248] 격벽(4510)은, 유기 절연 재료 또는 무기 절연 재료를 사용하여 형성한다. 특히 감광성을 갖는 수지 재료를 사용하고 제 1 전극층(4030) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속하는 곡물로 형성되는 경사면이 되도록 형성하는 것이 바람직하다.
- [0249] 전계 발광층(4511)은 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느 쪽이라도 좋다.
- [0250] 발광 소자(4513)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 제 2 전극층(4031) 및 격벽(4510) 위

에 보호층을 형성하여도 좋다. 보호층으로서, 질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, DLC막 등을 형성할 수 있다. 또한, 제 1 기판(4001), 제 2 기판(4006), 및 실재(4005)에 의하여 밀봉된 공간에는 충전재(4514)가 제공되고 밀봉되어 있다. 이와 같이 외기에 노출되지 않도록 기밀성이 높고 탈가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.

[0251] 충전재(4514)로서는 질소나 아르곤 등의 불활성 기체 이외에, 자외선 경화 수지 또는 열경화 수지를 사용할 수 있고, PVC(폴리비닐클로라이드), 아크릴 수지, 폴리이미드, 에폭시 수지, 실리콘(silicone) 수지, PVB(폴리비닐부티랄) 또는 EVA(에틸렌비닐아세테이트)를 사용할 수 있다. 예를 들어, 충전재로서 질소를 사용하면 좋다.

[0252] 또한, 필요하면 발광 소자의 발광면에 편광판, 또는 원형 편광판(타원형 편광판을 포함함), 위상차판($\lambda/4$ 판, $\lambda/2$ 판), 컬러 필터 등의 광학 필름을 적절히 제공하여도 좋다. 또한, 편광판 또는 원형 편광판에 반사 방지막을 제공하여도 좋다. 예를 들어, 표면의 요철에 따라 반사광을 확산시켜 반사를 저감시킬 수 있는 안티 글레어(anti-glare) 처리를 실시할 수 있다.

[0253] 표시 소자에 전압을 인가하는 제 1 전극층 및 제 2 전극층(화소 전극층, 공통 전극층, 대향 전극층 등이라고도 함)에 있어서는, 추출하는 빛의 방향, 전극층이 제공되는 장소, 및 전극층의 패턴 구조에 따라 투광성, 반사성을 선택하면 좋다.

[0254] 제 1 전극층(4030), 제 2 전극층(4031)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐주석 산화물, 인듐주석 산화물(이하, ITO라고 나타냄), 인듐아연 산화물, 산화 실리콘을 첨가한 인듐주석 산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.

[0255] 또한, 제 1 전극층(4030), 제 2 전극층(4031)은 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오븀(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속, 또는 그 합금, 또는 그 금속 질화물 중으로부터 하나 또는 복수종을 사용하여 형성할 수 있다.

[0256] 또한, 제 1 전극층(4030), 제 2 전극층(4031)으로서, 도전성 고분자(도전성 중합체라고도 함)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 고분자로서는, 소위 π 전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 아닐린, 피롤, 및 티오펜 중 2종 이상으로 이루어진 공중합체 또는 그 유도체 등을 들 수 있다.

[0257] 또한, 트랜지스터는 정전기 등으로 인하여 파괴되기 쉽기 때문에, 구동 회로 보호용의 보호 회로를 제공하는 것이 바람직하다. 보호 회로는, 비선형 소자를 사용하여 구성하는 것이 바람직하다.

[0258] 상기 실시형태에서 제시한 트랜지스터를 적용함으로써, 표시 기능을 갖는 신뢰성이 좋은 반도체 장치를 제공할 수 있다. 또한 상기 실시형태에서 제시한 배선 구조를 적용함으로써 배선의 폭이나 두께를 증가시키지 않고 배선 저항을 저감시킬 수 있다. 따라서 고정세화나 대면적화가 가능하고 표시 품질이 좋은 표시 기능을 갖는 반도체 장치를 제공할 수 있다. 또한 소비 전력이 저감된 반도체 장치를 제공할 수 있다.

[0259] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0260] (실시형태 3)

[0261] 본 실시형태에서는 상기 실시형태에서 제시한 배선 저항을 저감시킨 반도체 장치의 일례로서, 대상물의 정보를 판독하는 이미지 센서 기능을 갖는 반도체 장치에 대하여 설명한다.

[0262] 도 18a에, 이미지 센서 기능을 갖는 반도체 장치의 일례를 도시하였다. 도 18a는 포토센서의 등가 회로를 도시한 것이고, 도 18b는 포토센서의 일부를 도시한 단면도이다.

[0263] 포토 다이오드(602)는 한쪽 전극이 포토다이오드 리셋 신호선(658)과 전기적으로 접속되고, 다른 쪽 전극이 트랜지스터(640)의 게이트와 전기적으로 접속된다. 트랜지스터(640)는, 소스 또는 드레인 중 한쪽이 포토센서 기준 신호선(672)과 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 트랜지스터(656)의 소스 또는 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(656)는, 게이트가 게이트 신호선(659)과 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 포토센서 출력 신호선(671)과 전기적으로 접속된다.

[0264] 또한, 본 명세서에서의 회로도에 있어서, 산화물 반도체층을 사용하는 트랜지스터로 명확하게 판명할 수

있도록, 산화물 반도체층을 사용하는 트랜지스터의 기호에는 "OS"라고 기재하였다. 도 18a에 있어서, 트랜지스터(640), 트랜지스터(656)는 상기 실시형태에서 제시한 트랜지스터를 적용할 수 있고, 채널이 형성되는 반도체층에 산화물 반도체를 사용하는 트랜지스터이다.

[0265] 도 18b는, 포토센서에서의 포토 다이오드(602) 및 트랜지스터(640)의 구성예를 도시한 단면도이며, 절연 표면을 갖는 기판(601)(TFT기판) 위에 센서로서 기능하는 포토 다이오드(602) 및 트랜지스터(640)가 제공된다. 포토 다이오드(602), 트랜지스터(640) 위에는 접착층(608)을 사용하여 기판(613)이 제공된다.

[0266] 트랜지스터(640) 위에는 절연층(633), 절연층(634)이 제공된다. 포토 다이오드(602)는, 절연층(633) 위에 제공되고, 절연층(633) 위에 형성된 전극(641a), 전극(641b)과 절연층(634) 위에 제공된 전극층(642) 사이에, 절연층(633) 측에서 순서대로 제 1 반도체층(606a), 제 2 반도체층(606b), 및 제 3 반도체층(606c)을 적층한 구조를 갖는다.

[0267] 전극층(642)은 전극(641a)을 통하여 도전층(636)과 전기적으로 접속된다. 도전층(636)은 도전층(635)을 통하여 트랜지스터(640)의 게이트 전극과 전기적으로 접속된다. 따라서 포토 다이오드(602)는 트랜지스터(640)와 전기적으로 접속된다.

[0268] 또한 전극(641b)은 배선(630)과 전기적으로 접속된다. 배선(630)은 트랜지스터(640)의 게이트 전극과 동일한 도전층으로 형성된 Cu를 포함한 도전층(631)과, 트랜지스터(640)의 소스 전극 및 드레인 전극과 동일한 도전층으로 형성된 도전층(632)을 갖는다. 도전층(631) 위에 배리어성을 갖는 절연층(637)이 형성되고, 도전층(632)은 절연층(637) 위에 형성되고, 도전층(631)과 도전층(632)은 절연층(637)에 형성된 복수의 콘택트 홀을 통하여 전기적으로 접속된다. 도전층(631)과 도전층(632)이 전기적으로 접속됨으로써 배선의 폭이나 두께를 증가시키지 않고 배선(630)의 배선 저항을 저감시킬 수 있다. 또한 Cu를 포함한 도전층(631)을 배리어성을 갖는 절연층(637)으로 덮음으로써 Cu의 확산으로 인한 반도체 장치의 전기 특성의 열화나 신뢰성의 저하를 방지할 수 있다.

[0269] 또한 본 실시형태에서는 제 1 반도체층(606a)으로서 p형의 도전형을 갖는 반도체층과, 제 2 반도체층(606b)으로서 고저항인 반도체층(i형 반도체층), 제 3 반도체층(606c)으로서 n형의 도전형을 갖는 반도체층을 적층하는 pin형의 포토 다이오드를 예시한다.

[0270] 제 1 반도체층(606a)은 p형 반도체층이고, p형을 부여하는 불순물 원소를 포함하는 비정질 실리콘에 의하여 형성할 수 있다. 제 1 반도체층(606a)의 형성에는 13족의 불순물 원소(예를 들어 붕소(B))를 포함하는 반도체 재료 가스를 사용하여 플라즈마 CVD법에 의하여 형성한다. 반도체 재료 가스로서는 실란(SiH_4)을 사용하면 좋다. 또는, Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 사용하여도 좋다. 또한, 불순물 원소를 포함하지 않는 비정질 실리콘을 형성한 후에, 확산법이나 이온 주입법을 이용하여 상기 비정질 실리콘에 불순물 원소를 도입하여도 좋다. 이온 주입법 등에 의하여 불순물 원소를 도입한 후에 가열 등을 수행함으로써, 불순물 원소를 확산시키면 좋다. 이 경우에 비정질 실리콘을 형성하는 방법으로서, LPCVD법, 기상 성장법, 또는 스퍼터링법 등을 이용하면 좋다. 제 1 반도체층(606a)의 막 두께는 10nm 이상 50nm 이하가 되도록 형성하는 것이 바람직하다.

[0271] 제 2 반도체층(606b)은 i형 반도체층(진성 반도체층)이며 비정질 실리콘에 의하여 형성한다. 제 2 반도체층(606b)의 형성에는, 반도체 재료 가스를 사용하여, 비정질 실리콘을 플라즈마 CVD법에 의하여 형성한다. 반도체 재료 가스로서는, 실란(SiH_4)을 사용하면 좋다. 또는, Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 사용하여도 좋다. 제 2 반도체층(606b)의 형성은, LPCVD법, 기상 성장법, 스퍼터링법 등에 의하여 수행하여도 좋다. 제 2 반도체층(606b)의 막 두께는 200nm 이상 1000nm 이하가 되도록 형성하는 것이 바람직하다.

[0272] 제 3 반도체층(606c)은 n형 반도체층이며, n형을 부여하는 불순물 원소를 포함하는 비정질 실리콘에 의하여 형성한다. 제 3 반도체층(606c)의 형성에는, 15족의 불순물 원소(예를 들면 인(P))를 포함하는 반도체 재료 가스를 사용하여 플라즈마 CVD법에 의하여 형성한다. 반도체 재료 가스로서는 실란(SiH_4)을 사용하면 좋다. 또는, Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 사용하여도 좋다. 또한, 불순물 원소를 포함하지 않는 비정질 실리콘을 형성한 후에, 확산법이나 이온 주입법을 사용하여 상기 비정질 실리콘에 불순물 원소를 도입하여도 좋다. 이온 주입법 등에 의하여 불순물 원소를 도입한 후에 가열 등을 수행함으로써, 불순물 원소를 확산시키면 좋다. 이 경우 비정질 실리콘을 형성하는 방법으로서, LPCVD법, 기상 성장법, 또는 스퍼터링법 등을 사용하면 좋다. 제 3 반도체층(606c)의 막 두께는 20nm 이상 200nm 이하가 되도록 형성하는 것이 바람직하다.

[0273] 또한, 제 1 반도체층(606a), 제 2 반도체층(606b), 및 제 3 반도체층(606c)은, 비정질 반도체가 아니라 다결정

반도체를 사용하여 형성하여도 좋고, 미(微)결정 반도체나, 세미 비정질 반도체(SAS: Semi Amorphous Semiconductor)를 사용하여 형성하여도 좋다.

[0274] 또한, 광전 효과로 발생한 정공의 이동도는 전자의 이동도보다 작기 때문에, pin형의 포토 다이오드는 p형의 반도체층 측을 수광면으로 하는 것이 좋은 특성을 나타낸다. 여기서는 pin형의 포토 다이오드가 형성된 기판(601)의 면으로부터 포토 다이오드(602)가 받는 빛(622)이 전기 신호로 변환되는 예를 제시한다. 또한, 수광면으로 한 반도체층 측과는 반대의 도전형을 갖는 반도체층 측으로부터의 빛은 외관광이 되기 때문에 전극층은 차광성을 갖는 도전층을 사용하면 좋다. 또한, n형의 반도체층 측을 수광면으로서 사용할 수도 있다.

[0275] 절연층(633), 절연층(634)으로서는, 표면 요철을 저감시키기 위하여 평탄화층으로서 기능하는 절연층이 바람직하다. 절연층(633), 절연층(634)으로서는, 예를 들면 폴리이미드, 아크릴 수지, 벤조사이클로부텐 수지, 폴리아미드, 에폭시 수지 등의, 내열성을 갖는 유기 절연 재료를 사용할 수 있다. 또한, 상기 유기 절연 재료 이외에 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인 붕소 유리) 등의 단층 또는 적층을 사용할 수 있다.

[0276] 포토 다이오드(602)에 입사되는 빛을 검출함으로써 피검출물의 정보를 판독할 수 있다. 또한, 피검출물의 정보를 판독할 때 백 라이트 등의 광원을 사용할 수 있다.

[0277] 상기 실시형태에서 제시한 트랜지스터는, 전기 특성 변동이 억제되어 있어 전기적으로 안정된다. 따라서, 안정된 전기 특성을 갖는 트랜지스터(640)를 포함한 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또한, 신뢰성이 높은 반도체 장치를 수율 좋게 제작하여 고생산화를 달성할 수 있다. 또한 상기 실시형태에서 제시한 배선 구조를 사용함으로써 배선의 폭이나 두께를 증가시키지 않고 배선 저항을 저감시킬 수 있다. 따라서 고집적화되기 쉽고 소비 전력이 저감된 반도체 장치를 실현할 수 있다.

[0278] 본 실시형태는 다른 실시형태에서 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0279] (실시형태 4)

[0280] 상기 실시형태에서 설명한 표시 장치는 3D 영상을 표시하는 반도체 장치에 적용하는 것이 가능하다. 본 실시형태에서는 왼쪽 눈용의 영상과 오른쪽 눈용의 영상을 고속으로 전환시키는 표시 장치를 사용하여, 표시 장치의 영상과 동기하는 전용 안경으로 동영상 또는 정지 화상인 3D 영상을 시인(視認)하는 예에 대하여 도 19a 및 도 19b를 사용하여 설명한다.

[0281] 도 19a에는 표시 장치(2711)와 전용의 안경 본체(2701)가 케이블(2703)로 접속되어 있는 외관도를 도시하였다. 표시 장치(2711)에는 본 명세서에 제시된 EL 표시 장치를 사용할 수 있다. 전용의 안경 본체(2701)에 있어서 왼쪽 눈용의 패널(2702a)과 오른쪽 눈용의 패널(2702b)에 제공되어 있는 셔터가 교대로 개폐됨으로써, 사용자는 표시 장치(2711)의 화상을 3D로서 인식할 수 있다.

[0282] 또한, 표시 장치(2711)와 전용의 안경 본체(2701)의 주된 구성에 대한 블록도를 도 19b에 도시하였다.

[0283] 도 19b에 도시된 표시 장치(2711)는 표시 제어 회로(2716), 표시부(2717), 타이밍 발생기(2713), 소스선 측 구동 회로(2718), 외부 조작 수단(2722), 및 게이트선 측 구동 회로(2719)를 갖는다. 또한, 키보드 등의 외부 조작 수단(2722)에 의한 조작에 따라, 출력하는 신호가 변화된다.

[0284] 타이밍 발생기(2713)에서는, 스타트 펄스 신호 등을 형성함과 함께, 왼쪽 눈용의 영상 및 왼쪽 눈용의 패널(2702a)의 셔터를 동기시키기 위한 신호, 그리고 오른쪽 눈용의 영상과 오른쪽 눈용의 패널(2702b)의 셔터를 동기시키기 위한 신호 등을 형성한다.

[0285] 왼쪽 눈용의 영상의 동기 신호(2731a)를 표시 제어 회로(2716)에 입력하여 표시부(2717)에 표시함과 동시에 왼쪽 눈용의 패널(2702a)의 셔터를 여는 동기 신호(2730a)를 왼쪽 눈용의 패널(2702a)에 입력한다. 또한, 오른쪽 눈용의 영상의 동기 신호(2731b)를 표시 제어 회로(2716)에 입력하여 표시부(2717)에 표시함과 동시에 오른쪽 눈용의 패널(2702b)의 셔터를 여는 동기 신호(2730b)를 오른쪽 눈용의 패널(2702b)에 입력한다.

[0286] 또한, 왼쪽 눈용의 영상과 오른쪽 눈용의 영상을 고속으로 전환하기 때문에, 표시 장치(2711)는 발광 다이오드(LED)를 사용하여 시분할함으로써 컬러 표시하는 계시가법혼색(繼時加法混色)법(필드 시퀀셜(field sequential)법)으로 하는 것이 바람직하다.

[0287] 또한, 필드 시퀀셜법을 이용하기 때문에, 타이밍 발생기(2713)는 발광 다이오드의 백 라이트부에도 동기 신호(2730a), 동기 신호(2730b)와 동기하는 신호를 입력하는 것이 바람직하다. 또한, 백 라이트부는 R, G, 및 B의

LED를 갖는 것으로 한다.

[0288] 또한, 본 실시형태는 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.

[0289] (실시형태 5)

[0290] 본 실시형태에서는 상기 실시형태에서 설명한 표시 장치를 구비한 전자 기기의 예에 대하여 설명한다.

[0291] 도 20a는 노트북형 퍼스널 컴퓨터이며, 본체(3001), 하우징(3002), 표시부(3003), 키보드(3004) 등에 의하여 구성되어 있다. 상기 실시형태에서 제시한 EL 표시 장치를 적용함으로써, 신뢰성이 높은 노트북형 퍼스널 컴퓨터로 할 수 있다.

[0292] 도 20b는, 휴대 정보 단말(PDA)이며, 본체(3021)에는 표시부(3023)와, 외부 인터페이스(3025)와, 조작 버튼(3024) 등이 제공되어 있다. 또한, 조작용의 부속품으로서 스타일러스(stylus)(3022)가 있다. 상기 실시형태에서 제시한 EL 표시 장치를 적용함으로써, 신뢰성이 높은 휴대 정보 단말(PDA)로 할 수 있다.

[0293] 도 20c는 전자 서적의 일례에 대하여 도시하였다. 예를 들어, 전자 서적은 2개의 하우징인 하우징(2706) 및 하우징(2704)으로 구성되어 있다. 하우징(2706) 및 하우징(2704)은, 축부(2712)에 의하여 일체가 되어 있고, 이 축부(2712)를 축으로서 개폐 동작을 수행할 수 있다. 이런 구성에 의하여 종이의 서적과 같이 동작을 수행할 수 있다.

[0294] 하우징(2706)에는 표시부(2705)가 제공되어 있고, 하우징(2704)에는 표시부(2707)가 제공되어 있다. 표시부(2705) 및 표시부(2707)의 구성으로서, 하나의 연속된 화면을 표시하는 구성으로 하여도 좋고, 서로 다른 화면을 표시하는 구성으로 하여도 좋다. 다른 화면을 표시하는 구성으로 함으로써, 예를 들어 오른쪽의 표시부(도 20c에서의 표시부(2705))에 문장을 표시하고, 왼쪽의 표시부(도 20c에서의 표시부(2707))에 화상을 표시할 수 있다. 상기 실시형태에서 제시한 EL 표시 장치를 적용함으로써, 신뢰성이 높은 전자 서적으로 할 수 있다.

[0295] 또한, 도 20c에는, 하우징(2706)에 조작부 등을 구비한 예를 도시하였다. 예를 들어, 하우징(2706)에 있어서 전원 단자(2721), 조작 키(2723), 스피커(2725) 등이 구비된다. 조작 키(2723)에 의하여 페이지를 넘길 수 있다. 또한, 하우징의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 하여도 좋다. 또한, 하우징의 뒷면이나 측면에 외부 접속용 단자(이어폰 단자, USB 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 하여도 좋다. 또한, 전자 서적은 전자 사전으로서의 기능을 갖는 구성으로 하여도 좋다.

[0296] 또한, 전자 서적은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의하여 전자 서적 서버에서 원하는 서적 데이터 등을 구입하여 다운로드하는 구성으로 할 수도 있다.

[0297] 도 20d는 휴대 전화기이며, 2개의 하우징인 하우징(2800) 및 하우징(2801)으로 구성된다. 하우징(2801)에는, 표시 패널(2802), 스피커(2803), 마이크로폰(2804), 포인팅 디바이스(2806), 카메라용 렌즈(2807), 외부 접속 단자(2808) 등을 구비한다. 또한, 하우징(2800)에는, 휴대 전화를 충전하는 태양 전지 셀(2810), 외부 메모리 슬롯(2811) 등이 구비된다. 또한, 안테나는 하우징(2801) 내부에 내장된다.

[0298] 또한, 표시 패널(2802)은 터치 패널을 구비하며, 도 20d에는 영상 표시되는 복수의 조작 키(2805)를 점선으로 제시하였다. 또한, 태양 전지 셀(2810)로 출력되는 전압을 각 회로에 필요한 전압으로 승압하기 위한 승압 회로도 실장한다.

[0299] 표시 패널(2802)은 사용 형태에 따라 표시 방향이 적절히 변화된다. 또한, 표시 패널(2802)과 동일 면 위에 카메라용 렌즈(2807)를 구비하기 때문에 영상 전화를 할 수 있다. 스피커(2803) 및 마이크로폰(2804)은 음성 통화에 한정되지 않아, 영상 전화, 녹음, 재생 등을 할 수 있다. 또한 하우징(2800)과 하우징(2801)은, 슬라이드 함으로써 도 20d에 도시한 바와 같이 전개된 상태에서 접힌 상태로 할 수 있어 휴대하기에 적합한 소형화가 가능하다.

[0300] 외부 접속 단자(2808)는 AC 어댑터, 및 USB 케이블 등의 각종 케이블과 접속 가능하고, 충전 및 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(2811)에 기록 매체를 삽입하여 더욱 대량의 데이터 보존 및 이동에 대응할 수 있다.

[0301] 또한, 상기 기능에 추가적으로 적외선 통신 기능, 텔레비전 수신 기능 등을 구비하여도 좋다. 상기 실시형태에서 제시한 EL 표시 장치를 적용함으로써, 신뢰성이 높은 휴대 전화기로 할 수 있다.

[0302] 도 20e는 디지털 비디오 카메라이며, 본체(3051), 표시부(A)(3057), 접안부(3053), 조작 스위치(3054), 표시부

(B)(3055), 배터리(3056) 등으로 구성된다. 상기 실시형태에서 제시한 EL 표시 장치를 적용함으로써 신뢰성이 높은 디지털 비디오 카메라로 할 수 있다.

[0303] 도 20f는 텔레비전 장치의 일례에 대하여 도시한 것이다. 텔레비전 장치는 하우징(9601)에 표시부(9603)가 내장된다. 표시부(9603)에 의하여 영상을 표시하는 것이 가능하다. 또한, 여기서는 스탠드(9605)에 의하여 하우징(9601)을 지지한 구성을 도시하였다. 상기 실시형태에서 제시한 EL 표시 장치를 적용함으로써, 신뢰성이 높은 텔레비전 장치로 할 수 있다.

[0304] 텔레비전 장치의 조작은, 하우징(9601)이 구비하는 조작 스위치나, 별개의 리모컨 조작기에 의하여 수행할 수 있다. 또한, 리모컨 조작기에, 이 리모컨 조작기로부터 출력되는 정보를 표시하는 표시부를 제공하는 구성으로 하여도 좋다.

[0305] 또한, 텔레비전 장치는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의하여 일반적인 텔레비전 방송을 수신할 수 있고, 또한 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자들간 등)의 정보 통신을 수행할 수도 있다.

[0306] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시하는 것이 가능하다.

부호의 설명

[0307] 100: 반도체 장치

101: 기관

102: 화소 영역

103: 단자부

104: 단자부

105: 단자

106: 단자

107: 단자

110: 화소

111: 트랜지스터

112: 액정 소자

113: 용량 소자

114: 전극

115: 노드

121: 트랜지스터

122: EL소자

140: 트랜지스터

200: 기관

201: 절연층

202: 게이트 전극

203: 배선

204: 절연층

205: 산화물 반도체층

207: 절연층

208: 절연층
 209: 콘택트 홀
 210: 화소
 211: 화소 전극
 212: 배선
 215: 산화물 반도체층
 216: 배선
 217: 도전층
 218: 콘택트 홀
 219: 콘택트 홀
 221: 전극
 222: 전극
 225: 절연층
 226: 배선
 227: 콘택트 홀
 228: 콘택트 홀
 229: 콘택트 홀
 231: 산소
 235: 전극
 236: 배선
 246: 배선
 251: EL층
 252: 전극
 253: EL소자
 254: 격벽층
 262: 게이트 전극
 271: 개구부
 310: 화소
 601: 기판
 602: 포토다이오드
 608: 접촉층
 613: 기판
 622: 빛
 630: 배선
 631: 도전층
 632: 도전층

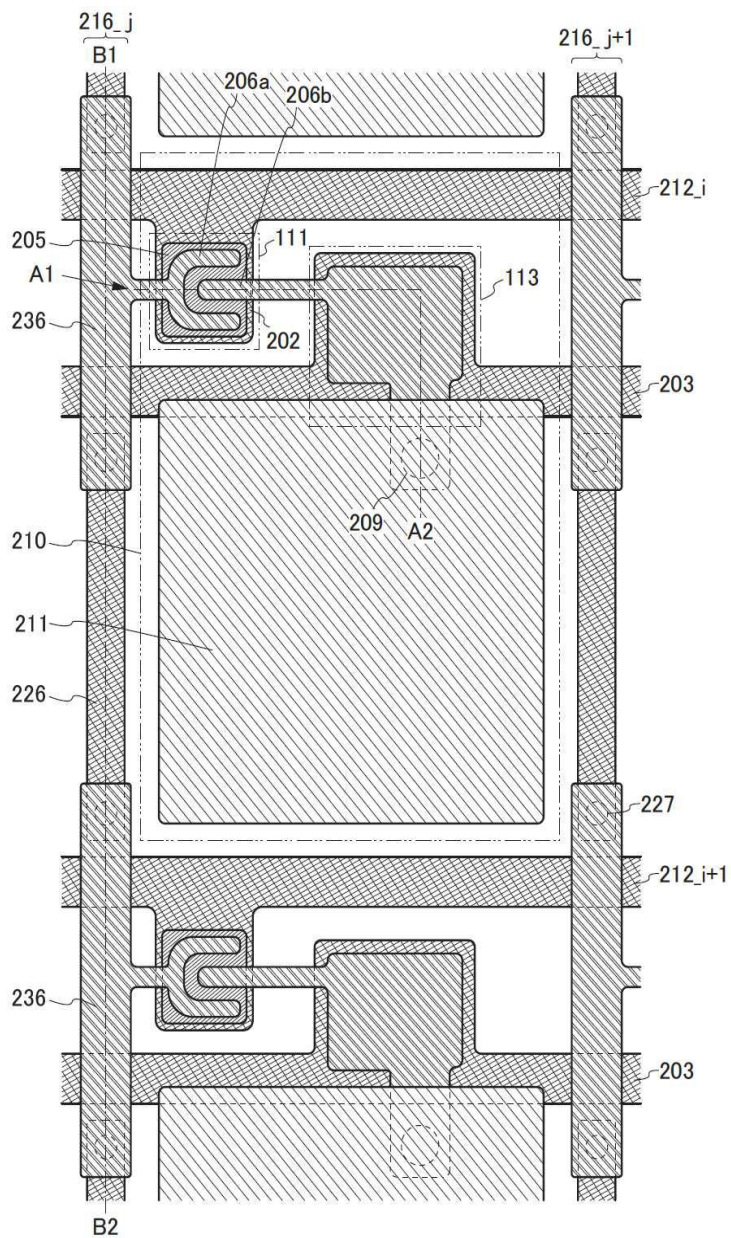
633: 절연층
 634: 절연층
 635: 도전층
 636: 도전층
 637: 절연층
 640: 트랜지스터
 642: 전극층
 656: 트랜지스터
 658: 포토다이오드 리셋 신호선
 659: 게이트 신호선
 671: 포토센서 출력 신호선
 672: 포토센서 기준 신호선
 2701: 안경 본체
 2703: 케이블
 2704: 하우징
 2705: 표시부
 2706: 하우징
 2707: 표시부
 2711: 표시 장치
 2712: 축부
 2713: 타이밍 발생기
 2716: 표시 제어 회로
 2717: 표시부
 2718: 소스선 측 구동 회로
 2719: 게이트선 측 구동 회로
 2721: 전원 단자
 2722: 외부 조작 수단
 2723: 조작 키
 2725: 스피커
 2800: 하우징
 2801: 하우징
 2802: 표시 패널
 2803: 스피커
 2804: 마이크로폰
 2805: 조작 키
 2806: 포인팅 디바이스

2807: 카메라용 렌즈
 2808: 외부 접속 단자
 2810: 태양 전지 셀
 2811: 외부 메모리 슬롯
 3001: 본체
 3002: 하우징
 3003: 표시부
 3004: 키보드
 3021: 본체
 3022: 스타일러스
 3023: 표시부
 3024: 조작 버튼
 3025: 외부 인터페이스
 3051: 본체
 3053: 접안부
 3054: 조작 스위치
 3056: 배터리
 4001: 기관
 4002: 화소부
 4003: 신호선 구동 회로
 4004: 주사선 구동 회로
 4005: 실재
 4006: 기관
 4008: 액정층
 4010: 트랜지스터
 4011: 트랜지스터
 4013: 액정 소자
 4014: 배선
 4015: 전극
 4016: 전극
 4017: 도전층
 4018: FPC
 4019: 이방성 도전층
 4020: 절연층
 4021: 평탄화층
 4022: 절연층

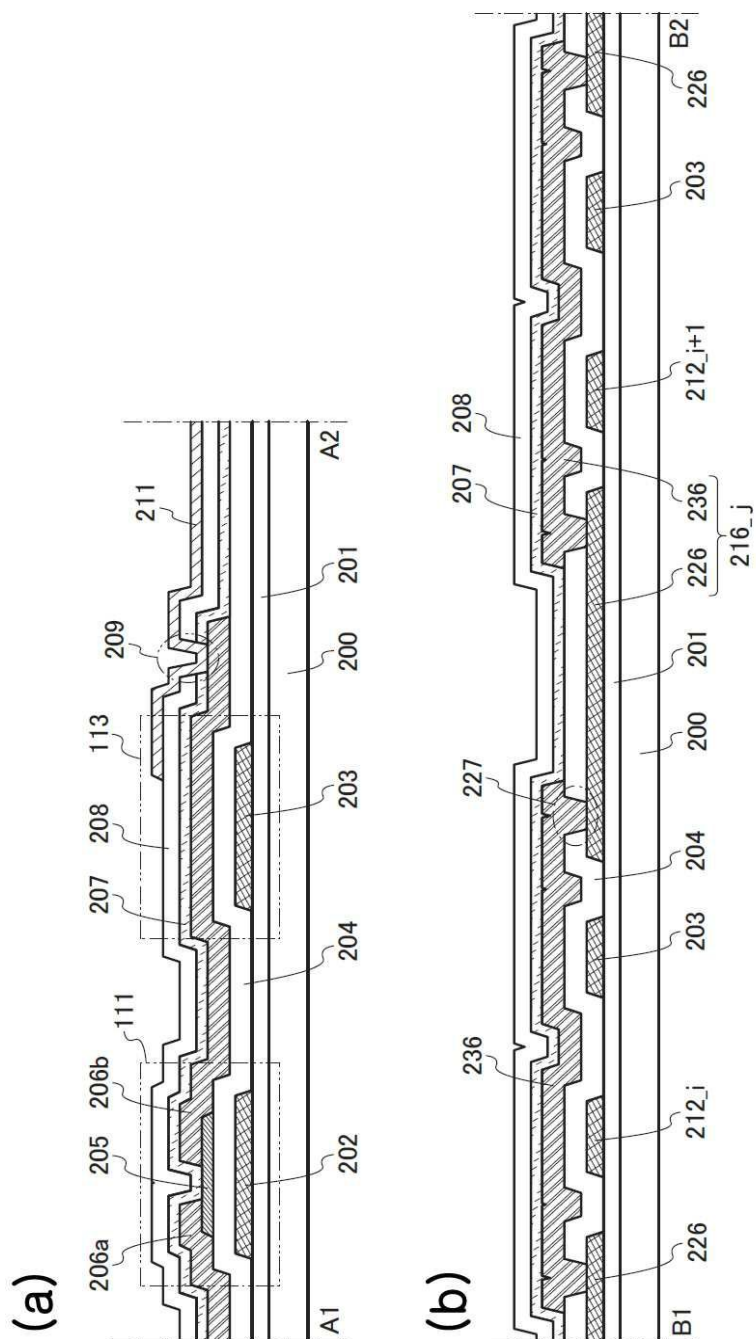
4023: 절연층
 4024: 절연층
 4030: 전극층
 4031: 전극층
 4032: 절연층
 4033: 절연층
 4035: 스페이서
 4510: 격벽
 4511: 전계 발광층
 4513: 발광 소자
 4514: 충전재
 9601: 하우스
 9603: 표시부
 9605: 스탠드
 106a: 소스 전극
 106b: 드레인 전극
 206a: 소스 전극
 206b: 드레인 전극
 266a: 소스 전극
 266b: 드레인 전극
 2702a: 왼쪽 눈용의 패널
 2702b: 오른쪽 눈용의 패널
 2730a: 동기 신호
 2730b: 동기 신호
 2731a: 동기 신호
 2731b: 동기 신호
 4018b: FPC
 606a: 반도체층
 606b: 반도체층
 606c: 반도체층
 641a: 전극
 641b: 전극

도면

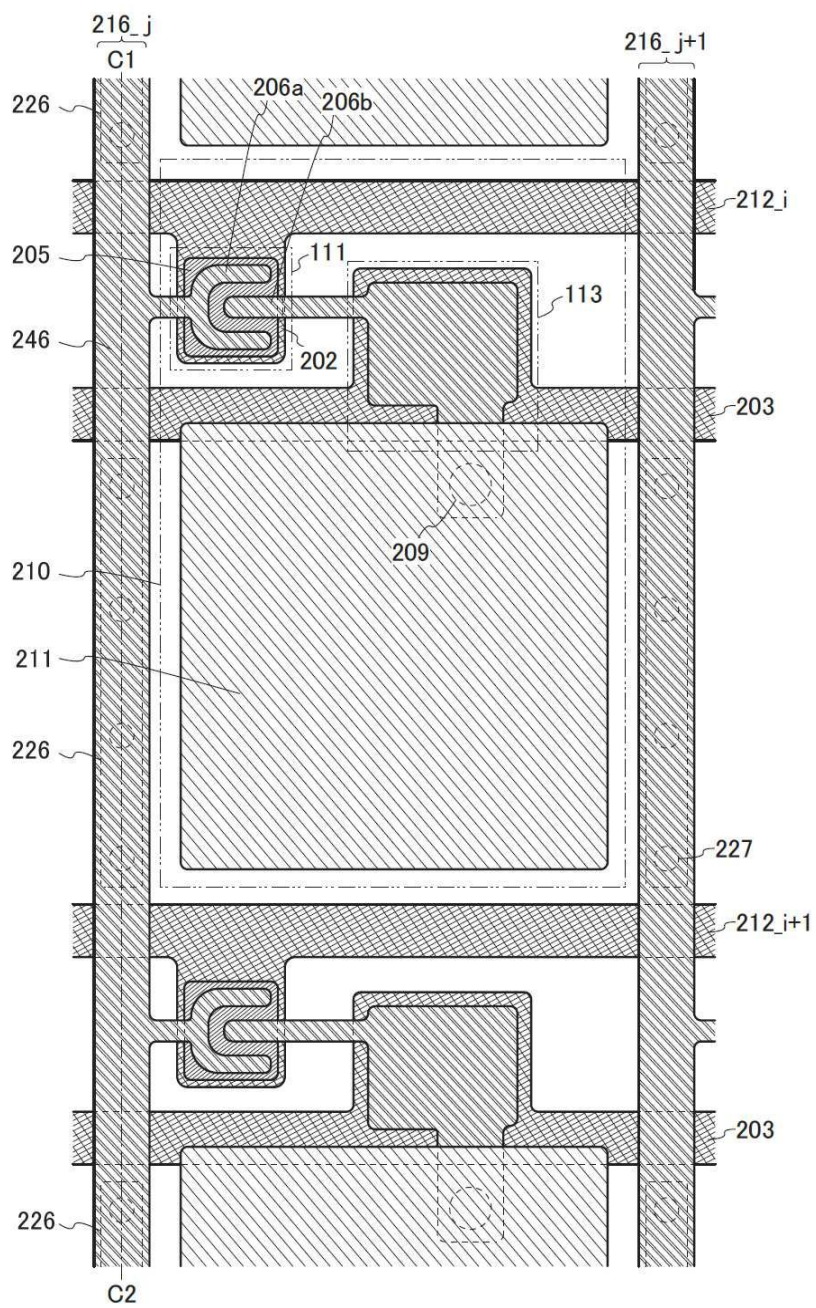
도면1



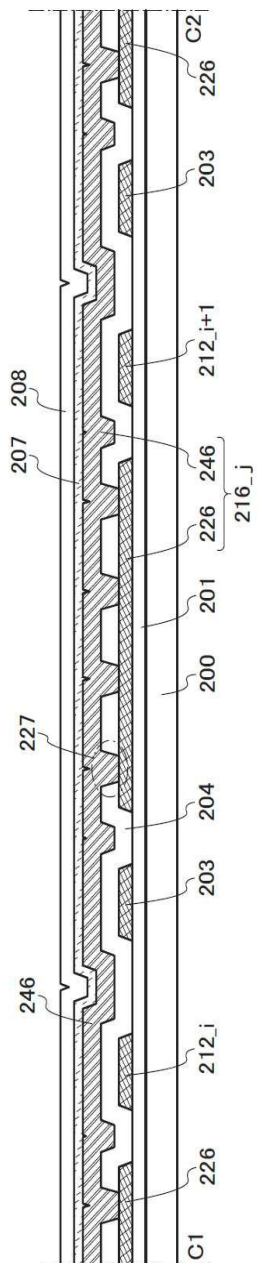
도면2



도면3

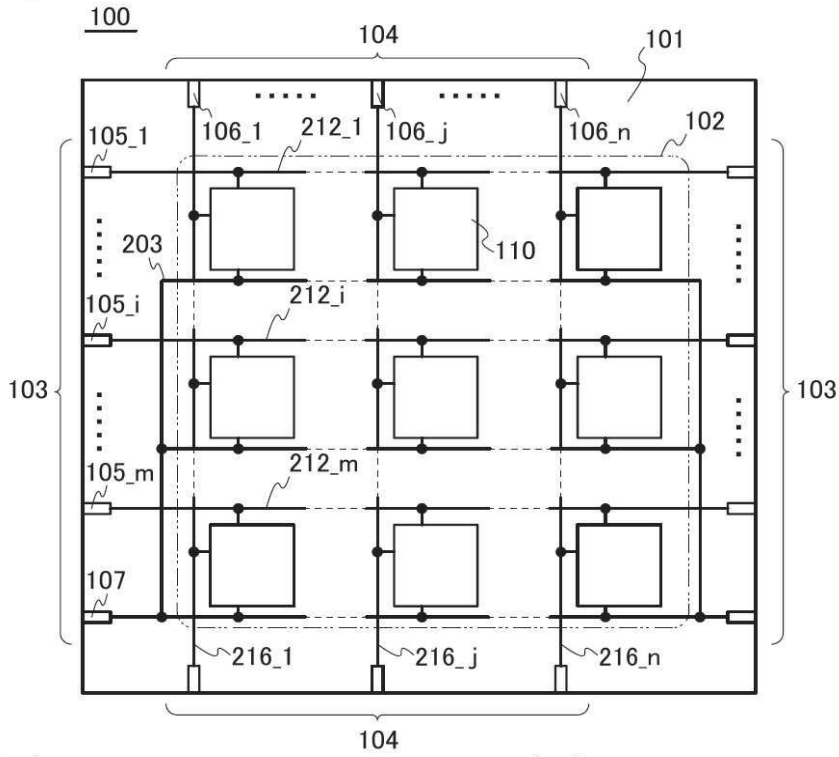


도면4

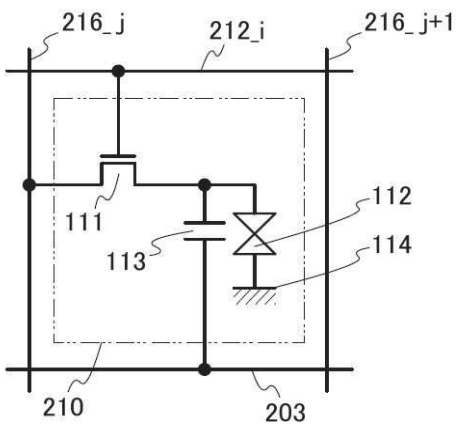


도면5

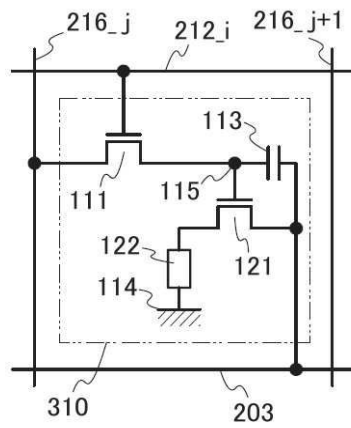
(a)



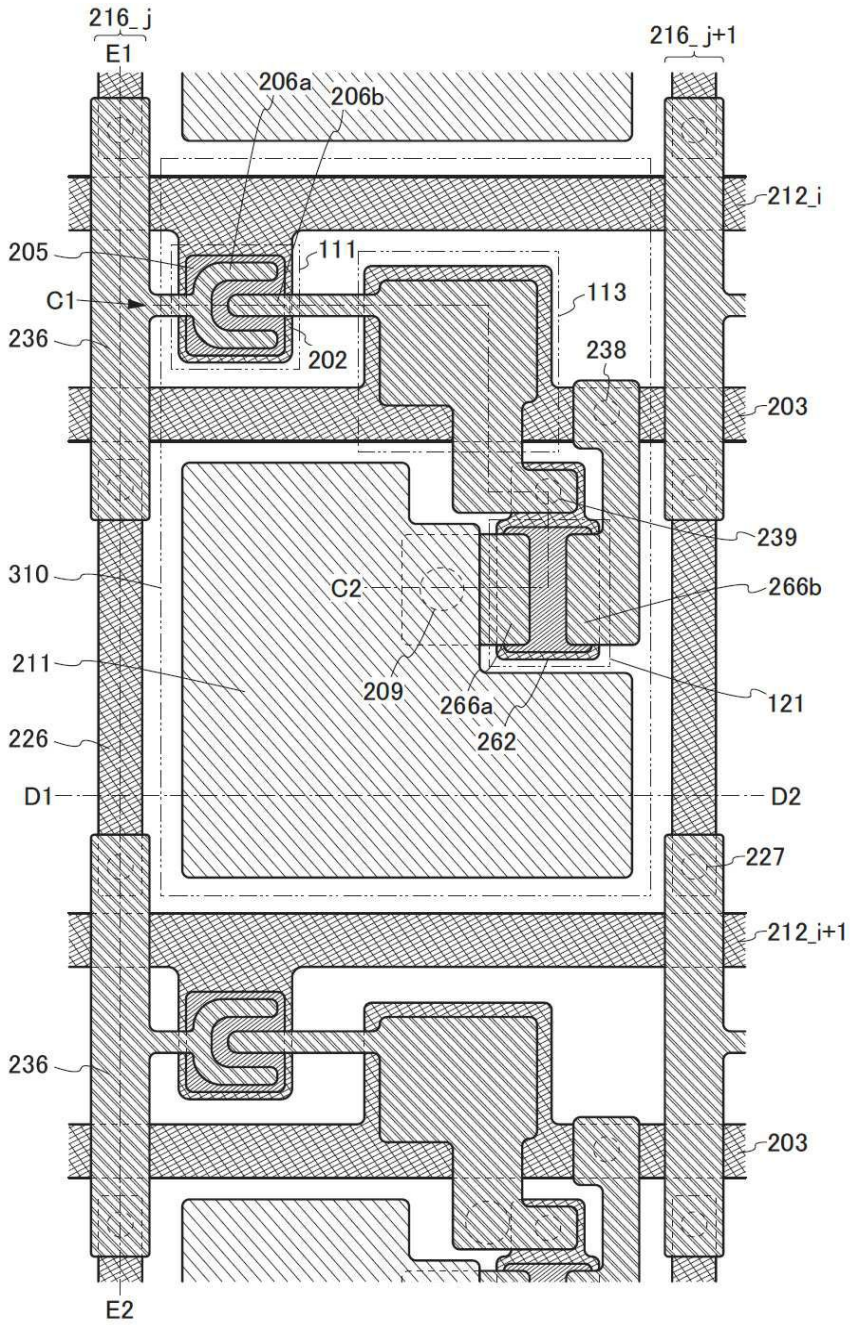
(b)



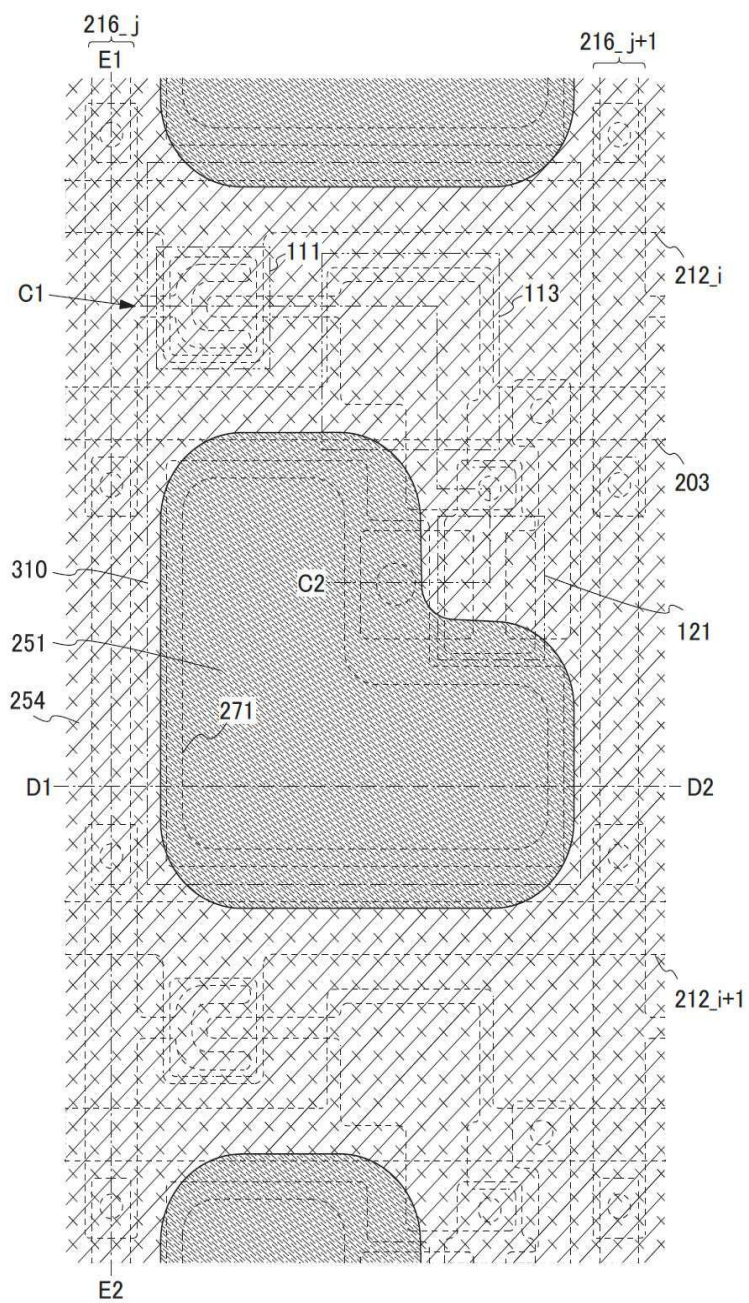
(c)



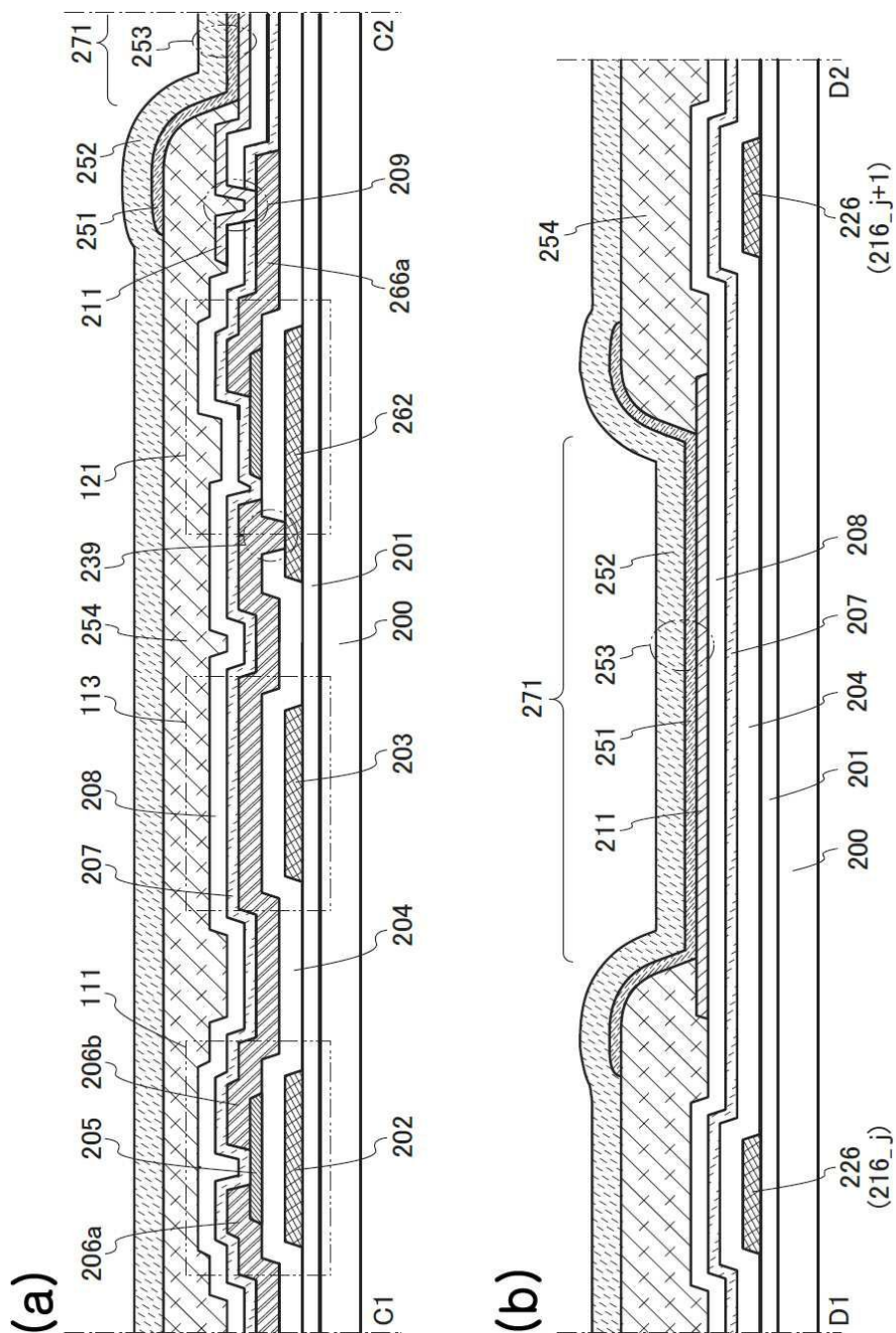
도면6



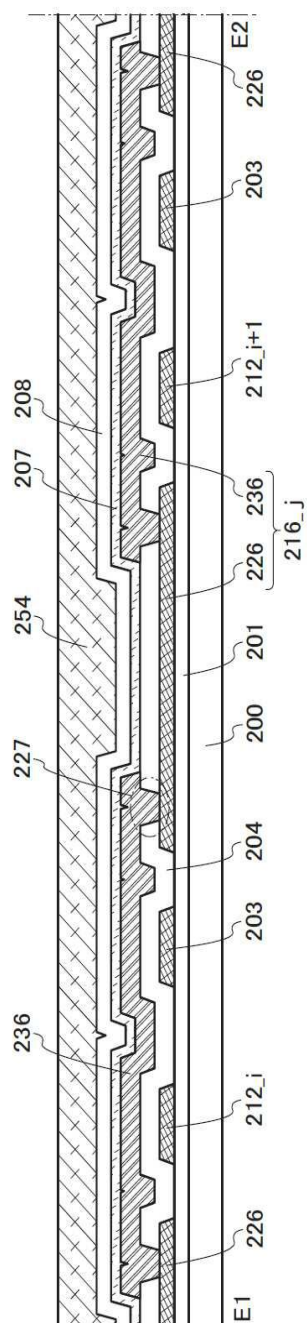
도면7



도면8

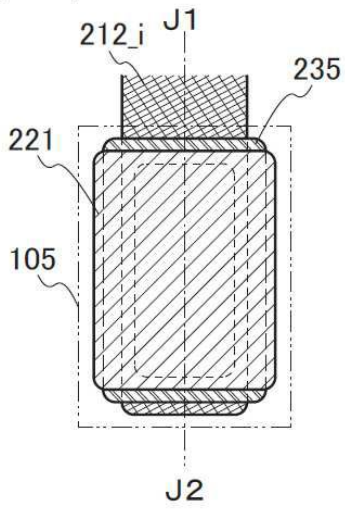


도면9

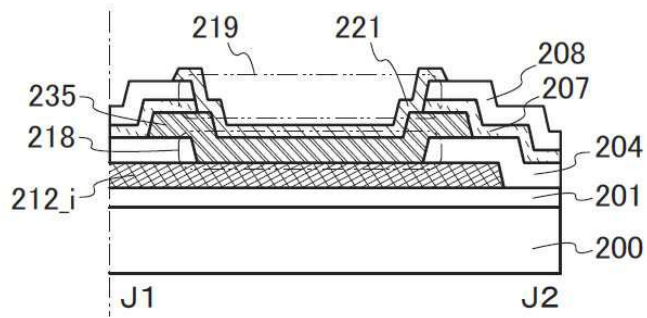


도면10

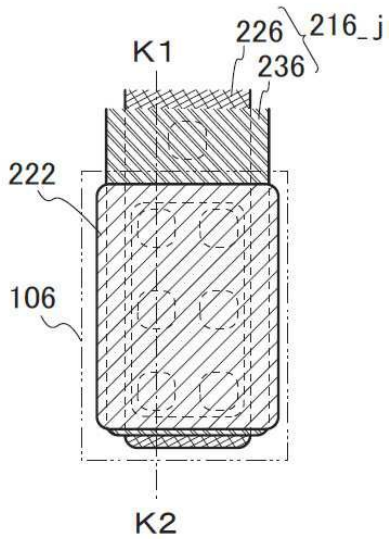
(a1)



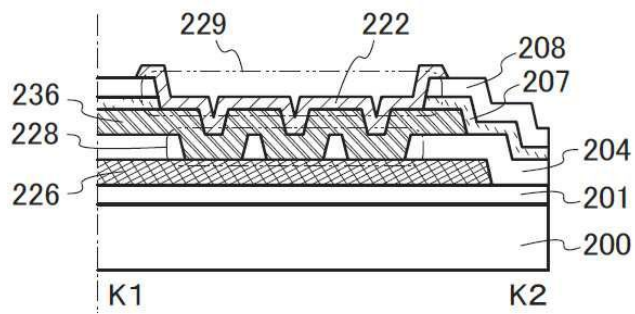
(a2)



(b1)



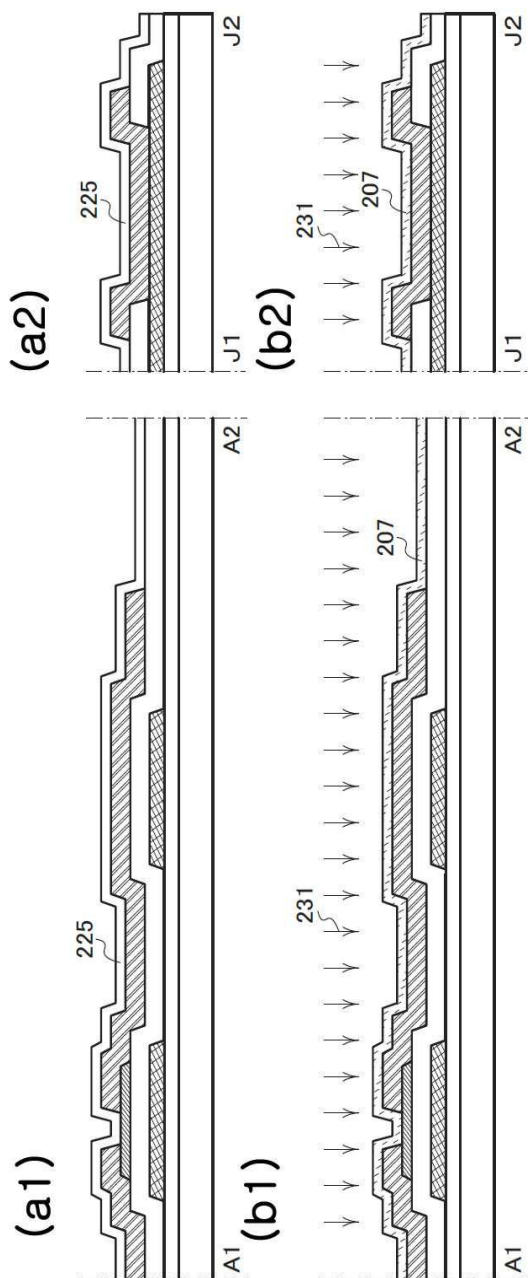
(b2)



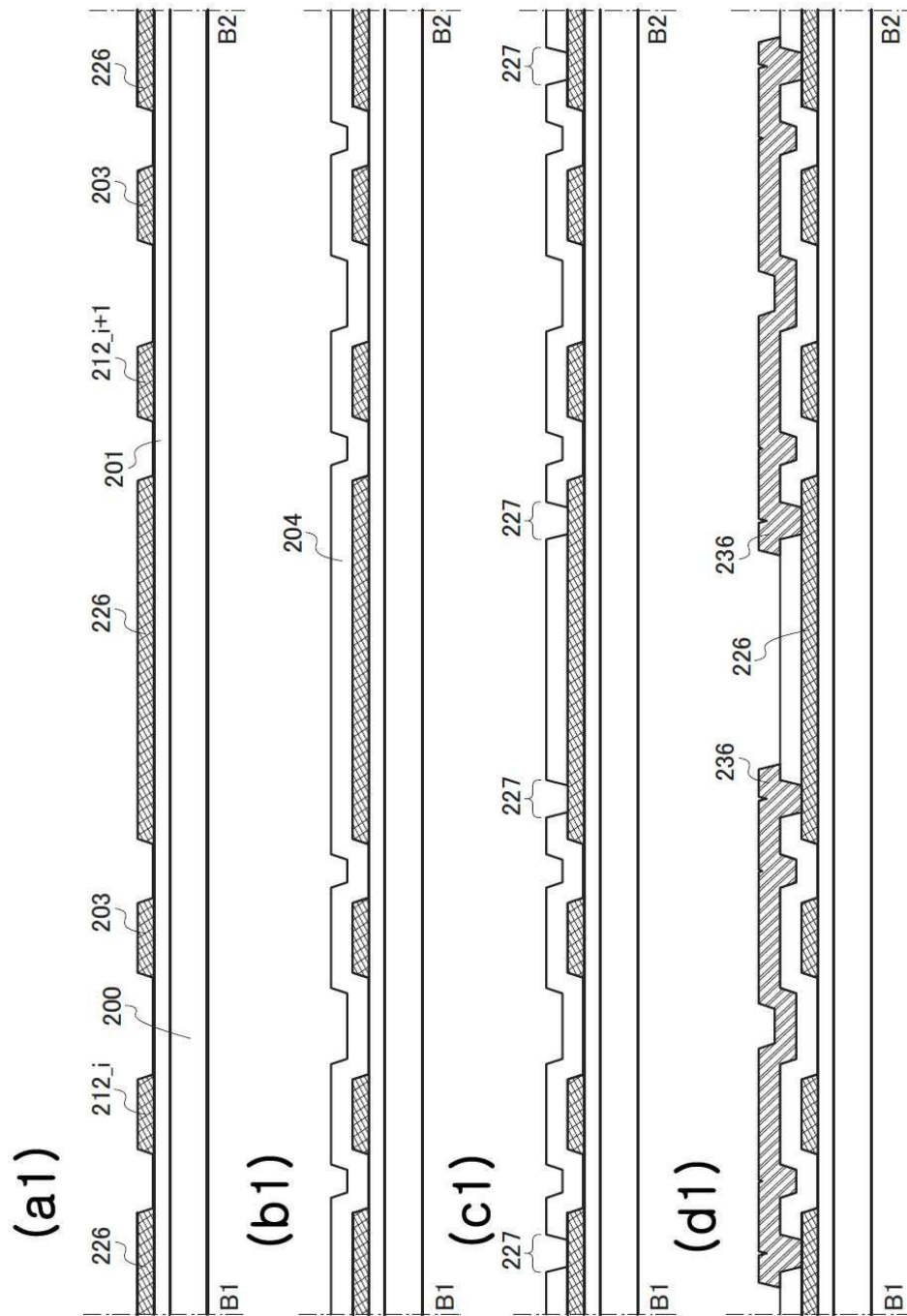
도면11



도면12

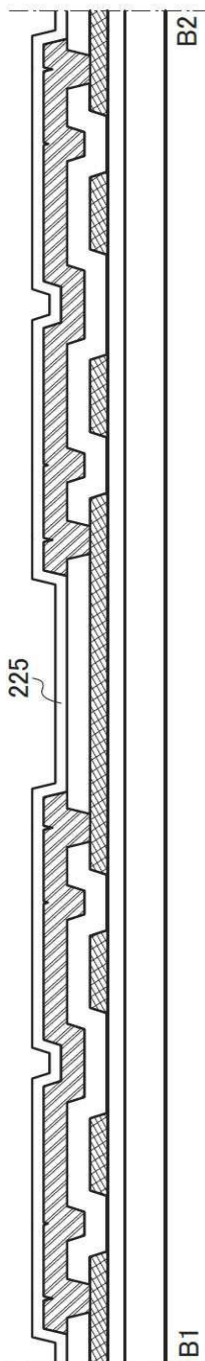


도면14

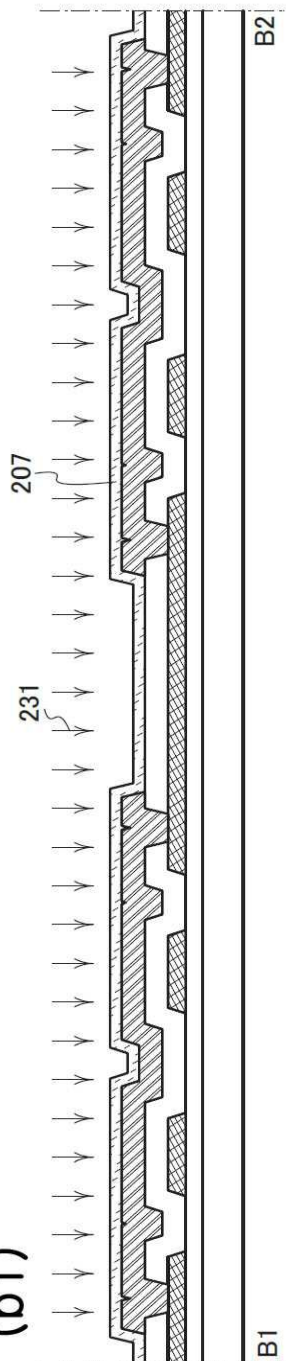


도면15

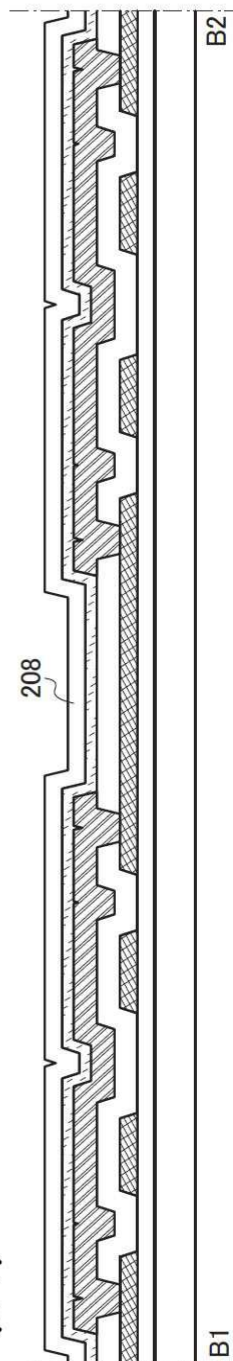
(a1)



(b1)

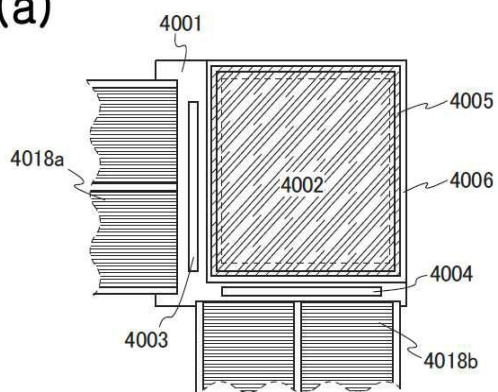


(c1)

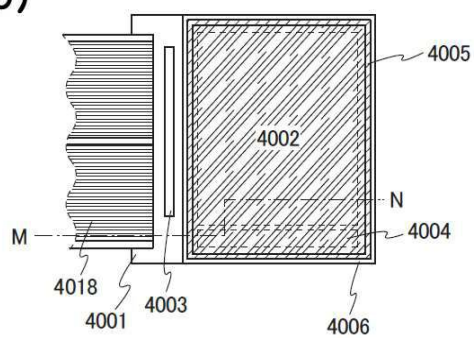


도면16

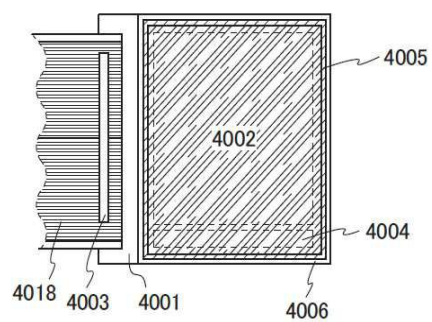
(a)



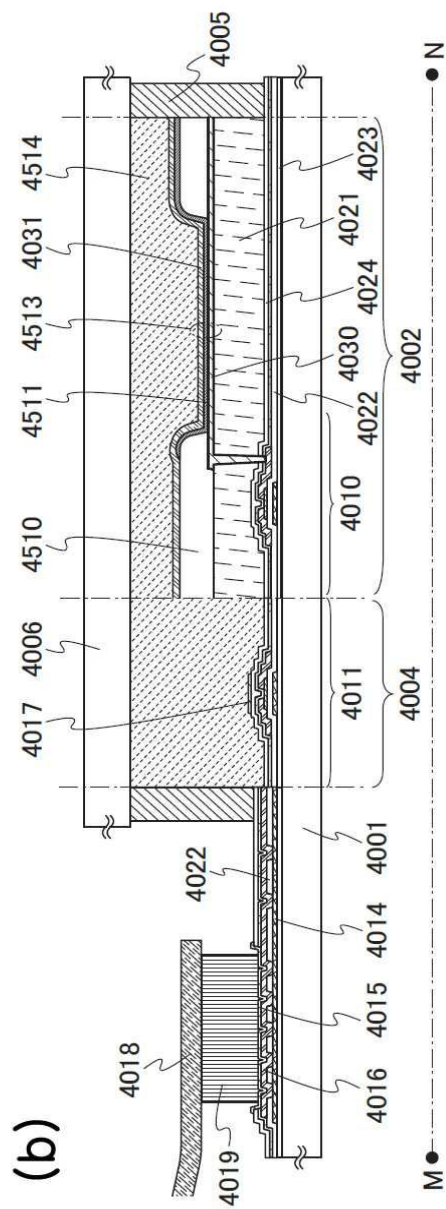
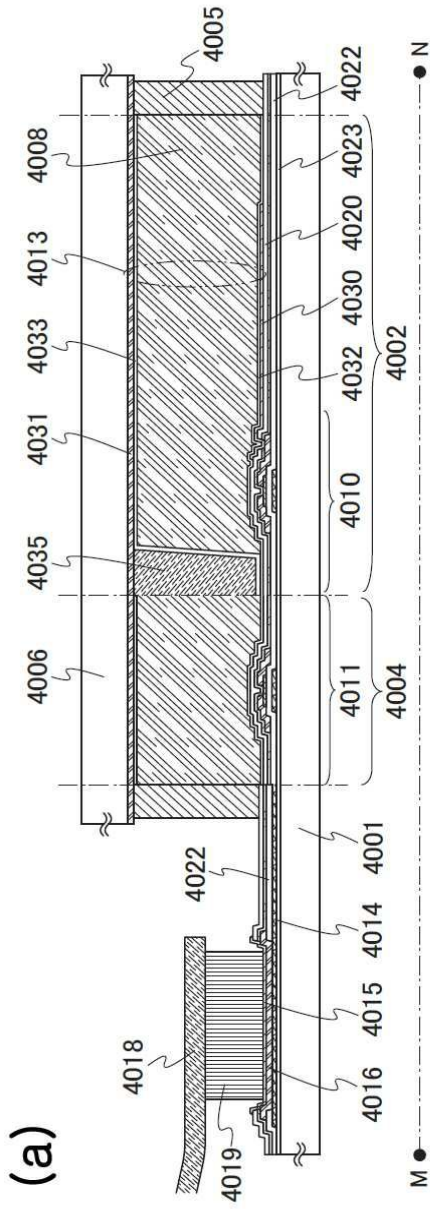
(b)



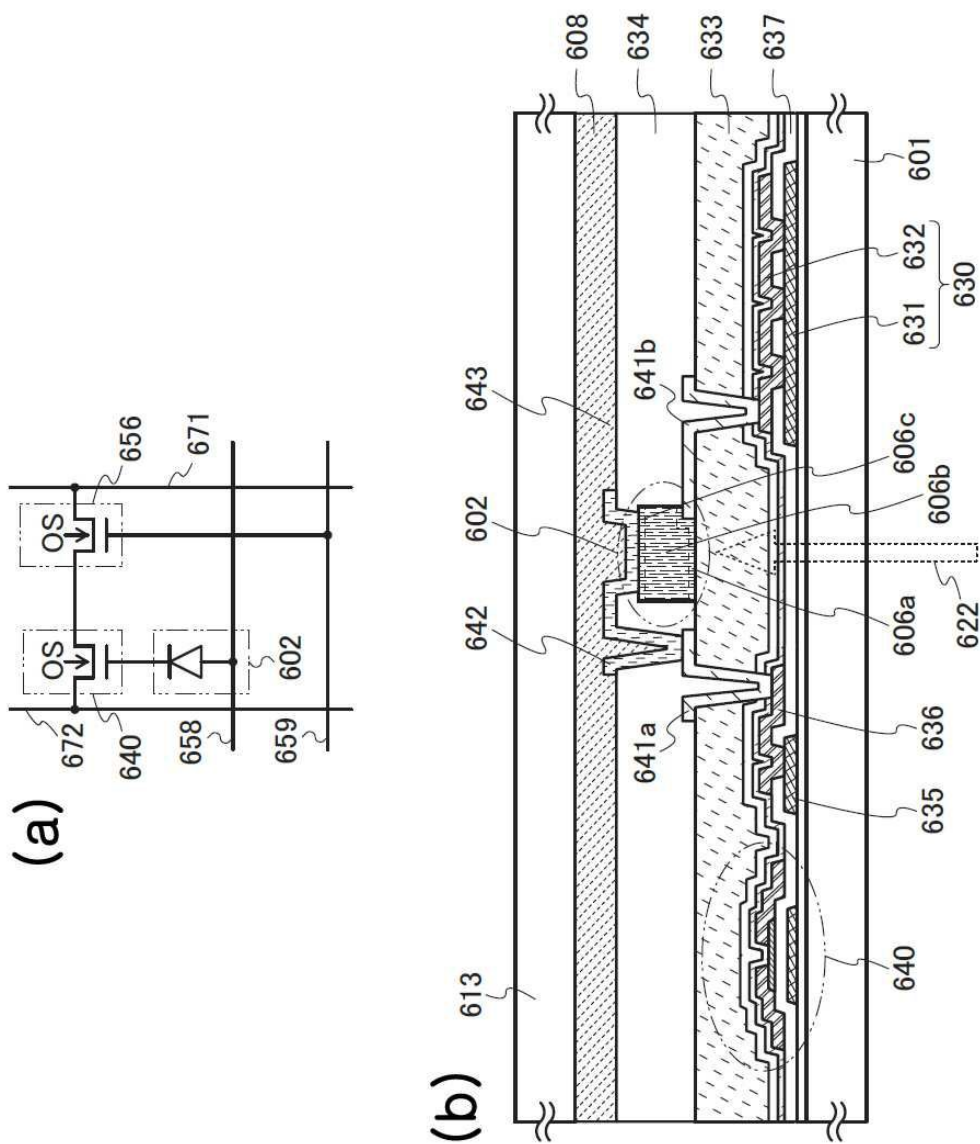
(c)



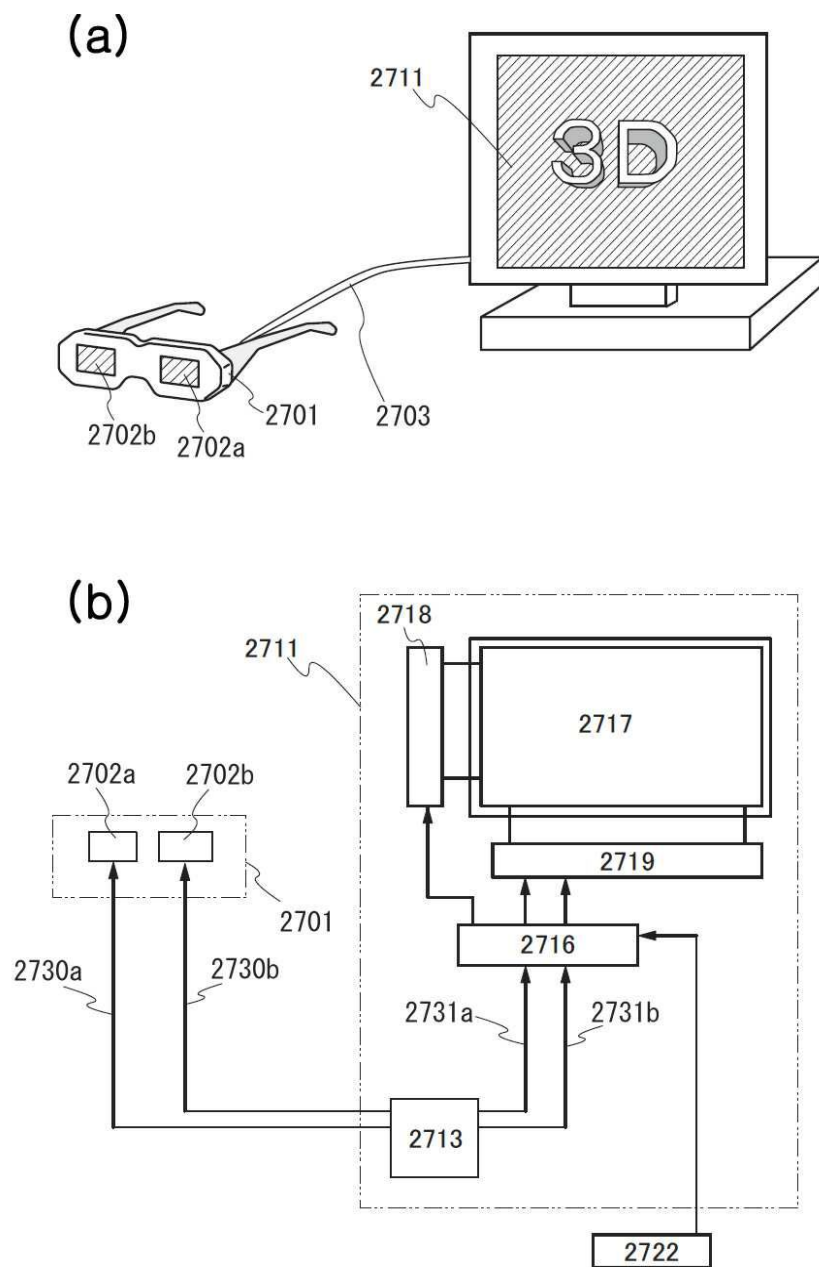
도면17



도면18



도면19



도면20

