(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第6498386号
(P6498386)
(45)発行日　平成31年4月10日(2019.4.10)　(24)登録日　平成31年3月22日(2019.3.22)

(51)Int.Cl.　　F I
H03F 3/45 (2006.01)　　H03F 3/45
H03K 5/08 (2006.01)　　H03K 5/08　E

請求項の数 9　外国語出願　(全 19 頁)

(21)出願番号　特願2014-83242(P2014-83242)
(22)出願日　平成26年4月15日(2014.4.15)
(65)公開番号　特開2014-217056(P2014-217056A)
(43)公開日　平成26年11月17日(2014.11.17)
審査請求日　平成29年4月13日(2017.4.13)
(31)優先権主張番号　61/814,756
(32)優先日　平成25年4月22日(2013.4.22)
(33)優先権主張国　米国(US)
(31)優先権主張番号　14/061,637
(32)優先日　平成25年10月23日(2013.10.23)
(33)優先権主張国　米国(US)

(73)特許権者　512187343
三星ディスプレイ株式會社
Ｓａｍｓｕｎｇ　Ｄｉｓｐｌａｙ　Ｃｏ．，Ｌｔｄ．
大韓民国京畿道龍仁市器興区三星路１
(74)代理人　100121382
弁理士　山下　託嗣
(72)発明者　ムハンマド，ヘクマト
アメリカ合衆国，９５１１２　カリフォルニア，サンノゼ，デブコン　ドライブ　２１７
(72)発明者　アミール，アミルクハニ
アメリカ合衆国，９５１１２　カリフォルニア，サンノゼ，デブコン　ドライブ　２１７
最終頁に続く

(54)【発明の名称】ミスマッチングされた差動回路

(57)【特許請求の範囲】
【請求項１】
差動増幅器であって、
第１トランジスタを有する第１増幅器レッグと、
第２トランジスタを有する第２増幅器レッグと、
第３トランジスタと、
第４トランジスタと、
第１電流をシンキングするように構成された第１電流シンクと、
第２電流をシンキングするように構成された第２電流シンクと、
電圧源と、
第１抵抗と、
第２抵抗と、
備え、
前記の第１，第２，第３及び第４トランジスタは、いずれも、電界効果トランジスタであり、バルクと、ゲートと、ドレイン及びソースを備え、
前記第１トランジスタのバルクは前記第１トランジスタのソースに接続され、
前記第４トランジスタのバルクは前記第４トランジスタのソースに接続され、
前記第２トランジスタのバルク及び前記第３トランジスタのバルクは接地に接続され、
前記第１トランジスタのドレインは前記第４トランジスタのドレインに接続され、
前記第２トランジスタのドレインは前記第３トランジスタのドレインに接続され、

前記第１トランジスタのゲートは前記第４トランジスタのゲートに接続され、
前記第２トランジスタのゲートは前記第３トランジスタのゲートに接続され、
前記第１トランジスタのソース及び前記第２トランジスタのソースは互いに接続されて前記第１電流シンクに接続され、
前記第３トランジスタのソース及び前記第４トランジスタのソースは互いに接続されて前記第２電流シンクに接続され、
前記第１トランジスタのドレイン及び前記第４トランジスタのドレインは、組み合されて、前記第１抵抗の一端と接続し、前記第１抵抗の他端は、前記電圧源に接続し、
前記第２トランジスタのドレイン及び前記第３トランジスタのドレインは、組み合されて、前記第２抵抗の一端と接続し、前記第２抵抗の他端は、前記電圧源に接続し、
前記の第１，第２，第３及び第４トランジスタは、数が、互いに等しく、
前記差動増幅器は比較器の入力ステージにあるように構成され、
前記第１増幅器レッグ及び前記第２増幅器レッグは、共に、受信された差動入力信号を差動増幅するように構成され、
前記差動増幅器は入力オフセット電圧を有するように構成され、
前記入力オフセット電圧は、前記第１トランジスタのバルク電位と前記第２トランジスタのバルク電位との間の差分、前記第３トランジスタのバルク電位と前記第４トランジスタのバルク電位との間の差分、及び、前記第１電流と前記第２電流との間の差分に対応する、差動増幅器。

【請求項２】
前記の第１，第２，第３及び第４トランジスタは、チャンネル幅及びチャンネル長さが、互いに等しい請求項１に記載の差動増幅器。

【請求項３】
前記第１トランジスタは第１デバイスサイズを有し、前記第２トランジスタは前記第１デバイスサイズとは異なる第２デバイスサイズを有し、
前記入力オフセット電圧は、前記第１デバイスサイズと前記第２デバイスサイズとの間の差分に、さらに対応する、請求項１に記載の差動増幅器。

【請求項４】
前記第１デバイスサイズは前記第１トランジスタのチャンネル幅又はチャンネル長さに対応し、前記第２デバイスサイズは前記第２トランジスタのチャンネル幅又はチャンネル長さに対応する、請求項３に記載の差動増幅器。

【請求項５】
前記オフセット電圧は、前記第１電流、前記第２電流、前記第１トランジスタのバルク電位、前記第２トランジスタのバルク電位、前記第１トランジスタの有効幅又は有効長さ、又は前記第２トランジスタの有効幅又は有効長さのうちの少なくとも一つを調整することにより動的に構成可能である、請求項１に記載の差動増幅器。

【請求項６】
前記第１トランジスタ及び前記第３トランジスタは第１デバイスサイズを有し、
前記第２トランジスタ及び前記第４トランジスタのそれぞれは前記第１デバイスサイズとは異なる第２デバイスサイズを有し、
前記入力オフセット電圧は、前記第１デバイスサイズと前記第２デバイスサイズとの間の差分に、さらに対応する、請求項１に記載の差動増幅器。

【請求項７】
前記第１トランジスタ、前記第２トランジスタ、前記第３トランジスタ及び前記第４トランジスタのそれぞれは、Ｐ－ＭＯＳ電界効果トランジスタまたはＮ－ＭＯＳ電界効果トランジスタである、請求項１に記載の差動増幅器。

【請求項８】
マルチレベル信号受信機であって、
マルチレベル差動信号を受信するための入力端子と、
前記入力端子に接続され、前記マルチレベル差動信号の電圧レベルを決定するように構

成され、複数の比較器を有するデータスライサと、
前記データスライサの出力に接続され、前記マルチレベル差動信号のビットをデコードするように構成されたデコーダと、
を備え、
前記比較器のそれぞれは、請求項１～７のいずれかに記載の差動増幅器を有する、マルチレベル信号受信機。
【請求項９】
前記複数の比較器は、第１レベルに設定されたその臨界レベルを有する第１比較器と、第２レベルに設定されたその臨界レベルを有する第２比較器及び第３レベルに設定されたその臨界レベルを有する第３比較器を備え、
前記マルチレベル信号は４つの信号レベルを用いて２ビットをエンコードするように構成され、
前記第１レベルと、前記第２レベル及び前記第３レベルは、前記４つの信号レベルを検出するようにそれぞれ設定される、請求項８に記載のマルチレベル信号受信機。

【発明の詳細な説明】
【技術分野】
【０００１】
この実用特許出願は、その全体が参照により本明細書に取り込まれる、発明の名称がＴｒｉｐｌｅ－Ｍｉｓｍａｔｃｈｅｄ　Ｄｉｆｆｅｒｅｎｔｉａｌ　Ｐａｉｒであり、２０１３年４月２２日付けで出願された米国仮出願第６１／８１４，７５６号の優先権及びその利益を主張する。
【０００２】
本発明の態様は、ミスマッチングされた差動回路とミスマッチングされた差動回路を備える比較器に関する。
【背景技術】
【０００３】
比較器は、２つの入力信号を比較し、このような比較に基づいて信号を出力するデバイスである。ある構成において、比較器は、２つの入力信号を受信し、受信された信号のうちより大きい値を示す信号を出力する。他の構成において、比較器は、２つの信号（例えば、２つの相補信号）を受信し、２つの受信された信号間の差分が臨界レベルよりも大きいか否かを示す信号を出力する。
【０００４】
上述した臨界検出を行うように構成されている比較器は、マルチレベル直列／並列リンク、アナログ／デジタルコンバータ及びピーク検出をはじめとして多数のアプリケーションを有する。ミスマッチングされた差動回路は、臨界レベルを設定するために比較器内において使用可能である。比較器回路の使用可能な範囲を拡張するためには（例えば、検出範囲を広げるためには）、広範囲な臨界レベルを示すことが好ましい。
【発明の概要】
【発明が解決しようとする課題】
【０００５】
本発明の目的は、広範囲な臨界レベルを可能にするミスマッチングされた差動回路を提供するところにある。本発明の実施形態によるミスマッチングされた差動回路は、例えば、比較器において使用可能である。
【課題を解決するための手段】
【０００６】
本発明の実施形態によれば、比較器の臨界レベルの範囲は、比較器の差動回路のデバイスのバルク電位を制御することにより拡張可能である。例えば、一実施形態において、ミスマッチングされたバルク電位、サイズ及び電流を有するデバイスを備える３重ミスマッチングされた差動対が提供されて比較器に対する広範囲な臨界レベルを可能にする。

【０００７】
本発明の実施形態によれば、ミスマッチングされたバルク電位を有するデバイスを備えるミスマッチングされた差動回路がディスプレイのためのデジタル通信リンクの一部として提供される。
本発明の実施形態によれば、第１トランジスタを有する第１増幅器レッグと、第２トランジスタを有する第２増幅器レッグと、備える差動増幅器が提供される。ここで、第１トランジスタは第２トランジスタのバルク電位とは異なるバルク電位を有するように構成される。
【０００８】
差動増幅器は比較器の入力ステージにあるように構成されてもよく、第１増幅器レッグ及び第２増幅器レッグは一緒に受信された差動入力信号を差動増幅するように構成されてもよく、差動増幅器は入力オフセット電圧を有するように構成されてもよく、入力オフセット電圧は、第１トランジスタのバルク電位と第２トランジスタのバルク電位との間の差分に対応してもよい。
【０００９】
第１トランジスタは第１デバイスサイズを有していてもよく、第２トランジスタは第１デバイスサイズとは異なる第２デバイスサイズを有していてもよく、入力オフセット電圧は、第１デバイスサイズと第２デバイスサイズとの間の差分に追加的に対応してもよい。
【００１０】
第１デバイスサイズは第１トランジスタのチャンネル幅又は長さに対応してもよく、第２デバイスサイズは第２トランジスタのチャンネル幅又は長さに対応してもよい。
【００１１】
差動増幅器は、第１電流をシンキングするように構成された第１電流シンクと、第２電流をシンキングするように構成された第２電流シンクと、第３トランジスタと、第４トランジスタと、をさらに備えていてもよい。このため、第１トランジスタと、第２トランジスタと、第３トランジスタ及び第４トランジスタのそれぞれは第１端子と、第２端子及びゲートを備えていてもよく、第１トランジスタの第１端子は第４トランジスタの第１端子に接続されてもよく、第２トランジスタの第１端子は第３トランジスタの第１端子に接続されてもよく、第１トランジスタのゲートは第４トランジスタのゲートに接続されてもよく、第２トランジスタのゲートは第３トランジスタのゲートに接続されてもよく、第１トランジスタの第２端子及び第２トランジスタの第２端子は一緒に接続されて第１電流シンクに接続されてもよく、第３トランジスタの第２端子及び第４トランジスタの第２端子は一緒に接続されて第２電流シンクに接続されてもよく、入力オフセット電圧は第１電流と第２電流との間の差分に追加的に対応してもよい。
オフセット電圧は、第１電流、第２電流、第１トランジスタのバルク電位、第２トランジスタのバルク電位、第１トランジスタの有効幅又は長さ、又は第２トランジスタの有効幅又は長さのうちの少なくとも一つを調整することにより動的に構成可能であってもよい。トランジスタの幅又は長さは、トランジスタの幅又は長さを調整するように種々に接続可能な一連のスイッチを制御することにより動的に変化されてもよい。
【００１２】
第１トランジスタ及び第３トランジスタのそれぞれは第１デバイスサイズを有していてもよく、第２トランジスタ及び第４トランジスタのそれぞれは第１デバイスサイズとは異なる第２デバイスサイズを有していてもよく、入力オフセット電圧は、第１デバイスサイズと第２デバイスサイズとの間の差分に追加的に対応してもよい。
【００１３】
第１トランジスタ及び第２トランジスタのそれぞれは電界効果トランジスタであってもよく、バルクと、ゲートと、ドレイン及びソースを備えていてもよい。ここで、第１トランジスタのバルクは、第１トランジスタのソース、接地又はバイアス電圧源のうちの一つに接続されてもよく、第２トランジスタのバルクは、第２トランジスタのソース、接地又はバイアス電圧源のうちの一つに接続されてもよく、第１トランジスタのバルクは第２ト

ランジスタのバルクとは異なる方法で接続されて、第１トランジスタのバルク電位を第２トランジスタのバルク電位とは異ならせてもよい。

【００１４】

第１トランジスタ及び第２トランジスタのそれぞれはＰ－ＭＯＳ電界効果トランジスタであってもよく、第１トランジスタのバルクは第１トランジスタのソースに接続されてもよく、第２トランジスタのバルクはバイアス電圧源に接続されてもよい。

【００１５】

第１トランジスタ及び第２トランジスタのそれぞれはＮ－ＭＯＳ電界効果トランジスタであってもよく、第１トランジスタのバルクは第１トランジスタのソースに接続されてもよく、第２トランジスタのバルクは接地に接続されてもよい。

【００１６】

第１トランジスタのバルクはバイアス電圧源に接続されてもよく、第２トランジスタのバルクは接地に接続されてもよく、バイアス電圧源は、第１トランジスタのバルク電位と第２トランジスタのバルク電位との間の差分を動的に変化するように制御可能であってもよい。

【００１７】

本発明の他の実施形態によれば、マルチレベル差動信号を受信するための入力端子と、入力端子に接続され、マルチレベル差動信号の電圧レベルを決定するように構成され、複数の比較器を有するデータスライサと、データスライサの出力に接続され、マルチレベル差動信号のビットをデコードするように構成されたデコーダと、を備えるマルチレベル信号受信機が提供される。ここで、比較器のそれぞれは差動増幅器を有し、差動増幅器は、第１トランジスタを有する第１増幅器レッグと、第１トランジスタのバルク電位とは異なるバルク電位を有するように構成された第２トランジスタを有する第２増幅器レッグと、を備え、第１増幅器レッグ及び第２増幅器レッグは一緒にマルチレベル差動信号を差動増幅して臨界判定信号を生成するように構成され、差動増幅器は入力オフセット電圧を有するように構成され、入力オフセット電圧は、第１トランジスタのバルク電位と第２トランジスタのバルク電位との間の差分に対応し、比較器のそれぞれは、比較器のうち他の比較器の臨界レベルとは異なる臨界レベルを有するように構成され、比較器のそれぞれは、マルチレベル信号がその臨界レベルよりも大きいか否かを示すその臨界判定信号をデコーダに出力するように構成され、比較器のそれぞれに対し、臨界レベルは差動増幅器の入力オフセット電圧に対応する。

【００１８】

複数の比較器は、第１レベルに設定されたその臨界レベルを有する第１比較器と、第２レベルに設定されたその臨界レベルを有する第２比較器及び第３レベルに設定されたその臨界レベルを有する第３比較器を備えていてもよい。マルチレベル信号は４つの信号レベルを用いて２ビットをエンコードするように構成されてもよく、第１レベルと、第２レベル及び第３レベルは、４つの信号レベルを検出するようにそれぞれ設定されてもよい。

【００１９】

比較器のうちの少なくとも一つの差動増幅器において、第１トランジスタは第１デバイスサイズを有していてもよく、第２トランジスタは第１デバイスサイズとは異なる第２デバイスサイズを有していてもよく、入力オフセット電圧は、第１デバイスサイズと第２デバイスサイズとの間の差分に追加的に対応してもよい。

【００２０】

比較器のそれぞれの差動増幅器は、第１電流をシンキングするように構成された第１電流シンクと、第２電流をシンキングするように構成された第２電流シンクと、第３トランジスタと、第４トランジスタと、をさらに備えていてもよい。ここで、比較器のうちの少なくとも一つの差動増幅器において、第１トランジスタと、第２トランジスタと、第３トランジスタ及び第４トランジスタのそれぞれは第１端子、第２端子及びゲートを備えていてもよく、第１トランジスタの第１端子は、第４トランジスタの第１端子に接続されてもよく、第２トランジスタの第１端子は、第３トランジスタの第１端子に接続されてもよく

、第１トランジスタのゲートは、第４トランジスタのゲートに接続されてもよく、第２トランジスタのゲートは、第３トランジスタのゲートに接続されてもよく、第１トランジスタの第２端子及び第２トランジスタの第２端子は一緒に接続されて第１電流シンクに接続されてもよく、第３トランジスタの第２端子及び第４トランジスタの第２端子は一緒に接続されて第２電流シンクに接続されてもよく、入力オフセット電圧は、第１電流と第２電流との間の差分に追加的に対応してもよい。

【００２１】

比較器のうちの少なくとも一つの差動増幅器において、オフセット電圧は、第１電流、第２電流、第１トランジスタのバルク電位、第２トランジスタのバルク電位、第１トランジスタの有効幅又は長さ、又は第２トランジスタの有効幅又は長さのうちの少なくとも一つを調整することにより動的に構成可能であってもよい。

【００２２】

比較器のうちの少なくとも一つの差動増幅器において、第１トランジスタ及び第３トランジスタのそれぞれは第１デバイスサイズを有していてもよく、第２トランジスタ及び第４トランジスタのそれぞれは第１デバイスサイズとは異なる第２デバイスサイズを有していてもく、入力オフセット電圧は、第１デバイスサイズと第２デバイスサイズとの間の差分に追加的に対応してもよい。

【００２３】

比較器のうちの少なくとも一つの差動増幅器において、第１トランジスタ及び第２トランジスタのそれぞれは電界効果トランジスタであってもよく、バルク、ゲート、ドレイン及びソースを備えていてもよく、第１トランジスタのバルクは、第１トランジスタのソース、接地又はバイアス電圧源のうちの一つに接続されてもよく、第２トランジスタのバルクは、第２トランジスタのソース、接地又はバイアス電圧源のうちの一つに接続されてもよく、第１トランジスタのバルクは、第２トランジスタのバルクとは異なる方法で接続されて、第１トランジスタのバルク電位を第２トランジスタのバルク電位とは異ならせてもよい。

【００２４】

比較器のうちの少なくとも一つの差動増幅器において、第１トランジスタ及び第２トランジスタのそれぞれはＰ－ＭＯＳ電界効果トランジスタであってもよく、第１トランジスタのバルクは第１トランジスタのソースに接続されてもよく、第２トランジスタのバルクはバイアス電圧源に接続されてもよい。

【００２５】

比較器のうちの少なくとも一つの差動増幅器において、第１トランジスタ及び第２トランジスタのそれぞれはＮ－ＭＯＳ電界効果トランジスタであってもよく、第１トランジスタのバルクは第１トランジスタのソースに接続されてもよく、第２トランジスタのバルクは接地に接続されてもよい。

【図面の簡単な説明】

【００２６】

添付図面は、本発明の例示的な実施形態を示し、本説明と一緒に本発明の特徴及び態様を説明する役割を果たす。

【図１】本発明の実施形態によるミスマッチングされた差動回路を示す図である。

【図２】本発明の実施形態によるトランジスタのバルク対ソース電圧とその臨界電圧との間の関係を示すグラフである。

【図３】本発明の実施形態による差動回路のＩ－Ｖ特性を示すグラフである。

【図４】本発明の他の実施形態による差動回路のＩ－Ｖ特性を示すグラフである。

【図５】本発明の他の実施形態によるミスマッチングされた差動回路を示す図である。

【図６】パルス振幅変調データシステムに対する受信機を示す図である。

【図７】本発明の実施形態による３つの差動回路のＩ－Ｖ特性を示すグラフである。

【図８】本発明の実施形態によるディスプレイのためのデジタル通信リンクのブロック図である。

【発明を実施するための形態】
【００２７】
本発明の態様は、広範囲な臨界レベルを可能にするミスマッチングされた差動回路に関するものである。
【００２８】
本発明の実施形態によるミスマッチングされた差動回路は、比較器に埋め込まれてもよい。例えば、ミスマッチングされた差動回路は、比較器の臨界レベルを調整するのに用いられてもよい。ミスマッチングされた差動回路は、差動増幅器対（通常、「差動対」と称する）により実現されてもよく、共通（エミッタ、ソース、カソードなど）縮退を有する２つの増幅ステージ（又は、レッグ）は異なる（又は、ミスマッチングされた）特性を有する。このような特性ミスマッチは、増幅ステージにおける内在されたオフセットを生成する。このため、特性ミスマッチを変化させることにより、オフセットが変化し、これにより、比較器の臨界レベルが調整されてもよい。
【００２９】
本発明の一以上の実施形態によれば、比較器の臨界レベルの範囲は、比較器の差動回路内のデバイスのバルク電位を制御することにより拡張可能である。差動回路内のデバイスのバルク電位の制御は、コスト効果及び差動回路内の特性ミスマッチを生成する強力な方法を提供する。
【００３０】
本発明の実施形態によれば、デバイスのバルク電位は、静的又は動的な方式により制御可能であるため、オフセット電圧を制御して比較器の臨界レベルの達成可能な範囲を拡張する。本発明の他の実施形態によれば、デバイスのバルク電位を制御することにより臨界電圧を調整する方法は、デバイスサイズ又はバイアス電流ミスマッチなどの他の方法と組み合わせられて比較器の臨界レベルの達成可能な範囲を追加的に拡張する。
以下、本発明の特定の実施形態は例示の方式により図示及び説明される。この技術分野の当業者は、本発明が多数の異なる形式により実現可能であり、ここに開示される実施形態に限定されるものと解釈されてはならないということが理解できる筈である。この代わりに、詳細な説明は、添付の請求項及びその同等物の範囲を含むように解釈されなければならない。また、本出願において、ある要素が他の要素と「接続（ｃｏｕｐｌｅｄ）」（例えば、電気的に接続）されると言及される場合、これは、他の要素と直接的に接続されてもよく、これらの間に介装された１以上の介在要素により他の要素と間接的に接続されてもよい。以下、同じ参照符号は同じ要素を示す。
【００３１】
図１は、本発明の実施形態によるミスマッチングされた差動回路を示す。
【００３２】
本実施形態のミスマッチングされた差動回路１０は、第１トランジスタT_1及び第２トランジスタT_2を備え、これらは、電流シンクI_1に共通的に接続されたこれらのソース及びそれぞれの抵抗R_1及びR_2を介して電圧源V_sに接続されたこれらのドレインを有する。
【００３３】
要するに、第１及び第２トランジスタT_1及びT_2、第１及び第２抵抗R_1及びR_2、電圧源V_s及び電流シンクI_1は差動対増幅器（通常、「差動対」と称する）の少なくとも一部を形成し、差動対増幅器は互いに相補的な第１増幅ステージ及び第２増幅ステージを有する。ここで、第１トランジスタT_1を有する差動対の側は第１増幅ステージに対応し、第２トランジスタT_2を有する差動対の側は第２増幅ステージに対応する。
【００３４】
本発明の実施形態によれば、差動対の第１及び第２増幅ステージはミスマッチングされる。すなわち、第１増幅ステージは第２増幅ステージとは異なる特性を有する。第１及び第２増幅ステージをミスマッチングさせることにより、差動対に対する入力オフセット（又は、オフセット電圧）が生成され、これは、その後に、比較器の臨界レベルを設定する

のに用いられる。

【００３５】

すなわち、比較器の臨界レベルは、比較器の入力ステージにおける差動対の特性での特定のミスマッチの関数であってもよい。

【００３６】

このようなミスマッチは、例えば、差動対のコンポーネントのサイジング又は臨界電圧での差分から発生される。例えば、本実施形態では、ミスマッチは、第１及び第２トランジスタT_1及びT_2のデバイスサイジング又は臨界電圧での差分から発生される。

【００３７】

差動対の一部の実施形態において、入力オフセットは、以下の式によって決定される：$V^2_{os}=(I_D/gm)^2(\Delta(W/L)/(W/L))^2+\Delta V^2_{th}$。ここで、$V_{os}$は、差動対の出力電圧がゼロである電圧（すなわち、オフセット電圧）であり、I_Dは、トランジスタのドレイン電流であり、g_mは、トランジスタのトランスコンダクタンスであり、Wは、トランジスタの幅であり、Lは、トランジスタの長さである。

【００３８】

多数のアプリケーションにおいて、トランジスタ臨界電圧V_{th}により入力オフセットを制御することは、これがオフセットとして入力で直接的に現れるときに特に魅力的であり、最小の追加的な回路複雑性により効率的に実現される。本発明の実施形態によれば、差動対のトランジスタのバルク電位を静的又は動的な方式により制御することは、差動対のオフセット電圧を設定（又は、部分的に設定）し、これにより、比較器の臨界レベルの達成可能な範囲を拡張させる。

【００３９】

トランジスタのバルク電位は、例えば、トランジスタのバルクをトランジスタの特定のノード（例えば、ソース）、接地又は静的な電圧源（例えば、バイアス電圧）に配線することにより静的な方式により制御される。

【００４０】

図１の差動回路１０の第１及び第２トランジスタT_1及びT_2は、静的に制御されるバルク電位の例示的な実施形態を示す。本実施形態の第１トランジスタT_1はバルク対ソースの実現を示し、第２トランジスタT_2はバルク対接地の実現を示す。第１トランジスタT_1及び第２トランジスタT_2のバルクを異なる方法で接続することにより、それぞれのトランジスタのバルク電位は互いに異なり、これにより、差動回路における臨界電圧V_{th}差を引き起こす（すなわち、特性ミスマッチ）。上述したように、このような特性ミスマッチは差動対のオフセット電圧V_{os}を設定し、比較器の臨界レベルを制御する。

【００４１】

バルク電位は、例えば、トランジスタのバルクの少なくとも一つを調整可能な電圧源に接続することにより動的に制御される。トランジスタのバルク電位を調整可能な電圧源で調整することにより、トランジスタの臨界電圧V_{th}間の差分が制御されて、差動対のオフセット電圧V_{os}が動的に調整される。

【００４２】

臨界電圧V_{th}間の差分は、トランジスタの有効サイズ（例えば、有効長さ又は幅）を調整することにより動的に制御される。例えば、トランジスタの幅又は長さは、トランジスタの有効幅又は長さを調整するように種々に接続可能な一連のスイッチを電子的に制御することにより動的に変化される。

【００４３】

図２は、本発明の実施形態によるトランジスタのバルク対ソース電圧とその臨界電圧との間の関係を示すグラフである。

【００４４】

図２に示すように、（例えば、上述したように動的に又は静的に）トランジスタのバルク対ソース電圧V_{BS}を制御することにより、トランジスタの臨界電圧V_{th}が設定される。例えば、バルク対ソース電圧V_{BS}が略０Ｖに設定される場合、臨界電圧V_{th}は略

４７０ｍＶであってもよく、バルク対ソース電圧V_{BS}が略－５００ｍＶである場合、臨界電圧V_{th}は略５７５ｍＶであってもよい。

【００４５】

図１に戻ると、差動回路は、入力信号V_p及びV_nの相補対をそれぞれ受信する２つの入力ノードと、出力信号V_{o+}及びV_{o-}の相補対をそれぞれ出力する２つの出力ノードと、をさらに備える。本実施形態において、２つの入力ノードは第１及び第２トランジスタT_1及びT_2のゲートにあり、出力ノードは第１及び第２トランジスタT_1及びT_2のドレインにある。

【００４６】

入力信号V_p及びV_n（一緒に差動入力信号）の相補対は差動対により差動的に増幅されて（すなわち、減算及び乗算）出力信号V_{o+}及びV_{o-}（一緒に差動出力信号）の相補対を生成する。

【００４７】

図３は、本発明の実施形態による差動回路のＩ－Ｖ特性を示すグラフである。図３は、２つの例示的なＩ－Ｖ特性を示し、一つは（点線で示す）バランスの取られた差動回路に対するものであり、もう一つは（実線で示す）ミスマッチングされた差動回路に対するものである。図３中、ｘ軸は差動入力電圧を示し、ｙ軸は差動回路に対する差動出力電流を示す。

【００４８】

バランスの取られた差動回路（例えば、マッチング増幅器ステージを有する差動増幅器対）において、差動入力信号が０Ｖである場合、差動出力信号は０Ｖである。これは、バランスの取られた差動回路のＩ－Ｖ特性が０Ｖでゼロ－交差することにより図３に示される。また、この例において、差動入力信号が正である場合、負の差動出力信号が生成され、差動入力信号が負である場合、正の差動出力信号が生成される。

【００４９】

バランスの取られた差動回路は、０Ｖ臨界レベルを有する比較器回路で用いられる。すなわち、これは、受信された差動入力信号が０Ｖ未満であるか、０Ｖ超えであるかを検出するのに用いられる。

【００５０】

ミスマッチングされた差動回路（例えば、ミスマッチングされた増幅器ステージを有する差動増幅器）において、差動入力信号がオフセット電圧V_{os}にある場合、差動出力信号は０Ｖである。これは、ミスマッチングされた差動回路のＩ－Ｖ特性がオフセット電圧V_{os}でゼロ－交差することにより図３に示される。また、この実施形態において、差動入力信号がオフセット電圧V_{os}よりも大きな場合、負の差動出力信号が生成され、差動入力信号がオフセット電圧V_{os}よりも小さな場合、正の差動出力信号が生成される。

【００５１】

ミスマッチングされた差動回路は、オフセット電圧V_{os}で（又は、これに基づく）臨界レベルを有する比較器回路で用いられる。すなわち、これは、受信された差動入力信号がオフセット電圧V_{os}よりも小さいか又は大きいかを検出するのに用いられる。

【００５２】

上述したように、オフセット電圧V_{os}は、差動回路内のトランジスタのバルク電位を調整することにより設定される。しかしながら、本発明の実施形態はこれに限定されるものではなく、例えば、差動回路のオフセット電圧を調整する他の方法がバルク電位を調整することと連携されて用いられる。

【００５３】

本発明の一実施形態によれば、比較器臨界レベルの達成可能な範囲は、サイズだけではなく、差動回路内のデバイスのバルク電位を調整することにより拡張される。本発明の態様によれば、デバイスサイズは、トランジスタのチャンネルの幅及び／又は長さを含む。

【００５４】

一実施形態によれば、差動対内のトランジスタは、ミスマッチングされたバルク電位（

例えば、バルク対ソース接続を有する一つのトランジスタとバルク対接地接続を有するもう一つのトランジスタ）及び幅（例えば、１５μｍの幅を有する一つのトランジスタと５μｍの幅を有するもう一つのトランジスタ）を有する。
図４は、本発明の他の実施形態による差動回路のＩ－Ｖ特性を示すグラフである。図４は、４つの例示的なＩ－Ｖ特性を示し、最初のものは、（ダッシュ（ｄａｓｈ）と２つのドット及びダッシュの繰り返し、すなわち、－‥－を有する線により示される）バランスの取られた差動回路に対するものであり、２番目のものは、（ダッシュ、一つのドット及びダッシュの繰り返し、すなわち、－・－を有する線により示される）バルクミスマッチングされた差動回路に対するものであり、３番目のものは、（ダッシュ線、すなわち、－－－で示される）幅ミスマッチングされた差動回路に対するものであり、最後のものは、（実線で示される）幅及びバルクミスマッチングされた差動回路に対するものである。図４中、ｘ軸は、差動入力電圧を示し、ｙ軸は、差動回路に対する差動出力電流を示す。

【００５５】

バランスの取られた差動回路（例えば、マッチング増幅器ステージを有する差動増幅器）において、差動入力信号が０Ｖである場合、差動出力信号は０Ｖである。これは、バランスの取られた差動回路のＩ－Ｖ特性が０Ｖでゼロ－交差することにより図４に示される。また、この実施形態では、差動入力信号が正である場合、負の差動出力信号が生成され、差動入力信号が負である場合、正の差動出力信号が生成される。

【００５６】

バランスの取られた差動回路は、０Ｖの臨界レベルを有する比較器回路で用いられる。したがって、これは、受信された差動入力信号が０Ｖよりも小さいか又は大きいかを検出するのに用いられる。

【００５７】

バルクミスマッチングされた差動回路（例えば、ミスマッチングされたバルク電位を有する増幅器ステージを有する差動増幅器）において、差動入力信号が第１オフセット電圧V_{os1}にある場合、差動出力信号は０Ｖである。これは、バルクミスマッチングされた差動回路のＩ－Ｖ特性回路が第１オフセット電圧V_{os1}でゼロ－交差することにより図４に示される。また、この実施形態では、差動入力信号が第１オフセット電圧V_{os1}よりも大きな場合に負の差動出力信号が生成され、差動入力信号が第１オフセット電圧V_{os1}よりも小さな場合に正の差動出力信号が生成される。

【００５８】

バルクミスマッチングされた差動回路は、第１オフセット電圧V_{os1}で臨界レベルを有する比較器回路で用いられる。すなわち、これは、受信された差動入力信号が第１オフセット電圧V_{os1}よりも小さいか又は大きいかを検出するのに用いられる。

【００５９】

幅ミスマッチングされた差動回路（例えば、ミスマッチングされたデバイス幅を有する増幅器ステージを有する差動増幅器）において、差動入力信号が第２オフセット電圧V_{os2}である場合、差動出力信号は０Ｖである。これは、幅ミスマッチングされた差動回路のＩ－Ｖ特性が第２オフセット電圧V_{os2}でゼロ－交差することにより図４に示される。また、この実施形態では、差動入力信号が第２オフセット電圧V_{os2}よりも大きな場合に負の出力信号が生成され、差動入力信号が第２オフセット電圧V_{os2}よりも小さな場合に正の差動出力信号が生成される。

【００６０】

幅ミスマッチングされた差動回路は、第２オフセット電圧V_{os2}で臨界レベルを有する比較器回路で用いられる。すなわち、これは、受信された差動入力信号が第２オフセット電圧V_{os2}よりも小さいか又は大きいかを検出するのに用いられる。

【００６１】

幅及びバルクミスマッチングされた差動回路（例えば、ミスマッチングされたデバイス幅及びバルク電位を有する増幅器ステージを有する差動増幅器）において、差動入力信号が第３オフセット電圧V_{os3}にある場合に差動出力信号は０Ｖである。これは、幅及び

バルクミスマッチングされた差動回路のＩ－Ｖ特性が第３オフセット電圧$Ｖ_{ｏｓ３}$でゼロ－交差することにより図４に示される。また、この実施形態では、差動入力信号が第３オフセット電圧$Ｖ_{ｏｓ３}$よりも大きな場合に負の差動出力信号が生成され、差動入力信号が第３オフセット電圧$Ｖ_{ｏｓ３}$よりも小さな場合に正の差動出力信号が生成される。

【００６２】

バルク及び幅ミスマッチングされた差動回路は、第３オフセット電圧$Ｖ_{ｏｓ３}$で臨界レベルを有する比較器回路で用いられる。すなわち、これは、受信された差動入力信号が第３オフセット電圧$Ｖ_{ｏｓ３}$よりも小さいか又は大きいかを検出するのに用いられる。

【００６３】

図４に示すように、オフセット電圧シフティング方法を組み合わせることにより、一つの方法のみを用いる場合に比べて達成可能なオフセット電圧のより広い範囲（したがって、比較器の臨界レベルのよりも広い範囲）が可能になる。

【００６４】

さらに、オフセット電圧シフティング方法は、デバイス特性を調整することに限定されない。例えば、オフセット電圧は、差動回路における電流ミスマッチを制御することにより調整される。

【００６５】

図５は、本発明の他の実施形態による比較器に対するミスマッチングされた差動回路を示す。図５のミスマッチングされた差動回路１０’は３重ミスマッチングされた差動対を提供する本発明の実施形態を示す。すなわち、ミスマッチングされた差動回路１０’はデバイスバルク電位、デバイス幅及びバイアス電流での特性ミスマッチを有する差動増幅器回路を示す。

【００６６】

本実施形態によるミスマッチングされた差動回路１０’は、２つの差動増幅器対を備え、それぞれは図３と結び付けて説明された差動増幅器対と実質的に同様に構成される。

【００６７】

具体的に、図５のミスマッチングされた差動回路１０’は、第１乃至第４トランジスタ$Ｔ_{1}$乃至$Ｔ_{4}$を備え、それぞれのトランジスタは、２つの増幅器対のうちの一つの増幅器ステージに対応する。ここで、第１トランジスタ$Ｔ_{1}$及び第２トランジスタ$Ｔ_{2}$は第１電流シンク$Ｉ_{1}$に共通的に接続されるこれらのソースを有し、それぞれの抵抗$Ｒ_{1}$及び$Ｒ_{2}$を介して電圧源$Ｖ_{s}$に接続される。第１及び第２トランジスタ$Ｔ_{1}$及び$Ｔ_{2}$は、第１差動増幅器対に対応する。第３トランジスタ$Ｔ_{3}$及び第４トランジスタ$Ｔ_{4}$は、同様に、第２電流シンク$Ｉ_{2}$に共通的に接続されたこれらのソースを有し、それぞれの抵抗$Ｒ_{1}$及び$Ｒ_{2}$を介して電圧源$Ｖ_{s}$に接続される。第３及び第４トランジスタ$Ｔ_{3}$及び$Ｔ_{4}$は、第２差動増幅器対に対応する。

【００６８】

第１及び第２差動増幅器対は互いに接続されて単一の差動増幅器対として効果的に動作する。すなわち、第１及び第２差動対は、総括的に同じ差動入力信号を受信し、一緒に動作して単一の差動出力信号を生成する。

【００６９】

２つの接続された差動増幅器対を用いる特徴は、追加的なオフセット電圧範囲を提供するために異なる電流シンクがミスマッチングされる可能性があるということである。例えば、第１電流シンク$Ｉ_{1}$の電流の値は第２電流シンク$Ｉ_{2}$の電流の値よりも大きく設定され、これは、需要が多い（ｓｏｕｇｈｔ　ａｆｔｅｒ）オフセット電圧の制御に帰結する非対称増幅レッグを生成する。

【００７０】

２つの接続された差動増幅器対を用いる他の特徴は、調整に利用可能なより多くのデバイスパラメータが存在するということであり、これは、追加的なオフセット電圧柔軟性（ｆｌｅｘｉｂｉｌｉｔｙ）を付加する。例えば、トランジスタのバルク電位及び／又は幅$Ｗ_{1}$～$Ｗ_{4}$が利用可能なオフセット電圧で追加的な柔軟性が可能なように調整される。

【００７１】
本発明の実施形態によるミスマッチングされた差動回路は、相補型金属酸化膜半導体（ＣＭＯＳ：ｃｏｍｐｌｅｍｅｎｔａｒｙ ｍｅｔａｌ ｏｘｉｄｅ ｓｅｍｉｃｏｎｄｕｃｔｏｒ）デバイスにより形成される。例えば、図１及び５に示すように、ミスマッチングされた差動回路は、Ｎ－ＭＯＳＦＥＴ（ｆｉｅｌｄ ｅｆｆｅｃｔ ｔｒａｎｓｉｓｔｏｒ）により形成される。しかしながら、この技術分野の当業者は、本発明の範囲が本出願で明確に説明及び図示されたもの以外の他のデバイスにも適用されるということが理解できる筈である。例えば、本発明による差動回路は、Ｐ－ＭＯＳＦＥＴにより実現される。一実施形態によれば、差動回路がＰ－ＭＯＳＦＥＴにより実現される場合にＰ－ＭＯＳＦＥＴのバルクはバイアス電圧源に接続され、Ｎ－ＭＯＳＦＥＴを用いれば、バルクは接地に接続される。
【００７２】
以下、本発明の実施形態によるミスマッチングされた差動回路を有する比較器のアプリケーションについて説明する。具体的に、後述する説明は、マルチレベルデータシステムでミスマッチングされた差動回路を有する比較器を用いることに関するものである。
【００７３】
マルチレベルデータシステムは、データを２レベル超えに量子化して、同じ容量のバイナリデータシステムよりも小さなチャンネル帯域幅を用いる。このような一つのマルチレベルデータシステムは、ＰＡＭ－４（ｐｕｌｓｅ ａｍｐｌｉｔｕｄｅ ｍｏｄｕｌａｔｉｏｎ－４）データシステムである。ＰＡＭ－４データシステムは、送信機、送信リンク及び受信機を備えていてもよい。ＰＡＭ－４送信機は、一対のビットを４－レベル信号、例えば、V_1、V_2、V_3及びV_4（例えば、－０．６６Ｖ、－０．３３Ｖ、０．３３Ｖ及び０．６６Ｖ）にエンコードし、エンコードされたマルチレベル信号を通信リンクを介してＰＡＭ－４受信機に送信する。ＰＡＭ－４受信機は、受信された信号を３つの異なる臨界電圧、V_{R1}、V_{R2}及びV_{R3}と比較することにより送信されたマルチレベル信号を再構築する。
【００７４】
ＰＡＭ－４受信機の一実施形態において、臨界電圧は、以下のロジックにより決定される：$V_1 < V_{R1} < V_2 < V_{R2} < V_3 < V_{R3} < V_4$。例えば、マルチレベル信号の４レベルが－０．６６Ｖ、－０．３３Ｖ、０．３３Ｖ及び０．６６Ｖである場合、臨界電圧は、－０．５Ｖ、０Ｖ及び０．５Ｖ（例えば、差動構成）であってもよい。他の例において、マルチレベル信号の４レベルが０Ｖ、０．３３Ｖ、０．６６Ｖ及び１Ｖである場合、臨界電圧は、０．２５Ｖ、０．５Ｖ及び０．７５Ｖ（例えば、単一のエンコードされた構成）であってもよい。
【００７５】
ここで、受信されたマルチレベル信号がV_{R1}未満である場合、受信機は、マルチレベル信号がV_1（例えば、００）と関連するロジックレベルを送信していると判定する。受信されたマルチレベル信号がV_{R1}超えV_{R2}未満である場合、受信機は、マルチレベル信号がV_2（例えば、０１）と関連するロジックレベルを送信していると判定する。受信されたマルチレベル信号がV_{R2}超えV_{R3}未満である場合、受信機は、マルチレベル信号がV_3（例えば、１０）と関連するロジックレベルを送信していると判定する。そして、受信されたマルチレベル信号がV_{R2}超えである場合、受信機は、マルチレベル信号がV_4（例えば、１１）と関連するロジックレベルを送信していると判定する。
【００７６】
ＰＡＭ－４受信機の実現において、マルチレベル信号はそれぞれ差動臨界レベルを有する３つの比較器及びデコーダにより再構築される。
【００７７】
図６は、本発明の実施形態によるＰＡＭ－４受信機を示す。
【００７８】
本発明の実施形態によれば、ＰＡＭ（ｐｕｌｓｅ ａｍｐｌｉｔｕｄｅ ｍｏｄｕｌａ

ｔｉｏｎ）受信機１００は、（１超えのデータビットをエンコードする）マルチレベルデータ信号S_mを受信するための送信リンク１１０と、複数の比較器１３０を有するデータスライサ１２０及びデコーダ１４０を備える。ＰＡＭ受信機は、マルチレベルデータ信号S_mがデータスライサ１２０に到達する前に、マルチレベルデータ信号S_mに利益及び等化（ｅｑｕａｌｉｚａｔｉｏｎ）を提供するための事前増幅器１５０を備えていてもよい。本発明の実施形態によれば、マルチレベルデータ信号S_mは差動信号である。

【００７９】

本発明の一態様によれば、データスライサ１２０は、第１臨界電圧V_{R1}を確立する第１比較器１３０Ａと、第２臨界電圧V_{R2}を確立する第２比較器１３０Ｂ及び第３臨界電圧V_{R3}を確立する第３比較器１３０Ｃを備える。上述したように、第２臨界電圧V_{R2}は、第１臨界電圧V_{R1}超え過第３臨界電圧V_{R3}未満であってもよい。

【００８０】

比較器１３０Ａ、１３０Ｂ、１３０Ｃは、３つの臨界に対するマルチレベルデータ信号S_mの関係に応じて４つの別個の出力を提供するためにこれらの３つの臨界レベルを確立する。したがって、比較器１３０Ａ、１３０Ｂ、１３０Ｃの入力は互いに接続されて共通差動入力端子を形成してマルチレベルデータ信号S_mを受信する。

【００８１】

また、それぞれの比較器１３０Ａ、１３０Ｂ、１３０Ｃは、デコーダ１４０に接続された差動出力端子を有する。デコーダ１４０はそれぞれの比較器１３０Ａ、１３０Ｂ、１３０Ｃの差動出力信号（例えば、臨界判定信号）をこれらのそれぞれの差動出力端子から受信し、受信された差動出力信号に基づいてマルチレベルデータ信号S_mにより送信されたデータをデコードする。

【００８２】

上述したように、比較器１３０Ａ、１３０Ｂ、１３０Ｃは、４つの別個の出力をデコーダに総括的に提供する。このようなそれぞれの出力は、２ビットのデータをエンコードするＰＡＭ－４送信機により生成された４つの信号レベルのうち特定の一つに対応する。したがって、デコーダは、ＰＡＭ－４マルチレベルデータ信号S_mにより送信された２ビットのデータをデコードすることができる。

【００８３】

本発明の態様によれば、比較器１３０Ａ、１３０Ｂ、１３０Ｃの臨界レベルは、ミスマッチングされた差動回路を用いて制御する。

【００８４】

例えば、第１比較器１３０Ａは、第１臨界レベル電圧V_{R1}を可能にする第１オフセット電圧V_{os1}を有する第１ミスマッチングされた差動回路を備えていてもよく、第２比較器１３０Ｂは、第２臨界レベル電圧V_{R2}を可能にする第２オフセット電圧V_{os2}を有する第２ミスマッチングされた差動回路を備えていてもよく、第３比較器１３０Ｃは、第３臨界レベル電圧V_{R3}を可能にする第３オフセット電圧V_{os3}を有する第３ミスマッチングされた差動回路を備えていてもよい。

【００８５】

本発明の一実施形態によれば、それぞれの比較器１３０Ａ、１３０Ｂ、１３０Ｃは、図１乃至図４と結び付けて上述したミスマッチングされた差動回路１０に対応する回路を備える。ここで、それぞれの比較器１３０Ａ、１３０Ｂ、１３０Ｃに埋め込まれているそれぞれのミスマッチングされた差動回路１０は、３つの異なる臨界レベルを提供するために他のものからの異なるオフセット電圧V_{os}を有する。

【００８６】

例えば、第１比較器１３０Ａは、第１臨界レベル電圧V_{R1}を提供するために幅ミスマッチングされた差動回路を備えていてもよく、第２比較器１３０Ｂは、第２臨界レベル電圧V_{R2}を提供するためにバルクミスマッチングされた差動回路を備えていてもよく、第３比較器１３０Ｃは、第３臨界レベル電圧V_{R3}を提供するために幅及びバルクミスマッチングされた差動回路を備えていてもよい。

【００８７】
本発明の他の実施形態によれば、それぞれのミスマッチングされた差動回路は、図５と結び付けて上述したミスマッチングされた差動回路１０’に対応する回路により実現される。ここで、それぞれの比較器１３０Ａ、１３０Ｂ、１３０Ｃに埋め込まれているそれぞれのミスマッチングされた差動回路１０’は、３つの差動臨界レベルを提供するために他のものからの異なるオフセット電圧V_{os}を有する。
【００８８】
本実施形態において、少なくとも一つのミスマッチングされた差動回路１０’が３重ミスマッチングされた差動対として実現される。すなわち、少なくとも一つのミスマッチングされた差動回路が３つの異なるミスマッチングされたパラメータを有していてもよい。例えば、バルク－電位、デバイス幅及びバイアス電流である。これは、広範囲なオフセット電圧V_{os}を可能にするため、比較器に対して広範囲な臨界レベルを可能にする。
【００８９】
達成可能なオフセット電圧範囲の例が図７に示される。図７は、本発明の実施形態による差動回路のＩ－Ｖ特性を示すグラフである。
【００９０】
図７は、３つの差動回路に対するＩ－Ｖ特性範囲を示す。これらの３つのＩ－Ｖ特性グラフは、図６と結び付けて上述した比較器１３０Ａ、１３０Ｂ、１３０Ｃに対する３つの差動回路に対応する。このようなグラフに示されているように、３つのミスマッチングされた差動回路は、マルチレベル受信機で用いられる比較器の下位、中間、上位の臨界レベルに対応するオフセット電圧の下位、中間、上位のセットを提供するように構成される。
【００９１】
一実施形態によれば、下位及び上位のミスマッチングされた差動回路は、バルク電位、デバイス幅及びバイアス電流ミスマッチを有するように構成可能な３重ミスマッチングされた差動回路である。下位及び上位のミスマッチングされた差動回路は、互いにミラーであってもよい。すなわち、下位のミスマッチングされた差動回路の増幅器レッグは、回路特性の特定のミスマッチを有していてもよく、上位のミスマッチングされた差動回路の増幅器レッグは、対応するが逆転した（例えば、回路特性を有するレッグに対して逆転される）回路特性のミスマッチを有していてもよい。
【００９２】
例えば、図５に戻ると、下位のミスマッチングされた差動回路は、第１及び第４トランジスタT_1及びT_4がバルク対ソース接続を有し、第２及び第３トランジスタT_2及びT_3はバルク対接地接続を有し、第１及び第３トランジスタの幅W_1及びW_3は同じサイズであり、第２及び第４トランジスタの幅W_2及びW_4（これらは、同じサイズである）よりも大きなサイズを有するように構成される。このような構成は、第１オフセット電圧V_{os1}に帰結する。例えば、第１及び第３幅W_1及びW_3が略４．８μｍであり、第２及び第４幅W_2及びW_4が略１．２μｍである実施形態において、第１オフセット電圧V_{os1}は略－２０３ｍＶであってもよい。
【００９３】
上位のミスマッチングされた差動回路を下位のミスマッチングされた差動回路と対応するが反対タイプに構成することにより、第１オフセット電圧V_{os1}と同じ大きさであるが反対極性である第３オフセット電圧V_{os3}を有することができる。例えば、上位のミスマッチングされた差動回路は、第１及び第４トランジスタT_1及びT_4がバルク対接地接続を有し、第２及び第３トランジスタT_2及びT_3はバルク対ソース接続を有し、第１及び第３トランジスタの幅W_1及びW_3は同じサイズであり、第２及び第４トランジスタの幅W_2及びW_4（これらは、同じサイズである）よりも小さいサイズを有するように構成される。第１及び第３幅W_1及びW_3が略１．２μｍであり、第２及び第４幅W_2及びW_4が略４．８μｍである実施形態において、第３オフセット電圧V_{os3}は略＋２０３ｍＶであってもよい。
【００９４】

したがって、このようなミラーリングされたミスマッチ構成において、下位及び上位のミスマッチングされた差動回路は同じ大きさであるが異なる極性のオフセット電圧を有していてもよい。

【００９５】

また、一実施形態によれば、中間差動回路は、そのオフセット電圧V_{os2}が０Ｖにあるようにそのデバイス特性がマッチングされるように（すなわち、バランスの取られるように）構成される。

【００９６】

さらに、上述したように、このような差動回路は、バイアス電流を調整することにより３重ミスマッチを有するように構成可能である。例えば、図５に戻ると、電流シンクI_1及びI_2（総括的に、バイアス電流の設定）がオフセット電圧範囲を追加的に拡張するためにミスマッチングされる場合がある。これは、動的に又は静的に実現される。図７のＩ－Ｖグラフは、このようなシナリオの実施形態を示す。

【００９７】

図７中、ｘ軸は、差動入力電圧を示し、ｙ軸は、差動回路に対する差動出力電流を示す。グラフのそれぞれにおいて、実線は、バイアス電流が第１電流シンクI_1により全体的に供給される構成を示し、点線は、バイアス電流が第２電流シンクI_2により全体的に供給される構成を示す。このような２つの線間の領域はミスマッチングされた差動回路の動作可能な範囲内にあり、第１及び第２電流シンクI_1及びI_2のミスマッチを調整することにより達成される。一実施形態によれば、バイアス電流は、以下の式により可変である。バイアス電流＝I_1＋I_2。

【００９８】

一実施形態において、オフセット電圧範囲は、バイアス電流が第１及び第２電流シンクI_1及びI_2間でバランスの取られる構成に対してオフセット電圧が中心となる。このように、オフセット電圧範囲の中心は、ミラーリングされた下位及び上位のミスマッチングされた差動回路にそれぞれ対応する第１及び第３オフセット電圧V_{os1}及びV_{os3}とバランスの取られた中間の差動回路に対応する第２オフセット電圧V_{os2}の上述した説明に対応する。

【００９９】

一実施形態によれば、バイアス電流は、略４００μＡである。このため、第１及び第２電流シンクI_1及びI_2の電流の値が４００μＡに加算される。ここで、オフセット電圧範囲の大きさは、略６００ｍＶであってもよい。

【０１００】

したがって、下位のミスマッチングされた差動回路の実施形態は、略－２０３ｍＶで中心であり、その範囲が略－４０９ｍＶから略２０６ｍＶまででであるオフセット電圧を有していてもよく、中間のミスマッチングされた差動回路の実施形態は、略０Ｖで中心であり、その範囲が略－３０６ｍＶから略３０６ｍＶまででであるオフセット電圧を有していてもよく、上位のミスマッチングされた差動回路の実施形態は、略２０３ｍＶで中心であり、その範囲が略－２０６ｍＶから略４０９ｍＶまでのオフセット電圧を有していてもよい。

【０１０１】

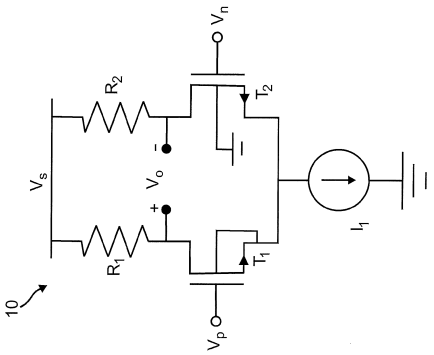
このように、マルチレベル信号受信機における使用のための本発明の実施形態によるミスマッチングされた差動回路を有する比較器を構成する場合に、広範囲な臨界レベルが達成可能である。

【０１０２】

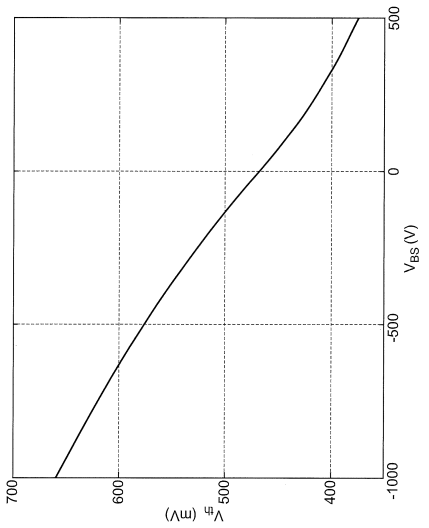
図８は、本発明の実施形態によるディスプレイのためのデジタル通信リンクでの受信機の例示的なアプリケーションを示す。本実施形態において、ディスプレイデータソース１０１０は、通信リンク１１１０を介してディスプレイ１０２０にディスプレイデータ信号を送信する。ディスプレイデータ信号は、ディスプレイ上のイメージを表示するための情報を含んでいてもよい。ディスプレイは、例えば、有機発光ダイオードディスプレイ、液晶ディスプレイ又はプラズマディスプレイであってもよい。

【０１０３】
ディスプレイ１０２０は、受信機１１００を備える。受信機１１００は、図６及び図７と結び付けて上述した受信機回路１００により実現される。すなわち、受信機１１００は、本発明の実施形態によるミスマッチングされた差動回路を有する比較器により実現されてマルチレベル信号として送信されたディスプレイデータ信号を受信する。
【０１０４】
本発明の態様について、特定の例示的な実施形態と結び付けて例示及び説明したが、本発明は上述された実施形態に限定されるものではなく、これとは反対に、添付の請求項の思想及び範囲内に含まれる様々な修正及び同等な構成を含むものと理解されるべきである。
【０１０５】
例えば、本発明の一部の例示的な実施形態について、ＰＡＭ－４マルチレベルデータシステムと結び付けて説明したが、本発明の実施形態はこれに限定されるものではない。すなわち、本発明の態様及び特徴は、他のパルス振幅変調システム（例えば、ＰＡＭ－５、－６、－７など）、デジタル／アナログコンバータ、ピーク検出器又はミスマッチングされた差動回路が用いられる任意の他のアプリケーションなどのものに種々に適用可能である。

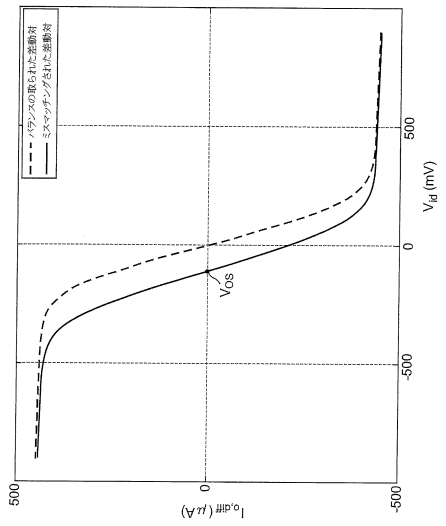
【図１】



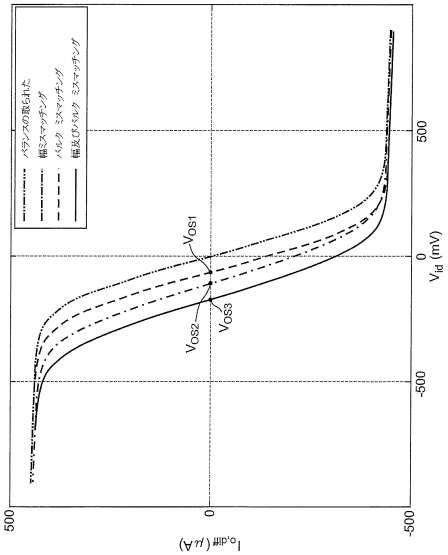
【図２】



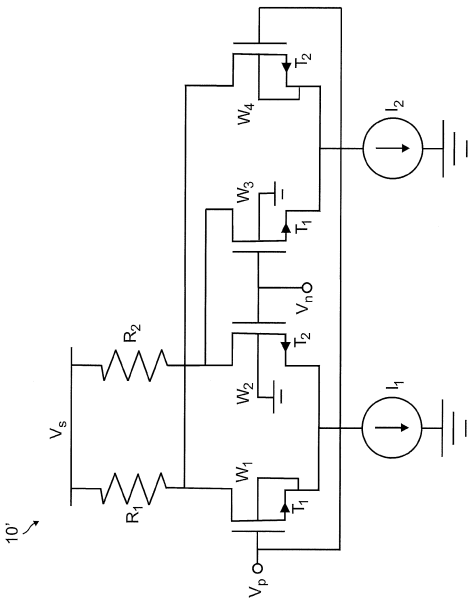
【図３】


バランスの取られた差動対
ミスマッチングがされた差動対
V_{OS}
V_{id} (mV)
$I_{o,diff}$ (μA)
500
0
-500

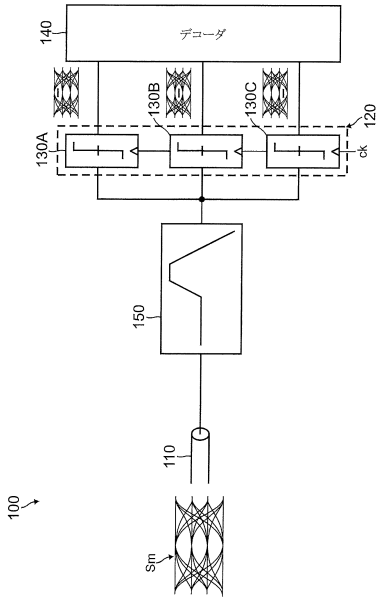
【図４】


バランスの取られた
幅ミスマッチング
パルス ミスマッチング
幅及びパルス ミスマッチング
V_{OS1}
V_{OS2}
V_{OS3}
V_{id} (mV)
$I_{o,diff}$ (μA)
500
0
-500

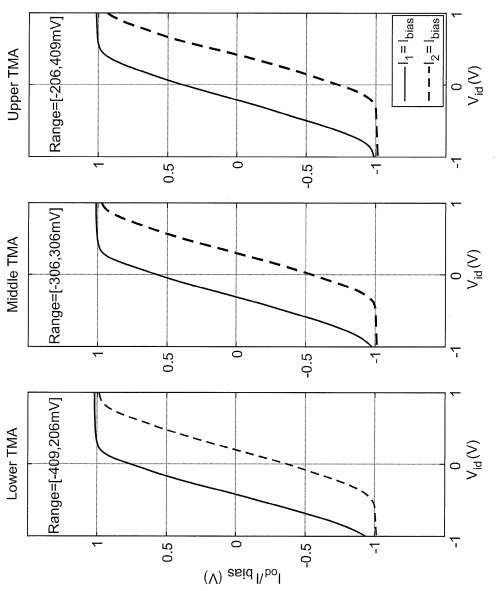
【図５】


10'
V_p
V_n
V_s
R_1
R_2
T_1
T_2
W_1
W_2
W_3
W_4
I_1
I_2

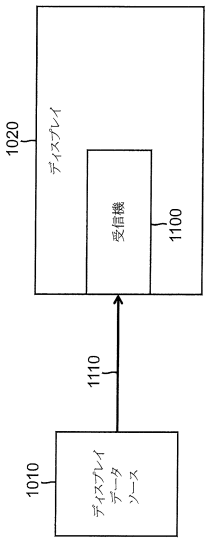
【図６】


100
110
120
130A
130B
130C
140
150
Sm
ck
デコーダ

【図７】


Upper TMA
Range=[-206,409mV]
Middle TMA
Range=[-306,306mV]
Lower TMA
Range=[-409,206mV]
$I_1 = I_{bias}$
$I_2 = I_{bias}$
V_{id}(V)
I_{out}/I_{bias} (V)

【図８】


1020
ディスプレイ
受信機
1100
1110
1010
ディスプレイ
データ
ソース

フロントページの続き

審査官　緒方　寿彦

(56)参考文献　特開２００３－２７３７１１（ＪＰ，Ａ）
特開平０２－２３４５０４（ＪＰ，Ａ）
特開２００３－３１８６７０（ＪＰ，Ａ）
特開２０１０－１４１６４６（ＪＰ，Ａ）
米国特許出願公開第２００５／０２１８９８６（ＵＳ，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０３Ｆ　　１／００－　３／４５、３／５０－　３／５２、
３／６２－　３／６４、３／６８－　３／７２
Ｈ０３Ｋ　　５／０８