

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6100074号
(P6100074)

(45) 発行日 平成29年3月22日(2017.3.22)

(24) 登録日 平成29年3月3日(2017.3.3)

(51) Int.Cl.		F I			
HO4N	5/374	(2011.01)	HO4N	5/335	740
HO4N	5/369	(2011.01)	HO4N	5/335	690
HO1L	27/146	(2006.01)	HO1L	27/14	A

請求項の数 7 (全 14 頁)

(21) 出願番号 特願2013-92459 (P2013-92459)
 (22) 出願日 平成25年4月25日 (2013.4.25)
 (65) 公開番号 特開2014-216833 (P2014-216833A)
 (43) 公開日 平成26年11月17日 (2014.11.17)
 審査請求日 平成28年3月25日 (2016.3.25)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100090273
 弁理士 園分 孝悦
 (72) 発明者 樋山 拓己
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内
 (72) 発明者 池田 泰二
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内
 審査官 鈴木 明

最終頁に続く

(54) 【発明の名称】 光電変換装置及び撮像システム

(57) 【特許請求の範囲】

【請求項1】

行列状に配置され、光電変換により信号を生成する複数の画素と、
 前記複数の画素の各列に設けられ、前記画素に基づく信号を保持する複数の保持容量と

、
第1の列に配された前記複数の画素に対応した第1の出力線と、
前記第1の列とは異なる列に配された前記複数の画素に対応した第2の出力線と、
 前記保持容量及び前記第1の出力線の間設けられた第1のスイッチと、
 前記保持容量及び前記第2の出力線の間設けられた第2のスイッチと、
 前記第2のスイッチを制御する第2の列選択線とを有し、
前記第2の列選択線は、前記第2の列選択線と前記第1の出力線とが交差する部分と、
前記第2の列選択線と前記第2の出力線とが交差する部分とで、異なる配線層に形成され
ることを特徴とする光電変換装置。

【請求項2】

前記第2の列選択線と前記第1の出力線とが交差する部分では、前記第2の列選択線と前記第1の出力線との間に遮蔽体が設けられ、

前記第2の列選択線と前記第2の出力線とが交差する部分では、前記第2の列選択線と前記第2の出力線との間に遮蔽体が設けられないことを特徴とする請求項1に記載の光電変換装置。

【請求項3】

行列状に配置され、光電変換により信号を生成する複数の画素と、
前記複数の画素の各列に設けられ、前記画素に基づく信号を保持する複数の保持容量と

第 1 の列に配された前記複数の画素に対応した第 1 の出力線と、
前記第 1 の列とは異なる列に配された前記複数の画素に対応した第 2 の出力線と、
前記保持容量及び前記第 1 の出力線の間に設けられた第 1 のスイッチと、
前記保持容量及び前記第 2 の出力線の間に設けられた第 2 のスイッチと、
前記第 2 のスイッチを制御する第 2 の列選択線とを有し、
前記第 2 の列選択線と前記第 1 の出力線とが交差する部分と、前記第 2 の列選択線と前記
第 2 の出力線とが交差する部分とは、線の幅が異なり、

10

前記第 2 の列選択線と前記第 1 の出力線とが交差する部分の前記第 1 の出力線と、前記
第 2 の列選択線と前記第 2 の出力線とが交差する部分の前記第 2 の出力線とは、線の幅が
異なることを特徴とする光電変換装置。

【請求項 4】

前記保持容量は、
前記画素のリセット状態の信号を保持する第 1 の保持容量と、
前記画素の非リセット状態の信号を保持する第 2 の保持容量とを有することを特徴とす
る請求項 1 から 3 のいずれか 1 項に記載の光電変換装置。

【請求項 5】

さらに、前記第 1 の保持容量から前記第 1 の出力線又は前記第 2 の出力線に出力された
信号と、前記第 2 の保持容量から前記第 1 の出力線又は前記第 2 の出力線に出力された信
号との差分処理を行う差分処理回路を有することを特徴とする請求項 4 に記載の光電変換
装置。

20

【請求項 6】

さらに、前記第 1 のスイッチと前記第 2 のスイッチとを、互いに異なる位相の信号に同
期して制御する制御部を有することを特徴とする請求項 1 から 5 のいずれか 1 項に記載の
光電変換装置。

【請求項 7】

請求項 1 から 6 のいずれか 1 項に記載の光電変換装置と、
前記光電変換装置から出力される信号を処理する処理部と
を有することを特徴とする撮像システム。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スキャナ、ビデオカメラ、デジタルスチルカメラ等に用いられる光電変換装
置及び撮像システムに関する。

【背景技術】

【0002】

CMOS イメージセンサにおいて、異なる位相で動く 2 つの水平走査回路によって、列
メモリから信号を読み出し、2 つの水平出力線からの出力をマルチプレクスして出力する
技術が特許文献 1 に開示されている。このようにすることで、水平出力線の駆動周波数よ
り高い周波数で、CMOS イメージセンサから信号を出力することが可能であり、高フレ
ームレートの光電変換装置が実現できる。

40

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2003 - 259227 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

50

しかしながら、特許文献 1 のような CMOS イメージセンサには、以下のような課題がある。前述のように、異なる位相で列メモリから 2 つの水平出力線に対して信号を読み出すため、一方の位相で列メモリと第 1 の水平出力線を導通させる第 1 の列選択線と、他方の位相で列メモリと第 2 の水平出力線を順次導通させる第 2 の列選択線がある。第 1 の列選択線が、第 2 の水平出力線に対して、あるいは第 2 の列選択線が、第 1 の水平出力線に対して容量結合し、信号読み出し期間にノイズを重畳させることが課題となっている。

【 0 0 0 5 】

本発明の目的は、出力線に重畳されるノイズを低減することができる光電変換装置及び撮像システムを提供することである。

【課題を解決するための手段】

【 0 0 0 6 】

本発明の光電変換装置は、行列状に配置され、光電変換により信号を生成する複数の画素と、前記複数の画素の各列に設けられ、前記画素に基づく信号を保持する複数の保持容量と、第 1 の列に配された前記複数の画素に対応した第 1 の出力線と、前記第 1 の列とは異なる列に配された前記複数の画素に対応した第 2 の出力線と、前記保持容量及び前記第 1 の出力線の間に設けられた第 1 のスイッチと、前記保持容量及び前記第 2 の出力線の間に設けられた第 2 のスイッチと、前記第 2 のスイッチを制御する第 2 の列選択線とを有し、前記第 2 の列選択線は、前記第 2 の列選択線と前記第 1 の出力線とが交差する部分と、前記第 2 の列選択線と前記第 2 の出力線とが交差する部分とで、異なる配線層に形成されることを特徴とする。

【発明の効果】

【 0 0 0 7 】

本発明によれば、第 1 の出力線に重畳されるノイズを低減することができ、高 S / N で高フレームレートの光電変換装置を提供することができる。

【図面の簡単な説明】

【 0 0 0 8 】

【図 1】図 1 は、本発明の第 1 の実施形態の光電変換装置を示す図である。

【図 2】図 2 は、本発明の第 1 の実施形態の画素の回路図である。

【図 3】図 3 は、本発明の第 1 の実施形態の増幅回路の回路図である。

【図 4】図 4 は、本発明の第 1 の実施形態を駆動するタイミング図である。

【図 5】図 5 は、本発明の第 1 の実施形態の一部の平面図である。

【図 6】図 6 は、本発明の第 1 の実施形態の一部の断面図である。

【図 7】図 7 は、本発明の第 1 の実施形態の一部の断面図である。

【図 8】図 8 は、本発明の第 1 の実施形態の一部の断面図である。

【図 9】図 9 は、本発明の第 2 の実施形態の一部の平面図である。

【図 10】図 10 は、本発明の第 2 の実施形態の一部の断面図である。

【図 11】図 11 は、本発明の第 2 の実施形態の一部の断面図である。

【図 12】図 12 は、本発明の第 2 の実施形態の一部の断面図である。

【図 13】図 13 は、撮像システムの構成例を示す図である。

【発明を実施するための形態】

【 0 0 0 9 】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係る光電変換装置の構成例を示す図である。光電変換装置は、例えば CMOS イメージセンサであり、被写体像の入射光を光電変換し、光電変換により得られた電気信号を増幅して外部に出力する。光電変換装置は、画素アレイ 110 を有する。画素アレイ 110 は、2 次元行列状に配置された複数の画素 111 を有する。図 1 では、簡単のために 8 つの画素 111 を示しているが、画素 111 の個数はこれに限られず、より多くの画素 111 を有していてもよい。各画素 111 は、光電変換により、信号を生成する。

【 0 0 1 0 】

10

20

30

40

50

図2は、画素111の構成例を示す回路図である。画素制御信号線112は、行選択パルス線PSELと、画素転送パルス線PTXと、画素リセットパルス線PRESとを有する。光電変換部114は、例えばフォトダイオードであり、光を電荷に変換して蓄積する。画素転送スイッチ115は、画素転送パルス線PTXの電圧に応じて、光電変換部114に蓄積されている電荷をフローティングディフュージョンFDに転送する。フローティングディフュージョンFDは、電荷を蓄積し、電荷を電圧に変換する。画素リセットスイッチ116は、画素リセットパルス線PRESの電圧に応じて、フローティングディフュージョンFD及び/又は光電変換部114の電圧を電源電圧VDDにリセットする。画素増幅トランジスタ117は、フローティングディフュージョンFDの電圧を増幅する。行選択スイッチ118は、行選択パルス線PSELの電圧に応じて、画素増幅トランジスタ117により増幅された電圧を列信号線113に出力する。列信号線113は、行列状の画素111の列毎に設けられる。各列信号線113には、各列の画素111が接続される。

10

【0011】

図1の光電変換装置は、さらに垂直走査回路140を有する。垂直走査回路140は、画素制御信号線112を介して、画素111の各行に接続される。各行の画素111は、同じ画素制御信号線112に接続される。画素111は、上記のように、列信号線113に電圧を出力する。増幅回路120は、列信号線113の電圧を増幅する。

【0012】

図3は、増幅回路120の構成例を示す回路図である。増幅回路120は、演算増幅器121と、リセットスイッチ112と、入力容量C0及び帰還容量CFを有し、列信号線113の電圧を反転増幅する。リセットスイッチ112をオンすると、増幅回路120はリセットされ、リセットスイッチ112をオフすると、増幅回路120のリセットは解除される。

20

【0013】

図1において、奇数列の保持容量 $131s-1$ 、 $131n-1$ 及び偶数列の保持容量 $131s-2$ 、 $131n-2$ は、複数の画素111の各列に設けられ、画素111に基づく信号を保持する。

【0014】

画素111及び増幅回路120がリセットされると、増幅回路120は、ノイズ信号を出力し、転送スイッチ130nが制御信号PTNによりオンする。ノイズ信号は、転送スイッチ130nを介して保持容量 $131n-1$ 、 $131n-2$ に保持される。第1の保持容量 $131n-1$ 、 $131n-2$ は、画素111のリセット状態の信号を保持する。

30

【0015】

画素111のリセットが解除されると、光電変換部114は、光電変換及び電荷の蓄積を開始する。増幅回路120のリセットが解除され、画素転送スイッチ115がオンすると、画素111は、行選択スイッチ118のオンにより、光電変換により発生した電荷に応じた信号がノイズ信号に重畳した画素信号を列信号線113に出力する。増幅回路120は、列信号線113の画素信号を増幅して出力する。転送スイッチ130sが制御信号PTSによりオンすると、画素信号は、転送スイッチ130sを介して保持容量 $131s-1$ 、 $131s-2$ に保持される。第2の保持容量 $131s-1$ 、 $131s-2$ は、画素111の非リセット状態の信号を保持する。

40

【0016】

第1の列選択スイッチ132n-1は、保持容量 $131n-1$ 及び第1の水平出力線134n-1の間に設けられる。第1の列選択スイッチ132s-1は、保持容量 $131s-1$ 及び第1の水平出力線134s-1の間に設けられる。第2の列選択スイッチ132n-2は、保持容量 $131n-2$ 及び第2の水平出力線134n-2の間に設けられる。第2の列選択スイッチ132s-2は、保持容量 $131s-2$ 及び第2の水平出力線134s-2の間に設けられる。

【0017】

50

第1の列選択スイッチ132n-1がオンすると、保持容量131n-1に保持された電圧は、水平出力線134n-1に読み出される。また、第1の列選択スイッチ132s-1がオンすると、保持容量131s-1に保持された電圧は、水平出力線134s-1に読み出される。また、第2の列選択スイッチ132n-2がオンすると、保持容量131n-2に保持された電圧は、水平出力線134n-2に読み出される。また、第2の列選択スイッチ132s-2がオンすると、保持容量131s-2に保持された電圧は、水平出力線134s-2に読み出される。保持容量131n-1, 131s-1, 131n-2, 131s-2の容量値と水平出力線134n-1, 134s-1, 134n-2, 134s-2の配線容量値や配線に接続されているスイッチの接合容量からなる容量の容量比に応じて電荷が分配される。上記の読み出しは、上記の電荷の分配による読み出し方法である。即ち、読み出し期間中の水平出力線134n-1, 134s-1, 134n-2, 134s-2はハイインピーダンスな状態にある。

10

【0018】

水平出力線134s-1及び134s-2の画素信号は、バッファ153によりインピーダンス変換され、マルチプレクサ137を介して出力端子138sに出力される。水平出力線134n-1及び134n-2のノイズ信号は、バッファ153によりインピーダンス変換され、マルチプレクサ137を介して出力端子138nに出力される。

【0019】

水平出力線134n-1, 134s-1, 134n-2, 134s-2は、信号を所定の期間保持した後、スイッチ154により電圧VCHRにリセットされる。水平走査回路(制御部)135-1は、第1の位相のクロック信号CLK1に同期し、列選択スイッチ132n-1, 132s-1を制御する。水平走査回路(制御部)135-2は、第1の位相とは異なる第2の位相のクロック信号CLK2に同期し、列選択スイッチ132n-2, 132s-2を制御する。マルチプレクサ137は、第1の水平出力線134n-1, 134s-1と第2の水平出力線134n-2, 134s-2から入力される異なる位相の信号を、制御信号MUXに従ってマルチプレクスして出力端子138n, 138sに出力する。差分処理回路160は、出力端子138sの画素信号と出力端子138nのノイズ信号との差分処理を行い、ノイズを除去した画素信号を出力する。

20

【0020】

図4は、本実施形態の光電変換装置の駆動方法を示すタイミングチャートである。PRESは画素リセットパルス線の電圧、PSELは行選択パルス線の電圧、PTXは画素転送パルス線の電圧を示している。また、PCORは増幅回路120内のリセットスイッチ122を制御するリセット信号である。また、PTNは、転送スイッチ130nを制御するサンプルホールド信号である。PTSは、転送スイッチ130sを制御するサンプルホールド信号である。また、CLMSEL1及びCLMSEL3は、列選択スイッチ132s-1及び132n-1を制御する列選択パルスであり、列選択線133-1及び133-3にそれぞれ供給されている。CLMSEL2及びCLMSEL4は、列選択スイッチ132s-2及び132n-2を制御する列選択パルスであり、列選択線133-2及び133-4にそれぞれ供給されている。第1の列選択線133-1は、第1列の列選択スイッチ132s-1及び132n-1を制御するための線である。第2の列選択線133-2は、第2列の列選択スイッチ132s-2及び132n-2を制御するための線である。第3の列選択線133-3は、第3列の列選択スイッチ132s-1及び132n-1を制御するための線である。第4の列選択線133-4は、第4列の列選択スイッチ132s-2及び132n-2を制御するための線である。

30

40

【0021】

時刻t1の前では、画素リセットパルス線PRESがハイレベルになり、画素リセットスイッチ116がオンし、フローティングディフュージョンFDが電源電圧VDDにリセットされている。

【0022】

時刻t1~t11において、画素リセットパルス線PRESがローレベルになり、画素

50

リセットスイッチ 116 がオフとなる。また、時刻 t_2 以降、行選択パルス線 PSEL がハイレベルになり、行選択スイッチ 118 がオンとなることで、所定行の画素 111 の信号の読み出しが可能となる。時刻 t_3 では、リセット信号 PCOR がハイレベルになり、リセットスイッチ 122 がオンし、増幅回路 120 がリセットされる。時刻 t_4 では、リセット信号 PCOR がローレベルになり、リセットスイッチ 122 がオフし、増幅回路 120 のリセットが解除される。画素 111 は、フローティングディフュージョン FD のリセットにより、ノイズ信号を列信号線 113 に出力する。増幅回路 120 は、ノイズ信号を増幅して出力する。時刻 $t_5 \sim t_6$ では、サンプルホールド信号 PTN がハイレベルになり、サンプルホールドスイッチ 130n がオンする。各増幅回路 120 により出力されるノイズ信号は、サンプルホールドスイッチ 130n を介して、各列の保持容量 131n - 1, 131n - 2 に保持される。

10

【0023】

時刻 $t_7 \sim t_8$ では、画素転送パルス線 PTX がハイレベルになり、画素転送スイッチ 115 がオンする。すると、画素 111 内の光電変換部 114 により光電変換された電荷は、画素転送スイッチ 115 を介して、フローティングディフュージョン FD に転送される。画素 111 は、上記のノイズ信号に光電変換の信号が重畳した画素信号を列信号線 113 に出力する。増幅回路 120 は、列信号線 113 の画素信号を増幅して出力する。

【0024】

時刻 $t_9 \sim t_{10}$ では、サンプルホールド信号 PTS がハイレベルになり、サンプルホールドスイッチ 130s がオンする。各増幅回路 120 により出力される画素信号は、サンプルホールドスイッチ 130s を介して、各列の保持容量 131s - 1, 131s - 2 に保持される。

20

【0025】

時刻 t_{11} 以降では、画素リセットパルス線 PRES がハイレベルになり、画素リセットスイッチ 116 がオンし、フローティングディフュージョン FD が電源電圧 VDD にリセットされる。

【0026】

時刻 t_{12} 以降では、第 1 の位相のクロック信号 CLK1 及び第 2 の位相のクロック信号 CLK2 がそれぞれ水平走査回路 135 - 1 及び 135 - 2 に供給される。水平走査回路 135 - 1 は、第 1 の位相のクロック信号 CLK1 に基づいて、列選択パルス CLMS E L 1 及び CLMS E L 3 を生成する。まず、第 1 の位相のクロック信号 CLK1 に同期して、列選択パルス CLMS E L 1 がハイレベルになると、列選択スイッチ 132s - 1 及び 132n - 1 がオンする。これにより、保持容量 131s - 1 及び 131n - 1 に保持されている画素信号及びノイズ信号が第 1 の水平出力線 134s - 1 及び 134n - 1 に読み出される。次に、第 1 の位相のクロック信号 CLK1 に同期して、列選択パルス CLMS E L 3 がハイレベルになり、上記と同様に、第 3 列の画素信号及びノイズ信号の読み出しが行われる。

30

【0027】

同様に、水平走査回路 135 - 2 は、第 2 の位相のクロック信号 CLK2 に基づいて、列選択パルス CLMS E L 2 及び CLMS E L 4 を生成する。まず、第 2 の位相のクロック信号 CLK2 に同期して、列選択パルス CLMS E L 2 がハイレベルになると、列選択スイッチ 132s - 2 及び 132n - 2 がオンする。これにより、保持容量 131s - 2 及び 131n - 2 に保持されている画素信号及びノイズ信号が第 2 の水平出力線 134s - 2 及び 134n - 2 に読み出される。次に、第 2 の位相のクロック信号 CLK2 に同期して、列選択パルス CLMS E L 4 がハイレベルになり、上記と同様に、第 4 列の画素信号及びノイズ信号の読み出しが行われる。

40

【0028】

マルチプレクス信号 MUX により、マルチプレクサ 137 は、第 1 の水平出力線 134s - 1, 134n - 1 の出力と、第 2 の水平出力線 134s - 2, 134n - 2 の出力のいずれかが選択され、出力端子 138s 及び 138n にそれぞれ読み出される。

50

【 0 0 2 9 】

信号 P C H R 1 がハイレベルになると、スイッチ 1 5 4 がオンし、水平出力線 1 3 4 s - 1 , 1 3 4 n - 1 が電圧 V C H R にリセットされる。また、信号 P C H R 2 がハイレベルになると、スイッチ 1 5 4 がオンし、水平出力線 1 3 4 s - 2 , 1 3 4 n - 2 が電圧 V C H R にリセットされる。

【 0 0 3 0 】

図 4 の矢印は、信号 C L M S E L 2 の立ち上がり及び立ち下がりを示す。信号 C L M S E L 2 の立ち上がり時の列選択線 1 3 3 - 2 の電位変動によって、信号 C L M S E L 1 により第 1 列の保持容量 1 3 1 s - 1 , 1 3 1 n - 2 から水平出力線 1 3 4 s - 1 , 1 3 4 n - 1 に読み出し中の信号にノイズがのる。また、信号 C L M S E L 2 の立ち下がり時の列選択線 1 3 3 - 2 の電位変動によって、信号 C L M S E L 3 により第 3 列の保持容量 1 3 1 s - 1 , 1 3 1 n - 2 から水平出力線 1 3 4 s - 1 , 1 3 4 n - 1 に読み出し中の信号にノイズがのる。このノイズ対策は、図 5 ~ 図 8 を参照しながら後述する。

10

【 0 0 3 1 】

図 5 は、図 1 の光電変換装置における列選択線 1 3 3 - 2 と水平出力線 1 3 4 s - 1 , 1 3 4 n - 1 , 1 3 4 s - 2 , 1 3 4 n - 2 との交差部分の平面図である。図 6 は、図 5 の Y - Y ' の断面図である。図 7 は、図 5 の X A - X A ' の断面図である。図 8 は、図 5 の X B - X B ' の断面図である。

【 0 0 3 2 】

シリコン基板 1 5 0 及び素子分離酸化膜 1 5 1 の上には、ポリシリコン層、第 1 アルミ層及び第 2 アルミ層が積層され、ポリシリコン層と第 1 アルミ層はコンタクトホールで接続される。列選択線 1 3 3 - 2 は、領域 B においては、第 2 アルミ層で形成された水平出力線 1 3 4 s - 2 及び 1 3 4 n - 2 に対して、直下の第 1 アルミ層で形成されており、低抵抗な配線となっている。列選択線 1 3 3 - 2 が水平出力線 1 3 4 s - 2 及び 1 3 4 n - 2 との容量結合が或る程度あっても、列選択線 1 3 3 - 2 の電位変化に同期して、水平出力線 1 3 4 s - 2 及び 1 3 4 n - 2 の電位が変化するが、サンプリング期間への影響が少ないことに着目している。一方、列選択線 1 3 3 - 2 は、領域 A では、異なる位相で駆動される水平出力線 1 3 4 s - 1 及び 1 3 4 n - 1 との容量結合をさけるように、ポリシリコン層で形成されている。列選択線 1 3 3 - 2 は、領域 B では第 1 アルミ層で形成され、領域 A ではポリシリコン層で形成され、領域 A と領域 B とで異なる配線層に形成される。

20

30

【 0 0 3 3 】

また、列選択線 1 3 3 - 2 と水平出力線 1 3 4 s - 1 , 1 3 4 n - 1 との容量結合を低減するように、列選択線 1 3 3 - 2 と水平出力線 1 3 4 s - 1 , 1 3 4 n - 1 との間に遮蔽体 1 5 2 を配置している。これは、列選択線 1 3 3 - 2 の電位変化は、水平出力線 1 3 4 s - 1 , 1 3 4 n - 1 が信号出力している期間のうちの後半にあたり、外部回路がサンプリングする時刻に近いからである。領域 A では、列選択線 1 3 3 - 2 と水平出力線 1 3 4 s - 1 , 1 3 4 n - 1 との間に遮蔽体 1 5 2 が設けられ、領域 B では、列選択線 1 3 3 - 2 と水平出力線 1 3 4 s - 2 , 1 3 4 n - 2 との間に遮蔽体 1 5 2 が設けられない。

【 0 0 3 4 】

このように領域 A と領域 B で、列選択線 1 3 3 - 2 を異なる構造とすることによって、異なる位相で駆動される水平出力線 1 3 4 s - 1 , 1 3 4 n - 1 に対し、ノイズが重畳されにくくなっている。また、本実施形態では、列選択線 1 3 3 - 2 は、領域 B では、低抵抗なアルミ配線を使用して配線低抗を低減することにより、同相で駆動される水平出力線 1 3 4 s - 2 , 1 3 4 n - 2 に対して、容量結合があっても、影響を小さくできる。

40

【 0 0 3 5 】

また、図 8 に示すように、保持容量 1 3 1 s - 2 , 1 3 1 n - 2 から水平出力線 1 3 4 s - 2 , 1 3 4 n - 2 に対して引き出している配線 1 3 6 s - 2 , 1 3 6 n - 2 は、列選択線 1 3 3 - 2 と同一層で形成される。これにより、列選択線 1 3 3 - 2 と配線 1 3 6 s - 2 の間の容量結合分と、列選択線 1 3 3 - 2 と配線 1 3 6 n - 2 の間の容量結合分とを、異なる配線層間のアライメント誤差の影響を受けないようにすることができ、精度よく

50

揃えることが可能である。このことから、列選択線 133 - 2 から配線 136 s - 2 , 136 n - 2 への容量結合のアンバランスからくるオフセット誤差を低減することができる。

【0036】

上記では、図1において左から2列目の回路に着目して説明した。これに対して、左から1列目では、上述の領域A及び領域Bの位置が逆になる。具体的には、列選択線 133 - 1 が水平出力線 134 s - 1 , 134 n - 1 と交差する領域は、図5～8に示した領域Bと同様の構造となり、列選択線 133 - 1 が水平出力線 134 s - 2 , 134 n - 2 と交差する領域は、領域Aと同様の構造となる。左から3列目以降は、1列目及び2列目の配線パターンが繰り返される。

10

【0037】

本実施形態では、2種類の位相のクロック信号 CLK 1 及び CLK 2 で動作する光電変換装置を例に説明したが、3種類以上の位相のクロック信号で駆動する場合においても、適用できる。

【0038】

また、信号を保持する複数のメモリ部から構成されるラインメモリを有する光電変換装置にも、本実施形態を適用することができる。第1のスイッチは、ラインメモリの各メモリ部に接続される。第1の共通信号線は、第1のスイッチが所定の個数接続されてなる。第2のスイッチは、第1の共通信号線を第2の共通信号線に接続するためのスイッチである。信号読み出し部は、ラインメモリの各メモリ部に保持される信号を第1のスイッチ、第1の共通信号線、及び第2のスイッチを介して第2の共通信号線に選択的に読み出す。このような光電変換装置にも、異なる位相をもつ複数クロック信号に同期して信号を出力させ、本実施形態を適用できる。

20

【0039】

(第2の実施形態)

図9は、本発明の第2の実施形態による光電変換装置の平面図である。図10は、図9のY-Y'の断面図である。図11は、図9のXA-XA'の断面図である。図12は、図9のXB-XB'の断面図である。本実施形態は、第1の実施形態に対して、列選択線 133 - 2 等と水平出力線 134 s - 1 , 134 n - 1 との交差部分の構造が異なっている。以下、本実施形態が第1の実施形態と異なる点を説明する。

30

【0040】

本実施形態では、水平出力線 134 s - 1 及び 134 n - 1 は、列選択線 133 - 2 と交差する部分で幅を細くすることにより、容量結合成分を低減している。なお、図9では、水平出力線 134 s - 1 及び 134 n - 1 を細くしたが、上記の交差する部分で列選択線 133 - 2 の幅を細くしても良い。このように領域Aと領域Bで、線の幅を異なる構造とすることによって、異なる位相で駆動される水平出力線 134 s - 1 , 134 n - 1 に対し、ノイズが重畳されにくくなる。

【0041】

また、本実施形態は、列選択線 133 - 2 に低抵抗であるアルミ配線を用いて領域Aと領域Bの両方を形成しているため、列選択線 133 - 2 の全体の抵抗を下げるができる。

40

【0042】

以上のように、第1及び第2の実施形態では、列選択線 133 - 2 と第1の出力線 134 s - 1 , 134 n - 1 とが交差する部分の領域Aと、列選択線 133 - 2 と第2の出力線 134 s - 2 , 134 n - 2 とが交差する部分の領域Bとは、相互に配線構造が異なる。なお、列選択線 133 - 2 を例に説明したが、その他の列選択線 133 - 1 , 133 - 3 , 133 - 4 についても同様である。

【0043】

列選択線 133 - 2 と第2の出力線 134 s - 2 , 134 n - 2 は、共に第2の位相のクロック信号 CLK 2 に同期して電位変動するので、第2の出力線 134 s - 2 , 134

50

n - 2の電圧は、列選択線133 - 2の電位変動に伴うノイズの影響が少ない。これに対し、列選択線133 - 2は第2の位相のクロック信号CLK2に同期して電位変動し、第1の出力線134s - 1, 134n - 1は第1の位相のクロック信号CLK1に同期して電位変動する。そのため、第1の出力線134s - 1, 134n - 1の電圧は、列選択線133 - 2の電位変動に伴うノイズの影響が大きい。

【0044】

そこで、列選択線133 - 2と第1の出力線134s - 1, 134n - 1とが交差する部分の領域Aは、列選択線133 - 2と第2の出力線134s - 2, 134n - 2とが交差する部分の領域Bに対して、容量結合が低減するように、配線構造を異ならせる。これにより、第1の出力線134s - 1, 134n - 1のノイズを低減することができる。

10

【0045】

(第3の実施形態)

図13は、本発明の第3の実施形態に係る撮像システムの構成例を示す図である。撮像システム800は、例えば、光学部810、光電変換装置100、映像信号処理回路部830、記録・通信部840、タイミング制御回路部850、システムコントロール回路部860、及び再生・表示部870を有する。光電変換装置100は、第1及び第2の実施形態の光電変換装置である。

【0046】

レンズ等の光学系である光学部810は、被写体からの光を光電変換装置100の、複数の画素が2次元状に配列された画素部101に結像させ、被写体の像を形成する。光電変換装置100は、タイミング制御回路部850からの信号に基づくタイミングで、画素部101に結像された光に応じた信号を出力する。光電変換装置100から出力された信号は、映像信号処理部である映像信号処理回路部830に入力され、映像信号処理回路部830が、プログラム等によって定められた方法に従って信号処理を行う。映像信号処理回路部830での処理によって得られた信号は画像データとして記録・通信部840に送られる。記録・通信部840は、画像を形成するための信号を再生・表示部870に送り、再生・表示部870に動画や静止画像を再生・表示させる。記録・通信部840は、また、映像信号処理回路部830からの信号を受けて、システムコントロール回路部860と通信を行うほか、不図示の記録媒体に、画像を形成するための信号を記録する動作も行う。

20

30

【0047】

システムコントロール回路部860は、撮像システムの動作を統括的に制御するものであり、光学部810、タイミング制御回路部850、記録・通信部840、及び再生・表示部870の駆動を制御する。また、システムコントロール回路部860は、例えば記録媒体である不図示の記憶装置を備え、ここに撮像システムの動作を制御するのに必要なプログラム等が記録される。また、システムコントロール回路部860は、例えばユーザの操作に応じて駆動モードを切り替える信号を撮像システム内に供給する。具体的な例としては、読み出す行やリセットする行の変更、電子ズームに伴う画角の変更や、電子防振に伴う画角のずらし等である。タイミング制御回路部850は、システムコントロール回路部860による制御に基づいて光電変換装置100及び映像信号処理回路部830の駆動タイミングを制御する。

40

【0048】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

【符号の説明】

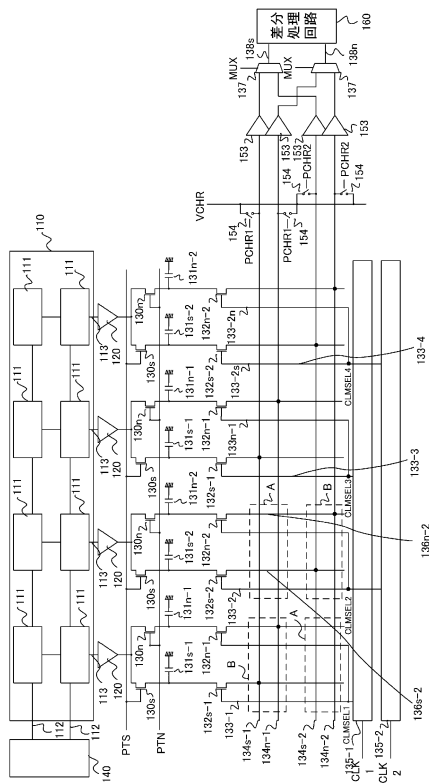
【0049】

111 画素、131s - 1, 131n - 1, 131s - 2, 131n - 2 保持容量、132s - 1, 132n - 1, 132s - 2, 132n - 2 列選択スイッチ、133 -

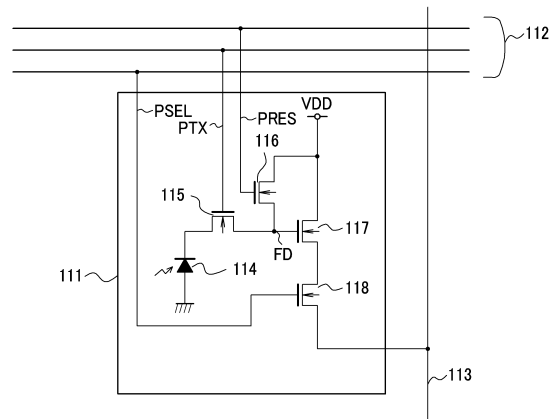
50

1 ~ 133 - 4 列選択線、134 s - 1 , 134 n - 1 第1の出力線、134 s - 2 , 134 n - 2 第2の出力線

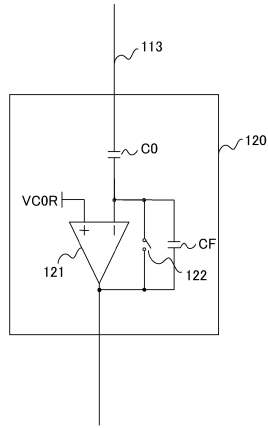
【図1】



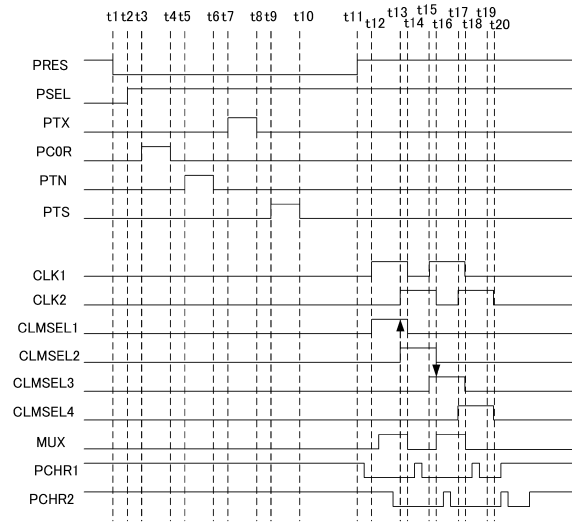
【図2】



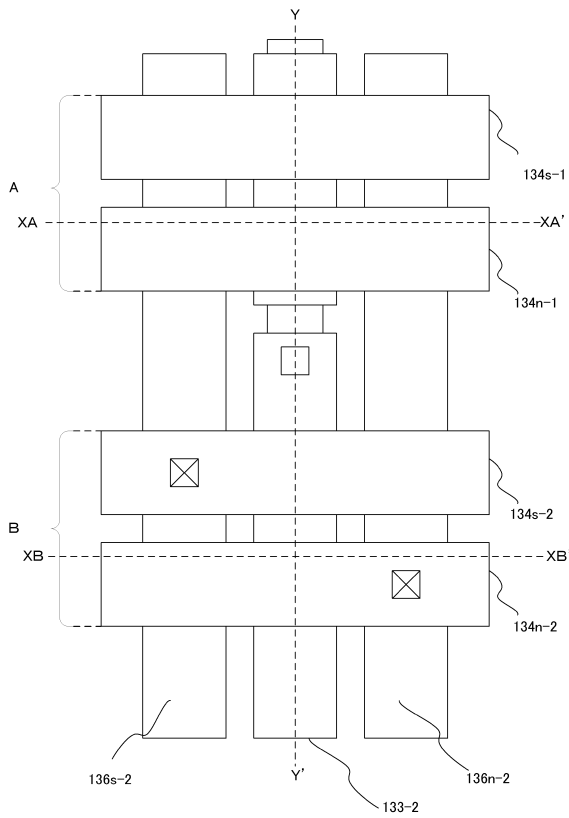
【図3】



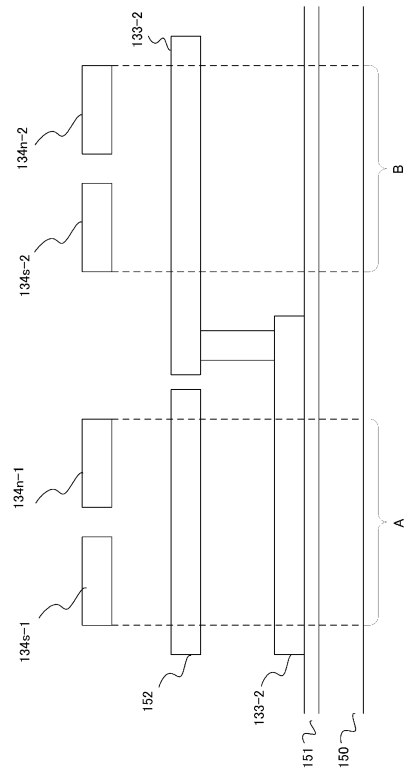
【図4】



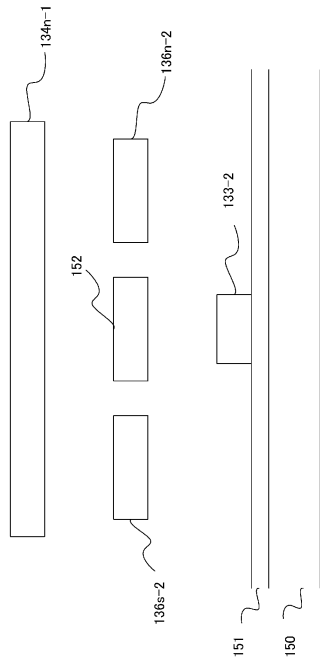
【図5】



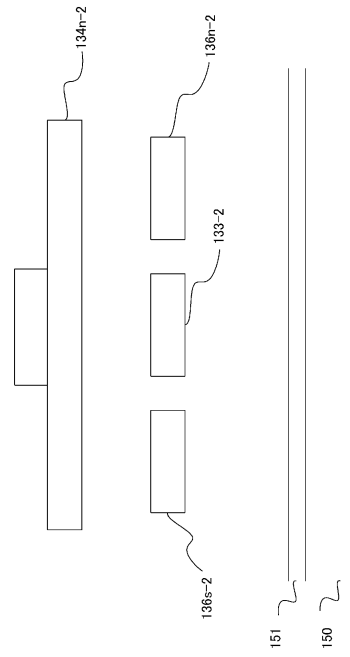
【図6】



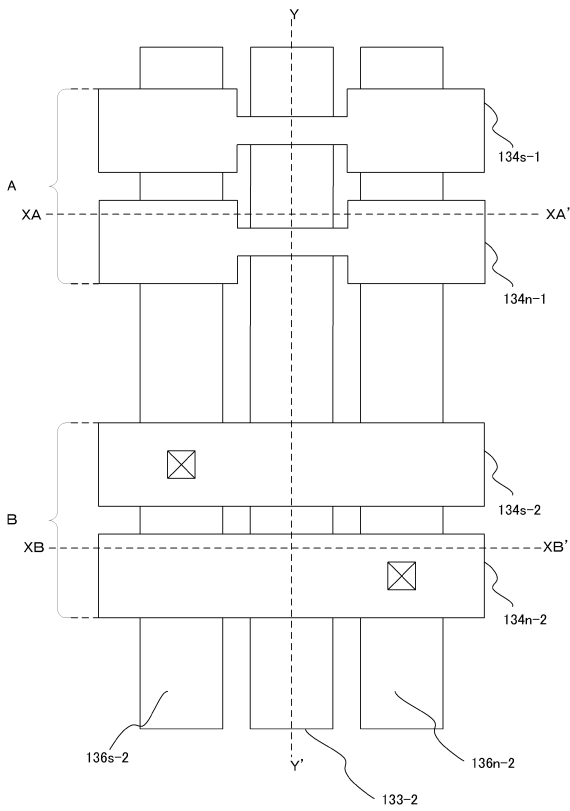
【 図 7 】



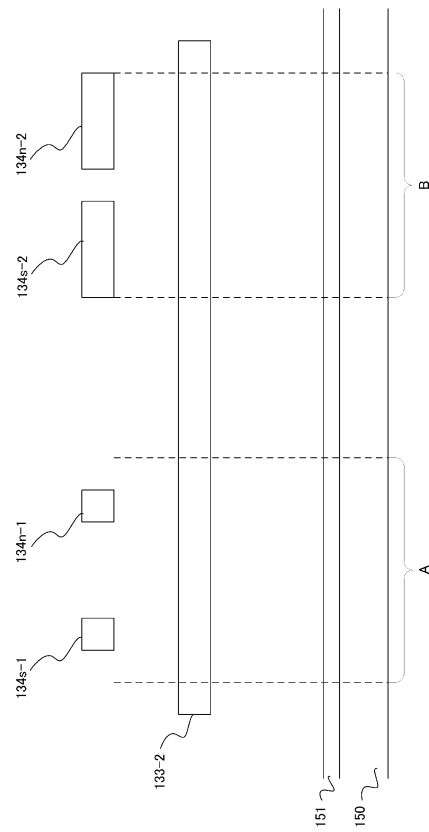
【 図 8 】



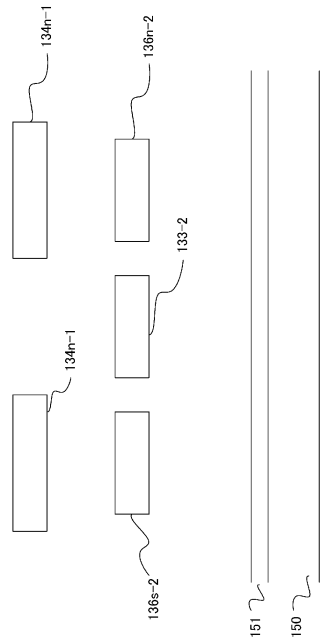
【 図 9 】



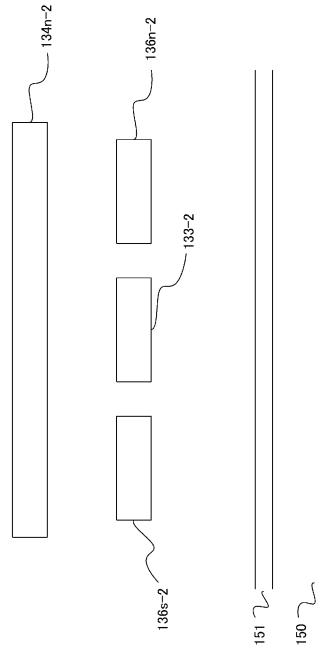
【 図 10 】



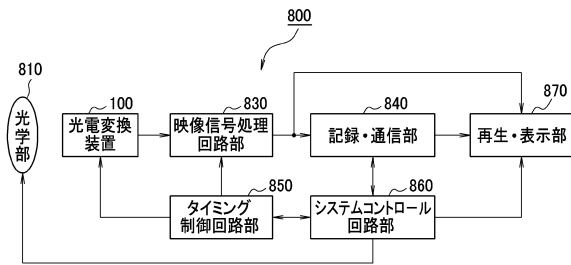
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

- (56)参考文献 特開2005 - 217366 (JP, A)
特開2004 - 153682 (JP, A)
特開2012 - 004689 (JP, A)
特開2003 - 259227 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378
H01L 27/14 - 27/148