(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3684593号
(P3684593)
(45)発行日　平成17年8月17日(2005.8.17)　(24)登録日　平成17年6月10日(2005.6.10)

(51)Int.Cl.[7]　F I
C23C 14/34　C23C 14/34 U

請求項の数 5　(全 21 頁)

(21)出願番号　特願平6-175674
(22)出願日　平成6年7月27日(1994.7.27)
(65)公開番号　特開平7-90573
(43)公開日　平成7年4月4日(1995.4.4)
審査請求日　平成13年4月18日(2001.4.18)
(31)優先権主張番号　特願平5-205704
(32)優先日　平成5年7月28日(1993.7.28)
(33)優先権主張国　日本国(JP)

(73)特許権者　000000044
旭硝子株式会社
東京都千代田区有楽町一丁目１２番１号
(72)発明者　清水　潤一
神奈川県横浜市神奈川区羽沢町１１５０番地　旭硝子株式会社　中央研究所内
(72)発明者　渡邊　周二郎
神奈川県横浜市神奈川区羽沢町１１５０番地　旭硝子株式会社　中央研究所内
(72)発明者　安藤　英一
茨城県鹿島郡神栖町大字東和田２５番地
旭硝子株式会社　鹿島工場内

審査官　宮澤　尚之

最終頁に続く

(54)【発明の名称】スパッタリング方法およびその装置

(57)【特許請求の範囲】

【請求項１】

真空室内に配置したカソードに、負の電圧が一定の周期で間欠的に印加されるスパッタリング方法において、負の電圧が印加されない時間の少なくとも一部の時間は、電圧が０ボルトに制御される時間であって、１０μ秒～１０m秒の範囲であり、かつ、１回のアーク放電の発生から消失までに要する時間と同等かそれよりも長い時間であり、かつ前記電圧が０ボルトに制御される時間は、アーク放電の直後に設けられることを特徴とするスパッタリング方法。

【請求項２】

前記負の電圧が間欠的に印加される時間は、１０μ秒～１０m秒の範囲であり、かつ、該負の電圧が印加されてからアーク放電が発生するまでの時間と同等かそれよりも短い時間である請求項１に記載のスパッタリング方法。

【請求項３】

前記電圧が０ボルトに制御される時間の一部には、１μ秒～２０μ秒の範囲で正の電圧が印加される時間を有することを特徴とする請求項１または２のスパッタリング方法。

【請求項４】

真空室内に配置したカソードと、スパッタリング電力発生部と、電力加工部とを有し、前記カソードに、負の電圧が間欠的に印加されるスパッタリング装置において、前記電力加工部は、負の電圧が印加されない時間の少なくとも一部の時間が、電圧が０ボルトに制御される時間であって、１０μ秒～１０m秒の範囲であり、かつ、１回のアーク放電の発

生から消失までに要する時間と同等かそれよりも長い時間であり、かつ前記電圧が０ボルトに制御される時間は、アーク放電の直後に設けられる電圧波形とする電力加工部であることを特徴とするスパッタリング装置。

【請求項５】

カソードに負の電圧が間欠的に印加されるスパッタリング装置で用いられる電力加工部において、

電力加工部は、第１のスイッチング回路と、第２のスイッチング回路と、半導体スイッチング素子の駆動制御回路と、スパッタリングの電流、電圧または電力を計測する回路とを有し、

第１および第２のスイッチング回路はそれぞれ半導体スイッチング素子および該素子の保護回路とからなり、

第１のスイッチング回路は、スパッタリング電力発生部の負極とカソード電極との間に直列に挿入され、

第２のスイッチング回路は、スパッタリング電力発生部とは別にカソード電極に正の電圧を供給する直流電源とカソード電極との間に直列に挿入され、

半導体スイッチング素子の駆動制御回路は、第１のスイッチング回路をオンにする時間を５μ秒以上に、オフにする時間を５μ秒以上に制御可能であるとともに、第１のスイッチング回路をオフに制御したときに、第１のスイッチング回路をオフにする時間以下で、かつ、１μ秒～２０μ秒の範囲に第２のスイッチング回路をオンに制御できる機能を有し、

スパッタリングの電流、電圧または電力を計測する回路は、スパッタリングに有効な電流値、電圧値または電力値を計測する機能と、計測された前記各値とあらかじめ設定された各基準値との多寡を判定しアーク放電を検出する機能とを有し、

負の電圧が印加されない時間の少なくとも一部の時間は、電圧が０ボルトに制御される時間であって、１０μ秒～１０ｍ秒の範囲であり、かつ、１回のアーク放電の発生から消失までに要する時間と同等かそれよりも長い時間であり、かつ前記電圧が０ボルトに制御される時間は、アーク放電の直後に設けられることを特徴とする電力加工部。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は、パルス状の直流電圧を印加するスパッタリング方法、該方法を実現する装置および電力加工部に関する。

【０００２】

【従来の技術】

直流スパッタリング用のカソードは異常放電の問題を解決しなければ、高速で高品質の成膜を行うことができない。

【０００３】

カソード周辺で起きる異常放電はいろいろな原因による。ターゲット材表面に堆積または発生した微小な面積の絶縁物に電荷が蓄積され、該電荷が周辺の被成膜基板、アノード電極、真空室内壁、またはターゲット表面など電圧的に対極した部位に向かって一時的に起きるアーク放電（以下、アーキングともいう）によるものが多い。

【０００４】

このアーキングは、特に反応性スパッタリングにより導電性のターゲット材から絶縁体の生成物が生ずる場合などに多発する。アーキングが発生すると、ターゲット表面上に放電エネルギーが局部的に集中し、反応性ガス雰囲気中においてはさらに絶縁物を形成するので連鎖的にアーキングを多数引き起こす。

【０００５】

このため、スパッタリングに有効なグロー放電を安定して持続できなくなったり、成膜速度がきわめて不安定になったり、均一な品質の成膜を行えなくなったり、場合によってはアーキングによって膜が形成される基板に損傷を与えたり、ターゲット材やカソードを構

成する機構部品を溶かしたりする等の弊害を及ぼす。

【０００６】

従来前記弊害を回避する方法としては、１３．５６ＭＨｚの高周波電源を使用する方法がよく行われている。

【０００７】

最近では、特開平５－１４８６４４号と特開平５－３３１６３４号とで提案された波形、または、該波形を実現し市販されている製品として、米国Ａｄｖａｎｃｅｄ　Ｅｎｅｒｇｙ社のＳＰＡＲＣ－ＬＥという製品があり、５μ秒～１０μ秒程度のパルス状の正の電圧を周期的にカソードに印加して、ターゲット材表面に堆積または発生した微小な面積の絶縁物に蓄積した正電荷を、プラズマ中の電子を引き寄せることにより中和して、１３．５６ＭＨｚの放電で得られるような効果を数ｋＨｚの周波数の波形で実現する手法が開発されている。

【０００８】

また、米国特許第５０８２５４６号に見られるような、近接して配置した２本のカソードに数十ｋＨｚの中周波交流を印加して、２本のカソード間に交互に放電を起こし、カソード電圧が負になったときにスパッタリングを行い、正になったときにターゲット材表面に堆積または発生した微小な面積の絶縁物に蓄積した正電荷を、プラズマ中の電子を引き寄せることにより、ターゲット表面の電圧差を中和する方法も開発されている。

【０００９】

１３．５６ＭＨｚの高周波電源を用いたスパッタリング方法は、絶縁物でもスパッタリングできるので根本的にアーキングを抑止できるとされている。

【００１０】

しかし、１３．５６ＭＨｚの高周波電源を用いたスパッタリング装置は、出力１０ｋＷ以上の電源が大がかりで高価になること、高圧、大電流のインピーダンスマッチング回路が必要になること等の理由から、経済的にも、装置構成上からも実現が困難であった。

【００１１】

間欠的に正の電圧を印加する直流電力を使用したり、間欠的に０ボルトにしたりするスパッタリング方法は、ターゲット表面の電位差を中和し、効果的に初期のアーキングの発生を抑止できるため有用な手法である。これにより通常の直流スパッタリングよりも大幅にアーキングを抑止することが可能になった。

【００１２】

しかし、１３．５６ＭＨｚの高周波電源を用いるスパッタリング法のように絶縁物をスパッタリングする能力はなく、長時間の連続放電を行うとアーキングが発生する。

【００１３】

アーキングが発生すると、ターゲット表面上に放電エネルギーが局部的に集中し、それが反応性ガス雰囲気中においてさらに絶縁物を形成するので連鎖的にアーキングを多数引き起こしてしまう。

【００１４】

つまり、間欠的に正の電圧を印加したり、間欠的に０ボルトにしたりしてターゲット表面の電位差を中和しても、その印加する正の電圧や０ボルトにする時間が短いと、それに見合った電荷を蓄積した小さな絶縁物しか電位差の中和は完全には行われない。長時間のスパッタリングにより多くの電荷を蓄積した絶縁物や、アーキングによって新たに作られた大きな電荷を貯えた絶縁物の電位差の完全な中和は、単純な間欠的直流電力の使用によっては不可能であった。

【００１５】

近接して配置した２本のターゲットに交流を印加するスパッタリング方法は、数十ｋＨｚの交流を使用するので、前述の間欠的な直流電力によりスパッタリングする方法と比較して、ターゲットの表面の電位差を中和するという原理に関しては同じであるといえる。そのうえ、同一の電極が交互にカソードとアノードになる。したがって、カソードとなったときには表面がスパッタされクリーニングされるため、アノードとなるときには常に表面

が清浄に保たれているので長時間の連続放電が安定して行えるという利点がある。

【００１６】

しかし、近接した２本のカソードが必要なこと、数十ｋＨｚの交流電源が必要なことから、現存する直流スパッタリング装置で簡便に異常放電を抑止し放電を安定化できるものではない。

【００１７】

アーキング発生の別の原因としては、ターゲット材がスパッタリングにより侵食されてくると、材料によってはターゲット材表面に微小な突起形状が出現し、該突起形状の部分への電界集中が生じることにより、局部的にアーキングが起きることも多い。

【００１８】

アーキングが起きると微小な面積に局部的に放電エネルギーが集中してターゲット材の組成が変化し、スパッタリング率の異なる部位が現れることがあり、ターゲット表面が均一にスパッタリングできないという問題を引き起こす。

【００１９】

アーキングは、特にスパッタリング法でインジウムと錫の酸化物（ＩＴＯ）膜を製造する場合、ターゲットとして、ＩＴＯターゲット、または、インジウムと錫の合金（ＩＴ）ターゲット、のいずれを用いても、連続スパッタリング中に、低級酸化物と思われる酸化インジウム、または、インジウムに対して著しくスパッタリング率の小さい黒色の微小突起物（以下ノジュールという）、がターゲット表面に多数現れ、ＩＴＯ膜の成膜速度が徐々に低下する。

【００２０】

同時に、アーキングが多く発生するようになり、そのアーキングによって飛散したターゲット物質が基板上に付着しＩＴＯ膜の欠陥になるなどの問題を起こしていた。

【００２１】

ターゲット侵食に伴って発生する突起物を除去するための最も一般的な方法としては、Ａｒガス等の不活性ガス雰囲気中で放電しスパッタリングエッチングにより物理的に除去する方法がある。また、ＩＴＯターゲットの場合では、特開平４－２９３７６７号で示されているようにN_2 ガス雰囲気で放電させてクリーニングを行い、ノジュールを除去する方法も提案されている。

【００２２】

しかし、これらの方法はノジュールが発生した後に真空を保ったまま効率良く除去する方法であって、根本的に発生を抑止し、長時間の連続放電を実現する方法ではなかった。

【００２３】

その他の方法としては、ＩＴＯターゲットであればターゲット材の焼結時の密度を上げてターゲット侵食時の突起形状を改善する方法があるが、ターゲット材のコストアップの原因になり、効果もあまりなく完全な対策とはいえない。

【００２４】

もう一つの方法として、ＩＴＯ膜に限られないが、スパッタリング時の電力密度を上げて侵食のされ方を変える方法も考えられるが、電力密度を単に上げることは、アーキングの発生の頻度を増加させたり、アーキングの放電エネルギーを増大させたりして、アーキングの弊害を助長し逆効果になる。

【００２５】

【発明が解決しようとする課題】

本発明は、アーキングを効果的に抑止し、より大きな電力を投入して、より高速に高品質の成膜を長時間にわたって行うためのスパッタリング方法と、該スパッタリング方法を実現する装置および電力加工部の提供を目的とする。

【００２６】

【課題を解決するための手段】

本発明は、真空室内に配置したカソードに、負の電圧が一定の周期で間欠的に印加されるスパッタリング方法において、負の電圧が印加されない時間の少なくとも一部の時間は

、電圧が０ボルトに制御される時間であって、１０μ秒～１０ｍ秒の範囲であり、かつ、１回のアーキング（アーク放電）の発生から消失までに要する時間と同等かそれよりも長い時間であり、かつ前記電圧が０ボルトに制御される時間は、アーク放電の直後に設けられることを特徴とするスパッタリング方法と該スパッタリング方法を実現する装置および電力加工部を提供する。

【００２７】

従来の通常の直流電源でも、初期のアーキングを検出して出力を高速にシャットオフし、アーキングの消失時間経過後、再度出力をオンにする機能を付加することによりアーキングの弊害と発生頻度を低減させることは原理的にはできる。しかし、実際にアーキングの検出回路を電源に設置する場合、電源が正極から負極に出力している電流または電圧の多寡の異常を、出力ケーブルを経由して検出することになる。

【００２８】

このような検出方法においては、ターゲット材であるカソード電極とターゲット材周辺に配置するアノード電極との間で起きているアーキングを検出できるだけであって、カソード材表面上で発生し始める初期の微小なアーキングは、ケーブルのインピーダンスや電源回路の回路定数によりフィルタリングされることになり検出できない。つまり、初期の微小なアーキングによって連鎖的に引き起こされた比較的大きなアーキングが検出できるだけである。

【００２９】

このカソードとアノード間に発生する比較的大きなアーキングの消失時間はｍ秒オーダーであるため、電源の作動としては数ｍ秒間以上出力をシャットオフしなければならない。また、この種のアーキングが発生した時点ではターゲット材表面に形成された絶縁物はすでに大きくなっているので、同様のアーキングは頻発する。したがって、通常の直流電源で出力の異常を検出した場合、数ｍ秒以上のシャットオフを繰り返すことになり、正常なスパッタリングを続けることは著しく困難になる。

【００３０】

以上の理由により、通常の直流電源で装置を構成した場合は、微小なアーキングを検出できず、その結果引き起こされた大きなアーキングに対して数ｍ秒以上のシャットオフを繰り返す問題がある。

【００３１】

本発明者らは、アーキングの波形を詳細に観測することによって、アーキングが連鎖的に発生し始める前の初期のアーキング（以下、初期アーキングという）の波高値（電流波形における波の最大値）と消失する時間が、同じ装置構成であればほぼ一定となることを見出した。

【００３２】

そこで、真空室内に配置したカソードに、負の電圧が一定の周期で間欠的に印加されるスパッタリング方法において、負の電圧が印加されない時間の少なくとも一部の時間は、電圧が０ボルトに制御される時間であって、１０μ秒～１０ｍ秒の範囲であり、かつ、１回のアーキング（アーク放電）の発生から消失までに要する時間と同等かそれよりも長い時間である電圧の波形を使用することにより、アーキングが１度発生しても該アーキングのエネルギーが最小限に抑えられ、連鎖的にアーキングが増大することを防止できることを新規に見出した。この微小なアーキングはオシロスコープなどの波形観測装置によって発見できる。

【００３３】

さらに本発明者らは、同じ装置構成であれば、負の電圧を印加した時点から初期アーキングが発生し始めるまでの時間がほぼ一定となることを、アーキングの波形を詳細に観測することによって見出した。

【００３４】

そこで、負の電圧が間欠的に印加される時間が、１０μ秒～１０ｍ秒の範囲であり、かつ、前記負の電圧が印加されてからアーキング（アーク放電）が発生するまでの時間と同等

かそれよりも短い時間である電圧波形を使用することにより、ターゲット表面上の微小な面積の絶縁物への電荷の蓄積を最小限に抑え、アーキングを起こすよりも早く波形を０ボルトに制御して、ターゲット近傍にあるプラズマによって帯電を中和することにより初期アーキングの発生頻度を低く抑えられることを新規に見出した。

【００３５】

以上述べたように、０ボルトに制御する時間を特定することによって、長時間にわたってスパッタリングを続けることができ、さらに、間欠的に印加される負の電圧の印加時間を特定することによってその効果が増大する。

【００３６】

この方式の波形を図１に示す。図１において、上段は、電圧の波形、下段は電流の波形を示し、１は間欠的に印加される負の電圧の印加時間（以下、オン時間という）、２は０ボルトに制御される時間（以下、オフ時間という）、３はアーキング発生時の波形を示している。

【００３７】

この方式は、オン時間に比べて、オフ時間が長くなった場合は、電力効率は悪くなるものの、オン／オフだけの単純な波形なので、電源部の容量に余裕があれば装置構成上有利である。

【００３８】

一方、本発明者らは、オフ時間の一部に、１μ秒～２０μ秒の範囲で正の電圧が印加される時間を有する電圧波形を用いることにより、絶縁物への帯電の中和をより効率良く、より短時間で行えることを見出した。

【００３９】

この波形と前記の特定のオン時間とを組み合わせることにより電力効率の良い波形が得られることを見出した。

【００４０】

さらに、アーキング（アーク放電）が消失する時間と同等かそれよりも長い時間の、電圧を０ボルトにする制御を、アーキングの直後だけに設定することで、より電力効率が良く、そして長時間にわたってアーキングの発生を抑止できることを見出した。

【００４１】

このときの波形を図２に示す。図２において、上段は、電圧の波形、下段は電流の波形を示し、２１はオン時間で、１０μ秒～１０ｍ秒の範囲であり、かつ、電圧がオンになってから初期アーキングが発生するまでの時間と同等かそれよりも短い時間である。

【００４２】

２２はオフ時間であり、この時間は、正の電圧を印加している時間２３と、その後０ボルトにする時間２６（オフ時間２６）により決定される。なお、正の電圧を印加している時間２３の直前のオフ時間は短時間であることが好ましいが、半導体スイッチング素子の保護のために１μ秒～２μ秒の一定の時間が設定される。

【００４３】

正の電圧を印加する時間２３は、長時間である必要はなく、実際に大型のターゲットに印加するために充分な時間であればよく、約５μ秒～２０μ秒程度であることが好ましい。また、正の電圧の値は、実際のターゲットに印加されるのに充分な電圧であればよく、最大２００ボルト程度でよい。

【００４４】

オフ時間２２は、オフ時間２６を調整することによって変更でき、プロセスの状況によって調節できることが望ましい。これは、もし検出回路に設定した検出基準値よりも小さなごく微小なアーキングが発生したときでも、オフ時間２６を調整し、そのごく微小なアーキングの消失時間と同等かそれよりも長い時間のオフ時間２２とすることで好ましい結果が得られるからである。

【００４５】

２５はアーキング発生時の波形を示しており、アーキング発生直後のオフ時間２４はアー

キングの消失時間と同等かそれ以上の長さとなっている。
【００４６】
以上述べた各種条件は、スパッタリングする材料やカソード電極の構造により最適値が異なるので変更できることが好ましい。
【００４７】
本発明の作用は次のとおりである。すなわち、本発明においては、オン時間とオフ時間とが繰り返される波形を用いることによって、ターゲット表面の電位差をなくすことができ、アーキングの発生を防ぐため、通常の直流スパッタリングよりも安定して放電を維持できる。
【００４８】
また、もしアーキングが発生しても、充分に長いオフ時間によって、アーキングを完全に消失させてから負の電圧が印加されるため、アーキングの規模を小さく維持できる。
【００４９】
さらに、初期アーキングは、負の電圧が印加された後ある程度の時間の経過後に現れるので、負の電圧が印加される時間が、１０μ秒～１０ｍ秒の範囲であり、かつ、負の電圧が印加されてから初期アーキングが発生するまでの時間と同等かそれよりも短い時間である波形を用いることにより、ターゲット表面の電位差を中和し、アーキングの発生頻度と規模を小さくできる。
【００５０】
以上の作用により、初期アーキングの発生頻度と規模を小さく保つことができ、大きな電力でもより長時間にわたり安定してスパッタリングを続けられる。
【００５１】
また、０ボルトにした直後、正の電圧を短時間だけ印加しその後再度０ボルトにする、図２の上段に示されるような波形を使用することで、より効率よくターゲット表面の電圧差をなくすことができ、アーキングの発生を防ぐため、通常の直流スパッタリングよりも安定して放電を長時間にわたり維持できる。
【００５２】
さらに、アーキング２５を検出して、その直後だけ、オフ時間２４をアーキングが消失する時間以上とすることにより、初期アーキングの発生頻度と規模を小さく保つことができ、大きな電力でもより長時間にわたって安定してスパッタリングを続けられる。
【００５３】
また、もし検出回路にあらかじめ設定した検出基準値よりも小さなごく微小なアーキングが発生したときでも、オフ時間２６を調整し、オフ時間２２を前記のごく微小なアーキングの消失時間以上とすることによって、より安定してスパッタリングを続けられる。
【００５４】
上記のスパッタリング方法を実現するための電源装置はいろいろな構成が考えられ、その一つの構成を図３に示す。本発明における電源装置は、スパッタリング電力発生部と電力加工部とにわかれている構成が最も好ましい。図３において、３１はスパッタリング電力発生部、３２は電力加工部、３３は真空室、３４はカソード電極、３５はアノード電極、３６は基板である。
【００５５】
本発明によれば、電力加工部３２がスパッタリング電力発生部３１よりもカソード電極３４の近傍に配置でき、電力加工部３２の出力端とカソード電極３４との間の電源ケーブルの長さを最短にできる。これにより電源ケーブルの持つインダクタンスを最小にでき、本発明における間欠的な直流電圧の波形を歪みなくカソード電極３４に印加できる。
【００５６】
次に、本発明の電力加工部３２の構成を図４に示す。主回路である第１のスイッチング回路４１と、正の電圧を印加するための第２のスイッチング回路４２と、それらを制御する半導体スイッチング素子の駆動制御回路（図示せず）と、スパッタリングの電流計測回路、電圧計測回路および電力計測回路（図示せず）とで構成されている。

【００５７】
第１のスイッチング回路４１は、スパッタリング電力発生部３１の負極とカソード電極３４との間に直列に挿入される。第１のスイッチング回路４１は、半導体スイッチング素子とそれを保護するコイルにより構成され、スパッタリング電力を間欠的な電力とするように作動する。オン／オフの入り切りの作動速度は、最高で１０μ秒（１００ｋＨｚ）である。
【００５８】
第２のスイッチング回路４２は、半導体スイッチング素子とそれを保護するコイルにより構成され、スパッタリング電力発生部とは別に、カソード電極３４に任意の正の電圧を供給する直流電源４３の電力を、カソード電極３４に印加するように作動する。
【００５９】
第２のスイッチング回路４２は、主回路である第１のスイッチング回路４１がオフになっているときのみオンする。オンになって正の電圧を印加する時間は最大約２０μ秒程度でよい。
【００６０】
正の電圧を印加する電源４３は、最大２００ボルト程度で充分であり、任意に設定できることが好ましい。
【００６１】
第１のスイッチング回路４１の半導体スイッチング素子がオフになった直後に、第２のスイッチング回路４２の半導体スイッチング素子が、最大約２０μ秒オンになることによって、カソード電極３４へ最大約２００ボルト程度の正の電圧を印加できるため、図２に示したような、アーキングを抑止し電力効率の良い波形を生成できる。
【００６２】
半導体スイッチング素子の駆動制御回路は、第１のスイッチング回路をオンにする時間を５μ秒以上に、オフにする時間を５μ秒以上に制御可能であるとともに、第１のスイッチング回路をオフに制御したときに、第１のスイッチング回路をオフにする時間以下で、かつ、１μ秒～２０μ秒の範囲で第２のスイッチング回路をオンに制御できる機能を有する。
【００６３】
なお、常時第１のスイッチング回路をオンにして、オフにする時間をゼロに制御することもでき、該制御により、従来の直流スパッタリングの実施も可能である。
【００６４】
スパッタリングの電流、電圧または電力を計測する回路は、スパッタリングに有効な電流値、電圧値または電力値を計測する機能と、計測された前記各値とあらかじめ設定された各基準値との多寡を判定しアーキング（アーク放電）を検出する機能とを有する。この場合、電流値、または電流値と電圧値との多寡を判定することが特に有効である。
【００６５】
スパッタリング電流値や電圧値の多寡（または放電時のインピーダンス）を判定し、アーキングが検出された時はスイッチング回路４１の半導体スイッチング素子が、アーキング直後のみ、アーキングが消失する時間以上の時間、オフに作動することによってアーキングの規模を最小限に抑え、より安定して長時間にわたりスパッタリングを続けられる。
【００６６】
また、半導体スイッチング素子の駆動制御回路は、アーキング発生直後のオフ時間２４の時間を制御する機能を有し、１００μ秒～１０ｍ秒の範囲で任意に設定できる。
【００６７】
また、電力加工部の入力端子側に平滑回路４４を設けることも好ましい。これにより、電力発生部３１の出力端の電圧と電流の波形を実質的に直流の波形とすることができる。
【００６８】
電力発生部には、通常、出力端の電圧、電流または電力をフィードバックして一定に保つ機能があり、該機能により、制御上のハンチング等を生じる。しかし、前記平滑回路４４

により、ハンチング等を防止できるので通常の直流電源を使用できる。したがって、スパッタリング電力発生部３１としては、通常のスパッタ用直流電源であってもよく、このような構成であれば現存するスパッタリング装置でも電力加工部３２を追加することで本発明を実施できる。

【００６９】

本発明のスパッタリング方法では、式１で定義されるような一周期内の電力の時間平均値（以下、電力の実効値という）を計測し表示することが好ましい。

【００７０】

これによりどのようなタイプの波形でスパッタリングを行っても成膜速度を通常の直流スパッタリング時の電力と同様に管理できる。

【００７１】

また、電力の実効値をスパッタリング電力発生部３１にフィードバックして定電圧制御、定電流制御または定電力制御を行うのも好ましい。

【００７２】

同一真空室内に複数のカソード電極を設置し同時にスパッタリングを行う装置の場合、間欠的な電力波形を各々のカソードに供給すると、うなり等の干渉を生じることがあるため、電力加工部は互いに連携して位相をずらして作動する機能が付加されることも好ましい。

【００７３】

図８に本発明の装置の一例を示す。この例では、同一真空室内に２つのカソード電極８２ａ、８２ｂとアノード電極８３ａ、８３ｂを設置し、基板８５へ同時にスパッタリングを行う。電力発生手段である８１ａと８１ｂは間欠的な電力を供給できるものであり、位相を任意にずらした波形の電圧の印加により、うなり等のプラズマの干渉を防ぎ、安定したプラズマ８４を発生させる。

【００７４】

さらに、図４に示したような本発明の電力加工部と組み合わせることにより、図１または図２のような波形を発生させることができ、プロセスの条件にあわせて最適な波形を供給できる。

【００７５】

本発明のスパッタリング装置では、反応性スパッタリングを行うような場合でもアーキング発生頻度を低減でき、より多くの電力を安定してカソードに投入でき、種々のスパッタリングプロセスにあわせて、最適な、間欠的な電力を選択し、供給できる。したがって、本発明のスパッタリング装置は高い成膜能力を有する。

【００７６】

本発明のスパッタリング方法で形成された、酸化ケイ素を主成分とする薄膜は、従来の直流スパッタリングで得られる薄膜よりも高品質のものが得られる。

【００７７】

本発明のスパッタリング方法や装置により形成された、酸化ケイ素を主成分とする薄膜は、成膜中にアーキングが発生しないため、パーティクルの付着等が少なく高品質となる。

【００７８】

また、アーキング発生時の成膜条件のゆらぎがないため、均一で、ミクロな欠陥も少ない膜となるものと考えられる。

【００７９】

また、スパッタリングは一周期毎に間欠的に行われているので、各周期毎に非常に薄い薄膜が間欠的に基板上に形成される。すなわち、周期毎に基板上での酸化反応が完結しながら成膜されるため、欠陥の少ない優れた膜質が得られるものと考えられる。

【００８０】

このようにして、マクロ的にもミクロ的にも低欠陥の、酸化ケイ素を主成分とする優れた薄膜が得られるために、低温基板上に形成された場合でも高いアルカリバリア性能を発現するものと考えられる。

【００８１】
本発明のスパッタリング方法や装置により形成された、窒化ケイ素を主成分とする薄膜は、従来の直流スパッタリングで得られる薄膜よりも高品質のものが得られる。
【００８２】
本発明のスパッタリング方法により形成された、窒化ケイ素を主成分とする薄膜は、特に基体を加熱することもなく、成膜中にアーキングが発生しないため、パーティクルの付着等が少なく高品質となる。
【００８３】
また、アーキング発生時の成膜条件のゆらぎがないため、均一で、ミクロな欠陥も少ない膜になるものと考えられる。
【００８４】
また、スパッタリングは一周期毎に間欠的に行われているので、各周期毎に非常に薄い薄膜が間欠的に基板上に形成される。すなわち、周期毎に基板上での窒化反応が完結しながら成膜されるため、欠陥の少ない優れた膜質が得られるものと考えられる。
【００８５】
このようにして、マクロ的にもミクロ的にも低欠陥の、窒化ケイ素を主成分とする優れた薄膜が得られるため、低温基板上に形成された場合でも高いアルカリバリア性能を発現するものと考えられる。
【００８６】
また、窒化ケイ素膜中の、ケイ素に対する窒素の原子数比（Ｎ／Ｓｉ比）が、１．２５～１．３６となるように、スパッタリングガスの窒素濃度の調整および／またはケイ素ターゲットへの投入電力の調整を行うことにより、さらにアルカリバリア性の優れた窒化ケイ素を製造できる。
【００８７】
本発明のスパッタリング方法による透明電導薄膜の成膜方法は、負の電圧を間欠的に印加し、大電力密度の電力を瞬間的に供給することによって、透明電導膜を形成すると同時に、スパッタリング速度低下などの原因となるターゲット表面での低級酸化物ノジュールの発生、およびスパッタリング中の異常放電を抑制するという、生産性に優れた成膜方法である。
【００８８】
スパッタリングターゲットとしては、金属アンチモンまたはアンチモンの化合物を含有し、錫または酸化錫を主成分とするスパッタリングターゲットや、金属錫または錫の化合物を含有し、インジウムまたは酸化インジウムを主成分とするスパッタリングターゲットや、アルミニウム、ガリウム、インジウム、ホウ素およびケイ素からなる群から選ばれる少なくとも１種の金属の単体または化合物を含有し、亜鉛または酸化亜鉛を主成分とするスパッタリングターゲットなどが挙げられる。
【００８９】
本発明の方法および装置に用いられるスパッタリング電力の電圧波形としては、図１に示すような、負の電圧の印加時間が１０μ秒～１０ｍ秒の範囲にあり、かつ無印加時間が１０μ秒～１００ｍ秒の範囲にある電圧波形、または図２に示すような、負の電圧の印加時間が１０μ秒～１０ｍ秒の範囲にあり、かつ正の電圧の印加時間と無印加時間との和が１０μ秒～１００ｍ秒の範囲にある電圧波形などが好ましい。
【００９０】
また、負の印加電圧の値（図９における－V_N）の設定は、本発明の目的であるノジュール発生抑制のために重要である。式５に示されるように、間欠的に供給される電力の平均値W_Aが電力の実効値Ｗの２～１０倍になるように負の印加電圧（－V_N）を調整することによって、アーキングを抑止するとともに、ターゲット表面に発生する低級酸化物ノジュールの発生を効率的に抑止できる。
【００９１】
なお、電力の実効値Ｗは式１のようになる。Ｔは周期を表す。これを図２のような波形の

場合にあてはめると、式２のようになる。一方、実際スパッタリングが起こっている（負の電圧が印加されている）時間（図９においてはa_1）内での電力の平均値W_Aは、式３のようになる。図２においては、時間a_1内での電圧Ｖ（ｔ）＝（－V_N）であるのでこれを代入すると式４のようになる。

【００９２】

ノジュールを有効に除去するためには、式５に示されるように、電力の平均値W_Aが電力の実効値Ｗの２～１０倍になるようにすることが好ましく、これを図２のような波形の場合にあてはめると、式６のようになるので、式６を満足するように（－V_N）、a_1（１０μ秒≦a_1≦１０ｍ秒）、b_1（１０μ秒≦b_1≦１００ｍ秒）を調整すればよい。

【００９３】

特に、式７に示される間欠的な電力の電力密度の平均値ω_Aが、２．５Ｗ／ｃｍ^2～３０Ｗ／ｃｍ^{2}の範囲において良好な結果が得られる。

【００９４】

この場合、図９に示されるように正確な矩形波である必要はなく、ターゲットの大きさ、状態または個々の装置によって、（－V_N）、a_1、b_1を最適化すればよい。

【００９５】

なお、図１０および図１１のような正電圧の印加がある場合には、正の電圧の印加はスパッタリングには有効に働かないために、式１～７の計算においては、V_P＝０として考える。

【００９６】

前記透明電導膜の成膜速度は、間欠的に供給されるスパッタリング電力の実効値Ｗにより、容易に制御できる。たとえば、従来の直流スパッタリング法で得られる所望の成膜速度を本発明の方法で得ようとする場合には、間欠的に供給される電力の実効値Ｗを直流電力値と同じに合わせれば、所望の成膜速度が得られる。すなわち、従来の直流スパッタリング法による成膜速度／直流電力＝本発明による成膜速度／電力の実効値Ｗとなる等式がほぼ成り立つ。

【００９７】

このように、オフ時間によって、実効電力を通常の直流スパッタの電力と揃えることにより、成膜速度を調整して基板に形成される膜質を同様に保ったまま長時間にわたって安定してスパッタリングを行える。

【００９８】

【数１】

$$W = \frac{1}{T}\int_0^T V(t)\,I(t)\,dt \quad \cdots 式1$$

$$W = \frac{-V_N}{a_1 + b_1}\int_0^{a_1} I(t)\,dt \quad \cdots 式2$$

$$W_A = \frac{1}{a_1}\int_0^{a_1} V(t)\,I(t)\,dt \cdots 式3$$

$$W_A = \frac{-V_N}{a_1}\int_0^{a_1} I(t)\,dt \quad \cdots 式4$$

$$2W \leqq W_A \leqq 10W \quad \cdots 式5$$

$$2 \leqq \frac{W_A}{W} = \frac{a_1 + b_1}{a_1} \leqq 10 \cdots 式6$$

$$\omega_A = \frac{W_A}{S} \quad (S：ターゲット面積) \cdots 式7$$

【００９９】
【０１００】
【０１０１】
【０１０２】
【０１０３】
【０１０４】
【０１０５】
【実施例】
（実施例１）
図５に本発明の装置の実施例を示す。５１は間欠的な負の直流電圧を発生する直流電源、５２はターゲット材を装着したカソード電極、５３はアノード電極、５４は被成膜基板、５５はスパッタリングに有効なグロー放電を模式的に示したもの、５６はターゲット表面上に発生する微小なアーキングを模式的に示したもの、５７はカソード電極とアノード電

極間に発生するアーキングを模式的に示したものである。

【０１０６】

本発明において、間欠的な直流電圧を発生する直流電源の出力は必ずしも矩形波でなくてもよく、台形状でも三角状でも正弦波状でも効果に差はない。また、電源回路構成上、電源自体が発振して波形を形成してもよく、直流電源の出力を半導体スイッチング素子で間欠的な波形に加工しても本発明の効果は変わらない。

【０１０７】

図５の構成の装置において、寸法が１０×８０ｃｍのプレーナーマグネトロンカソードで、ターゲット材としてホウ素をドープしたシリコンを用い、導入ガスとしてＡｒとO_2とを１：１の比で混合したガスを用い、放電中の圧力を３．０×１０$^{-3}$Ｔｏｒｒとし、電力実効値２ｋＷでスパッタリングし、基板にホウ素をドープしたSiO_2の成膜を行った。従来の直流で放電したときは、約２分３０秒後に急にアーキングが多発しスパッタリングが続けられなくなった。

【０１０８】

次に、間欠的な直流として、図１の上段に示されるような波形において、負の電圧が印加されるオン時間を１００μ秒、オフ時間を４０μ秒とした波形とした以外は前記と同様にスパッタリングしたところ、次第にアーキングが発生し始めて、約３０分後にアーキング発生頻度が約６０回／分となった。

【０１０９】

次に、放電中の電流波形を観測し初期アーキングの消失時間を計測したところ、１６０～１８０μ秒であった。

【０１１０】

そこで、間欠的な直流として、オン時間を１００μ秒、オフ時間を２００μ秒とした波形とした以外は前記と同様にスパッタリングしたところ、約６０分後にアーキング発生頻度が約６０回／分となった。

【０１１１】

このとき、初期アーキングは負の電圧が印加されてから９０～１００μ秒後に発生することが多かったので、間欠的な直流として、オン時間を８０μ秒、オフ時間を２００μ秒とした波形とした以外は前記と同様にスパッタリングしたところ、約６０分後にアーキング発生頻度が約３０回／分となった。

【０１１２】

以上４種類の実験におけるアーキングの発生頻度を図６に示す。このときのアーキングの計測方法においては、通常の電流波形の最大値よりも１０％以上大きい電流値をオシロスコープの検出レベルとし、検出した回数を記録した。

【０１１３】

（実施例２）

図５の構成の装置において、寸法が４０×３００ｃｍのカソードでターゲット材としてアルミニウムをドープしたシリコンを用い、導入ガスとしてＡｒとO_2とを２：１０の比で混合したガスを用い、放電中の圧力を２．０×１０$^{-3}$Ｔｏｒｒとし、電力実効値１３ｋＷでスパッタリングし、基板にアルミニウムをドープしたSiO_2の成膜を行った。

【０１１４】

従来の直流で放電したところ約３５分後に急にアーキングが多発しスパッタリングが続けられなくなった。放電時の波形を観測したところ、初期アーキングの消失時間は、約４００μ秒であった。

【０１１５】

そこで、図１上段に示すような波形において、オフ時間を５００μ秒、オン時間を５００μ秒の波形とした以外は前記と同様にスパッタリングしたところ、初期アーキングの発生までの時間はオンになってから約２２０μ秒であった。

【０１１６】

そこで、オン時間を２２０μ秒、オフ時間を５００μ秒の波形とした以外は前記と同様に

スパッタリングしたところ、４時間経過後もアーキングの発生頻度は２０回／分以下であった。

【０１１７】

従来の直流放電をした場合、および、オン時間を２２０μ秒、オフ時間を５００μ秒の波形を用いた場合についてのアーキングの発生頻度を図７に示す。アーキングの検出方法は実施例１と同様である。

【０１１８】

（実施例３）

真空室内に比抵抗１．２Ω・ｃｍのＮ型ケイ素（リンドープ単結晶）をターゲットとしてカソード上に配置し、ターゲットの対面にソーダライムガラスを基板として配置した。真空室を1×10^{-5}Ｔｏｒｒまで排気した後、放電ガスとしてＡｒとO_2の混合ガスを導入し、圧力が2×10^{-3}Ｔｏｒｒになるようコンダクタンスを調整した。

【０１１９】

次いで、図２上段に示すような電圧をカソードに印加した。ここで、オン時間２１は初期アーキングが発生しはじめる時間と同等の５０μ秒とし、オフ時間２２は初期アーキングの消失時間と同等の５０μ秒とし、そのうち正の電圧を印加する時間２３は約１２μ秒とした。このとき、負の電圧は、これを印加している状態の印加電力が５００Ｗになるように定め、また、正の電圧は１００ボルトに保った。

【０１２０】

基板温度を室温とし、スパッタリングガスのO_2濃度を６０％として放電を開始し、５分のプレ放電の後シャッタを開き、膜厚が２５０Åとなるように成膜時間を調整して、ソーダライムガラス基板上に酸化ケイ素を主成分とする薄膜を形成した。

【０１２１】

放電開始後１２０分を経過した時点で別のソーダライムガラス基板上に成膜したが、アーキングはほとんど観測されなかった。

【０１２２】

（比較例１）

図１上段に示すような波形の間欠的な直流電圧をカソードに印加して成膜を行った以外は、実施例３と同様にスパッタリングを行った。ここで、オン時間は５０μ秒、オフ時間は２５μ秒とした。

【０１２３】

成膜開始直後はアーキングがほとんど観察されなかったが、時間の経過とともにアーキングの発生が見られ、成膜終了時にはターゲット表面で間断なく赤熱したパーティクルの放出が観察された。

【０１２４】

放電開始後１２０分の時点で別のソーダライムガラス基板へ成膜した。このときアーキングは非常に頻繁に起きていた。

【０１２５】

（比較例２）

１３．５６ＭＨｚの高周波電圧をカソードに印加した以外は実施例３と同様にスパッタリングを行った。

【０１２６】

放電開始後１２０分の時点で別のソーダライムガラス基板上に成膜を行った。このときアーキングは全く発生しなかった。

【０１２７】

実施例３、比較例１および比較例２より得られたコートガラスのコート面を、９０℃の純水に２４時間接触させた後、この純水中に溶出したナトリウム原子の量（μｇ／cm^2）を原子吸光法により測定した。結果を表１に示す。

【０１２８】

【表１】

	放電開始５分後に成膜	放電開始１２０分後に成膜
実施例３	０．０２	０．０２
比較例１	１．３	５．６
比較例２	０．３２	０．３１

【０１２９】
以上の実施例と比較例から明らかなように、本発明によれば基板を加熱することなくアルカリバリア性の高い酸化ケイ素薄膜を長時間にわたり安定して成膜できる。また、直流スパッタリングにより成膜することから、大面積化や、高速化が容易となり、液晶用の透明導電性基板等への適用が工業生産規模で可能となるなど、その効果は絶大である。
【０１３０】
（実施例４）
１６０ｍｍ×４０ｍｍの面を持った、比抵抗１．２Ω・ｃｍのＮ型ケイ素（リンドープ単結晶）をターゲットとして用い、該ターゲットに図２上段に示す波形の電圧を印加した。ここで、負の電圧は、印加している状態の印加電力が２００Ｗになるように定め、また、正の電圧は１００ボルトに保った。その他の条件は実施例３と同じである。
【０１３１】
まず、ＡｒとN$_2$ との混合ガスからなるスパッタリングガスのN$_2$ 濃度を４０％とし放電を開始した。５分後にシャッタを開き室温の平面ソーダライムガラス上に、窒化ケイ素を２００Åの膜厚で成膜した。
【０１３２】
次に放電開始後１２０分の時点で再びシャッタを開き別のソーダライムガラス基板上に２００Åの窒化ケイ素膜を形成した。この間はアーキングは全く観測されなかった。
【０１３３】
（比較例３）
直流電力を２００Ｗになるように印加した以外は実施例４と同様にスパッタリングを行った。放電開始５分後の成膜時にはアーキングは観測されなかった。
【０１３４】
放電開始後１２０分の時点で別のソーダライムガラス基板上に成膜したとき、アーキングはかなり頻繁に発生しておりターゲット表面から赤熱したパーティクルの放出が確認された。
【０１３５】
（比較例４）
直径６インチで、比抵抗１．５Ω・ｃｍのＮ型ケイ素（リンドープ単結晶）をターゲットとして用い、スパッタリングガスのN$_2$ 濃度を１００％とし、前記ターゲットに、１３．５６ＭＨｚの高周波を電力が３００Ｗになるように印加した以外は、実施例４と同様にスパッタリングを行った。
【０１３６】
放電開始後１２０分の時点で別のソーダライムガラス基板上に成膜したが、アーキングは全く観測されなかった。
【０１３７】
（比較例５）
原料ガスのアンモニアガス／シランガスの比が３、５、１０、１５のそれぞれの場合について、ＣＶＤ法により、温度を約６００℃に保った平面ソーダライムガラス上に、窒化ケイ素を２００Åの膜厚で成膜した。
【０１３８】
実施例４および比較例３～５により得られたコートガラスのコート面を９０℃の純水に２

４時間接触させた後、この純粋中に窒化ケイ素膜を通してソーダライムガラスより拡散、溶出したナトリウム原子の量を原子吸光法により求めた。また、前記窒化ケイ素膜の、ケイ素に対する窒素の原子数比（Ｎ／Ｓｉ）をＸ線光電子分光法により測定した。実施例４、比較例３、比較例４についての結果を表２に、比較例５についての結果を表３に示す。

【０１３９】

【表２】

	放電開始後５分後成膜		放電開始後１２０分後成膜	
	組成(N／Si)	溶出量($\mu g/cm^2$)	組成(N／Si)	溶出量($\mu g/cm^2$)
実施例４	１．３３	０．００５	１．３３	０．００５
比較例３	１．３３	０．００８	１．３２	０．９１
比較例４	１．３６	０．０１５	１．３６	０．０１５

【０１４０】

【表３】

アンモニア／シランの比	３	５	１０	１５
組成(Ｎ／Ｓｉ)	1.27	1.36	1.49	1.56
Ｎａ溶出量($\mu g/cm^2$)	0.047	0.038	0.056	0.062

【０１４１】

以上の実施例と比較例との比較より、本発明によって成膜した窒化ケイ素は、これを通し拡散、溶出するナトリウム原子の量が低いことがわかる。また、高いアルカリバリア性をもつ窒化ケイ素膜を、長時間にわたり安定して成膜できることがわかる。また、基体を加熱することなくアルカリバリア性の高い窒化ケイ素を成膜でき、耐熱性の低い基体上にもアルカリバリア被覆を行えることがわかる。

【０１４２】

（実施例５）

図５に示すような通常のマグネトロンスパッタリング装置を用いて、錫を１０重量％含んだ酸化インジウムのターゲット５２に、図１上段に示す波形で、オン時間を１００μ秒、オフ時間を４００μ秒とした波形の電圧を印加した。成膜基体５４としては、あらかじめ２００℃に加熱したノンアルカリガラス（旭硝子社製ＡＮガラス）を使用した。

【０１４３】

まず、成膜室内を1×10^{-5}Ｔｏｒｒ以下に排気した後、O_2 ガスを１体積％含んだＡｒガスをガス圧が3×10^{-3}Ｔｏｒｒになるように導入し、スパッタリング電力が実効値で１．１ｋＷになるように設定した。

【０１４４】

（実施例６）

図２に示すような波形で、オン時間２１が１００μ秒、負の印加電力値に対し１０％程度の振幅値を持つ正の電圧の印加時間２３が１０μ秒、オフ時間２６が３９０μ秒とした波形の電圧を印加した以外は実施例５と同様にスパッタリングを行った。

【０１４５】

（比較例６）

通常のマグネトロンスパッタリング装置を用いて、通常の直流スパッタリング電源を用いた以外は実施例５と同様にスパッタリングを行った。

【０１４６】

実施例５、実施例６、比較例６について、２３時間連続スパッタリング後のノジュールの

発生状況、異常放電の発生頻度およびＩＴＯ膜の特性を調査した。

【０１４７】

【表４】

	実施例５	実施例６	比較例６
ノジュール発生状況 （２３時間成膜後）	ほとんどなし	ほとんどなし	エロージョン中心を除くエロージョン全領域に多発
異常放電発生頻度 （２３時間成膜後）	約３回／分	１回／分以下	１５回／分以上
ＩＴＯ膜比抵抗Ω・ｃｍ 成膜開始直後 ２３時間成膜後	 1.9×10^{-4} 2.0×10^{-4}	 1.9×10^{-4} 1.9×10^{-4}	 1.9×10^{-4} 4.0×10^{-4}
成膜速度の変化 （２３時間成膜後）	ほとんどなし	ほとんどなし	約４０％低下

【０１４８】

表４からわかるように、２３時間連続スパッタリング後（６ｍｍ厚のターゲットの掘りきり）においても、ノジュールの発生もごく微少で、スパッタリング速度の低下もほとんど見られない。さらに異常放電の発生頻度も比較例６に示される通常のスパッタリング法と比較し、５分の１～３分の１程度に低減する。ＩＴＯ膜の比抵抗は、通常のスパッタリングサンプルと同程度のものが得られる。

【０１４９】

比較例６においては、スパッタリング速度の低下は約４０％と著しく、比抵抗もスパッタリング初期では、１．９×１０$^{-4}$Ω・ｃｍであったものが、スパッタリング速度の低下のために４×１０$^{-4}$Ω・ｃｍまで悪化する。またノジュールは、非常に強固で機械的な研磨クリーニングが必要であった。

【０１５０】

上述したように、本発明によって、生産性低下の要因となる成膜工程の停止をなくし、透明電導膜を形成すると同時にスパッタリング速度低下などの原因となるターゲット表面上でのノジュールの発生を抑制できる。同時に、透明電導膜の欠陥の原因となる異常放電を抑制できる。また、この異常放電抑制効果により、従来の直流スパッタリング法に比べ、大電力が投入可能となり、高い成膜速度が得られる。

【０１５１】

さらに、本発明の電力加工部を用いれば、直流スパッタリング用電源に使用されている異常放電防止回路を付加しなくても異常放電が抑制できる。また、間欠的な投入電力の実効値を制御することにより、従来の直流スパッタリング法と同様に成膜条件を管理でき、従来と同等の特性を有する透明電導膜が得られる。

【０１５２】

【発明の効果】

本発明のスパッタリング方法により、ターゲット表面の電位差をなくすことができ、アーキングの発生を防げるため、通常の直流スパッタリングよりも安定して放電を維持できる。

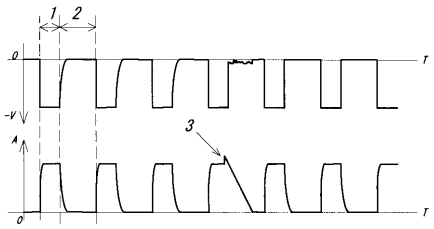
【０１５３】

さらに、初期アーキングの発生頻度と規模を小さく保つことができ、大きな電力でもより長時間にわたって安定してスパッタリングを続けることができ、電力効率も良い。

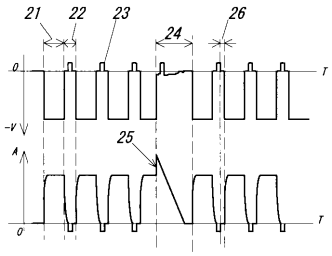
【０１５４】
本発明のスパッタリング装置は、反応性スパッタを行うような場合でもアーキング発生頻度を低減でき、より多くの電力を安定してカソードに投入できるので、高い成膜能力を有する。
【０１５５】
本発明の電力加工部は、簡易な構成であるため、現存するスパッタリング装置に簡単に適用でき、パルス状の間欠的な直流電力によるスパッタリングを実現できる。
【０１５６】
本発明の電力加工部は、間欠的な電圧波形を、装置の大きさ、材料、投入電力、初期アーキングの規模に応じて容易に最適化できる。
【０１５７】
また、成膜中のアーキングが発生しないため、パーティクルの付着等が少なく高品質な、酸化ケイ素または窒化ケイ素を主成分とする薄膜が得られる。
【０１５８】
【０１５９】
さらに、通常の直流スパッタリングで得られる膜質および成膜速度と同等でありながら、アーキングの発生およびターゲット表面へのノジュールの発生を抑止できるので、長時間にわたり安定してＩＴＯ膜を成膜できる。
【図面の簡単な説明】
【図１】本発明に係る間欠的な電圧と電流の波形図。
【図２】本発明に係る間欠的な電圧と電流の波形図。
【図３】本発明に係る装置の概略図。
【図４】本発明に係る電力加工部の回路構成図。
【図５】本発明に係る装置の概略図。
【図６】本発明の実施例１におけるアーキング発生頻度の経時変化を示すグラフ。
【図７】本発明の実施例２におけるアーキング発生頻度の経時変化を示すグラフ。
【図８】本発明に係る装置の概略図。
【図９】本発明に係る間欠的な電圧の波形図。
【図１０】本発明に係る間欠的な電圧の波形図。
【図１１】本発明に係る間欠的な電圧の波形図。
【符号の説明】
１、２１：間欠的に印加される負の電圧の印加時間
２、２２、２４、２６：０ボルトに制御される時間
３：アーキング発生時の波形
２３：正の電圧を印加する時間
３１：スパッタリング電力発生部
３２：電力加工部
３３：真空室
３４：カソード電極
３５：アノード電極
３６：基板
４１：第１のスイッチング回路
４２：第２のスイッチング回路
４３：スパッタリング電力発生部３１とは別の直流電源
５１：間欠的な負の直流電圧を発生する直流電源
５２：ターゲット材を装着したカソード電極
５３：アノード電極
５４：被成膜基板
５５：スパッタリングに有効なグロー放電
５６：ターゲット表面上に発生する微小なアーキング

５７：カソード電極とアノード電極間に発生するアーキング
８１ａ、８１ｂ：電力発生手段
８２ａ、８２ｂ：カソード電極
８３ａ、８３ｂ：アノード電極
８４：プラズマ
８５：基板

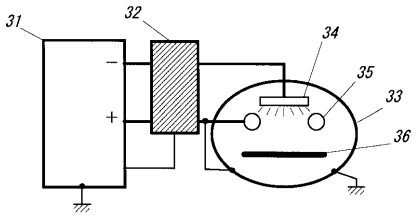
【図１】



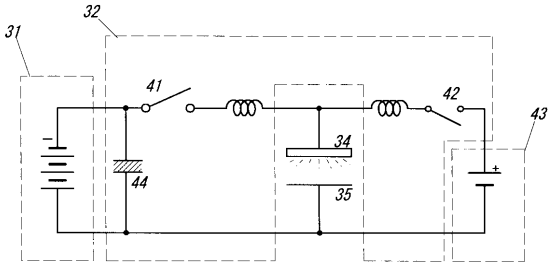
【図２】



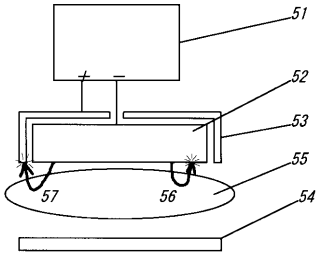
【図３】



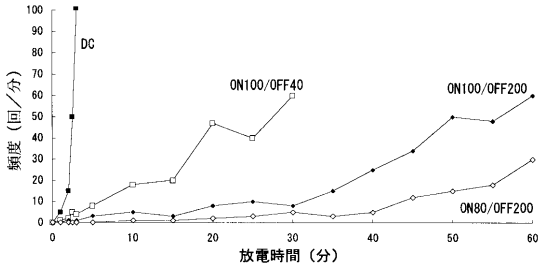
【図４】



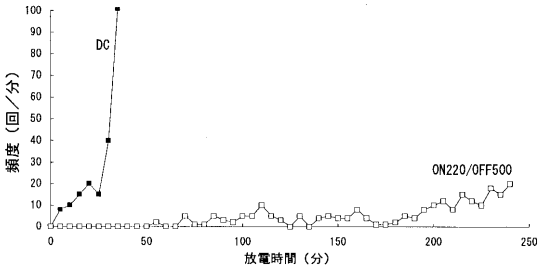
【図５】



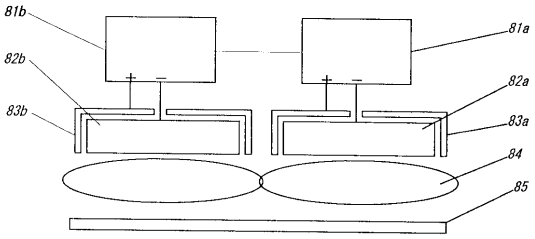
【図６】



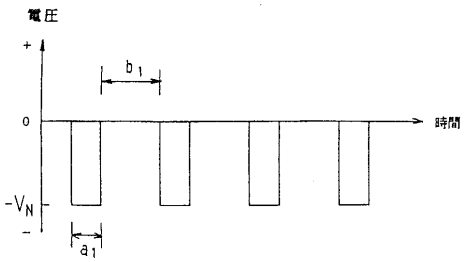
【図７】



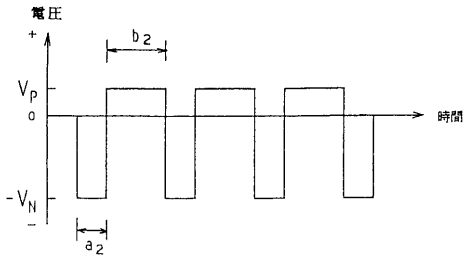
【図８】



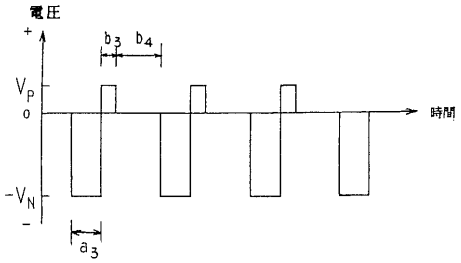
【図９】



【図１０】



【図１１】



フロントページの続き

(56)参考文献 特開昭６４－０１５３７０（ＪＰ，Ａ）
特開平０５－３３１６３４（ＪＰ，Ａ）
特開平０２－２０５６７５（ＪＰ，Ａ）
特開平０６－２２０６２９（ＪＰ，Ａ）
特開昭５２－０８５７９８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
C23C 14/00-14/58