



## (12) 发明专利

(10) 授权公告号 CN 106233439 B

(45) 授权公告日 2021.01.01

(21) 申请号 201580020171.3

(22) 申请日 2015.04.27

(65) 同一申请的已公布的文献号  
申请公布号 CN 106233439 A

(43) 申请公布日 2016.12.14

(30) 优先权数据  
61/984,205 2014.04.25 US  
14/555,330 2014.11.26 US

(85) PCT国际申请进入国家阶段日  
2016.10.17

(86) PCT国际申请的申请数据  
PCT/US2015/027699 2015.04.27

(87) PCT国际申请的公布数据  
W02015/164853 EN 2015.10.29

(73) 专利权人 德克萨斯仪器股份有限公司  
地址 美国德克萨斯州

(72) 发明人 S·P·彭哈卡 B·胡  
H·L·爱德华兹

(74) 专利代理机构 北京纪凯知识产权代理有限公司 11245  
代理人 赵志刚 赵蓉民

(51) Int.Cl.  
H01L 21/337 (2006.01)  
H01L 29/26 (2006.01)

(56) 对比文件  
CN 1581506 A, 2005.02.16  
US 2010127318 A1, 2010.05.27  
JP H08236614 A, 1996.09.13  
US 5192708 A, 1993.03.09  
审查员 宋晶晶

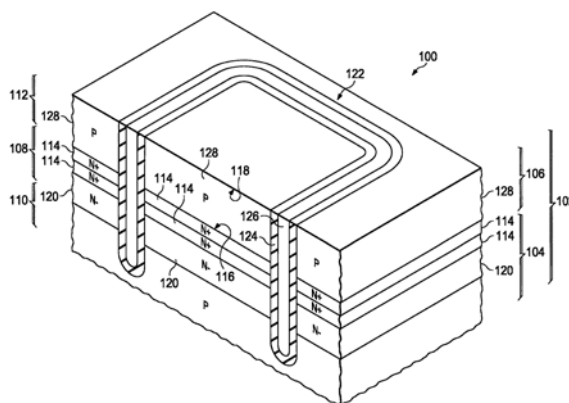
权利要求书2页 说明书5页 附图14页

### (54) 发明名称

高击穿n型埋层

### (57) 摘要

在所述示例中,半导体器件(100)具有通过以高剂量和低能量将锑和/或砷注入到p型第一外延层(104)中,并且以低剂量和高能量注入磷形成的n型埋层(108)。热驱动过程扩散和激活重掺杂剂和磷二者。锑和砷不显著扩散,保持用于埋层(108)的主层(114)的窄分布。磷扩散以提供在主层(114)下方的几微米厚的轻掺杂层(120)。外延p型层(106)在埋层(108)上方生长。



1. 一种半导体器件, 包括:

衬底, 其包括p型半导体材料;

n型埋层, 其布置在所述衬底中上p型层和下p型层之间, 所述n型埋层包括:

主层, 其具有第一掺杂浓度的掺杂剂, 所述掺杂剂选自锑、砷和其组合组成的组, 并且所述主层具有在所述衬底的顶表面下方的掩埋的顶表面; 以及

轻掺杂层, 其位于所述主层下方, 所述轻掺杂层具有低于所述第一掺杂浓度的第二掺杂浓度;

深沟槽结构, 其从所述衬底的所述顶表面延伸通过所述n型埋层, 以到达所述衬底的所述下p型层而没有穿透所述衬底, 所述深沟槽结构包括介电内衬以及导电沟槽填充材料, 所述介电内衬包覆所述深沟槽结构的底部, 所述导电沟槽填充材料延伸穿过所述介电内衬到所述衬底并且通过在所述n型埋层下方接触所述衬底的p型接触区域与所述衬底进行电连接; 以及

n型散热片, 其从所述衬底的顶表面延伸并且邻接所述深沟槽结构以及所述n型埋层的掩埋的顶表面。

2. 根据权利要求1所述的半导体器件, 其中所述p型半导体材料具有 $5\text{ohm} \cdot \text{cm}$ 至 $10\text{ohm} \cdot \text{cm}$ 的电阻率。

3. 根据权利要求1所述的半导体器件, 其中所述主层中的所述掺杂剂的至少百分之50包括锑。

4. 根据权利要求1所述的半导体器件, 其中所述深沟槽结构具有限定在所述衬底的所述顶表面上的闭环配置。

5. 根据权利要求1所述的半导体器件, 其中所述n型散热片具有闭环配置。

6. 根据权利要求1所述的半导体器件, 其中:

所述第一掺杂浓度大于 $5 \times 10^{18}\text{cm}^{-3}$ ; 以及

所述第二掺杂浓度的范围从 $1 \times 10^{16}\text{cm}^{-3}$ 到 $1 \times 10^{17}\text{cm}^{-3}$ 。

7. 根据权利要求1所述的半导体器件, 其中所述第一掺杂浓度是所述第二掺杂浓度的至少50倍。

8. 一种半导体器件, 包括:

第一半导体层, 其包括第一导电类型的第一掺杂剂;

第二半导体层, 其位于所述第一半导体层上方, 所述第二半导体层包括所述第一导电类型的第二掺杂剂, 并且所述第二半导体层具有背对所述第一半导体层的顶表面; 以及

埋层, 其位于所述第一半导体层和所述第二半导体层之间, 所述埋层具有:

第一埋层, 其在所述第一半导体层内, 所述第一埋层包括与所述第一导电类型相反的第二导电类型的第三掺杂剂, 所述第一埋层具有第一掺杂浓度;

第二埋层, 其位于所述第一埋层上, 所述第二埋层包括所述第二导电类型的第四掺杂剂并且处在高于所述第一掺杂浓度的第二掺杂浓度;

n型散热片, 其延伸通过所述第二半导体层到所述埋层, 所述n型散热片和所述埋层提供从所述第二半导体层的所述顶表面到所述第一半导体层的表面的连续n型路径, 以及

深沟槽结构, 其从所述第二半导体层的所述顶表面延伸通过所述n型散热片和所述埋层, 以到达所述第一半导体层而不穿透所述第一半导体层, 所述深沟槽结构包括介电内衬

以及导电沟槽填充材料,所述介电内衬包覆所述深沟槽结构的底部并且接触所述第一半导体层,所述导电沟槽填充材料延伸穿过所述介电内衬到所述第一半导体层并且与所述第一半导体层进行电连接。

9. 根据权利要求8所述的半导体器件,其中:

所述第一掺杂剂和所述第二掺杂剂中的每个包括p型掺杂剂;以及

所述第三掺杂剂和所述第四掺杂剂中的每个包括n型掺杂剂。

10. 根据权利要求8所述的半导体器件,其中:

所述第三掺杂剂包括至少百分之90的磷;以及

所述第四掺杂剂包括至少百分之50的n型掺杂剂,所述n型掺杂剂选自由砷、锑和其组合构成的组。

11. 根据权利要求8所述的半导体器件,其中所述散热片具有闭环配置。

12. 根据权利要求8所述的半导体器件,其中:

所述第一掺杂浓度大于 $5 \times 10^{18} \text{cm}^{-3}$ ;以及

所述第二掺杂浓度的范围从 $1 \times 10^{16} \text{cm}^{-3}$ 到 $1 \times 10^{17} \text{cm}^{-3}$ 。

13. 根据权利要求8所述的半导体器件,其中所述第一掺杂浓度是所述第二掺杂浓度的至少50倍。

## 高击穿n型埋层

### 技术领域

[0001] 本发明一般涉及半导体器件,并且更具体地涉及在半导体器件中的埋层。

### 背景技术

[0002] 示例半导体器件包含在p型衬底中的n型埋层。埋层偏置为80伏特以上的高电压,以为埋层上方的衬底中的部件提供高电压下的隔离操作。在埋层的底表面处,pn结显示出不期望的漏电流和低击穿。

### 发明内容

[0003] 在所述示例中,半导体器件具有在p型第一外延层上方和p型第二外延层下方的n型埋层。埋层是通过以高剂量和低能量将重n型掺杂剂(锑和/或砷)注入到p型第一外延层中,并且以低剂量和高能量注入更轻的n型掺杂剂磷来形成的。热驱动过程扩散并激活重掺杂剂和磷二者。重掺杂剂不显著扩散,有利地保持用于埋层的主层的窄分布(narrow profile)。磷扩散以有利地提供在主层下方的几微米厚的轻掺杂层。

### 附图说明

[0004] 图1是一种包含高电压n型埋层的示例半导体器件的横截面。

[0005] 图2A至2F是以制造的连续阶段示出的一种半导体器件的横截面,类似于图1的半导体器件。

[0006] 图3A至3F是以制造的连续阶段描绘的包含高电压局部n型埋层的另一个示例半导体器件的横截面。

[0007] 图4是包含高电压n型埋层的一种替代示例半导体器件的横截面。

### 具体实施方式

[0008] 下面的共同未决专利申请通过引用被合并于此:申请号US 14/555,209;申请号US 14/555,300;以及申请号US 14/555,359。

[0009] 图1是一种包含高电压n型埋层的示例半导体器件的横截面。半导体器件100具有衬底102,其包括诸如单晶硅的半导体材料的第一外延层104。衬底102还包括在第一外延层104上布置的第二外延层106。第二外延层106包括可以具有与第一外延层104相同的组合物的半导体材料。n型埋层108布置在衬底102中的第一外延层104和第二外延层106之间的边界处,延伸到第一外延层104和第二外延层106。紧接n型埋层108下方的第一外延层104被称为下层110。下层110是p型,并且具有5欧姆厘米(ohm-cm)至10ohm-cm的电阻率。在n型埋层108上方的第二外延层106被称为上层112。上层112是p型,并且具有5ohm-cm至10ohm-cm的电阻率。

[0010] n型埋层108包括主层114,其跨越第一外延层104和第二外延层106之间的边界,延伸到第一外延层104中至少一微米,并且延伸到第二外延层106中至少一微米。主层114具有

大于 $5 \times 10^{18} \text{cm}^{-3}$ 的平均掺杂密度。在主层114中至少50百分比的n型掺杂剂是砷和/或锑。主层114的顶表面116在衬底102的顶表面118下方至少5微米。主层114的顶表面116可以在衬底102的顶表面118下方8微米到12微米。

[0011] n型埋层108包括在主层114下方延伸至少2微米的轻掺杂层120。轻掺杂层120布置在下层110上方的第一外延层104中。轻掺杂层120具有 $1 \times 10^{16} \text{cm}^{-3}$ 至 $1 \times 10^{17} \text{cm}^{-3}$ 的平均掺杂密度。在轻掺杂层120中至少90百分比的n型掺杂剂是磷。n型埋层108可以如图1所示基本上横跨半导体器件100延伸。

[0012] 在半导体器件100的操作期间，n型埋层108可以偏置到高于下层110的80伏特至110伏特。具有轻掺杂层120的n型埋层108的结构可有利地防止在n型埋层108和下层110之间的pn结的击穿，并且可有利地提供期望的低水平的漏电流。此外，具有主层114的n型埋层108的结构有利地提供低薄层电阻以对在n型埋层108上方的上层112中的部件保持均匀偏压。

[0013] 半导体器件100可以包括深沟槽结构122，其延伸通过上层112，通过n型埋层108，并进入下层110。深沟槽结构122包括介电内衬 (liner) 124，包括接触衬底102的半导体材料的二氧化硅。深沟槽结构122还可以包括导电的填充材料126，诸如在介电内衬124上的多晶的硅(被称为多晶硅)。具有轻掺杂层120的n型埋层108的结构特别有利地防止在介电内衬124处n型埋层108和下层110之间的pn结的击穿。深沟槽结构122可具有如在图1中描绘的闭环配置，以使得上层112的一部分128通过深沟槽结构122与剩余上层112电隔离，并且通过n型埋层108与下层110电隔离。上层112的部分128中的部件可相对于在深沟槽结构122外侧的剩余上层112中的部件以85伏特至110伏特而有利地操作。

[0014] 图2A至2F是以制造的连续阶段示出的一种半导体器件的横截面，类似于图1的半导体器件。参照图2A，半导体器件100的制造以第一外延层104开始。例如，第一外延层104可以是在重掺杂单晶硅晶片上外延层堆叠的顶部部分。第一外延层104是具有 $5 \text{ohm-cm}$ 至 $10 \text{ohm-cm}$ 的电阻率的p型。衬垫氧化物层130诸如通过热氧化形成在第一外延层104上方。

[0015] N型掺杂剂132被注入到第一外延层104中，以形成第一注入层134。n型掺杂剂包括至少50百分比的砷和/或锑。在本示例的一个版本中，n型掺杂剂132可以基本上全部是锑，如图2A所示。n型掺杂剂132以大于 $5 \times 10^{14} \text{cm}^{-2}$  (诸如 $1 \times 10^{15} \text{cm}^{-2}$ 至 $5 \times 10^{15} \text{cm}^{-2}$ ) 的剂量被注入。n型掺杂剂132中的锑可以在小于50keV的能量下被注入。n型掺杂剂132中的砷可以在小于40keV的能量下被注入。

[0016] 参照图2B，磷136注入到第一外延层104中以在第一注入层134下方形成第二注入层138。磷136以 $1 \times 10^{13} \text{cm}^{-2}$ 至 $1 \times 10^{14} \text{cm}^{-2}$ 的剂量并且以高于100keV的能量注入。

[0017] 参照图2C，第一热驱动过程140加热第一外延层104至1150°C到1225°C的温度至少30分钟。第一热驱动过程140可在具有氧化环境的炉中执行，这增加了衬垫氧化物层130的厚度。第一热驱动过程140导致在第一注入层134中注入的n型掺杂剂和第二注入层138中注入的磷更深地扩散进入第一外延层104中。在第二注入层138中的磷比在第一注入层134中的砷和锑更远地扩散到第一外延层104中。随后，衬垫氧化物层130诸如通过使用缓冲的氢氟酸的稀释水溶液的湿刻蚀来去除。

[0018] 参照图2D，外延过程在第一外延层104上生长第二外延层106。外延过程可使用硅烷、二氯硅烷，或其它含硅试剂。在外延过程期间，在图2C的第一注入层134中的n型掺杂剂

扩散进入第二外延层106中,以形成n型埋层108的主层114。主层114跨越在第一外延层104和第二外延层106之间的边界。图2C的第二注入层138中的磷形成n型埋层108的轻掺杂层120。外延过程可使用含硼试剂(诸如二硼烷),以提供在第二外延层106中的p型掺杂。可替代地,在完成外延过程之后,p型掺杂剂(诸如硼)可以注入到第二外延层106中。第一外延层104和第二外延层106提供衬底102的顶部部分。

[0019] 参照图2E,第二热驱动过程142加热衬底102至1125°C到1200°C的温度至少120分钟。第二热驱动过程142可在具有轻微氧化环境的炉中执行。当完成第二热驱动时,n型埋层108的主层114延伸到第一外延层104中至少一微米,并且延伸到第二外延层106中至少一微米,并且轻掺杂层120延伸到主层114下方至少2微米。在主层114中的平均掺杂大于 $5 \times 10^{18} \text{cm}^{-3}$ 。在轻掺杂层120中的平均掺杂为 $1 \times 10^{16} \text{cm}^{-3}$ 至 $1 \times 10^{17} \text{cm}^{-3}$ 。

[0020] 参照图2F,深沟槽结构122可在图2E的第二热驱动过程142之后通过在衬底102中蚀刻的深沟槽来形成。介电内衬124可以通过热氧化、接着通过由次常压化学气相淀积(SACVD)过程沉积二氧化硅形成。导电填充材料126可通过沉积多晶硅共形层并随后从衬底的顶表面上方去除多晶硅形成,诸如通过化学机械抛光(CMP)过程。通过在深沟槽被部分蚀刻之后将n型掺杂剂注入到第二外延层106中,可选的n型自对准散热片(sinker)144可以形成在邻接深沟槽结构的第二外延层106中。n型自对准散热片144提供电连接到n型埋层108。

[0021] 图3A至3F是以制造的连续阶段描绘的包含高电压局部n型埋层的另一个示例半导体器件的横截面。局部n型埋层延伸横跨半导体器件的仅一部分。参照图3A,半导体器件300形成在包含半导体材料(诸如单晶硅)的第一外延层304上。第一外延层304是具有5ohm-cm至10ohm-cm的电阻率的p型。衬垫氧化物层330形成在第一外延层304上方。在该示例中,注入掩模346形成在衬垫氧化物层330上方,以曝露用于局部n型埋层308的区域。注入掩模346可以包括通过光刻过程形成的光致抗蚀剂,或者可包括硬掩模材料,诸如通过热氧化或等离子体增强化学气相(PECVD)过程形成的二氧化硅。在注入掩模346中的硬掩模材料可在以高能量注入磷之后有利地促进注入掩模346的随后去除。

[0022] N型掺杂剂332通过由注入掩模346曝露的区域被注入到第一外延层304中,以形成第一注入层334。n型掺杂剂包括至少50百分比的砷和/或锑。n型掺杂剂332以大于 $5 \times 10^{14} \text{cm}^{-2}$ (诸如 $1 \times 10^{15} \text{cm}^{-2}$ 至 $5 \times 10^{15} \text{cm}^{-2}$ )的剂量注入。

[0023] 参照图3B,磷336通过由注入掩模346曝露的区域被注入到第一外延层304中,以形成在第一注入层334下方的第二注入层338。磷336以 $1 \times 10^{13} \text{cm}^{-2}$ 至 $1 \times 10^{14} \text{cm}^{-2}$ 的剂量并且以高于100keV的能量被注入。注入掩模346中的有机材料(诸如光致抗蚀剂)在随后的第一热驱动过程之前被去除。

[0024] 参照图3C,第一热驱动过程340加热第一外延层304至1150°C到1225°C的温度至少30分钟,诸如参考图2所述。第一热驱动过程340导致在第一注入层334中注入的n型掺杂剂和第二注入层338中注入的磷更深地扩散到第一外延层304中。在第二注入层338中的磷比第一注入层334中的砷和锑更远地扩散到第一外延层304中。注入掩模346(如果有的话)和衬垫氧化物层330随后被去除。

[0025] 参照图3D,外延过程在第一外延层304上生长第二外延层306,以提供半导体器件300的衬底302。在外延过程期间,在图3C的第一注入层334中的n型掺杂剂扩散进入第二外延层306,以形成局部n型埋层308的主层314。主层314跨越在第一外延层304和第二外延层

306之间的边界。在图3C的第二注入层338中的磷在主层314下方形成局部n型埋层308的轻掺杂层320。第二外延层306是具有5ohm-cm至10ohm-cm的电阻率的p型。紧接在n型埋层308下方的第一外延层304被称为下层310。类似地,在n型埋层308上方的第二外延层306被称为上层312。

[0026] 参照图3E,第二热驱动过程342加热衬底302至1125℃到1200℃的温度至少120分钟。当第二热驱动完成时,局部n型埋层308的主层314延伸到第一外延层304中至少一微米,并且延伸到第二外延层306中至少一微米,并且轻掺杂层320在主层314下方延伸至少2微米。主层314的顶表面316是在衬底302的顶表面318下方至少5微米。主层314的顶表面316可以是在衬底302的顶表面318下方8微米至12微米。在主层314中的平均掺杂大于 $5 \times 10^{18} \text{cm}^{-3}$ 。在主层314中的至少50百分比的n型掺杂剂是砷和/或锑。

[0027] 轻掺杂层320在主层314下方延伸至少2微米。在轻掺杂层320中的平均掺杂是 $1 \times 10^{16} \text{cm}^{-3}$ 至 $1 \times 10^{17} \text{cm}^{-3}$ 。在轻掺杂层320中的至少90百分比的n型掺杂剂是磷。

[0028] 参照图3F,n型散热片348形成在第二外延层306中,向下延伸至局部n型埋层308。n型散热片348可具有闭环配置以将上层312的部分328与剩余的上层312隔离。局部n型埋层308将上层312的部分328与下层310隔离。具有主层314和轻掺杂层320的局部n型埋层308的结构可有利地提供在局部n型埋层308中的低薄层电阻,同时减少漏电流并且防止在局部n型埋层308和下层310之间的pn结的击穿。

[0029] 图4是包含高电压n型埋层的一种替代示例半导体器件的横截面。半导体器件400具有衬底402,其包括p型半导体材料(诸如单晶硅)的第一外延层404。衬底402还包括布置在第一外延层404上的第二外延层406。第二外延层406包括p型半导体材料,其可以具有与第一外延层404相同的组合物。n型埋层408布置在衬底402中的第一外延层404和第二外延层406之间边界处,延伸到第一外延层404和第二外延层406中。紧接n型埋层408下方的第一外延层404被称为下层410。下层410是p型,并且具有5ohm-cm至10ohm-cm的电阻率。n型埋层408上方的第二外延层406被称为上层412。上层412是p型,并且具有5ohm-cm至10ohm-cm的电阻率。

[0030] n型埋层408包括主层414,其跨越第一外延层404和第二外延层406之间的边界,延伸到第一外延层404中至少一微米,并且延伸到第二外延层406中至少一微米。主层414具有大于 $5 \times 10^{18} \text{cm}^{-3}$ 的平均掺杂密度。主层414的顶面416是在衬底402的顶表面418下方至少5微米。主层414的顶表面416可以是在衬底402的顶表面418下方8微米至12微米。n型埋层408包括在主层414下方延伸至少2微米的轻掺杂层420。轻掺杂层420布置在下层410上方的第一外延层404中。轻掺杂层420具有 $1 \times 10^{16} \text{cm}^{-3}$ 至 $1 \times 10^{17} \text{cm}^{-3}$ 的平均掺杂密度。n型埋层408可以如在此的任何示例中所述的来形成。

[0031] 一个或更多个深沟槽结构422布置在衬底402中,在埋层408下方延伸到下层410中。深沟槽结构422包括接触衬底402的介电内衬424。深沟槽结构422包括在介电内衬424上的导电沟槽填充材料426。在该示例中,介电内衬424在深沟槽结构422的底部450处被去除,并且沟槽填充材料426延伸到衬底402,通过p型接触区域452与衬底402进行电连接。接触区域452和去除在每个深沟槽结构422的底部450处的介电内衬424的方法可如在申请号US 14/555,359中所描述的进行,其通过引用被合并于此。

[0032] 在该示例中,沟槽填充材料426包括布置在介电内衬424上的多晶硅的第一层454,

延伸到深沟槽结构422的底部450。多晶硅的第二层456布置在多晶硅的第一层454上。掺杂剂以至少 $1 \times 10^{18} \text{cm}^{-3}$ 的平均掺杂密度分布有多晶硅的第一层454和多晶硅的第二层456中。沟槽填充材料426可如在申请号US 14/555,300中所描述的形成,其通过引用被合并于此。

[0033] N型自对准散热片444布置在邻接深沟槽结构422并且延伸到埋层408的上层412中。自对准散热片444提供到埋层408的电连接。自对准散热片444可如在申请号US 14/555,209中所描述的形成,其通过引用被合并于此。

[0034] 附图不是按比例绘制的。

[0035] 在权利要求的范围之内,在所描述的实施例中修改是可能的,并且其它实施例是可能的。





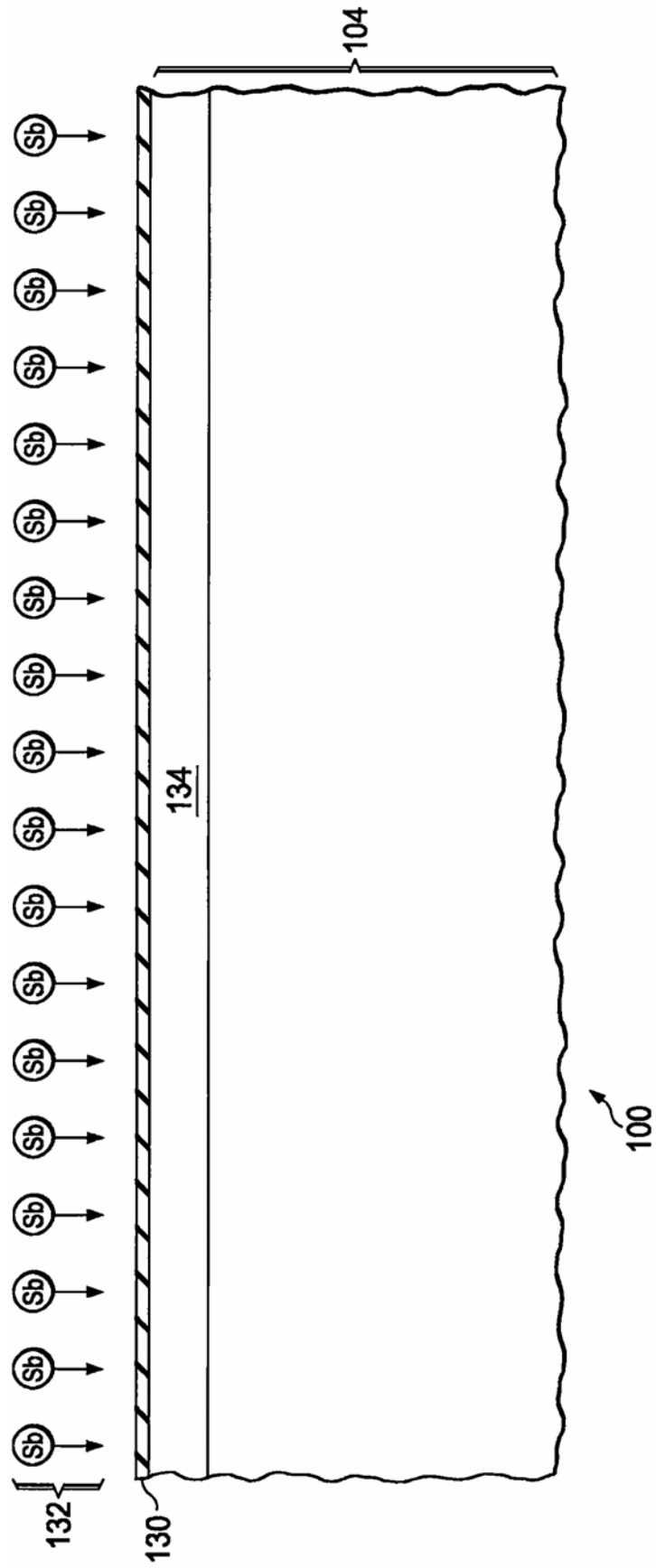


图2A

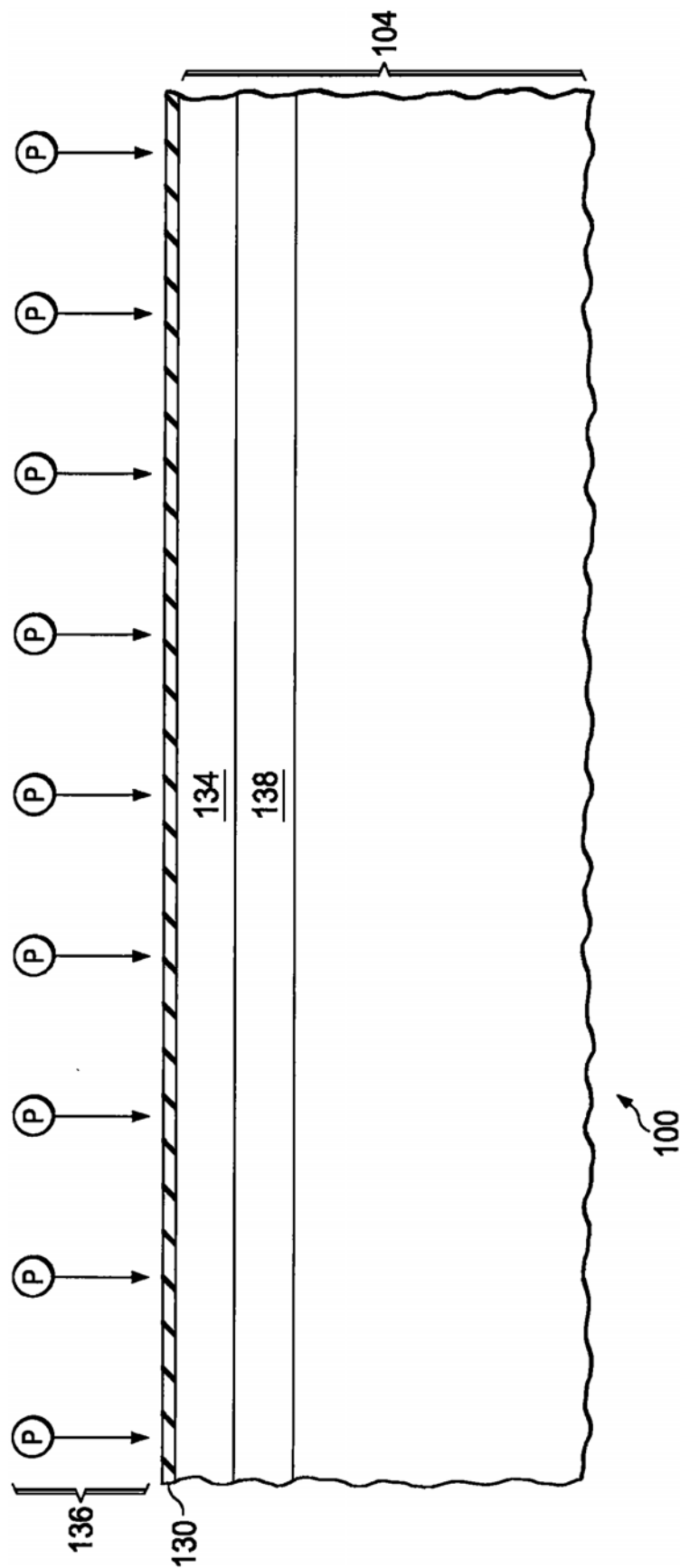


图2B

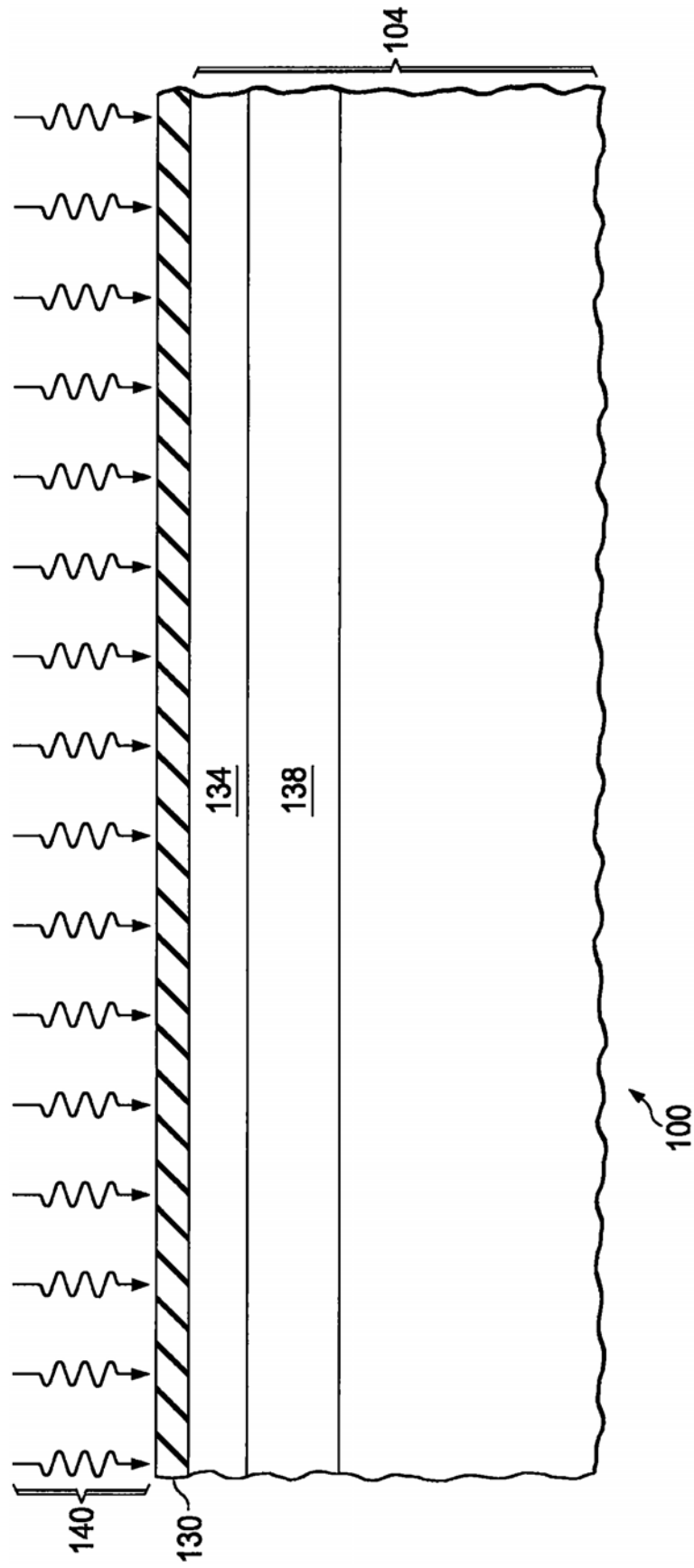


图2C

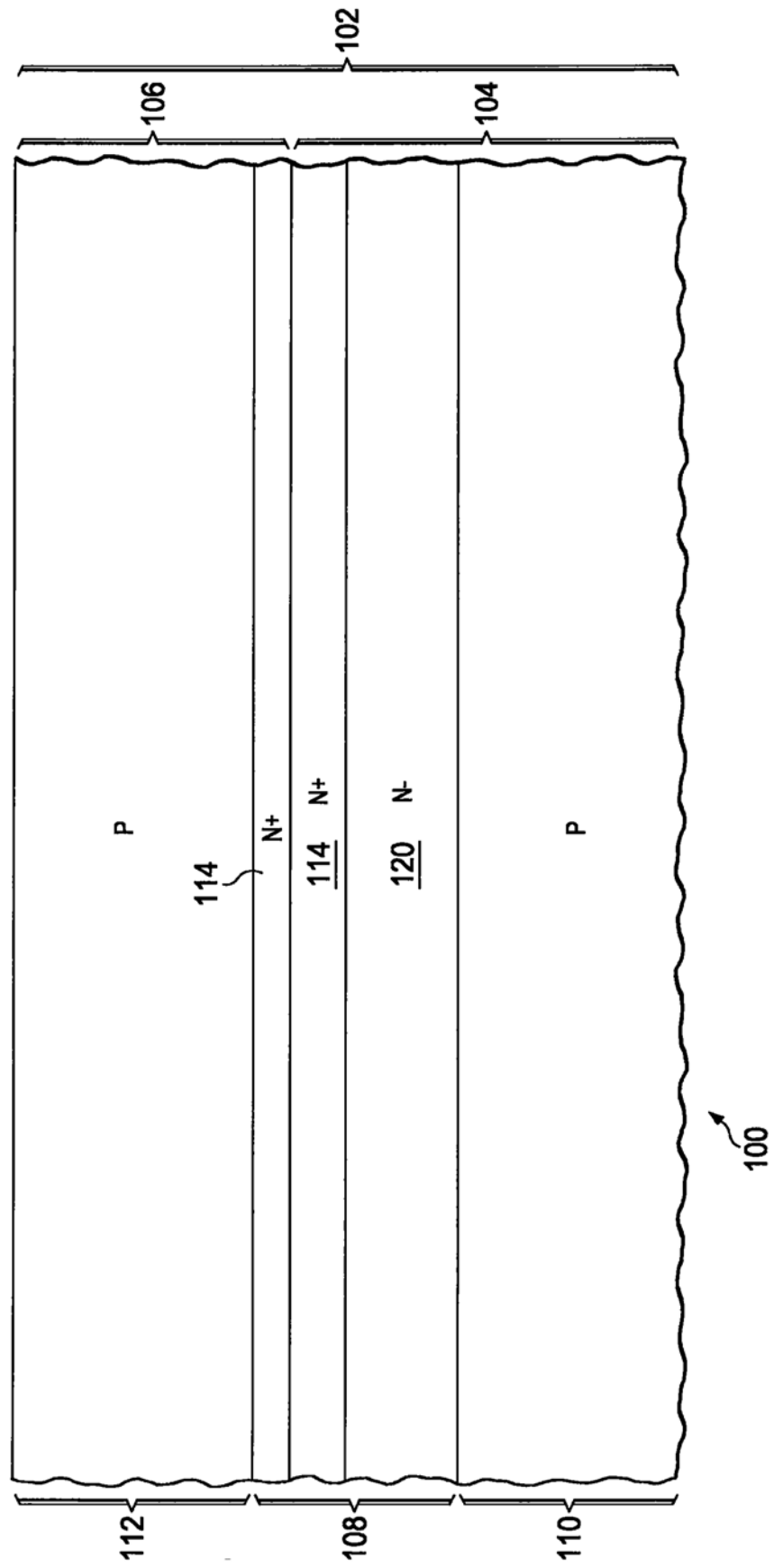


图2D

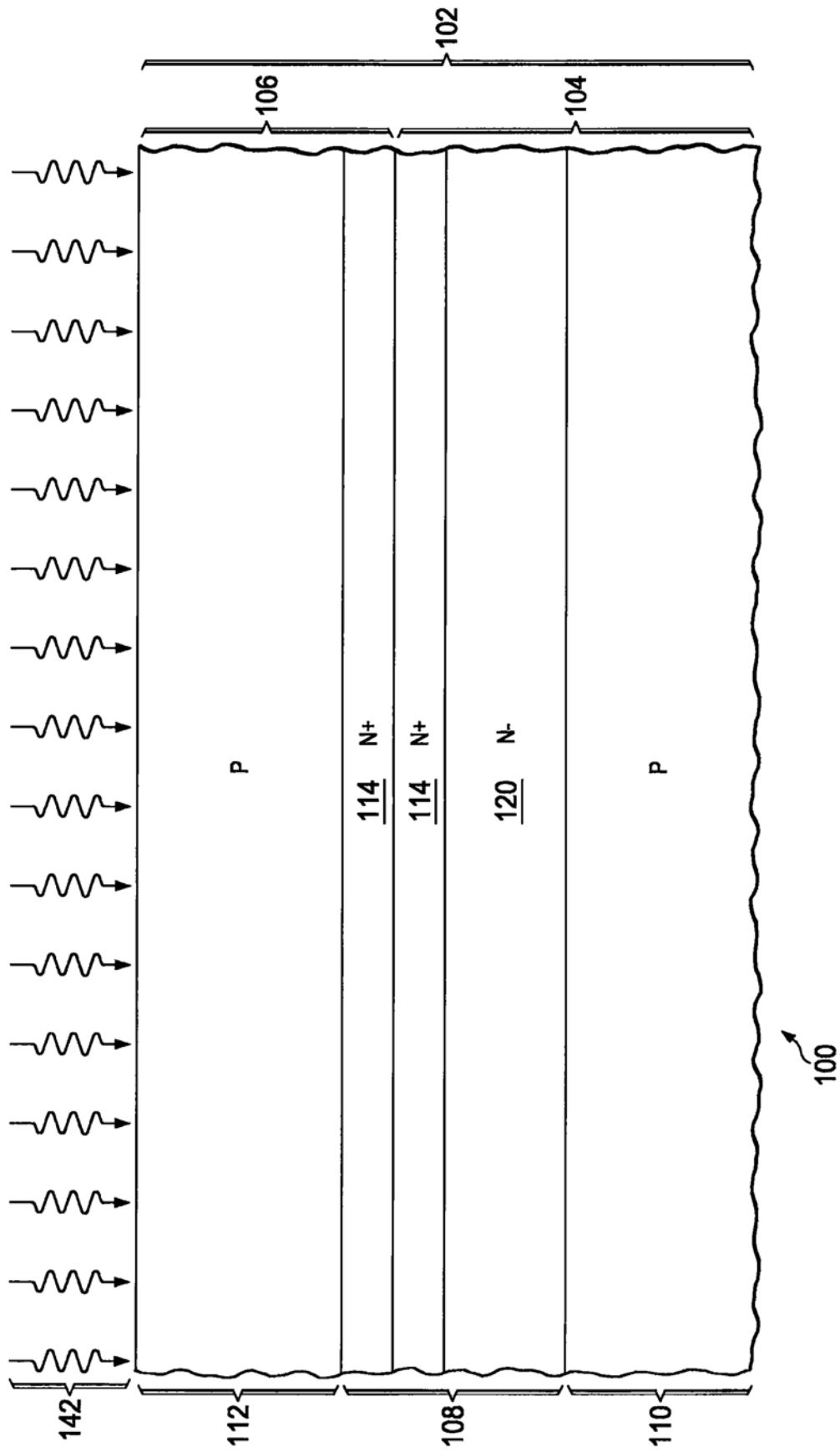


图2E

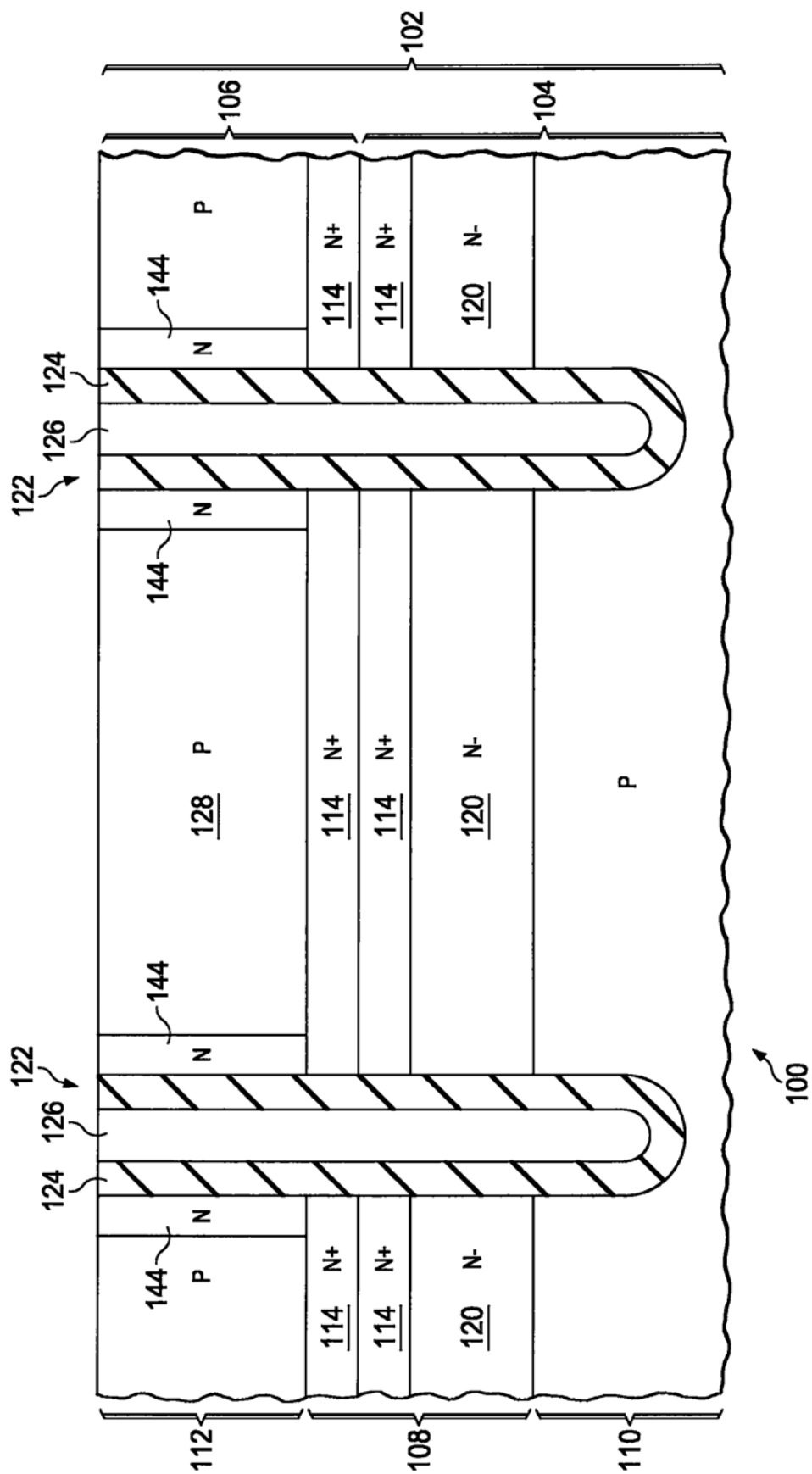


图2F





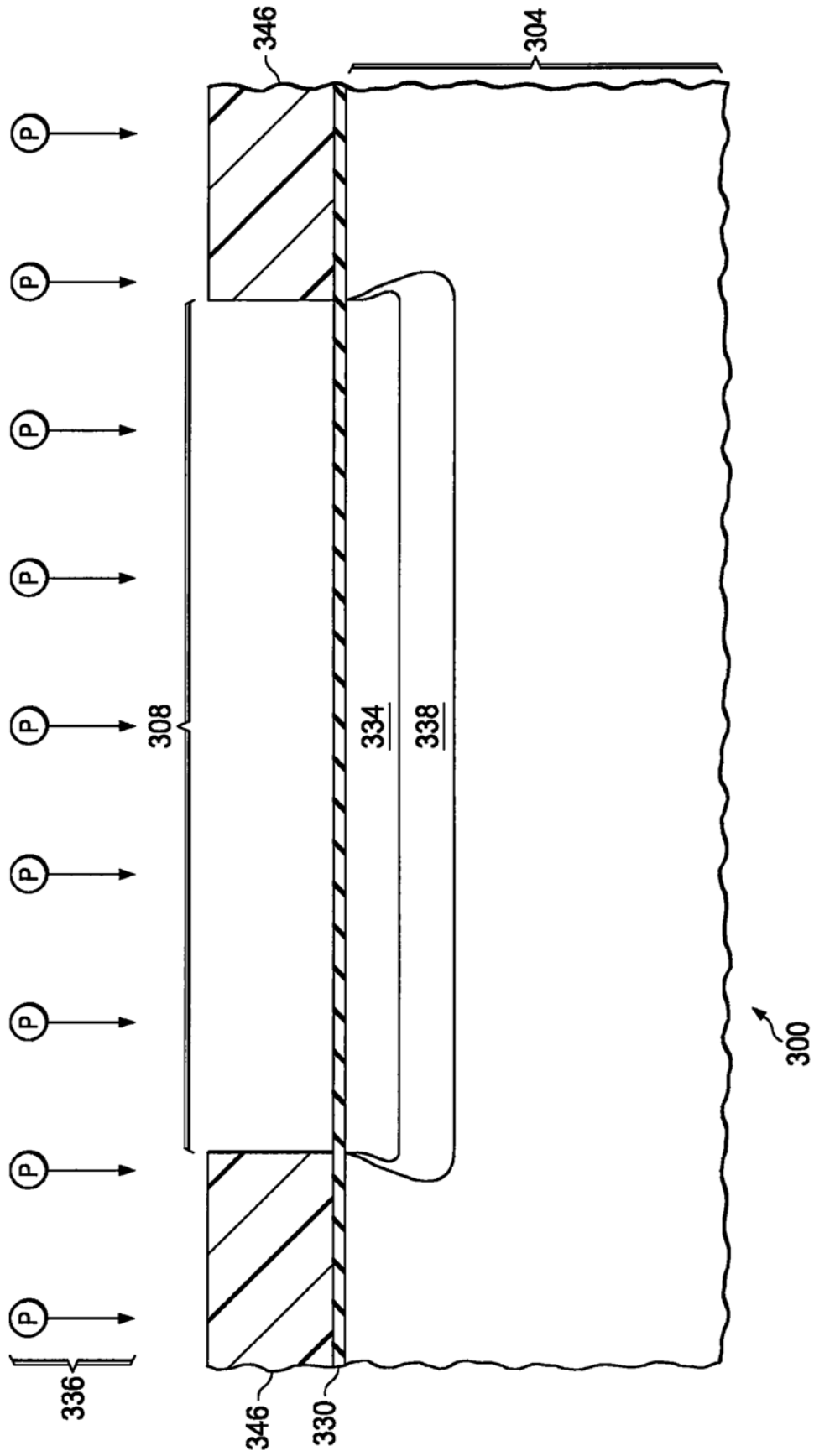


图3B

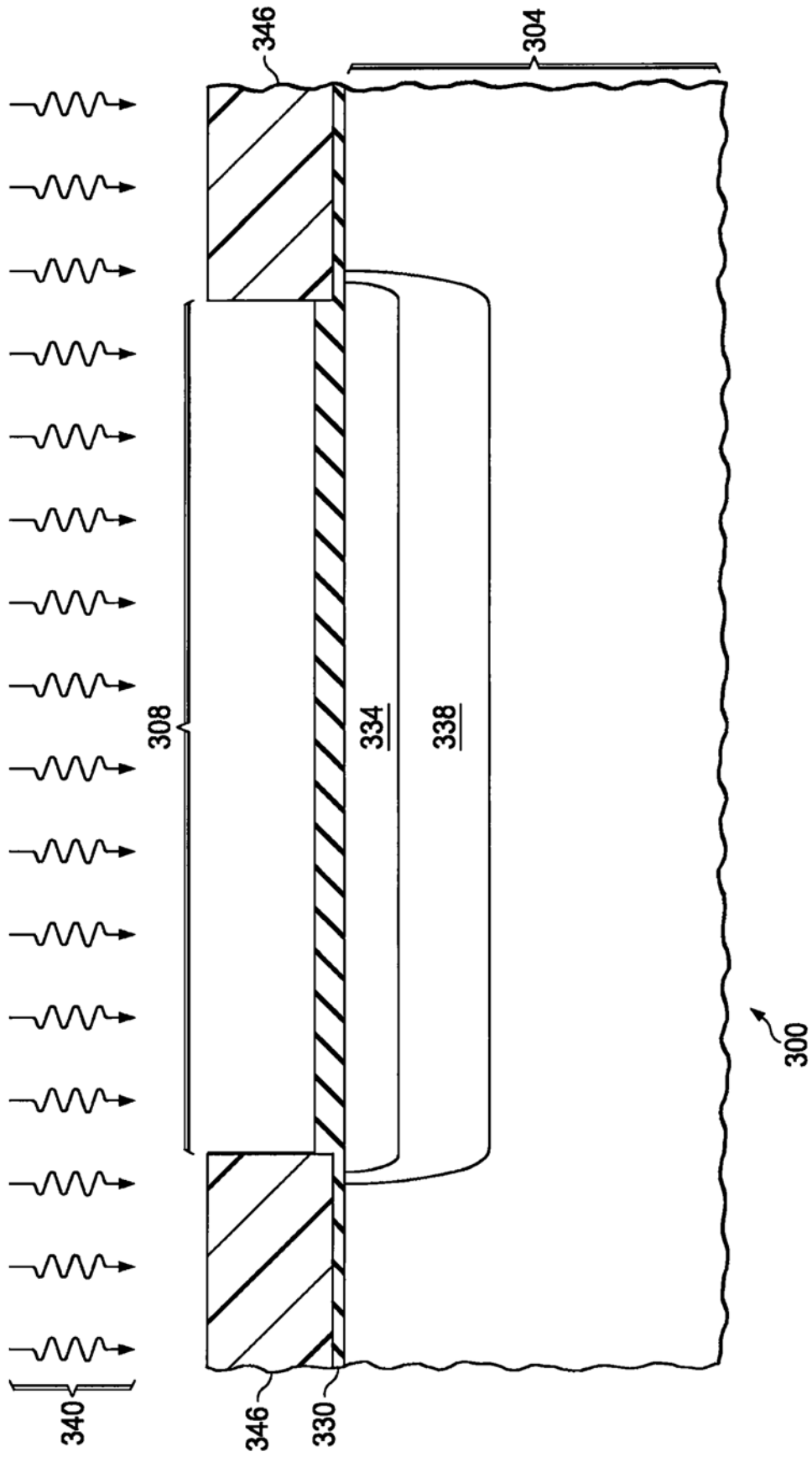


图3C

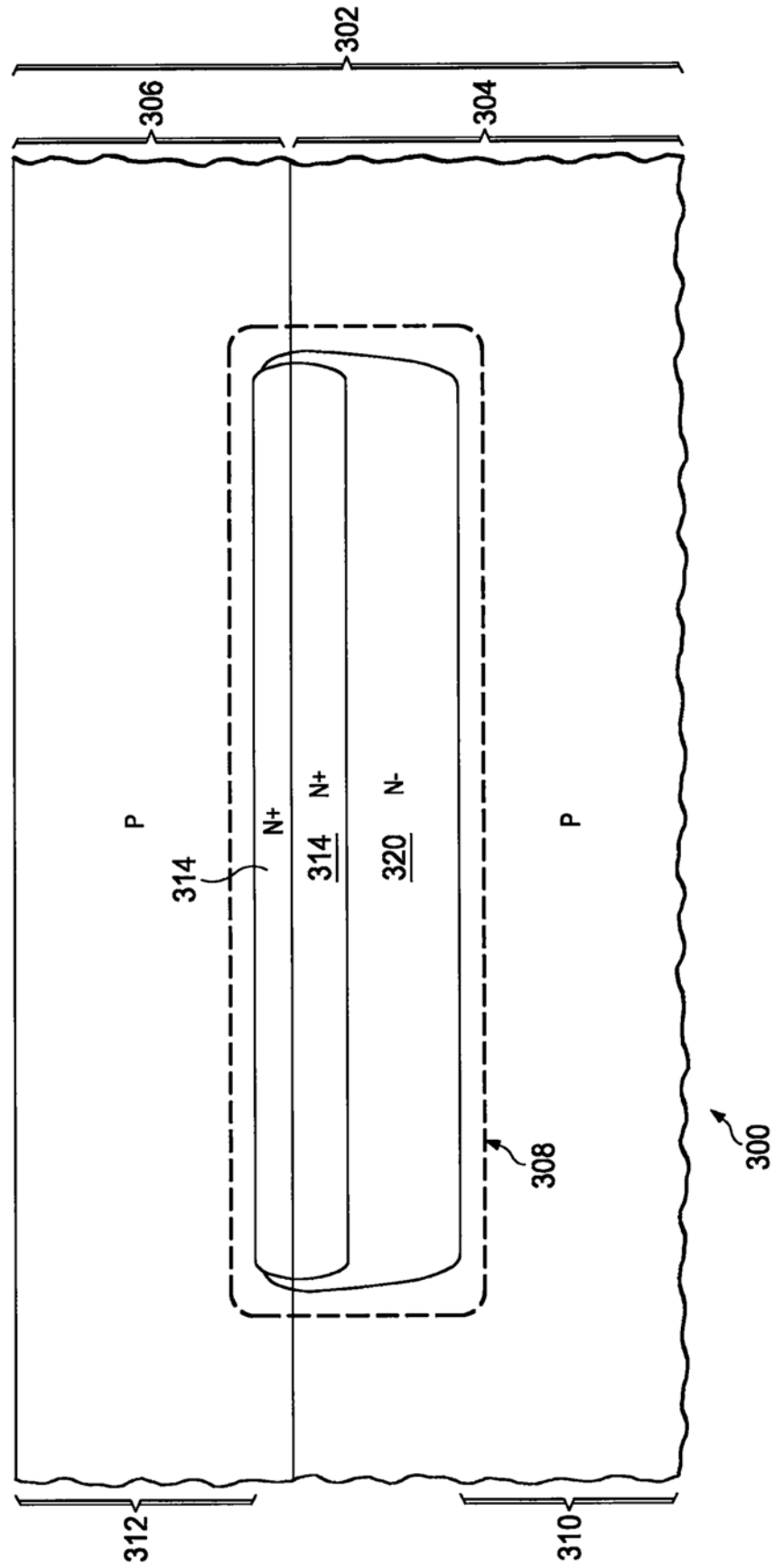


图3D

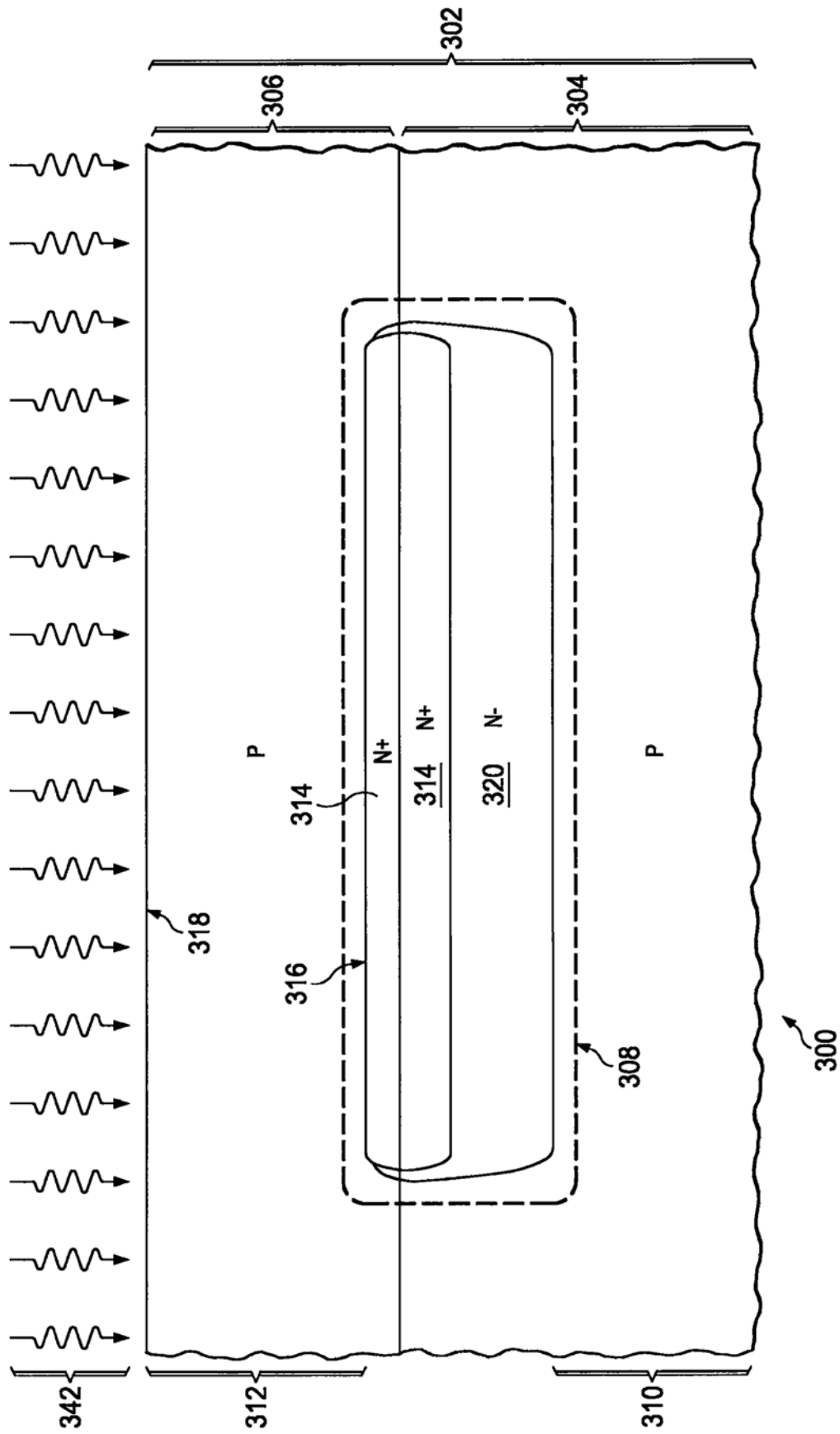


图3E

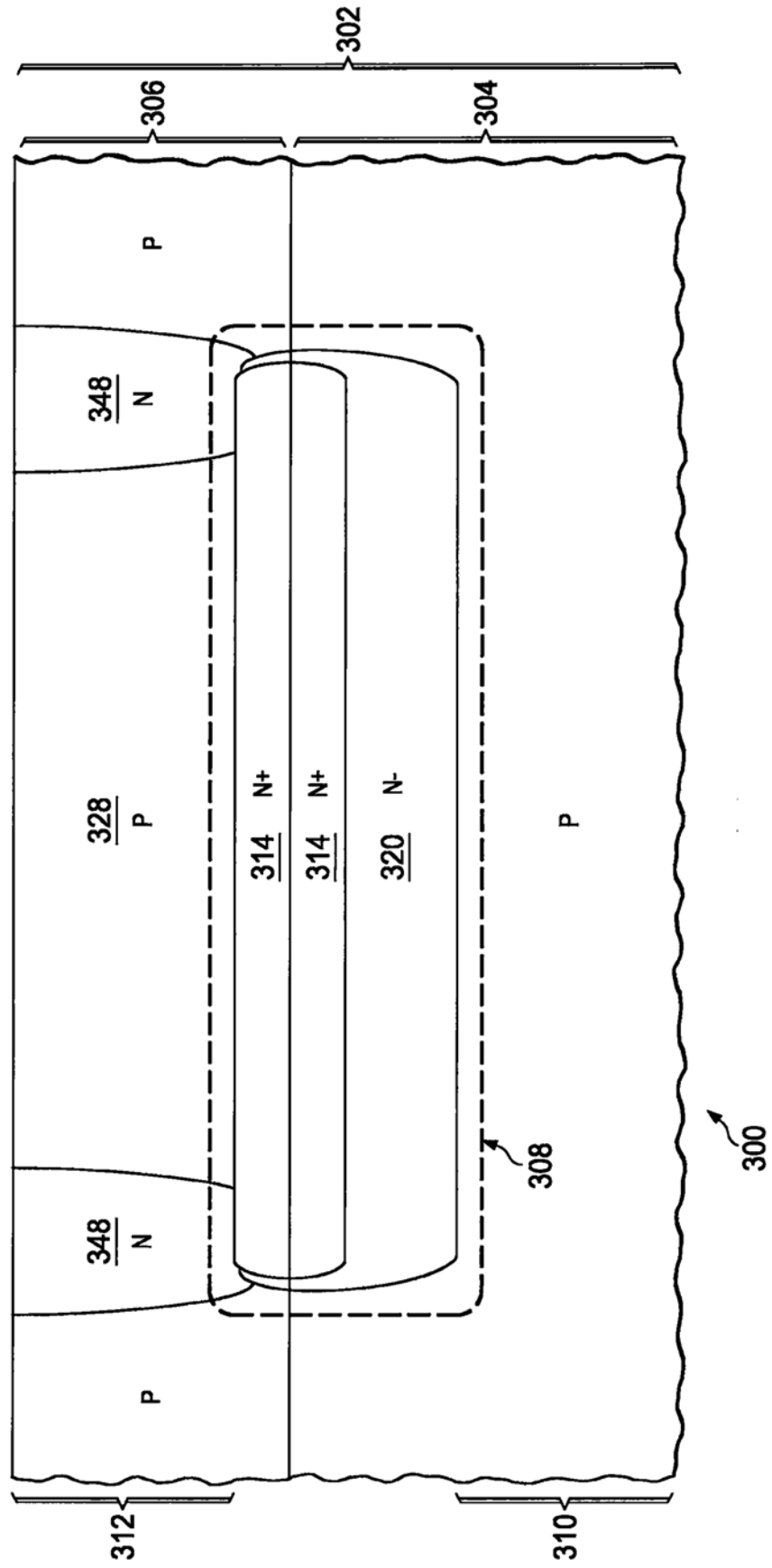


图3F

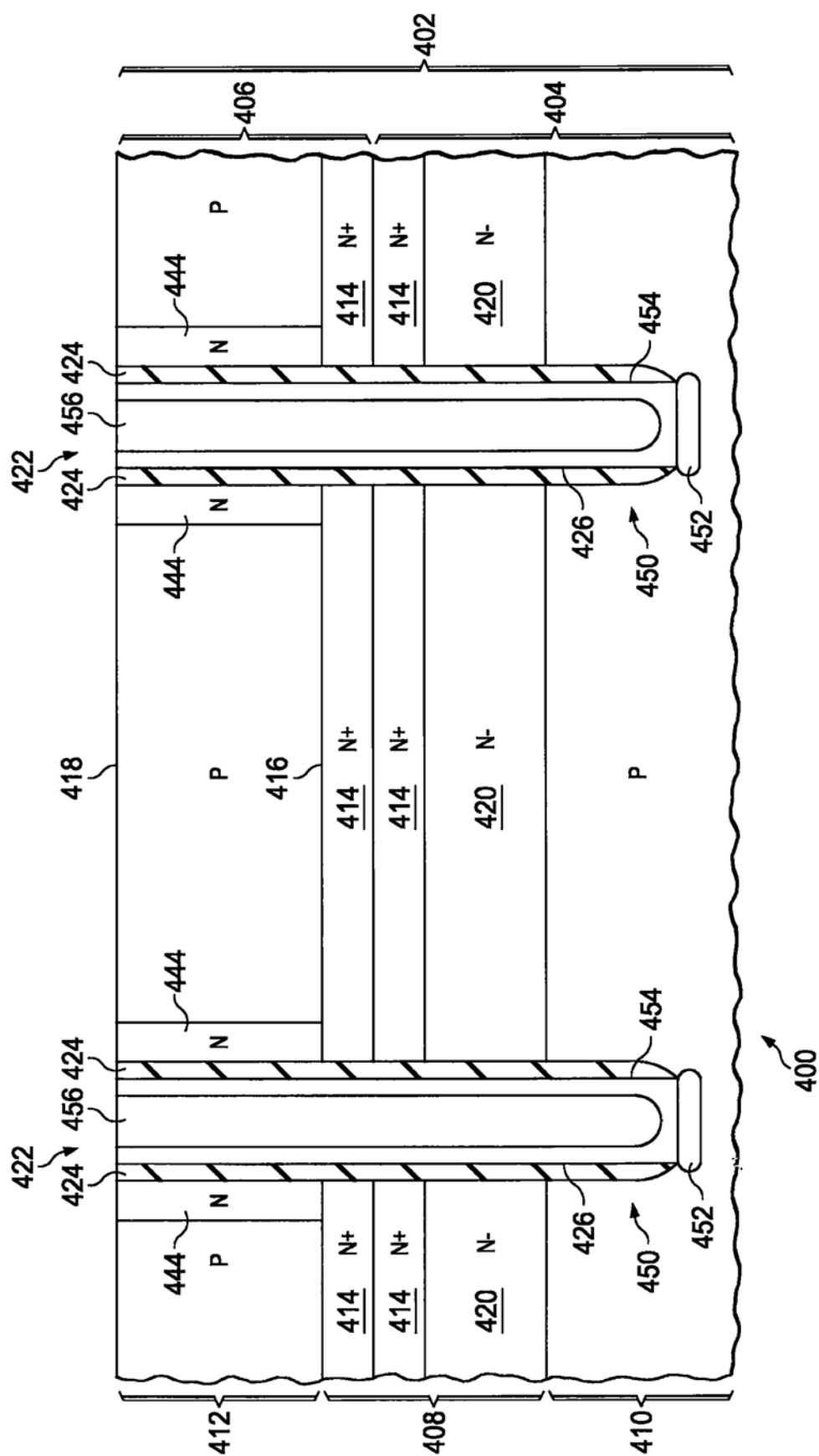


图4