



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0116036  
(43) 공개일자 2011년10월24일

(51) Int. Cl.

H01L 27/12 (2006.01) H01L 21/20 (2006.01)  
H01L 21/265 (2006.01)

(21) 출원번호 10-2011-7019761

(22) 출원일자(국제출원일자) 2010년01월08일

심사청구일자 없음

(85) 번역문제출일자 2011년08월25일

(86) 국제출원번호 PCT/JP2010/000076

(87) 국제공개번호 WO 2010/098007

국제공개일자 2010년09월02일

(30) 우선권주장

JP-P-2009-043403 2009년02월26일 일본(JP)

(71) 출원인

신에쓰 한도타이 가부시키키가이샤

일본 도쿄토 치요다쿠 오테마찌 2쵸메 6-2

(72) 발명자

아가, 히로지

일본 군마 3790125, 안나카-시, 나카노야, 아자  
마츠바라, 507, 신에쓰 한도타이 가부시키키가이샤,  
요코노다이라 공장 내

요코카와, 이사오

일본 군마 3790125, 안나카-시, 나카노야, 아자  
마츠바라, 507, 신에쓰 한도타이 가부시키키가이샤,  
요코노다이라 공장 내

노토, 노부히코

일본 군마 3790125, 안나카-시, 나카노야, 아자  
마츠바라, 507, 신에쓰 한도타이 가부시키키가이샤,  
요코노다이라 공장 내

(74) 대리인

특허법인씨엔에스

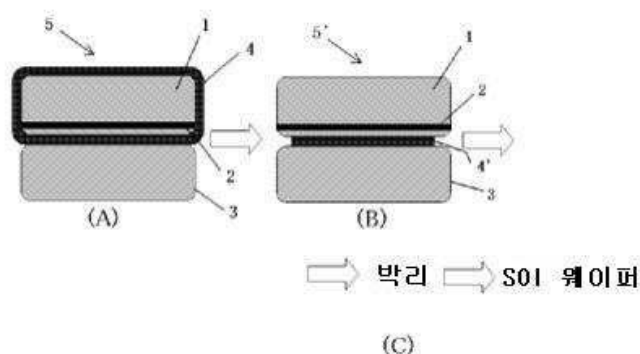
전체 청구항 수 : 총 7 항

(54) SOI 웨이퍼의 제조 방법

(57) 요약

본 발명은, 본드 웨이퍼의 표면에서 가스이온을 이온주입하여 이온주입층을 형성하고, 상기 본드 웨이퍼의 이온주입한 표면과 베이스 웨이퍼의 표면을 절연막을 통해 접합하고, 이온주입층에서 본드 웨이퍼를 박리하는 것에 의해 SOI 웨이퍼를 제작하는 SOI 웨이퍼의 제조방법에 있어서, 이온주입층에서 본드 웨이퍼를 박리하기 전의 접합 웨이퍼를, 절연막이 용해 가능한 액체에 침지하거나, 절연막이 용해 가능한 기체에 노출시킴으로써, 본드 웨이퍼와 베이스 웨이퍼의 사이에 위치하는 절연막을, 접합 웨이퍼의 외주단에서 중심 방향으로 에칭하는 공정을 가지는 것을 특징으로 하는 SOI 웨이퍼의 제조방법이다. 이것에 의해, 이온주입박리법에 의해 박리한 경우에 생기는 테라스 폭을 제어할 수 있고, 또한, 수율 저하의 원인이 되는 테라스부의 SOI 도(島)의 발생을 방지할 수 있는 SOI 웨이퍼의 제조방법이 제공된다.

대표도 - 도1



## 특허청구의 범위

### 청구항 1

실리콘 단결정으로 이루어지는 본드 웨이퍼 표면에서 수소 또는 희가스 중 적어도 1 종류의 가스 이온을 이온주입하여 이온주입층을 형성하고, 상기 본드 웨이퍼의 이온주입한 표면과 베이스 웨이퍼의 표면을 절연막을 통해 접합하고, 상기 이온주입층에서 본드 웨이퍼를 박리하는 것에 의해 SOI 웨이퍼를 제작하는 SOI 웨이퍼의 제조 방법에 있어서,

상기 이온주입층에서 본드 웨이퍼를 박리하기 전의 접합 웨이퍼를, 상기 절연 막이 용해 가능한 액체에 침지하거나, 상기 절연막이 용해 가능한 기체에 노출시킴으로써, 상기 본드 웨이퍼와 상기 베이스 웨이퍼 사이에 위치하는 상기 절연막을, 상기 접합 웨이퍼의 외주단에서 중심 방향으로 에칭하는 공정을 가지는 것을 특징으로 하는 SOI 웨이퍼의 제조 방법.

### 청구항 2

제 1항에 있어서,

상기 본드 웨이퍼와 베이스 웨이퍼의 접합을 실온에서 실시하고, 그 후, 열처리를 실시하지 않고, 상기 절연막의 에칭을 실시하는 것을 특징으로 하는 SOI 웨이퍼의 제조 방법.

### 청구항 3

제 1항에 있어서,

상기 본드 웨이퍼와 베이스 웨이퍼의 접합을 실온에서 실시하고, 그 후에, 상기 이온주입층에 있어서 박리가 발생하지 않는 저온 열처리를 실시한 후에, 상기 절연막의 에칭을 실시하는 것을 특징으로 하는 SOI 웨이퍼의 제조 방법.

### 청구항 4

제 1항 내지 제 3항 중 어느 한 항에 있어서,

상기 절연막의 에칭을, 상기 접합 웨이퍼의 외주단에서 중심 방향으로 0.5mm 이상 10mm 이하의 범위 내에서 실시하는 것을 특징으로 하는 SOI 웨이퍼의 제조 방법.

### 청구항 5

제 1항 내지 제 4항 중 어느 한 항에 있어서,

상기 절연막의 에칭을, 상기 절연막이 산화막, 질화막, 또는 이들의 적층 구조인 접합 웨이퍼를 이용하여, 상기 접합 웨이퍼를 HF 함유 수용액 또는 인산에 침적함으로써 실시하는 것을 특징으로 하는 SOI 웨이퍼의 제조 방법.

### 청구항 6

제 1항 내지 제 5항 중 어느 한 항에 있어서,

상기 절연막의 에칭을, 상기 절연막이 자연 산화막인 접합 웨이퍼를 이용하여 실시하는 것을 특징으로 하는 SOI 웨이퍼의 제조 방법.

### 청구항 7

제 1항 내지 제 6항 중 어느 한 항에 있어서,

상기 절연막의 에칭이 실시된 상기 접합 웨이퍼를, 상기 실리콘 단결정이 용해 가능한 액체에 침지하거나, 상기 실리콘 단결정이 용해 가능한 기체에 노출시킴으로써, 상기 본드 웨이퍼의 접합면 측으로부터 적어도 상기 이온주입층 깊이까지의 외주단부를, 적어도 상기 에칭된 절연막의 외주단까지 에칭한 후, 상기 본드 웨이퍼의 박리를 실시하는 것을 특징으로 하는 SOI 웨이퍼의 제조 방법.

## 명세서

### 기술분야

[0001] 본 발명은 이온주입한 웨이퍼를 결합 후에 박리하여 SOI 웨이퍼를 제조하는, 이른바 이온주입박리법을 이용한 SOI 웨이퍼의 제조방법에 관한 것이다.

### 배경기술

[0002] 이온주입박리법은 수소 이온 또는 희(希)가스 이온을 주입한 경면 연마 웨이퍼(본드 웨이퍼)를 지지체가 되는 베이스 웨이퍼와 결합 후에 이온주입층에서 박리하여 SOI 웨이퍼를 제조하는 방법이지만, 박리 후의 SOI 웨이퍼의 외주부(外周部)에서는 SOI 층이 전사되지 않고, 베이스 웨이퍼의 표면이 노출된 테라스(terrace)부(部)가 생긴다. 이것은, 경면 연마 웨이퍼의 외주부의 수 mm 정도에서는 웨이퍼의 평탄도가 나쁘게 되기 때문에 첩합(貼合; 붙여 맞추) 웨이퍼 사이의 결합력이 약하고, SOI 층이 베이스 웨이퍼 측에 전사되기 어려운 것이 주된 원인이다.

[0003] 이 SOI 웨이퍼의 테라스부를 광학 현미경으로 관찰하면, SOI 층과 테라스부의 경계에, SOI 층이 도상(島狀)으로 고립된 SOI 도(島)가 관찰된다. 이것은, SOI 층이 전사되는 평탄도가 좋은 영역과 전사되지 않는 평탄도가 나쁜 영역의 전이 영역에서 발생하는 것으로 생각된다. 이러한 SOI 도(島)는, 디바이스 제작 프로세스에서 웨이퍼로부터 벗겨져서, 실리콘 입자로 되어 디바이스 제작 영역에 다시 부착하여 디바이스 불량률의 원인이 되어 버리는 것이 예상된다(특히 문헌 1 참조).

[0004] 또한, 이온주입박리법에 있어서는, 상기 테라스부의 너비(이하, 테라스 폭)는 첩합 웨이퍼 외주부의 평탄도(연마 다레의 정도)에 의해 결정되므로, 첩합 후에 테라스 폭을 제어하는 것이 어려우며, 예를 들어 SOI 웨이퍼의 테라스부에 레이저 마크 등을 디바이스 공정에서 마킹(marking)하는 경우에 테라스 폭이 너무 좁아 마킹하지 못할 우려가 있었다.

### 선행기술문헌

#### 특허문헌

[0005] (특허문헌 0001) 특개 2002-305292호 공보

### 발명의 내용

#### 해결하려는 과제

[0006] 본 발명은, 상기 사정에 비추어 이루어진 것으로, 이온주입박리법에 의해 박리한 경우에 생기는 테라스 폭을 제어할 수 있으며, 또한, 수율의 저하 원인이 되는 테라스부의 SOI 도(島)의 발생을 억제할 수 있는 SOI 웨이퍼의 제조방법을 제공하는 것이다.

#### 과제의 해결 수단

[0007] 상기 과제를 해결하기 위해, 본 발명에 따르면, 실리콘 단결정으로 이루어지는 본드 웨이퍼 표면에서 수소 또는 희가스 중 적어도 1 종류의 가스 이온을 이온주입하여 이온주입층을 형성하고, 상기 본드 웨이퍼의 이온주입한 표면과 베이스 웨이퍼 표면을 절연막을 통해 첩합하고, 상기 이온주입층에서 본드 웨이퍼를 박리하는 것에 의해 SOI 웨이퍼를 제조하는 SOI 웨이퍼의 제조방법에 있어서, 상기 이온주입층에서 본드 웨이퍼를 박리하기 전의 첩합 웨이퍼를, 상기 절연막이 용해 가능한 액체에 침지하거나, 상기 절연막이 용해 가능한 기체에 노출시킴으로써, 상기 본드 웨이퍼와 상기 베이스 웨이퍼의 사이에 위치하는 상기 절연막을, 상기 첩합 웨이퍼 외주단(外周端)에서 중심 방향으로 에칭하는 공정을 가지는 것을 특징으로 하는 SOI 웨이퍼의 제조 방법을 제공한다.

#### 발명의 효과

[0008] 이와 같이, 본드 웨이퍼와 베이스 웨이퍼의 사이에 위치하는 절연막을, 첩합 웨이퍼의 외주단에서 중심 방향으로 에칭함으로써, 테라스 폭을 제어할 수 있고, 이온주입박리법에 의해 박리한 경우에 특유의 결함인 SOI

도(島)의 발생을 방지할 수 있다.

- [0009] 또한, 상기 본드 웨이퍼와 베이스 웨이퍼의 접합을 실온에서 실시하고, 그 후, 열처리를 실시하지 않고, 상기 절연막의 에칭을 실시하는 것이 바람직하다.
- [0010] 이와 같이, 본드 웨이퍼와 베이스 웨이퍼의 접합을 실온에서 실시하는 것에 의해, 접착제 등을 사용하지 않고 웨이퍼끼리 접착시킬 수 있다. 게다가, 이 후 열처리를 실시하지 않고, 절연막의 에칭을 실시하는 것에 의해, 절연막의 에칭 전에 이온주입층에서 본드 웨이퍼가 박리하고 마는 것을 방지할 수 있으며, 또한, 보다 정확하게 테라스 폭을 제어할 수 있으며, SOI 도(島)를 방지할 수 있다.
- [0011] 또한, 상기 본드 웨이퍼와 베이스 웨이퍼의 접합을 실온에서 실시하고, 그 후, 상기 이온주입층에 있어서 박리가 발생하지 않는 저온 열처리를 실시한 후에, 상기 절연막의 에칭을 실시하는 것이 바람직하다.
- [0012] 이와 같이, 본드 웨이퍼와 베이스 웨이퍼의 접합을 실온에서 실시하고, 그 후 이온주입층에 있어서 박리가 발생하지 않는 저온 열처리를 실시한 후에, 절연막의 에칭을 실시하는 것으로, 보다 정확하게 테라스 폭을 제어할 수 있고, SOI 도(島)를 방지할 수 있다.
- [0013] 또한, 상기 절연막의 에칭을 상기 접합 웨이퍼 외주단에서 중심 방향으로 0.5mm 이상 10mm 이하의 범위 내에서 실시하는 것이 바람직하다.
- [0014] 이와 같이, 절연막의 에칭을, 접합 웨이퍼 외주단에서 중심 방향으로 0.5mm 이상 10mm 이하의 범위 내에서 실시함으로써, 테라스부에 레이저 마크 등을 디바이스 공정으로 제작하는 경우에, 적당한 테라스 폭을 얻을 수 있으며, 또한, SOI 도(島)의 발생을 보다 확실하게 방지할 수 있다.
- [0015] 또한, 상기 절연막의 에칭을, 상기 절연막이 산화막, 질화막, 또는 이들의 적층 구조인 접합 웨이퍼를 이용하여, 상기 접합 웨이퍼를 HF 함유 수용액 또는 인산에 침적하는 것에 의해 실시할 수 있다. 또한, 상기 절연막의 에칭을, 상기 절연막이 자연 산화막인 접합 웨이퍼를 사용하여 실시할 수도 있다.
- [0016] 또한, 상기 절연막의 에칭이 실시된 상기 접합 웨이퍼를, 상기 실리콘 단결정이 용해 가능한 액체에 침지하거나, 상기 실리콘 단결정이 용해 가능한 기체에 노출시킴으로써, 상기 본드 웨이퍼의 접합면 측으로부터 적어도 상기 이온주입층의 깊이까지의 외주단부를, 적어도 상기 에칭된 절연막의 외주단까지 에칭 (이하, Si 에칭)한 후, 상기 본드 웨이퍼의 박리를 실시하는 것이 바람직하다.
- [0017] 이러한 Si 에칭에 의해, 디바이스 제작 공정에서 이물(異物)로 될 수 있는 부분을 미리 제거할 수 있다.
- [0018] 이상 설명한 바와 같이, 본 발명의 SOI 웨이퍼의 제조방법을 이용하면, 테라스 폭을 제어할 수 있고, 이온주입 박리법에 의해 박리한 경우에 특유의 결함인 SOI 도(島)의 발생을 방지할 수 있다.

## 도면의 간단한 설명

- [0019] 도 1은 본 발명의 SOI 웨이퍼의 제조방법을 나타내는 설명도이다.
- 도 2는 본 발명의 SOI 웨이퍼의 다른 제조방법을 나타내는 도면이다.
- 도 3은 접합 웨이퍼를 HF 수용액에 침지했을 때의, 침지 조건(HF 수용액 농도와 침지 시간)의 변화에 따른 본드 웨이퍼 측의 산화막의 외주단에서의 침식 상황을 관찰한 현미경 사진이다.
- 도 4는 접합 웨이퍼를 HF 수용액에 침지했을 때, 침지 조건 (HF 수용액 농도와 침지 시간)의 변화에 따른 본드 웨이퍼 측의 산화막의 외주단에서의 침식 상황을 관찰하기 위한 흐름도이다.

## 발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 본 발명에 대해 보다 구체적으로 설명한다.
- [0021] 본 발명자들은, 이온주입박리법에 따라 SOI 웨이퍼를 제작할 때 발생하는 특유의 결함인 SOI 도(島)를 억제하기 위해, 그 발생 원인을 검토한 결과, 이온주입층에서 본드 웨이퍼의 박리를 실시하기 전에, 본드 웨이퍼와 베이스 웨이퍼 사이에 위치하는 절연막을, 외주단에서 중심 방향으로 어느 정도의 범위까지 에칭 제거하면, SOI 도(島)의 발생 원인이 되는 결함강도가 약한 공간이 없게 되기 때문에, SOI 도(島)가 발생하기 쉬운 영역에 있어서, 어중간한 SOI 층의 전사를 방지하여, 확실히 SOI 층의 전사가 일어나지 않도록 할 수 있으며, 그 결과, SOI 도(島)의 발생을 막을 수 있다고 생각했다.

- [0022] 이를 위해서는, 본드 웨이퍼의 박리를 실시하기 전에, 불산이나 인산 등의 절연막 에칭액에 침지할 필요가 있지만, 종래에는, 결합강도가 약한 상태에서 결합계면을 에칭액에 침지하면 에칭액에 의한 결합계면의 침식이 생겨 버린다고 하는 우려가 있기 때문에, 예를 들어, 특개평 10-70054호 공보에 기재되어 있는 것처럼, 에칭액에 침지하기 전에, 고온(예를 들면, 1000 ℃ 이상)의 결합 열처리를 실시할 필요가 있다고 여겨지고 있었다.
- [0023] 그러나, 이온주입박리법의 경우, 에칭 전에 이러한 고온 열처리를 실시하면 본드 웨이퍼의 박리가 발생해 버리기 때문에, 결과적으로 이온주입박리법에 특유의 결함인 SOI 도(島)의 발생을 방지할 수 없다.
- [0024] 따라서, 본 발명자들은, 실온에서 접합을 실시한 상태에서 에칭액에 침지한 경우에, 결합계면의 에칭이 어느 정도 진행하는지 조사한 결과, 실리콘 산화막과 베어 실리콘의 접합에서는 50% HF 수용액에 1 일(24 시간) 침지해도, 결합계면의 침지는, 외주에서 10mm 정도에 머물고 있으며, 에칭량을 제어할 수 있다는 것을 찾아내어, 본 발명을 완성했다.
- [0025] 이하, 본 발명의 SOI 웨이퍼의 제조방법에 대해 자세히 설명하지만, 본 발명은, 이에 한정되는 것은 아니다.
- [0026] 즉, 본 발명은, 도 1에 나타내듯이, 실리콘 단결정으로 이루어지는 본드 웨이퍼(1)의 표면에서 수소 또는 희가스 중 적어도 1 종류의 가스 이온을 이온주입하여 이온주입층(2)을 형성하고, 상기 본드 웨이퍼(1)의 이온주입 표면과 베이스 웨이퍼(3) 표면을 절연막(4)을 통해 접합하고(도 1(A)), 이온주입층(2)에서 본드 웨이퍼(1)를 박리하기 전에 접합 웨이퍼(5)를, 절연막(4)이 용해 가능한 액체에 침지하거나, 절연막(4)이 용해 가능한 기체에 노출시킴으로써, 본드 웨이퍼(1)와 베이스 웨이퍼(3) 사이에 위치하는 절연막(4)을, 접합 웨이퍼(5)의 외주단에서 중심 방향으로 에칭하여 절연막 에칭 후의 절연막(4')으로 하고(도 1(B)), 그 후 이온주입층(2)에서 본드 웨이퍼(1)를 박리하는(도 1(C)) 공정을 가지는, SOI 웨이퍼를 제조하는 방법이다.
- [0027] 본 발명에 있어서, 본드 웨이퍼(1)와 베이스 웨이퍼(3)의 접합은 실온에서 실시하는 것이 바람직하다. 실온에서 2 장의 웨이퍼 표면끼리 절연막(4)을 통해 접촉시킴으로써, 접착제 등을 사용하지 않고 웨이퍼끼리 접착한다. 게다가, 그 후 열처리를 실시하지 않고, 또는, 이온주입층(2)에서 본드 웨이퍼(1)의 박리가 발생하지 않는 저온 열처리(예를 들어, 400℃ 이하)를 실시하고, 그 후 절연막(4)의 에칭을 실시함으로써, 종래 이온주입박리법을 이용시 우려되었던, 에칭 전 단계에서의 본드 웨이퍼(1)의 박리를 방지할 수 있으며, 또한, 보다 정확하게 테라스 폭을 제어할 수 있다.
- [0028] 절연막(4)을 에칭하는 방법으로서, 접합 웨이퍼(5)를 절연막이 용해 가능한 에칭액에 침지하는 방법도 있고, 절연막이 용해 가능한 증기에 노출하는 것에 의한 에칭도 좋다. 에칭에 의해, 접합계면의 절연막은 외주단에서 침식된다. 이와 같이 절연막이 침식되면, 침식 부분에서는 본드 웨이퍼와 베이스 웨이퍼가 결합하여 있지 않기 때문에, 에칭 후에 본드 웨이퍼를 박리했을 때, SOI 층의 전사가 일어나지 않고 테라스 영역이 된다. 한편, 절연막 에칭 후의 절연막(절연막이 남은 영역)(4')에서 박리에 의해 SOI 층이 전사된다. 즉, 에칭에 의한 침식 폭을 테라스 폭으로 할 수 있고, 에칭 시간이나 사용 에칭액의 농도, 온도 등의 에칭 조건에 따라 그 폭을 제어할 수 있다.
- [0029] 절연막이 산화막인 경우, 에칭액으로서는 HF 수용액이 적합하지만, 버퍼 불산, HF/H<sub>2</sub>O<sub>2</sub>/CH<sub>3</sub>COOH 수용액, HF/HNO<sub>3</sub> 수용액 등도 적용할 수 있다. 또한, 질화막의 경우는 인산을 이용하는 것이 바람직하다.
- [0030] 또한, 도 4와 같이, 실리콘 단결정으로 이루어지는 산화막(21) 부착 본드 웨이퍼(22)와 실리콘 단결정으로 이루어지는 베이스 웨이퍼(23)를 실온(25℃)에서 붙여 맞추어 접합 웨이퍼(24)를 제작하고, 그 접합 웨이퍼(24)에 열처리를 가하지 않고 HF 수용액(25℃)에 침지한 후, 접합면에서 벗기는 것(디본드)에 의해, HF 농도와 침지 시간의 변화에 따른 본드 웨이퍼 측의 산화막의 외주단에서의 침식 상황을 관찰한 현미경 사진을 도 3에 나타낸다. 또한, HF 수용액 침지 조건은 10%·3min, 50%·30min, 50%·1hr(HF 수용액 농도·침지 시간)이다.
- [0031] 도 3에서, HF 수용액의 농도 및 침지 시간에 따라, 테라스 폭이 다른 것을 알 수 있다.
- [0032] 상기 에칭을 했을 때, 절연막의 외주에서의 침식 폭은 절연막의 종류나 에칭 액의 종류·농도·온도에 따라 달라지지만, 동일한 조건 하에서는, 에칭 시간에 따라 침식 폭을 제어할 수 있기 때문에, SOI 전사 후의 테라스 폭의 제어를 용이하게 할 수 있게 된다.
- [0033] 한편, SOI 도(島)는 SOI 층과 테라스부의 경계 부분에 발생한다. 이것은 접합하는 웨이퍼 외주부에서 평탄도가 나쁘기 때문에, 결합강도가 약하고, SOI 층이 부분적으로밖에 전사하지 않는 영역이다. SOI 도(島)의 발생을 억제하기 위해서는, 상기의 절연막의 에칭에 의해, SOI 도(島)가 발생하는 영역(예를 들어, 접합 웨이퍼의 외주단에서 중심 방향으로 0.5mm 이상 10mm 이하의 범위)까지 절연막의 침식 폭을 넓히고 SOI 도(島)의 원인이 되는



결합강도가 약한 영역에서 SOI 층의 전사가 일어나지 않도록 하면, SOI 도(島)는 발생하지 않는다.

- [0034] SOI 도(島)는 이온주입박리법에 특유의 결함이지만, 테라스 폭의 제어 방법은, 이온주입박리법에 한하지 않고, 연삭·연마법이라고 하는 다른 첩합에 의한 SOI의 제작에도 응용할 수 있다.
- [0035] 절연막으로서는, 특히 제한은 되지 않지만, 산화막이나 질화막, 또는 이들의 적층 구조가 일반적이다. 또한, 본 발명의 SOI 웨이퍼의 제조방법은 절연막이 자연 산화막인 첩합 웨이퍼, 즉 자연 산화막만을 가지는 웨이퍼 사이의 첩합의 경우에도, 적합하게 사용할 수 있다. 테라스 폭의 제어나 SOI 도(島)의 발생 억제에 효과적이다. 또한, 붙여 맞추기 전에 첩합면에 플라즈마 처리를 실시함으로써 실온에서의 첩합강도를 향상시킬 수도 있다.
- [0036] 또한, 도 2와 같이, 상기의 방법으로 첩합 웨이퍼(5)의 절연막(4)(도 2(A))의 에칭이 실시된 첩합 웨이퍼(5')(도 2(B))를, 실리콘 단결정이 용해 가능한 액체에 침지하거나, 실리콘 단결정이 용해 가능한 기체에 노출시킴으로써, 본드 웨이퍼(1)의 첩합계면 측에서부터 적어도 이온주입층(2) 깊이까지의 외주부를, 적어도 에칭된 절연막(4')의 외주단까지 에칭한 후(도 2(C)), 본드 웨이퍼(1)의 박리를 실시할 수도 있다(도 2(D)). 또한, 도 2(C) 중, 1'은 Si 에칭 후의 본드 웨이퍼, 2'는 Si 에칭 후의 이온주입층을 나타낸다.
- [0037] 이와 같이, 본드 웨이퍼(1)의 첩합계면 측에서부터 적어도 이온주입층(2) 깊이까지의 외주부를, 적어도 에칭된 절연막(4')의 외주단까지 Si 에칭함으로써, 디바이스 제작 공정에서 이물(異物)이 될 수 있는 부분을 미리 제거할 수 있다. 이렇게 하는 것으로, SOI 도(島)의 발생이 확실하게 방지되는 것으로 된다. 또한, 본드 웨이퍼 외주부의 이온주입층이 제거되는 것으로 되므로, 후공정에서 열처리가 가해져도 외주부에서의 블리스터링이 발생하지 않게 된다. 따라서, 본드 웨이퍼 외주부의 이온주입층에 열처리가 가해짐으로써 생기는 블리스터링에 기인해서 발생하는 Si 찌꺼기(屑)가 SOI 웨이퍼의 테라스부에 부착하는 것을 방지할 수 있다. 또한, 부착한 Si 찌꺼기는 SOI 도(島)와 같이 베이스 웨이퍼에 결합한 것이 아니기 때문에, 일반적인 세척에 의해 어느 정도 제거할 수 있지만, 완전히 제거하는 것은 어렵기 때문에, Si 찌꺼기 부착도 가능한 한 억제하는 것이 바람직하다.
- [0038] 실리콘 단결정이 용해 가능한 액체로서는, 예를 들어 TMAH(수산화 테트라 메틸 암모늄) 수용액 등을 들 수 있지만, 실리콘 단결정이 용해 가능한 액체, 또는, 실리콘 단결정이 용해 가능한 기체라면, 이에 제한되지 않는다.
- [0039] 또한, 이러한 Si 에칭을 실시하기 전에, 본드 웨이퍼의 첩합계면 측에서부터 적어도 이온주입층 깊이까지의 Si 에칭을 실시하기 원하는 범위 이외의 외주는, 본드 웨이퍼 및 베이스 웨이퍼의 외주가 에칭되지 않도록 미리 마스크하여 보호해 두는 것이 바람직하다.

#### [실시예]

[0041] 이하, 실시예와 비교예를 제시하여 본 발명을 구체적으로 설명하지만, 본 발명은 이에 한정되는 것은 아니다.

#### (실시예 1)

[0043] 직경 300mm의 실리콘 단결정 웨이퍼의 표면에 150nm의 열 산화막을 제작한 본드 웨이퍼에, 수소 이온을 하기 표 1의 이온주입 조건에서 주입하고, 직경 300mm의 실리콘 단결정으로 이루어지는 베이스 웨이퍼와 실온에서 첩합하고, 첩합 후 50% HF 수용액에 30 분 침지하고, 그 후 500℃에서 30 분간 박리 열처리하여 본드 웨이퍼를 박리하여 SOI 웨이퍼를 제작했다. SOI 웨이퍼 제작 조건 및 본드 웨이퍼의 박리 후의 테라스부를 광학 현미경으로 관찰한 결과를 표 1에 나타낸다.

[0044] 테라스 폭은, 1.6mm로 되어, SOI 도(島)의 발생은 관찰되지 않았지만, 박리 열처리에 본드 웨이퍼의 외주부의 이온주입층에 생긴 블리스터링에 기인하여 발생한 Si 찌꺼기가, 테라스부에 붙어있는 것이 관찰되었다.

#### (실시예 2)

[0046] 실시예 1과 같은 조건으로 본드 웨이퍼와 베이스 웨이퍼를 첩합하고, 첩합 후에 50% HF 수용액에 1 시간 침지하고, 그 후 TMAH 수용액에 침지하고, 도 2(C)와 같이 본드 웨이퍼의 외주부를 첩합계면에서부터 2μm의 깊이까지 Si 에칭하고, 그 후 500℃에서 30 분간 박리 열처리하여 본드 웨이퍼를 박리하여 SOI 웨이퍼를 제작했다. SOI 웨이퍼 제작 조건 및 박리 후의 테라스부를 광학 현미경으로 관찰한 결과를 표 1에 나타낸다.

[0047] 테라스 폭은, 1.8mm로 되어, SOI 도(島)의 발생은 관찰되지 않았다. 또한, Si 찌꺼기의 테라스부로의 부착도 전혀 발생하지 않았다.

#### (비교예)

[0049] 직경 300mm의 실리콘 단결정 웨이퍼의 표면에 150nm의 열산화막을 제작한 본드 웨이퍼에, 수소 이온을 하기 표 1의 이온주입 조건에서 주입하고, 직경 300mm의 실리콘 단결정으로 이루어지는 베이스 웨이퍼와 실온에서 첩합하고, 그 후, 500℃에서 30 분 박리 열처리하여 본드 웨이퍼를 박리하여 SOI 웨이퍼를 제작했다. SOI 웨이퍼 제작 조건 및 본드 웨이퍼 박리 후의 테라스부를 광학 현미경으로 관찰한 결과를 표 1에 나타낸다.

[0050] 테라스 폭은 1.4mm로 되며, SOI 도(島)의 발생과 Si 찌꺼기의 부착이 관찰되었다.

표 1

	비교예	실시예 1	실시예 2
매입산화막 (본드 웨이퍼)	Ox = 150nm	Ox = 150nm	Ox=150nm
이온주입 (본드 웨이퍼)	40KeV, $6 \times 10^{16} \text{cm}^{-2}$	40KeV, $6 \times 10^{16} \text{cm}^{-2}$	40KeV, $6 \times 10^{16} \text{cm}^{-2}$
첩합공정	실온첩합	실온첩합	실온첩합
에칭조건 (HF 수용액농도 · 침지시간)	없음	HF 50% 30min	HF 50% 1hr + TMAH 수용액에 Si를 2μm 에칭
박리열처리온도 · 시간	500℃ · 30min	500℃ · 30min	500℃ · 30min
박리후 테라스 관찰 (광학현미경)	테라스 폭: 1.4mm SOI 도(島) 있음 Si 찌꺼기의 부착 있음	테라스 폭: 1.6mm SOI 도(島) 없음 Si 찌꺼기의 부착 있음	테라스 폭: 1.8mm SOI 도(島) 없음 Si 찌꺼기의 부착 없음

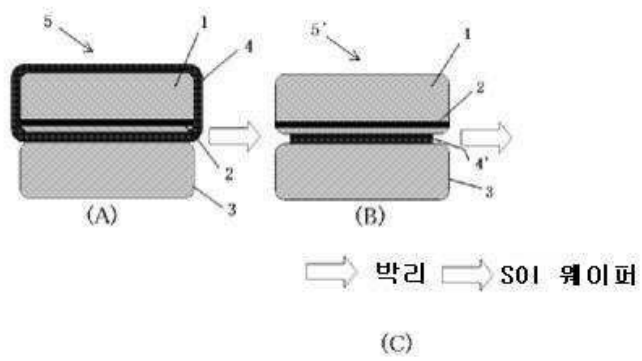
[0051]

[0052] 표 1과 같이, 실시예 1 및 실시예 2에 있어서는, 에칭 시간에 따라 테라스 폭을 제어하는 것이 가능하며, 또한, 이온주입박리법에 특유의 결함인 SOI 도(島)의 발생을 방지할 수 있었다. 특히, 실시예 2에서는 Si 찌꺼기의 부착을 완전히 방지할 수 있었다. 한편, 비교예에 있어서는 SOI 도(島)의 발생 및 Si 찌꺼기의 부착이 관찰되었다.

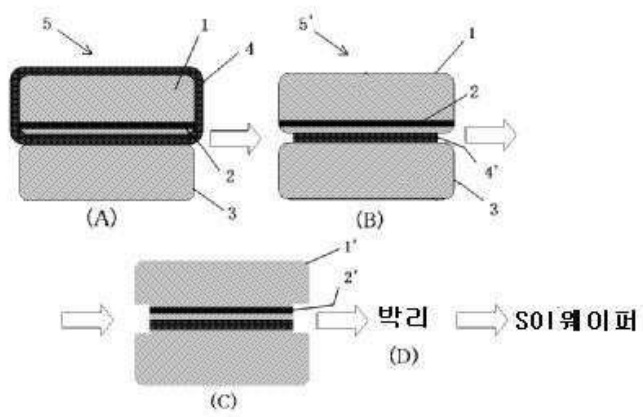
[0053] 또한, 본 발명은, 상기 실시형태에 한정되는 것은 아니다. 상기 실시형태는 예시이며, 본 발명의 특허청구범위에 기재된 기술적 사상과 실질적으로 동일한 구성을 가지고, 같은 작용 효과를 나타내는 것은, 어떠한 것이라도 본 발명의 기술적 범위에 포함된다.

도면

도면1

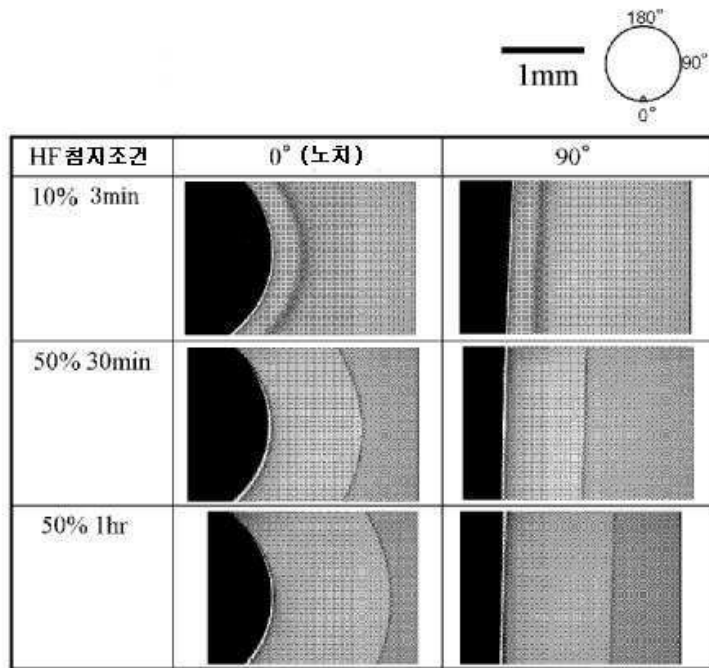


도면2





도면3



도면4

