

(19) 世界的所有権機関
国際事務局



(43) 国際公開日
2006年12月21日 (21.12.2006)

PCT

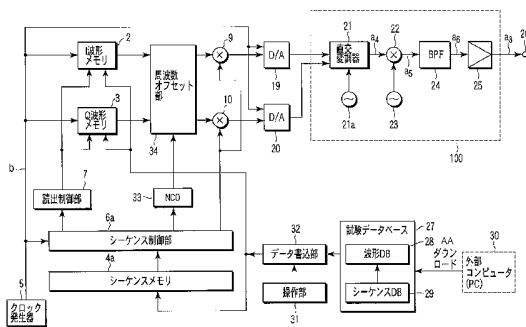
(10) 国際公開番号
WO 2006/134713 A1

- (51) 国際特許分類:
H04B 1/713 (2006.01) H04B 1/707 (2006.01)
H04L 27/00 (2006.01)
- (21) 国際出願番号: PCT/JP2006/307355
- (22) 国際出願日: 2006年4月6日 (06.04.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-173877 2005年6月14日 (14.06.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): アンリツ株式会社 (ANRITSU CORPORATION) [JP/JP]; 〒2438555 神奈川県厚木市恩名五丁目1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 熊木 成央 (KUMAKI, Akihisa) [JP/JP]. 大谷 育也 (OTANI, Ikuya) [JP/JP]. 秋山 典洋 (AKIYAMA, Norihiro) [JP/JP].
- (74) 代理人: 鈴江 武彦, 外(SUZUYE, Takehiko et al.); 〒1050001 東京都港区虎ノ門1丁目12番9号 鈴業特許総合事務所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: COMMUNICATION DEVICE TEST SIGNAL GENERATING APPARATUS AND COMMUNICATION DEVICE TEST SIGNAL GENERATING METHOD

(54) 発明の名称: 通信機器の試験信号発生装置及び通信機器の試験信号発生方法



- 5... CLOCK GENERATOR
- 7... READ CONTROL PART
- 2... WAVEFORM MEMORY
- 3... Q WAVEFORM MEMORY
- 34... FREQUENCY OFFSET PART
- 6a... SEQUENCE CONTROL PART
- 4a... SEQUENCE MEMORY
- 32... DATA WRITING PART
- 31... OPERATING PART
- 21... QUADRATURE MODULATOR
- 27... TEST DATABASE
- 28... WAVEFORM DB
- 29... SEQUENCE DB
- AA... DOWNLOAD
- 30... EXTERNAL COMPUTER (PC)

(57) Abstract: A communication device test signal generating apparatus wherein a sequence memory stores an order in which to read unit data including I and Q waveform data; read addresses; first sequence information including a desired signal level to be set in the unit data; and second sequence information including a frequency offset, and wherein the first and second sequence information stored in the sequence memory are sequentially used to apply a plurality of steps of frequency offsets to the I and Q waveform data in a digital stage preceding a D/A converter at predetermined frequency intervals with a predetermined carrier frequency being referenced, thereby outputting the frequency hopping test signal.

(57) 要約:

I及びQ波形データを含む単位データの読出し順序と、読出しアドレスと、前記単位データに設定すべき所望の信号レベルを含む第1のシーケンス情報と、周波数オフセットを含む第2のシーケンス情報とを記憶するシーケンスメモリに格納された前記第1及び第2のシーケンス情報を順次用いることにより、D/A変換器までのデジタルの段階において、I及びQ波形データに対して所定のキャリア周波数を基準として所定の周波数間隔ごとに複数のステップの周波数オフセットを与え、前記周波数ホッピング形式の試験信号を出力する通信機器の試験信号発生装置。

WO 2006/134713 A1



添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

通信機器の試験信号発生装置及び通信機器の試験信号発生方法

技術分野

[0001] 本発明は通信機器の試験信号発生装置及び通信機器の試験信号発生方法に係り、特に、少なくとも1種類以上の単位データを含む変調信号を通信機器の試験信号として発生する通信機器の試験信号発生装置及び通信機器の試験信号発生方法に関する。

背景技術

[0002] 移動通信端末等の通信機器、例えば、携帯電話を新規に開発する場合、稼働中の携帯電話に何らかの異常が生じた場合、稼働中の携帯電話が所定の使用期間を経過した場合等においては、これらの携帯電話が有する各種の機能が正常に動作することを確認するための通信試験が必要となる。

[0003] 具体的には、このような通信試験の試験対象となる携帯電話が基地局との間で正常に各種の信号の送受信を実施できることを確認するための通信試験が必要となる。

[0004] この場合、実際には、稼働中の基地局を用いて通信試験を実施できないので、基地局の機能を有した擬似基地局装置(モバイルネットワークシュミレータ装置)を用いて試験することになる(下記特許文献1参照)。

特許文献1:特開2004—336594号公報 この擬似基地局装置を用いる通信試験では、擬似基地局装置内に組込まれている試験信号発生装置から、基地局に代わって、試験対象となる携帯電話へ各種の信号(変調信号)を送信すると共に、携帯電話からの応答信号を擬似基地局装置内に別途設けられている受信器で受信することにより、応答信号の信号レベル、応答信号の内容等を調べ、当該試験対象となる携帯電話が正常に動作しているか否かの検証がなされる。

[0005] 例えば、試験対象となる携帯電話の基地局に対する応答信号のパワー制御機能を試験するために、擬似基地局装置内に組込まれている試験信号発生装置から試験対象となる携帯電話へ送信する試験信号の信号レベルを順次に低下させていって、

当該試験対象となる携帯電話からの応答信号の信号レベルが順次に上昇することを確認するための通信試験が実施されている。

[0006] また、図4に示すように、WCDMA(Wideband Code Division Multiple Access)信号の受信範囲(セル)内にGSM(Global System for Mobile communication:デジタル携帯電話システム方式)信号が存在した場合を想定すると、このGSM信号の周波数が、WCDMA信号の周波数の周囲で離散的に移動することにより、GSM信号によるWCDMA方式の携帯電話への妨害波となる現象が見られる。

[0007] このため、擬似基地局装置内に組込まれている試験信号発生装置により、上述のようなGSM信号を模倣した試験信号の周波数(キャリア周波数)を変化させる周波数ホッピングを実現させて、GSM信号による妨害波に対する試験対象となるWCDMA方式の携帯電話の耐性を把握するための通信試験が実施されている。

[0008] 上述したような幾つかの通信試験以外にも、試験信号発生装置から試験対象となる携帯電話へ種々の試験信号を送出して、当該試験対象となる携帯電話の応答信号から携帯電話の各種機能の特性を把握するための各種の通信試験が実施されている。

[0009] したがって、このように擬似基地局装置を用いる通信試験では、擬似基地局装置内に組込まれている試験信号発生装置は、各種の通信試験毎に、異なるデータ、異なる信号レベル、異なる周波数の試験信号を作成する必要がある。

[0010] 下記特許文献2には、精度の高い試験信号を大量にかつ短時間で作成する手法の1つとして、各試験信号の信号波形を予め記憶部に記憶保持しておき、必要な時に、記憶保持されている信号波形を読み出して試験信号として出力する技術の一部が開示されている。

特許文献2:特開平7-273555号公報 しかしながら、上述した特許文献2のように、予め記憶部に記憶保持している信号波形を読み出して試験信号として出力する技術においても、まだ解消すべき次のような課題がある。

[0011] まず、周波数ホッピング信号を、広帯域ベースバンドを備えた試験信号発生器のシーケンス機能を用いて発生する際には、周波数オフセットを施し、この周波数オフセ

ットに応じて周波数特性を補正した波形データを各ホッピング周波数における高レベル確度を確保した上で、各周波数オフセット毎に準備しなければならないという問題がある。

[0012] この場合、周波数特性は試験対象となる各周波数オフセット毎に異なるため、各周波数オフセットに応じて周波数特性を補正した波形データを含む試験信号の種類は莫大な数になり、それらの試験信号の各信号波形を記憶するハードディスクドライブ等の記憶装置に必要となる記憶容量が大幅に上昇するという問題がある。

[0013] また、この場合、各周波数オフセット毎に対応して周波数特性を補正するためのレベル補正値を波形メモリ内に予め記憶しておいて各周波数オフセットに対応する周波数特性を補正することになるので、波形メモリの記憶容量が大幅に上昇するという問題がある。

[0014] また、試験対象となる携帯電話に対する各種の通信試験毎に、異なる波形データ、異なる信号レベル、異なる周波数を有する試験信号の信号波形を生成する作業は、多大な労力を必要とするという問題がある。

[0015] また、周波数特性は試験対象となる携帯電話毎に異なるので、試験対象となる携帯電話毎に異なる周波数特性を有する試験信号の信号波形を生成することは、多大な労力と時間を必要とするという問題がある。

[0016] また、移動通信端末等の通信機器に対する各種の通信試験では、試験信号のフレームの連続性が要求されるため、試験信号の波形の切替え時の波形データの連続性が要求されると共に、試験信号によっては、同一データを複数回に亘って繰返し使用される場合も多々あるので、そのために切替え時の波形データの連続性を確保するために同一データを複数回に亘って繰返し出力する機能を必要とするという問題がある。

発明の開示

[0017] 本発明の目的は、上述したような従来技術の問題を解決するために、各ホッピング周波数における高レベル確度を確保しながら、記憶装置の必要記憶容量を最小限に抑制でき、かつ試験信号の信号波形を生成する作業を大幅に軽減できると共に、同一データを複数回に亘って繰返し使用される場合にも対処し得る通信機器の試験

信号発生装置及び通信機器の試験信号発生方法を提供することである。

- [0018] 上記目的を達成するために、本発明の第1の態様によれば、
- 最終的に出力すべき試験信号の元となる少なくとも1種類以上の単位データにおける1組のデジタルベースバンド直交信号I、Qを構成するI成分波形デジタルデータ(以下、I波形データ)及びQ成分波形デジタルデータ(以下、Q波形データ)がそれぞれ所定のアドレスに、予め、記憶されている一対の波形メモリ(2、3)と、
- 前記一対の波形メモリから前記I波形データ及びQ波形データを順次に出力させるための読出制御部(7)と、
- 前記読出制御部によって、前記一対の波形メモリから順次に出力される前記I波形データ及びQ波形データの信号レベルをそれぞれ所望の信号レベルに設定するための一対の乗算器(9、10)と、
- 前記一対の乗算器から順次に出力される前記I波形データ及びQ波形データをそれぞれI波形アナログ信号及びQ波形アナログ信号に変換する一対のデジタル／アナログ(D/A)変換器(19、20)と、
- 前記一対の波形メモリから前記一対のD/A変換器までの間のデジタル段階において、前記I波形データ及びQ波形データに対し、前記試験信号に付与される所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるための、オフセット周波数を設定する周波数オフセット部(34)と、
- 前記一対の波形メモリに記憶されている前記I波形データ及びQ波形データとを含む前記単位データの読出し順序と、読出しアドレスと、前記一対の波形メモリから読出された前記I波形データ及びQ波形データとを含む前記単位データに設定すべき前記所望の信号レベルを含む第1のシーケンス情報と、前記一対の波形メモリから読出された前記I波形データ及びQ波形データとを含む前記単位データに対して、前記試験信号に付与される前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるために設定する前記オフセット周波数を含む第2のシーケンス情報とが、予め、記憶されているシーケンスメモリ(4a)と、
- 前記シーケンスメモリから前記第1のシーケンス情報を読出し、該第1のシーケンス情報に含まれる前記読出し順序及び読出しアドレスを前記読出制御部に指示するこ

とにより、前記一对の波形メモリから前記I波形データ及びQ波形データを順次に出
力させると共に、前記I波形データ及びQ波形データが前記一对の波形メモリから出
力されるタイミングに対応して前記一对の乗算器に該第1のシーケンス情報に含まれ
る前記所望の信号レベルを指示することにより、前記一对の波形メモリから順次に出
力される前記I波形データ及びQ波形データの信号レベルをそれぞれ前記所望の信
号レベルに設定させ、さらに、前記シーケンスメモリから前記第2のシーケンス情報
を読み出し、該第2のシーケンス情報に含まれる前記オフセット周波数を前記周波数オフ
セット部に指示することにより、前記I波形データ及びQ波形データとを含む前記単位
データに対して、前記試験信号に付与される前記所定のキャリア周波数を基準として
所定の間隔ごとに複数のステップの周波数オフセットを与えるための前記オフセット
周波数を設定させるシーケンス制御部(6a)と、

前記一对のD/A変換器から順次に出力される前記I波形アナログ信号及びQ波
形データ信号を直交変調してからキャリア周波数信号を用いて高周波信号に変換す
ることにより、最終的に前記変調信号の形態で且つ前記所定のキャリア周波数を基
準として所定の間隔ごとに複数のステップの周波数オフセットを伴った試験信号と
して出力する試験信号出力部(100)と、

を具備する通信機器の試験信号発生装置が提供される。

[0019] また、上記目的を達成するために、本発明の第2の態様によれば、

前記周波数オフセット部は、

前記一对の波形メモリと前記一对の乗算器との間に設けられることを特徴とする第
1の態様に従う通信機器の試験信号発生装置が提供される。

[0020] また、上記目的を達成するために、本発明の第3の態様によれば、

前記周波数オフセット部は、

前記一对の乗算器と前記一对のD/A変換器との間に設けられることを特徴とする
第1の態様に従う通信機器の試験信号発生装置が提供される。

[0021] また、上記目的を達成するために、本発明の第4の態様によれば、

前記試験信号出力部は、

前記一对のD/A変換器から順次に出力される前記I波形アナログ信号及びQ波

形アナログ信号を局部発振器(21a)からの局部発信信号を用いて直交変調した変調信号として出力する直交変調器(21)と、

前記直交変調器から出力される変調信号を発振器(23)からのキャリア周波数信号を用いて高周波信号に変換することにより、前記変調信号の形態で且つ所定のキャリア周波数を伴った試験信号として出力する周波数変換器(22)と、

前記周波数変換器から出力される試験信号に含まれる不要周波数成分を除去することにより、最終的に前記変調信号の形態で且つ所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを伴った試験信号として出力させるバンドパスフィルタ(24)と、

を具備することを特徴とする第1の態様に従う通信機器の試験信号発生装置が提供される。

[0022] また、上記目的を達成するために、本発明の第5の態様によれば、

前記試験信号出力部に、周波数特性が平坦でない構成要素として、少なくとも前記バンドパスフィルタが設けられている場合に、

前記シーケンスメモリには、予め、前記第2のシーケンス情報に含まれる前記オフセット周波数として前記試験信号に付与される前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるためのオフセット周波数の絶対値が大きくなるにつれて、前記基準としての前記所定のキャリア周波数での信号レベルからのレベルオフセット値を大きく設定するためのレベルオフセット値を含む第3のシーケンス情報が記憶されており、

前記シーケンス制御部は、前記シーケンスメモリから前記第3のシーケンス情報を読み出し、該第3のシーケンス情報に含まれる前記レベルオフセット値を前記I波形データ及びQ波形データが前記一对の波形メモリから出力されるタイミングに対応して前記一对の乗算器に指示することにより、前記第2のシーケンス情報に含まれる前記オフセット周波数として前記試験信号に付与される前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるためのオフセット周波数の絶対値が大きくなるにつれて、前記基準としての前記所定のキャリア周波数での信号レベルからのレベルオフセット値を大きく設定させることを特徴とする第4

の態様に従う通信機器の試験信号発生装置が提供される。

[0023] また、上記目的を達成するために、本発明の第6の態様によれば、

前記シーケンスメモリには、予め、前記最終的に出力される試験信号に含まれる前記単位データ毎の繰り返し回数を設定するための前記単位データ毎のI波形データ及びQ波形データの前記一对の波形メモリからの読出しの繰り返し回数を含む第4のシーケンス情報が記憶されており、

前記シーケンス制御部は、前記シーケンスメモリから前記第4のシーケンス情報を読出し、該第4のシーケンス情報に含まれる前記単位データ毎のI波形データ及びQ波形データの前記一对の波形メモリからの読出しの繰り返し回数を前記I波形データ及びQ波形データが前記一对の波形メモリから出力されるタイミングに対応して前記読出制御部に指示することにより、前記単位データ毎のI波形データ及びQ波形データの前記一对の波形メモリからの読出しの繰り返し回数に応じた回数分連続して前記単位データを前記一对の波形メモリから順次に出させることを特徴とする第1の態様に従う通信機器の試験信号発生装置が提供される。

[0024] また、上記目的を達成するために、本発明の第7の態様によれば、

前記シーケンスメモリに記憶すべき前記オフセット周波数を含む第2のシーケンス情報を、前記試験信号としてGSM(Global System for Mobile communication)信号を模倣した試験信号のキャリア周波数を時間経過に応じて変化させる周波数ホッピングを実現可能なオフセット周波数として設定することにより、WCDMA(Wideband Code Division Multiple Access)方式の被試験機器の受信範囲内で前記GSM信号が離散的に移動することによる前記GSM信号による前記WCDMA方式の被試験機器の妨害波耐性試験が実現可能となされていることを特徴とする第1の態様に従う通信機器の試験信号発生装置が提供される。

[0025] また、上記目的を達成するために、本発明の第8の態様によれば、

前記一对の乗算器は、前記一对の波形メモリから読出された前記I波形データ及びQ波形データに、前記シーケンス制御部から指示された前記信号レベルから求めたゲイン乗算値を乗算することにより、前記一对の波形メモリから読出された前記I波形データ及びQ波形データの信号レベルを前記シーケンスメモリに記憶されている前

記第1のシーケンス情報に含まれる前記信号レベルに設定することを特徴とする第1の態様に従う通信機器の試験信号発生装置が提供される。

[0026] また、上記目的を達成するために、本発明の第9の態様によれば、

前記一对の乗算器は、前記一对の波形メモリから読出された前記I波形データ及びQ波形データに、前記シーケンス制御部から指示された前記第3のシーケンス情報に含まれる前記レベルオフセット値から求めたゲイン乗算値を乗算することにより、前記一对の波形メモリから読出された前記I波形データ及びQ波形データの信号レベルを前記シーケンスメモリに記憶されている前記第3のシーケンス情報に含まれる前記レベルオフセット値に設定することを特徴とする第5の態様に従う通信機器の試験信号発生装置が提供される。

[0027] また、上記目的を達成するために、本発明の第10の態様によれば、

前記試験信号に含まれる前記単位データのI波形データ及びQ波形データを記憶する波形データベース(28)と、各種のシーケンス情報を記憶するシーケンスデータベース (29)とが設けられているハードディスクドライブ内に形成された試験データベース (27)と、前記試験データベースに接続されているデータ書込部(32)とをさらに備え、

前記波形データベースに記憶される前記I波形データ及びQ波形データと、前記シーケンスデータベースに記憶される前記各種のシーケンス情報とは外部で作成されて、前記試験データベースにダウンロードされ、

前記データ書込部を介して、新たに出すべき試験信号に対応するI波形データ及びQ波形データを前記波形データベースから読出して、前記一对の波形メモリに書込むと、同時に、前記新たに出すべき試験信号に対応するシーケンス情報を前記シーケンスデータベースから読出して、前記シーケンスメモリに書込み可能に構成されていることを特徴とする第1の態様に従う通信機器の試験信号発生装置が提供される。

[0028] また、上記目的を達成するために、本発明の第11の態様によれば、

前記シーケンス制御部によって、前記シーケンスメモリから読出される前記第2のシーケンス情報に含まれる前記オフセット周波数として前記試験信号に付与される前

記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるためのオフセット周波数(ω')が指定される数値制御発信器(33)、
をさらに備え、

前記数値制御発信器は、前記シーケンス制御部によって指定された前記オフセット周波数(ω')に対応する正弦波 $\sin \omega'(t)$ 及び余弦波 $\cos \omega'(t)$ を生成して前記周波数オフセット部へ送出し、

前記周波数オフセット部は、前記I波形データ及びQ波形データの周波数 $\omega (=2\pi f)$ を前記シーケンスメモリに記憶されたオフセット周波数 $\omega' (=2\pi f')$ だけオフセットする際に、前記I波形データ及びQ波形データが、それぞれ、

$$\cos \omega(t), \sin \omega(t) \quad \dots(1)$$

で示される場合に、これらを、それぞれ、

$$\cos\{\omega(t) + \omega'(t)\}, \sin\{\omega(t) + \omega'(t)\} \quad \dots(2)$$

と変換することにより、周波数オフセット処理を行うことを特徴とする第1の態様に従う通信機器の試験信号発生装置が提供される。

[0029] また、上記目的を達成するために、本発明の第12の態様によれば、

前記周波数オフセット部は、前記(2)式が、前記(1)式とオフセット周波数(ω')とを用いて

$$\begin{aligned} &\cos\{\omega(t) + \omega'(t)\} \\ &= -\sin \omega(t) \cdot \sin \omega'(t) + \cos \omega(t) \cdot \cos \omega'(t), \\ &\sin\{\omega(t) + \omega'(t)\} \\ &= \cos \omega(t) \cdot \sin \omega'(t) + \sin \omega(t) \cdot \cos \omega'(t) \dots(3) \end{aligned}$$

と表現される場合に、この(3)式で示される周波数オフセットを実現することを特徴とする第11の態様に従う通信機器の試験信号発生装置が提供される。

[0030] また、上記目的を達成するために、本発明の第13の態様によれば、

前記周波数オフセット部は、前記(3)式で示される周波数オフセットを実現するために、

前記I波形データ $\cos \omega(t)$ 及びQ波形データ $\sin \omega(t)$ を、それぞれ、第1の周波数オフセット成分 $\cos \omega'(t)$ と乗算する第1及び第2の乗算器(35a, 35d)と、

前記I波形データ $\cos \omega(t)$ 及びQ波形データ $\sin \omega(t)$ を、それぞれ、第2の周波数オフセット成分 $\sin \omega'(t)$ と乗算する第3及び第4の乗算器(35c, 35b)と、

前記第1の乗算器からの出力と前記第4の乗算器からの出力とを加算することにより、第1の周波数オフセット $\cos\{\omega(t) + \omega'(t)\} = -\sin \omega(t) \cdot \sin \omega'(t) + \cos \omega(t) \cdot \cos \omega'(t)$ を出力する第1の加算器(36a)と、

前記第2の乗算器からの出力と前記第3の乗算器からの出力とを加算することにより、第2の周波数オフセット $\sin\{\omega(t) + \omega'(t)\} = \cos \omega(t) \cdot \sin \omega'(t) + \sin \omega(t) \cdot \cos \omega'(t)$ を出力する第2の加算器(36b)と、

を具備することを特徴とする第12の態様に従う通信機器の試験信号発生装置が提供される。

[0031] 上記目的を達成するために、本発明の第14の態様によれば、

最終的に出力すべき試験信号の元となる少なくとも1種類以上の単位データにおける1組のデジタルベースバンド直交信号I, Qを構成するI成分波形デジタルデータ(以下、I波形データ)及びQ成分波形デジタルデータ(以下、Q波形データ)をそれぞれ一対の波形メモリ(2, 3)の所定のアドレスに、予め、記憶させるステップと、

前記一対の波形メモリに記憶されている前記I波形データ及びQ波形データとを含む前記単位データの読出し順序と、読出しアドレスと、前記一対の波形メモリから読出された前記I波形データ及びQ波形データとを含む前記単位データに設定すべき前記所望の信号レベルを含む第1のシーケンス情報と、前記一対の波形メモリから読出された前記I波形データ及びQ波形データとを含む前記単位データに対して、前記試験信号に付与される前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるために設定する前記オフセット周波数を含む第2のシーケンス情報とをシーケンスメモリ(4a)に、予め、記憶させるステップと、

シーケンス制御部(6a)を用いて、前記シーケンスメモリから前記第1のシーケンス情報を読み出し、該第1のシーケンス情報に含まれる前記読出し順序及び読出しアドレスを読み出し制御部に指示することにより、前記一対の波形メモリから前記I波形データ及びQ波形データを順次に出力させるステップと、

前記シーケンス制御部を用いて、前記シーケンスメモリから前記第1のシーケンス情報を読み出し、該第1のシーケンス情報に含まれる前記所望の信号レベルを前記I波形データ及びQ波形データが前記一对の波形メモリから出力されるタイミングに対応して一对の乗算器(9、10)に指示することにより、前記一对の波形メモリから順次に出力される前記I波形データ及びQ波形データの信号レベルをそれぞれ前記所望の信号レベルに設定させるステップと、

一对のデジタル／アナログ(D/A)変換器(19、20)を用いて、前記一对の乗算器から順次に出力される前記I波形データ及びQ波形データをそれぞれI波形アナログ信号及びQ波形アナログ信号に変換するステップと、

前記一对の波形メモリから前記一对のD/A変換器までの間のデジタル段階において、前記シーケンス制御部を用いて、前記シーケンスメモリから前記第2のシーケンス情報を読み出し、該第2のシーケンス情報に含まれる前記オフセット周波数を周波数オフセット部(34)に指示することにより、前記I波形データ及びQ波形データを含む前記単位データに対して、前記試験信号に付与される前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるための前記オフセット周波数を設定させるステップと、

試験信号出力部(100)を用いて、前記一对のD/A変換器から順次に出力される前記I波形アナログ信号及びQ波形アナログ信号を直交変調してからキャリア周波数信号を用いて高周波信号に変換することにより、最終的に前記変調信号の形態で且つ所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを伴った試験信号として出力させるステップと、

を具備する通信機器の試験信号発生方法が提供される。

[0032] また、上記目的を達成するために、本発明の第15の態様によれば、

前記オフセット周波数を設定するステップは、

前記一对の波形メモリと前記一对の乗算器との間に設けられる周波数オフセット部において行わせることを特徴とする第14の態様に従う通信機器の試験信号発生方法が提供される。

[0033] また、上記目的を達成するために、本発明の第16の態様によれば、

前記オフセット周波数を設定するステップは、
前記一对の乗算器と前記一对のD/A変換器との間に設けられる周波数オフセット部において行わせることを特徴とする第14の態様に従う通信機器の試験信号発生方法が提供される。

- [0034] また、上記目的を達成するために、本発明の第17の態様によれば、
前記変調信号の形態で且つ所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを伴った試験信号として出力させるステップは、
直交変調器(21)により、前記一对のD/A変換器から順次に出力される前記I波形アナログ信号及びQ波形アナログ信号を局部発振器(21a)からの局部発信信号を用いて直交変調した変調信号として出力するステップと、
周波数変換器(22)により、前記直交変調器から出力される変調信号を発振器(23)からのキャリア周波数信号を用いて高周波信号に変換することにより、前記変調信号の形態で且つ所定のキャリア周波数を伴った試験信号として出力するステップと、
バンドパスフィルタ(24)により、前記周波数変換器から出力される試験信号に含まれる不要周波数成分を除去することにより、最終的に前記変調信号の形態で且つ所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを伴った試験信号として出力させるステップと、
を具備することを特徴とする第14の態様に従う通信機器の試験信号発生方法が提供される。

- [0035] また、上記目的を達成するために、本発明の第18の態様によれば、
前記試験信号出力部に、周波数特性が平坦でない構成要素として、少なくとも前記バンドパスフィルタが設けられている場合に、
前記シーケンスメモリに、予め、前記第2のシーケンス情報に含まれる前記オフセット周波数として前記試験信号に付与される前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるためのオフセット周波数の絶対値が大きくなるにつれて、前記基準としての前記所定のキャリア周波数での信号レベルからのレベルオフセット値を大きく設定するためのレベルオフセット値を含む第3のシーケンス情報を記憶させるステップと、

前記シーケンス制御部を用いて、前記シーケンスメモリから前記第3のシーケンス情報を読み出し、該第3のシーケンス情報に含まれる前記レベルオフセット値を前記I波形データ及びQ波形データが前記一对の波形メモリから出力されるタイミングに対応して前記一对の乗算器に指示することにより、前記第2のシーケンス情報に含まれる前記オフセット周波数として前記試験信号に付与される前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるためのオフセット周波数の絶対値が大きくなるにつれて、前記基準として前記所定のキャリア周波数での信号レベルからのレベルオフセット値を大きく設定させるステップと、

をさらに具備することを特徴とする第17の態様に従う通信機器の試験信号発生方法が提供される。

[0036] また、上記目的を達成するために、本発明の第19の態様によれば、

前記シーケンスメモリに、予め、前記最終的に出力される試験信号に含まれる前記単位データ毎の繰り返し回数を設定するための前記単位データ毎のI波形データ及びQ波形データの前記一对の波形メモリからの読み出しの繰り返し回数を含む第4のシーケンス情報を記憶させるステップと、

前記シーケンス制御部を用いて、前記シーケンスメモリから前記第4のシーケンス情報を読み出し、該第4のシーケンス情報に含まれる前記単位データ毎のI波形データ及びQ波形データの前記一对の波形メモリからの読み出しの繰り返し回数を前記I波形データ及びQ波形データが前記一对の波形メモリから出力されるタイミングに対応して前記読み出し制御部に指示することにより、前記単位データ毎のI波形データ及びQ波形データの前記一对の波形メモリからの読み出しの繰り返し回数に応じた回数分連続して前記単位データを前記一对の波形メモリから順次に出力させるステップと、

をさらに具備することを特徴とする第14の態様に従う通信機器の試験信号発生方法が提供される。

[0037] また、上記目的を達成するために、本発明の第20の態様によれば、

前記オフセット周波数を含む前記第2のシーケンス情報を前記シーケンスメモリに、予め、記憶させるステップは、

前記シーケンスメモリに記憶すべき前記オフセット周波数を含む第2のシーケンス

情報を、前記試験信号としてGSM(Global System for Mobile communication)信号を模倣した試験信号のキャリア周波数を時間経過に応じて変化させる周波数ホッピングを実現可能なオフセット周波数として設定することにより、WCDMA(Wideband Code Division Multiple Access)方式の被試験機器の受信周波数範囲内で前記GSM信号が離散的に移動することによる前記GSM信号による前記WCDMA方式の被試験機器の妨害波耐性試験が実現可能となされていることを特徴とする第14の態様に従う通信機器の試験信号発生方法が提供される。

- [0038] また、上記目的を達成するために、本発明の第21の態様によれば、
前記一对の波形メモリから順次に出力される前記I波形データ及びQ波形データの信号レベルをそれぞれ所望の信号レベルに設定するステップは、
前記一对の波形メモリから読出された前記I波形データ及びQ波形データに、前記一对の乗算器を用いて、前記シーケンス制御部から指示された前記信号レベルから求めたゲイン乗算値を乗算することにより、前記一对の波形メモリから読出された前記I波形データ及びQ波形データの信号レベルを前記シーケンスメモリに記憶されている前記第1のシーケンス情報に含まれる前記信号レベルに設定することを特徴とする第14の態様に従う通信機器の試験信号発生方法が提供される。
- [0039] また、上記目的を達成するために、本発明の第22の態様によれば、
前記一对の波形メモリから順次に出力される前記I波形データ及びQ波形データの信号レベルをそれぞれ所望の信号レベルに設定するステップは、
前記一对の波形メモリから出力される前記I波形データ及びQ波形データに、前記一对の乗算器を用いて、前記シーケンス制御部から指示された前記第3のシーケンス情報に含まれる前記レベルオフセット値から求めたゲイン乗算値を乗算することにより、前記一对の波形メモリから読出された前記I波形データ及びQ波形データの信号レベルを前記シーケンスメモリに記憶されている前記第3のシーケンス情報に含まれる前記レベルオフセット値に設定させることを特徴とする第18の態様に従う通信機器の試験信号発生方法が提供される。
- [0040] また、上記目的を達成するために、本発明の第23の態様によれば、
前記試験信号に含まれる前記単位データのI波形データ及びQ波形データを記憶

する波形データベース(28)と、各種のシーケンス情報を記憶するシーケンスデータベース (29)とが設けられているハードディスクドライブ内に形成された試験データベース (27)と、前記試験データベースに接続されているデータ書込部(32)とを準備するステップと、

外部で作成された前記波形データベースに記憶される前記I波形データ及びQ波形データと、前記シーケンスデータベースに記憶される各種のシーケンス情報とを前記試験データベースにダウンロードするステップと、

前記データ書込部を用いて、新たに出力すべき試験信号に対応するI波形データ及びQ波形データを前記波形データベースから読出して、前記一対の波形メモリに書込むと共に、前記新たに出力すべき試験信号に対応するシーケンス情報を前記シーケンスデータベースから読出して、前記シーケンスメモリに書込むステップと、

をさらに具備することを特徴とする第14の態様に従う通信機器の試験信号発生方法が提供される。

[0041] また、上記目的を達成するために、本発明の第24の態様によれば、

前記オフセット周波数を設定させるステップは、

前記シーケンスメモリから読出される前記第2のシーケンス情報に含まれる前記オフセット周波数として前記試験信号に付与される前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるためのオフセット周波数(ω')を数値制御発信器(33)に指定させるステップと、

前記数値制御発信器を用いて、指定された前記オフセット周波数(ω')に対応する正弦波 $\sin \omega'(t)$ 及び余弦波 $\cos \omega'(t)$ を生成して前記周波数オフセット部へ送出するステップと、

前記周波数オフセット部を用いて、前記I波形デジタルデータ及びQ波形デジタルデータの周波数 $\omega (=2\pi f)$ を前記シーケンスメモリに記憶されたオフセット周波数 $\omega' (=2\pi f')$ だけオフセットする際に、前記I波形データ及びQ波形データが、それぞれ、

$$\cos \omega(t), \sin \omega(t) \quad \dots (1)$$

で示される場合に、これらを、それぞれ、

$$\cos\{\omega(t) + \omega'(t)\}, \sin\{\omega(t) + \omega'(t)\} \quad \dots (2)$$

と変換することにより、周波数オフセット処理を行うステップと、

を具備することを特徴とする第14の態様に従う通信機器の試験信号発生方法が提供される。

- [0042] また、上記目的を達成するために、本発明の第25の態様によれば、前記周波数オフセット部を用いて、前記周波数オフセット処理を行うステップは、前記(2)式が、前記(1)式とオフセット周波数(ω')とを用いて

$$\begin{aligned} & \cos\{\omega(t) + \omega'(t)\} \\ &= -\sin\omega(t) \cdot \sin\omega'(t) + \cos\omega(t) \cdot \cos\omega'(t), \\ & \sin\{\omega(t) + \omega'(t)\} \\ &= \cos\omega(t) \cdot \sin\omega'(t) + \sin\omega(t) \cdot \cos\omega'(t) \dots (3) \end{aligned}$$

と表現される場合に、この(3)式で示される周波数オフセットを実現することを特徴とする第24の態様に従う通信機器の試験信号発生方法が提供される。

- [0043] また、上記目的を達成するために、本発明の第26の態様によれば、前記周波数オフセット部を用いて、前記周波数オフセット処理を行うステップは、前記(3)式で示される周波数オフセットを実現するために、
- 第1及び第2の乗算器(35a, 35d)を用いて、前記I波形データ $\cos\omega(t)$ 及びQ波形データ $\sin\omega(t)$ を、それぞれ、第1の周波数オフセット成分 $\cos\omega'(t)$ と乗算するステップと、
- 第3及び第4の乗算器(35c, 35b)を用いて、前記I波形データ $\cos\omega(t)$ 及びQ波形データ $\sin\omega(t)$ を、それぞれ、第2の周波数オフセット成分 $\sin\omega'(t)$ と乗算するステップと、
- 第1の加算器(36a)を用いて、前記第1の乗算器からの出力と前記第4の乗算器からの出力とを加算することにより、第1の周波数オフセット $\cos\{\omega(t) + \omega'(t)\} = -\sin\omega(t) \cdot \sin\omega'(t) + \cos\omega(t) \cdot \cos\omega'(t)$ を出力するステップと、
- 第2の加算器(36b)を用いて、前記第2の乗算器からの出力と前記第3の乗算器からの出力とを加算することにより、第2の周波数オフセット $\sin\{\omega(t) + \omega'(t)\} = \cos\omega(t) \cdot \sin\omega'(t) + \sin\omega(t) \cdot \cos\omega'(t)$ を出力するステップと、

を具備することを特徴とする第25の態様に従う通信機器の試験信号発生方法が提供される。

- [0044] 上述したように構成される第1の態様の通信機器の試験信号発生装置から、最終的に試験対象に出力すべき試験信号は、一般に、1種類以上の単位データからなる。
- [0045] したがって、一対の波形メモリには、それぞれ、最終的に変調信号の形態で且つ所定のキャリア周波数を伴って出力すべき試験信号の元となる少なくとも1種類以上の単位データにおける1組のデジタルベースバンド直交信号I、Qを構成するI波形データ及びQ波形データのみが記憶されている。
- [0046] また、シーケンスメモリには、最終的に試験信号として出力すべき変調信号に含まれる各波形の出力順番を示す番号と、該各番号毎の各波形の種別を示す波形種別と、該各番号毎のI波形データ及びQ波形データを読出すための各波形メモリの読出しアドレスとを含む第1のシーケンス情報と、各波形メモリから読出されたI波形データ及びQ波形データとを含む単位データに対して、最終的に出力すべき試験信号に付与される所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるために設定するオフセット周波数を含む第2のシーケンス情報とが記憶されている。
- [0047] これにより、まず、シーケンス制御部によって読出されるシーケンスメモリ内の第1のシーケンス情報の内容に従って、読出制御部によって各波形メモリから単位データのI波形データ及びQ波形データが順次に読出されていく。
- [0048] そして、各波形メモリから順次に読出されたI波形データ及びQ波形データは、一対のD/A変換器でそれぞれアナログ信号に変換されてから試験信号出力部で直交変調されると共に、キャリア周波数信号を用いて高周波信号に周波数変換されることにより、試験信号出力部から変調信号の形態で且つ所定のキャリア周波数を伴った試験信号として出力される。
- [0049] このような構成によれば、各単位データが等しい場合、記憶装置としての一対の波形メモリの必要記憶容量を最小限に抑制することができる。
- [0050] また、単位データが等しく、単位データの出力順序、信号レベル、繰り返し回数等

が異なる新規の試験信号が必要になる場合には、波形データ自体を新規に生成する必要はなく、単に、そのような条件を満たす新たなシーケンス情報を作成してシーケンスメモリ内に記憶するのみでよい。

- [0051] また、シーケンス制御部によって読出されるシーケンスメモリからの第2のシーケンス情報に含まれるオフセット周波数により、各波形メモリから順次に読出されたI波形データ及びQ波形データは、各波形メモリから各D/A変換器までの間のデジタル段階において、周波数オフセット部により試験信号に付与される所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるための、オフセット周波数が設定される。
- [0052] これにより、最終的に試験信号発生装置から出力される試験信号は、当該試験信号に時間軸上に配列されて含まれる同一又は異なる複数の単位データの周波数が、I波形データ及びQ波形データのデジタル段階で所定の周波数オフセットが伴われることになる。
- [0053] すなわち、最終的に試験信号発生装置から出力される試験信号は、変調信号の形態で且つ所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットが伴われる試験信号として出力される。
- [0054] すなわち、この所定の周波数オフセットが伴われたI波形データ及びQ波形データは、後段でアナログ信号に変換されてから直交変調されてキャリア周波数信号で周波数変換された試験信号として出力される際に、その中心周波数が周波数オフセットに対応して時間変化に伴って変化する試験信号として出力される。
- [0055] このように、その中心周波数が周波数オフセットに対応して時間変化に伴って変化する試験信号は、GSM信号を模倣した試験信号としてのキャリア周波数を時間経過に応じて変化させる周波数ホッピングを実現可能なオフセット周波数としてシーケンスメモリ内の第2のシーケンス情報に含ませて設定することにより、WCDMA方式の被試験機器の受信周波数範囲内で前記GSM信号が離散的に移動することによる前記GSM信号による前記WCDMA方式の被試験機器の妨害波耐性試験が実現可能となる。
- [0056] そして、シーケンスメモリ内の第2のシーケンス情報にI波形データ及びQ波形デー

タとを含む単位データに対して、試験信号の所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるために設定するオフセット周波数を含ませておくことにより、周波数ホッピングを実現するために必要な波形データのサイズを可及的に軽減することができる。

[0057] 例えば、周波数ホッピングを実現する際の試験信号の周波数帯域を200kHzとし且つ出力時間を1secとした条件において、GSM信号を模倣した試験信号を出力する場合に、上述したような周波数オフセット機能の有無によって、必要な波形データのサイズに多大な相違がある。

[0058] すなわち、周波数オフセット機能の有りの場合には、オフセット0MHz:800kbyteの信号のみを用意すればよいのに対し、周波数オフセット機能の無しの場合には、オフセット10MHz:101Mbyteの信号を用意する必要がある。

[0059] したがって、周波数オフセット機能を備えることにより、このような周波数ホッピングを実現するために必要な記憶装置としての一对の波形メモリの記憶容量を最小限に抑制することができる。

[0060] また、その中心周波数が周波数オフセットに対応して時間変化に伴って変化する試験信号を出力する際、試験信号発生装置の後段の試験信号出力部にバンドパスフィルタ(BPF)、直交変調器、増幅器等の周波数特性が平坦でない構成要素が組み込まれている場合、それらの全て又はその一部の周波数特性に起因するレベル変動を補償する必要がある。

[0061] そこで、この周波数特性に起因するレベル変動を補償するために、第5の態様の通信機器の試験信号発生装置では、第2のシーケンス情報に含まれるオフセット周波数として試験信号に付与される所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるためのオフセット周波数の絶対値が大きくなるにつれて、前記基準としての前記所定のキャリア周波数での信号レベルからのレベルオフセット値を大きく設定するためのレベルオフセット値を含む第3のシーケンス情報が前記シーケンスメモリに記憶されている。

[0062] そして、シーケンス制御部によって読出されるシーケンスメモリからの第3のシーケンス情報に含まれるレベルオフセット値に基づいて、試験信号の各単位データの信

号レベルを、I波形データ及びQ波形データをデジタル段階で、一對の乗算器により前述した周波数特性に対応したレベルオフセット値だけ変更させるようにしている。

[0063] したがって、たとえ、試験信号の各单位データの周波数を変化させたとしても、試験信号発生装置の全体としての周波数特性を一定に維持することができる。

[0064] また、第6の態様のように構成された試験信号発生装置においては、試験信号発生装置から出力される試験信号の時間軸上に配列された同一又は複数の単位データを設定された回数だけ繰り返し出力することが可能である。

[0065] すなわち、予め、シーケンス情報に単位データの繰り返し出力回数を設定することにより、試験信号の周波数シフトを単位データ毎に実行することが、簡単に実現できる。

[0066] 以上のように、本発明の試験信号発生装置においては、出力すべき試験信号のデータを少なくとも1種類以上の単位データであるとし、一對の波形メモリに単位データにおけるI波形データ及びQ波形データのみを記憶し、出力される試験信号のシーケンス情報に基づいて、一對の波形メモリからI波形データ及びQ波形データを読み出している。

[0067] よって、試験信号発生装置から出力される試験信号の信号レベルを高い確度に維持しながら、記憶装置として用いられる一對の波形メモリの必要記憶容量を最小限に抑制することができるので、試験信号発生装置全体としての製造費を低減することができると共に、オペレータの作業負担を大幅に軽減することができる。

図面の簡単な説明

[0068] [図1A]図1Aは、本発明に係る通信機器の試験信号発生装置の第1実施形態の概略構成を説明するために示すブロック図である。

[図1B]図1Bは、本発明に係る通信機器の試験信号発生装置の第2実施形態の概略構成を説明するために示すブロック図である。

[図1C]図1Cは、本発明に係る通信機器の試験信号発生装置の第3実施形態の概略構成を説明するために示すブロック図である。

[図1D]図1Dは、本発明に係る通信機器の試験信号発生装置の第4実施形態の概略構成を説明するために示すブロック図である。

[図2]図2は、図1A及び図1Cの試験信号発生装置内に設けられるシーケンスメモリ4aの記憶内容を説明するために示す図である。

[図3A]図3Aは、図1Aの試験信号発生装置における周波数特性と変調信号レベルとの関係を説明するために示す図である。

[図3B]図3Bは、図1Aの試験信号発生装置における周波数特性と変調信号レベルとの関係を説明するために示す図である。

[図4]図4は、従来技術及び本発明において行われる妨害波耐性試験に用いられるGSM信号の周波数ホッピングを説明するために示す図である。

[図5]図5は、図1Aの試験信号発生装置内に形成された一対の波形メモリ2, 3の記憶内容を説明するために示す図である。

[図6]図6は、図1Aの試験信号発生装置における試験信号の周波数オフセットを説明するために示す図である。

[図7]図7は、図1Aの試験信号発生装置内に組込まれた周波数オフセット部34の詳細構成を説明するために示すブロック図である。

[図8]図8は、図1Aの試験信号発生装置内に組込まれた周波数変換部22から出力された試験信号の構成を説明するために示す図である。

[図9]図9は、図1B及び図1Dの試験信号発生装置内に設けられるシーケンスメモリ4bの記憶内容を説明するために示す図である。

[図10]図10は、図1Bの試験信号発生装置から出力される試験信号の構成を説明するために示す図である。

発明を実施するための最良の形態

[0069] 以下、図面に基づいて本発明の幾つかの実施の形態を説明する。

[0070] (第1実施形態)

まず、本発明に係る通信機器の試験信号発生装置の第1実施形態について図1A及び図2至図8を参照しながら具体的に説明する。

[0071] 図1Aは、本発明の通信機器の試験信号発生装置に係る第1実施形態の概略構成を示すブロック図である。

[0072] 図2は、図1Aの試験信号発生装置内に設けられるシーケンスメモリ4aの記憶内容

を説明するために示す図である。

- [0073] 図3A、Bは、図1Aの試験信号発生装置における周波数特性と変調信号レベルとの関係を説明するために示す図である。
- [0074] 図4は、本発明において行われる妨害波耐性試験に用いられるGSM信号の周波数ホッピングを説明するために示す図である。
- [0075] 図5は、図1Aの試験信号発生装置内に形成された一对の波形メモリ2、3の記憶内容を説明するために示す図である。
- [0076] 図6は、図1Aの試験信号発生装置における試験信号の周波数オフセットを説明するために示す図である。
- [0077] 図7は、図1Aの試験信号発生装置内に組込まれた周波数オフセット部34の詳細構成を説明するために示すブロック図である。
- [0078] 図8は、図1Aの試験信号発生装置内に組込まれた周波数変換部22から出力された試験信号の構成を説明するために示す図である。
- [0079] この第1実施形態による通信機器の試験信号発生装置は、基本的には、図1A及び図2至図8に示すように、最終的に出力すべき試験信号の元となる少なくとも1種類以上の単位データ1aにおける1組のデジタルベースバンド直交信号I、Qを構成するI成分波形デジタルデータ(以下、I波形データ)及びQ成分波形デジタルデータ(以下、Q波形データ)がそれぞれ所定のアドレスに、予め、記憶されている一对の波形メモリ2、3と、前記一对の波形メモリ2、3から前記I波形データ及びQ波形データを順次に出力させるための読出制御部7と、前記読出制御部7によって、前記一对の波形メモリ2、3から順次に出力される前記I波形データ及びQ波形データの信号レベルをそれぞれ所望の信号レベルに設定するための一对の乗算器9、10と、前記一对の乗算器9、10から順次に出力される前記I波形データ及びQ波形データをそれぞれI波形アナログ信号及びQ波形アナログ信号に変換する一对のデジタル/アナログ(D/A)変換器19、20と、前記一对の波形メモリ2、3から前記一对のD/A変換器19、20までの間において、前記I波形データ及びQ波形データに対し、前記試験信号に付与される所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるためのオフセット周波数を設定する周波数オフセット部34

と、前記一对の波形メモリ2、3に記憶されている前記I波形データ及びQ波形データとを含む前記単位データの読出し順序と、読出しアドレスと、前記一对の波形メモリ2、3から読出された前記I波形データ及びQ波形データとを含む前記単位データに設定すべき前記所望の信号レベルを含む第1のシーケンス情報と、前記一对の波形メモリ2、3から読出された前記I波形データ及びQ波形データとを含む前記単位データに対して、前記試験信号に付与される前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるために設定する前記オフセット周波数を含む第2のシーケンス情報とが、予め、記憶されているシーケンスメモリ4aと、前記シーケンスメモリ4aから前記第1のシーケンス情報を読み出し、該第1のシーケンス情報に含まれる前記読出し順序及び読出しアドレスを前記読出し制御部7に指示することにより、前記一对の波形メモリ2、3から前記I波形データ及びQ波形データを順次に出力させると共に、前記I波形データ及びQ波形データが前記一对の波形メモリ2、3から出力されるタイミングに対応して前記一对の乗算器9、10に該第1のシーケンス情報に含まれる前記所望の信号レベルを指示することにより、前記一对の波形メモリ2、3から順次に出力される前記I波形データ及びQ波形データの信号レベルをそれぞれ前記所望の信号レベルに設定させ、さらに、前記シーケンスメモリ4aから前記第2のシーケンス情報を読み出し、該第2のシーケンス情報に含まれる前記オフセット周波数情報を前記周波数オフセット部34に指示することにより、前記I波形データ及びQ波形データとを含む前記単位データに対して、前記試験信号に付与される前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるための前記オフセット周波数を設定させるシーケンス制御部6aと、前記一对のD/A変換器19、20から順次に出力される前記I波形アナログ信号及びQ波形データ信号を直交変調してからキャリア周波数信号を用いて高周波信号に変換することにより、最終的に変調信号の形態で且つ所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを伴った試験信号として出力する試験信号出力部100とを有して構成されている。

[0080] また、この第1実施形態による通信機器の試験信号発生方法は、基本的には、図1A及び図2至図8に示すように、最終的に出力すべき試験信号の元となる少なくとも1

種類以上の単位データ1aにおける1組のデジタルベースバンド直交信号I, Qを構成するI成分波形デジタルデータ(以下、I波形データ)及びQ成分波形デジタルデータ(以下、Q波形データ)をそれぞれ一对の波形メモリ2、3の所定のアドレスに、予め、記憶させるステップと、前記一对の波形メモリ2、3に記憶されている前記I波形データ及びQ波形データとを含む前記単位データの読出し順序と、読出しアドレスと、前記一对の波形メモリ2、3から読出された前記I波形データ及びQ波形データとを含む前記単位データに設定すべき前記所望の信号レベルを含む第1のシーケンス情報と、前記一对の波形メモリ2、3から読出された前記I波形データ及びQ波形データとを含む前記単位データに対して、前記試験信号に付与される前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるために設定する前記オフセット周波数を含む第2のシーケンス情報とをシーケンスメモリ4aに、予め、記憶させるステップと、シーケンス制御部6aを用いて、前記シーケンスメモリ4aから前記第1のシーケンス情報を読み出し、該第1のシーケンス情報に含まれる前記読出し順序及び読出しアドレスを读出制御部に指示することにより、前記一对の波形メモリ2、3から前記I波形データ及びQ波形データを順次に出力させるステップと、前記シーケンス制御部6aを用いて、前記シーケンスメモリ4aから前記第1のシーケンス情報を読み出し、該第1のシーケンス情報に含まれる前記所望の信号レベルを前記I波形データ及びQ波形データが前記一对の波形メモリ2、3から出力されるタイミングに対応して一对の乗算器9、10に指示することにより、前記一对の波形メモリ2、3から順次に出力される前記I波形データ及びQ波形データの信号レベルをそれぞれ前記所望の信号レベルに設定させるステップと、一对のデジタル/アナログ(D/A)変換器19、20を用いて、前記一对の乗算器9、10から順次に出力される前記I波形データ及びQ波形データをそれぞれI波形アナログ信号及びQ波形アナログ信号に変換するステップと、前記一对の波形メモリ2、3から前記一对のD/A変換器19、20までの間のデジタル段階において、前記シーケンス制御部6aを用いて、前記シーケンスメモリ4aから前記第2のシーケンス情報を読み出し、該第2のシーケンス情報に含まれる前記オフセット周波数を周波数オフセット部34に指示することにより、前記I波形データ及びQ波形データとを含む前記単位データに対して、前記試験信号に付与される

前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるための前記オフセット周波数を設定させるステップと、試験信号出力部100を用いて、前記一对のD/A変換器19、20から順次に出力される前記I波形アナログ信号及びQ波形アナログ信号を直交変調してからキャリア周波数信号を用いて高周波信号に変換することにより、最終的に変調信号の形態で且つ所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを伴った試験信号として出力させるステップとを有して構成されている。

[0081] 図1Aに示す試験信号発生装置は、具体的には、携帯通信端末等の通信機器、例えば、前述した携帯電話に対する通信試験を実施するための擬似基地局装置内に組込まれ、試験対象としての携帯電話に対して試験信号としての変調信号を出力する。

[0082] この第1実施形態の通信機器の試験信号発生装置において、最終的に、出力端子26から試験信号として出力される変調信号 a_3 は、図3Bの実線で示すように、時間経過に伴って順次に出力される5個の単位データ1aの周波数 f が、基準周波数 f_0 に対して、上下に所定周波数間隔($\pm 1\text{MHz}$, $\pm 2\text{MHz}$)でオフセットされている。

[0083] このような試験信号として出力される変調信号 a_3 は、図4を用いて説明したように、GSM信号を模倣した試験信号の周波数(キャリア周波数すなわち基準周波数 f_0)を時間経過に応じて変化させる周波数ホッピングを実現させることにより、WCDMA携帯電話の妨害波耐性試験のために用いられる。

[0084] すなわち、この第1実施形態に用いられる後述のシーケンスメモリ4aに記憶すべきオフセット周波数を含む第2のシーケンス情報を、試験信号としてGSM信号を模倣した試験信号のキャリア周波数 f_0 を時間経過に応じて変化させる周波数ホッピングを実現可能なオフセット周波数として設定することにより、WCDMA方式の被試験機器の受信範囲内で前記GSM信号が離散的に移動することによるGSM信号によるWCDMA方式の被試験機器の妨害波耐性試験が実現可能となる。

[0085] 図1Aにおいて、一对の波形メモリを構成するI波形メモリ2及びQ波形メモリ3には、最終的に変調信号の形態で且つ所定のキャリア周波数 f_0 を伴って出力すべき試験信号の元となる少なくとも1種類以上の単位データ1aにおける1組のデジタルベース

バンド直交信号I, Qを構成するI成分波形デジタルデータ(以下、I波形データ)及びQ成分波形デジタルデータ(以下、Q波形データ)が、それぞれ、所定の格納アドレスに、予め、記憶されている。

[0086] すなわち、I波形メモリ2には、後述する図2に示すように所定の格納アドレスに対応する読出し開始アドレス AD_{1S} ～読出し終了アドレス AD_{1E} に、最終的に、この試験信号発生装置の出力端子26から出力される試験信号としての変調信号 a_3 の単位データ1aにおけるデジタルのI波形データが、予め、記憶されている。

[0087] また、Q波形メモリ3には、後述する図2に示すように所定の格納アドレスに対応する読出し開始アドレス AD_{1S} ～読出し終了アドレス AD_{1E} に、最終的に、この試験信号発生装置の出力端子26から出力される試験信号としての変調信号 a_3 の単位データ1aにおけるデジタルのQ波形データが、予め、記憶されている。

[0088] そして、図1Aにおいて、シーケンスメモリ4a内には、図2に示すように、最終的に試験信号として出力すべき変調信号 a_3 に含まれる各波形の出力順番を示す1番から5番までの番号と、該1番から5番までの各波形の種別(ここでは、すべてA)を示す波形種別1aと、該各波形種別1a毎の各波形メモリ2、3からI波形データ及びQ波形データを読出すための各波形メモリ2、3の読出し開始アドレス AD_{1S} 及び読出し終了アドレス AD_{1E} とを含む第1のシーケンス情報と、各波形メモリ2、3から読出されたI波形データ及びQ波形データとを含む単位データに対して、最終的に出力すべき試験信号に付与される所定のキャリア周波数(f_0)を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるために設定するオフセット周波数 ω' ($=2\pi f'$, ± 1 MHz, ± 2 MHz)を含む第2のシーケンス情報とが記憶されている。

[0089] なお、この試験信号発生装置において、後述の試験信号出力部100に、周波数特性が平坦でない構成要素として、少なくともバンドパスフィルタ24が設けられている場合に、シーケンスメモリ4a内には、図2に示すように、予め、第2のシーケンス情報に含まれるオフセット周波数として試験信号に付与される所定のキャリア周波数 f_0 を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるためのオフセット周波数 (± 1 MHz, ± 2 MHz)の絶対値が大きくなるにつれて、送信基準としての所定のキャリア周波数 f_0 での信号レベル(0dB)からのレベルオフセット値を大きく(

+2dB, +5dB) 設定するためのレベルオフセット値を含む第3のシーケンス情報が記憶されている。

[0090] そして、後述するシーケンス制御部6aは、シーケンスメモリ4aから第3のシーケンス情報を読み出し、該第3のシーケンス情報に含まれる前記レベルオフセット値をI波形データ及びQ波形データが各波形メモリ2、3から出力されるタイミングに対応して一対の乗算器9、10に指示することにより、第2のシーケンス情報に含まれるオフセット周波数として試験信号に付与される所定のキャリア周波数 f_0 を基準として所定の間隔ごとに複数のステップの周波数オフセット($\pm 1\text{MHz}$, $\pm 2\text{MHz}$)を与えるためのオフセット周波数の絶対値が大きくなるにつれて、基準としての所定のキャリア周波数 f_0 での信号レベル(送信基準レベル=0dB)からのレベルオフセット値を大きく(+2dB, +5dB) 設定させるようになされている。

[0091] ここで、オフセット周波数の絶対値が大きくなるにつれて、送信基準レベル(0dB)からのレベルオフセット値を大きく設定する理由を図3Aを用いて説明する。

[0092] 前述したように、試験信号発生装置の試験信号出力部100に、バンドパスフィルタ(BPF) 24、直交変調器21、周波数変換器22、増幅器25のように、周波数特性が平坦でない複数の構成要素が設けられている場合には、試験信号出力部100から出力される試験信号としての周波数帯域幅が広がった5個の単位データ1aからなる変調信号 a_3 の全体の周波数特性における前記複数の構成要素の総合の周波数特性を補償する必要がある。

[0093] すなわち、図3Aに示す周波数特性のように、試験信号の中心周波数となる基準としての所定のキャリア周波数 f_0 から遠く離れるにつれて単位データ1aの信号レベルが低下(-2dB, -5dB)するので、このような周波数特性を補償するために、各単位データ1aの信号レベルを当該単位データ1aのオフセット周波数 ω' ($\pm 1\text{MHz}$, $\pm 2\text{MHz}$)に応じて予め高く(+2dB, +5dB)なるようにレベルオフセット値を大きく設定している。

[0094] 具体的には、オフセット周波数 ω' ($\pm 1\text{MHz}$, $\pm 2\text{MHz}$)の絶対値が大きくなるにつれて、送信基準レベル0dBからのレベルオフセット値を大きく(+2dB, +5dB) 設定している。

- [0095] 次に、図1Aの全体の動作について説明する。
- [0096] まず、シーケンス制御部6aは、シーケンスメモリ4aから第1のシーケンス情報を読み出し、該第1のシーケンス情報に含まれる最終的に試験信号として出力すべき変調信号 a_3 に含まれる波形Aと、該波形Aの単位データ1a毎のI波形データ及びQ波形データを記憶するための各波形メモリ2、3に記憶されているI波形データ及びQ波形データとを含む前記単位データの読み出し順序としての1番から5番までの番号と、読み出し(開始、終了)アドレスとを読み出し制御部7に指示する。
- [0097] これにより、読み出し制御部7は、クロック発生部5からのクロックbに同期して、1番から5番までの各単位データ1aを、順番に、各波形メモリ2、3から読み出すために、各波形メモリ2、3のI波形データ及びQ波形データの読み出し開始アドレス AD_{1S} 及び読み出し終了アドレス AD_{1E} を指定する。
- [0098] 同時に、シーケンス制御部6aは、シーケンスメモリ4aから第2のシーケンス情報を読み出し、該第2のシーケンス情報に含まれるオフセット周波数に基づいて、各単位データ1a毎のオフセット周波数を読み出して数値制御発信器(NCO)33へ指定する。
- [0099] さらに、シーケンス制御部6aは、シーケンスメモリ4aから第3のシーケンス情報を読み出し、該第3のシーケンス情報に含まれる該当番号の単位データ1aのレベルオフセット値を各乗算器9、10へ設定する。
- [0100] なお、前述したようなレベルオフセットによる周波数特性の補償を必要としない場合には、シーケンスメモリ4aに予め記憶されている前記所定の信号レベルとして、シーケンスメモリ4aに予め記憶されている各単位データ1aのレベルオフセット値はすべて送信基準レベル0dBになされているものとする。
- [0101] NCO33は、指定されたオフセット周波数 ω に対応する正弦波 $\sin \omega(t)$ 、余弦波 $\cos \omega(t)$ を生成して周波数オフセット部34へ送出する。
- [0102] この周波数オフセット部34は、一対の波形メモリ2、3から一対のD/A変換器19、20までの間のデジタル段階において、図1Aの場合には、一対の波形メモリ2、3と前記一対の乗算器9、10との間に設けられていることにより、後述するように、I波形データ及びQ波形データに対し、試験信号の前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるための、オフセット周波

数を設定する。

[0103] 読出制御部7は、前述のようにして指定された読出し開始アドレス及び読出し終了アドレスに基づいて、各波形メモリ2、3から当該読出し開始アドレス及び読出し終了アドレスの間のI波形データ及びQ波形データを読出す。

[0104] これにより各波形メモリ2、3から指定された読出し開始アドレスから読出し終了アドレスまでの間のI波形データ及びQ波形データが順次に出力される。

[0105] そして、各波形メモリ2、3から順次に出力されたI波形データ及びQ波形データは、周波数オフセット部34へ入力される。

[0106] 周波数オフセット部34は、各波形メモリ2、3から順次に出力されたI波形データ及びQ波形データの周波数 $\omega (=2\pi f)$ をシーケンスメモリ4aに記憶されたオフセット周波数 $\omega' (=2\pi f')$ だけオフセットする。

[0107] 具体的には、I波形データ、Q波形データが、それぞれ、

$$\cos \omega (t), \sin \omega (t) \quad \dots (1)$$

と示される場合に、これらを、それぞれ、

$$\cos \{ \omega (t) + \omega' (t) \}, \sin \{ \omega (t) + \omega' (t) \} \quad \dots (2)$$

と変換する。

[0108] (2)式は、(1)式とオフセット周波数 ω' とを用いて(3)式で表現できる。

$$\begin{aligned} [0109] \quad & -\sin \omega (t) \cdot \sin \omega' (t) + \cos \omega (t) \cdot \cos \omega' (t) \\ & = \cos \{ \omega (t) + \omega' (t) \} \text{(第1の周波数オフセット)}, \\ & \cos \omega (t) \cdot \sin \omega' (t) + \sin \omega (t) \cdot \cos \omega' (t) \\ & = \sin \{ \omega (t) + \omega' (t) \} \text{(第2の周波数オフセット)} \\ & \dots (3) \end{aligned}$$

この(3)式で示される周波数オフセットを実現するために、周波数オフセット部34は、例えば、図7に示すように、第1乃至第4の乗算器35a、35b、35c、35dと、第1及び第2の加算器36a、36bとで構成されている。

[0110] すなわち、周波数オフセット部34は、I波形データ $\cos \omega (t)$ 及びQ波形データ $\sin \omega (t)$ を、それぞれ、第1の周波数オフセット成分 $\cos \omega' (t)$ と乗算する第1及び第2の乗算器35a、35dと、I波形データ $\cos \omega (t)$ 及びQ波形データ $\sin \omega (t)$ を、それぞ

れ、第2の周波数オフセット成分 $\sin \omega'(t)$ と乗算する第3及び第4の乗算器35c、35bと、第1の乗算器35aからの出力と前記第4の乗算器35bからの出力とを加算することにより、第1の周波数オフセット $\cos\{\omega(t) + \omega'(t)\} = -\sin \omega(t) \cdot \sin \omega'(t) + \cos \omega(t) \cdot \cos \omega'(t)$ を出力する第1の加算器36aと、第2の乗算器35dからの出力と第3の乗算器35cからの出力とを加算することにより、第2の周波数オフセット $\sin\{\omega(t) + \omega'(t)\} = \cos \omega(t) \cdot \sin \omega'(t) + \sin \omega(t) \cdot \cos \omega'(t)$ を出力する第2の加算器36bとを有している。

- [0111] このようにして周波数オフセット部34で周波数オフセットされたI波形データ及びQ波形データは、それぞれ、各乗算器9、10へ入力される。
- [0112] 各乗算器9、10は、周波数オフセット部34から出力される周波数オフセットが伴われているI波形データ及びQ波形データの信号レベルを前述したようにオフセット周波数の絶対値が大きくなるにつれて送信基準レベル(0dB)からのレベルオフセット値を大きく設定するために、図3Bに破線で示すように、シーケンス制御部6aから設定されるレベルオフセット値(+2dBまたは+5dB)分だけ増加させる。
- [0113] 各乗算器9、10でレベル設定されたI波形データ及びQ波形データは、それぞれ、一対のデジタル／アナログ(D/A)変換器19、20へ入力される。
- [0114] 各D/A変換器19、20は、入力された周波数オフセットが伴われているデジタルのI波形データ及びQ波形データをアナログのI波形信号及びQ波形信号に変換して、試験信号出力部100を構成する直交変換器21へ送出する。
- [0115] 直交変換器21は、局部発振器21aからの局部発信信号を用いて、D/A変換されたアナログのI波形信号及びQ波形信号を直交変調して、周波数オフセットが伴われている変調信号 a_4 として、周波数変換器22へ送出する。
- [0116] 周波数変換器22は、直交変調器21から出力される周波数オフセットが伴われている変調信号 a_4 に発振器23からのキャリア周波数信号を乗算することにより、この変調信号 a_4 を高周波信号に変換して、新たな変調信号 a_5 としてバンドパスフィルタ(BPF)24へ送出する。
- [0117] なお、周波数変換器22によってキャリア周波数信号を乗算して高周波信号に変換されBPF24に出力される変調信号 a_5 における各単位データ1a相互間の周波数差(

オフセット周波数 ω')は、図6に示すように、そのまま残る。

- [0118] 図8は、このBPF24へ入力される前の変調信号 a_5 に含まれる5個の単位データ1aの出力時間(出力順序)、オフセット周波数 ω' 、信号レベルの関係を示している。
- [0119] 図8に示すように、オフセット周波数 ω' の絶対値が大きい信号ほど、それらの信号レベルも大きくなる。
- [0120] 図3Aに示すような周波数特性を有するBPF24は、変調信号 a_5 から不要周波数成分を除去して新たな変調信号 a_6 として増幅器25へ送出手する。
- [0121] したがって、この変調信号 a_6 は、増幅器25で増幅されて出力端子26から最終の変調信号 a_3 (試験信号)として出力される。
- [0122] このように構成された第1実施形態の試験信号発生装置においては、この試験信号発生装置から最終的に試験信号として出力される変調信号 a_3 の時間軸上に配列された複数の単位データ1aが、I波形データ及びQ波形データのデジタル段階で周波数オフセット部34で周波数オフセットされている。
- [0123] したがって、この周波数オフセットにより、直交変調されてキャリア周波数信号で高周波数信号に変換された変調信号 a_3 の中心周波数が時間変化に伴って変化する。
- [0124] この周波数オフセットを与えるためのオフセット周波数 ω' は、シーケンス情報の1つの項目として、シーケンスメモリ4aに他の条件と同様に任意に設定可能である。
- [0125] したがって、前述したように試験信号の周波数(キャリア周波数)を時間経過に応じて、ランダムに変化させる周波数ホッピングを簡単に実現することができる。
- [0126] さらに、レベルオフセットにより、各単位データ1aの信号レベルを、I波形データ及びQ波形データのデジタル段階で、BPF24の周波数特性に対応したレベルオフセット値だけ変更している。
- [0127] したがって、たとえ、変調信号 a_3 の各単位データ1aの周波数を変化させたとしても、BPF24を介して出力される変調信号 a_3 の全体の周波数特性を平坦に維持することができるので、最終的に試験信号として出力される変調信号 a_3 の信号品質を向上させることができる。
- [0128] なお、この試験信号発生装置内のHDD(ハードディスクドライブ)内に形成された試験データベース(DB)27内には、この試験信号発生装置から出力される試験信号

の単位データのI波形データ及びQ波形データを記憶する波形DB28と、各種のシーケンス情報を記憶するシーケンスDB29が設けられている。

[0129] この波形DB28とシーケンスDB29に記憶される単位データのI波形データ及びQ波形データと各種のシーケンス情報は、試験信号発生装置の外部に設置されたPC（パーソナルコンピュータ）等の外部コンピュータ30で作成されて、試験DB27内の波形DB28とシーケンスDB29にダウンロードされる。

[0130] そして、試験実施者は、試験信号発生装置から新たな試験信号を出力させる場合、操作部31を操作して、データ書込部32に、この新たな試験信号に対応するI波形データ及びQ波形データを波形DB28から読出して各波形メモリ2、3に書込ませる。

[0131] 同時に、試験実施者は、この新たな試験信号に対応するシーケンス情報をシーケンスDB29から読出して、シーケンスメモリ4aに書込ませる。

[0132] なお、新たな試験信号として、周波数が異なる複数の試験信号を出力させる場合には、各試験信号の周波数毎のシーケンス情報をシーケンスメモリ4に書込ませるのみでよく、周波数が異なる複数の試験信号に対応するI波形データ及びQ波形データを各波形メモリ2、3に書込ませる必要はない。

[0133] すなわち、I波形データ及びQ波形データの書換に比較して、シーケンス情報の書込時間は非常に短いので、試験作業能率を大幅に向上させることができる。

[0134] （第2実施形態）

次に、本発明に係る通信機器の試験信号発生装置の第2実施形態について図1B、図9及び図10を参照しながら具体的に説明する。

[0135] 図1Bは、本発明の第2実施形態の通信機器の試験信号発生装置に係る概略構成を示すブロック図である。

[0136] 図9は、図1Bの試験信号発生装置内に設けられるシーケンスメモリ4bの記憶内容を説明するために示す図である。

[0137] 図10は、図1Bの試験信号発生装置から出力される試験信号の構成を説明するために示す図である。

[0138] 図1Bにおいて、図1Aに示した第1実施形態の通信機器の試験信号発生装置と同一部分には同一符号を付して重複する部分の詳細説明を省略する。

- [0139] そして、この図1Bに示した第2実施形態の通信機器の試験信号発生装置が、前述の図1Aに示した第1実施形態の通信機器の試験信号発生装置と異なる点は、図1Aのシーケンスメモリ4a及びシーケンス制御部6aとはそれぞれ異なるシーケンスメモリ4b及びシーケンス制御部6bが設けられていることである。
- [0140] 図9は、本発明の第2実施形態に係る試験信号発生装置内に設けられたシーケンスメモリ4bの内容を説明するために示す図である。
- [0141] このシーケンスメモリ4b内には、シーケンス情報として第1実施形態のシーケンスメモリ4aと同様に、最終的に試験信号として出力すべき変調信号 a_7 に含まれる1番から5番までの各波形の出力順番を示す番号と、該各番号毎の各波形の種別を示す波形種別と、該各番号毎のI波形データ及びQ波形データを読み出すための各波形メモリ2、3内の格納アドレス(読み出し開始アドレス、読み出し終了アドレス)と、各波形メモリ2、3から読み出されたI波形データ及びQ波形データとを含む単位データに対して、信号基準レベルからのレベルオフセット値及び最終的に出力すべき試験信号に付与される所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるために設定するオフセット周波数とを含む第1(乃至第3)のシーケンス情報が記憶されているのに加えて、試験信号に含まれる単位データの繰り返し回数を設定するための単位データ1a毎のI波形データ及びQ波形データの各波形メモリ2、3からの読み出しの繰り返し回数を含む第2(第4)のシーケンス情報が記憶されている。
- [0142] そして、この第2実施形態の通信機器の試験信号発生装置においては、シーケンス制御部6bによってシーケンスメモリ4bから上述したようなシーケンス情報を読み出すことにより、特に、単位データ1a毎のI波形データ及びQ波形データの各波形メモリ2、3からの読み出しの繰り返し回数を含む第2(第4)のシーケンス情報によって、図10に示すように、設定された読み出しの繰り返し回数に応じて、同一オフセット周波数を有する複数の単位データ1aが時間的に連続する試験信号としての変調信号 a_7 が、最終的に、試験信号発生装置から出力されることになる。
- [0143] すなわち、この第2実施形態の試験信号発生装置においては、周波数オフセットを複数の単位データ毎に実行することを、予めシーケンス情報としてシーケンスメモリ4

b内に読出しの繰り返し回数として設定することにより、簡単に実現することができる。

[0144] この第2実施形態の通信機器の試験信号発生装置は、これ以外には、前述した第1実施形態の試験信号発生装置と同様である。

[0145] (第3実施形態)

次に、本発明に係る通信機器の試験信号発生装置の第3実施形態について図1Cを参照しながら具体的に説明する。

[0146] 図1Cは、本発明の通信機器の試験信号発生装置に係る第3実施形態の概略構成を示すブロック図である。

[0147] 図1Cにおいて、図1Aに示した第1実施形態の通信機器の試験信号発生装置と同一部分には同一符号を付して重複する部分の詳細説明を省略する。

[0148] そして、この図1Cに示した第3実施形態の通信機器の試験信号発生装置が、前述の図1Aに示した第1実施形態の通信機器の試験信号発生装置と異なる点は、一対の波形メモリ2、3から一対のD/A変換器19、20までの間のデジタル段階において、特に、一対の乗算器9、10と一対のD/A変換器19、20との間に周波数オフセット部34が設けられていることである。

[0149] この周波数オフセット部34は、前述した第1実施形態の試験信号発生装置と同様に、I波形データ及びQ波形データに対し、試験信号の前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるための、オフセット周波数を設定する。

[0150] また、図1Cにおいては、図1Aと同様のシーケンスメモリ4a及びシーケンス制御部6aが設けられていると共に、周波数オフセット部34とシーケンス制御部6aとの間に、数値制御発信器(NCO)33が設けられている。

[0151] したがって、このような第3実施形態の通信機器の試験信号発生装置においては、前述した第1実施形態の試験信号発生装置と同様に、最終的に、出力端子26から出力される変調信号 a_3 は、図3Bに実線で示すように、時間経過に伴って順次に出力される5個の単位データ1aの周波数 f が、基準周波数 f_0 に対して、上下に所定のステップでオフセットされている。

[0152] この場合、各波形メモリ2、3から順次に出力されたI波形データ及びQ波形データ

は、第1実施形態の試験信号発生装置のように、周波数オフセット部34へ直接的に入力されるのではなく、それぞれ、各乗算器9、10を介してレベルオフセットのための信号レベルが設定されてから周波数オフセット部34へ入力される。

[0153] この第3実施形態の通信機器の試験信号発生装置は、これ以外には、前述した第2実施形態の試験信号発生装置と同様である。

[0154] (第4実施形態)

次に、本発明に係る通信機器の試験信号発生装置の第4実施形態について図1Dを参照しながら具体的に説明する。

[0155] 図1Dは、本発明の第4実施形態の通信機器の試験信号発生装置に係る概略構成を示すブロック図である。

[0156] 図1Dにおいて、図1Cに示した第3実施形態の通信機器の試験信号発生装置と同一部分には同一符号を付して重複する部分の詳細説明を省略する。

[0157] そして、この図1Dに示した第4実施形態の通信機器の試験信号発生装置が、前述の図1Cに示した第3実施形態の通信機器の試験信号発生装置と異なる点は、図1Cのシーケンスメモリ4a及びシーケンス制御部6aとはそれぞれ異なるシーケンスメモリ4b及びシーケンス制御部6bが設けられていることである。

[0158] したがって、この第4実施形態の通信機器の試験信号発生装置では、前述した第2実施形態の通信機器の試験信号発生装置と同様に、最終的に、同一オフセット周波数を有する複数の単位データ1aが時間的に連続する試験信号としての変調信号 a_7 が出力されることになる。

[0159] そして、この図1Dに示した第4実施形態の通信機器の試験信号発生装置は、前述の図1Cに示した第3実施形態の通信機器の試験信号発生装置と同様に、一对の波形メモリ2、3から一对のD/A変換器19、20までの間のデジタル段階において、特には、一对の乗算器9、10と一对のD/A変換器19、20との間に挿入されている周波数オフセット部34が設けられている。

[0160] この周波数オフセット部34は、前述した第3実施形態の試験信号発生装置と同様に、I波形データ及びQ波形データに対し、試験信号の前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるための、オ

フセット周波数を設定する。

[0161] また、図1Dにおいては、図1Cと同様に、周波数オフセット部34とシーケンス制御部6aとの間に、数値制御発信器(NCO)33が設けられている。

[0162] この場合、各波形メモリ2、3から順次に出力されたI波形データ及びQ波形データは、第1実施形態の試験信号発生装置のように、周波数オフセット部34へ直接的に入力されるのではなく、それぞれ、各乗算器9、10を介してレベルオフセットのための信号レベルが設定されてから周波数オフセット部34へ入力される。

[0163] この第4実施形態の通信機器の試験信号発生装置は、これ以外には、前述した第2実施形態の試験信号発生装置と同様である。

[0164] したがって、以上詳述したように、本発明によれば、従来技術の問題を解決するために、各ホッピング周波数における高レベル確度を確保しながら、記憶装置の必要記憶容量を最小限に抑制でき、かつ試験信号の信号波形を生成する作業を大幅に軽減できると共に、同一データを複数回に亘って繰返し使用される場合にも対処し得る通信機器の試験信号発生装置及び通信機器の試験信号発生方法を提供することができる。

請求の範囲

- [1] 最終的に出力すべき試験信号の元となる少なくとも1種類以上の単位データにおける1組のデジタルベースバンド直交信号I、Qを構成するI成分波形デジタルデータ(以下、I波形データ)及びQ成分波形デジタルデータ(以下、Q波形データ)がそれぞれ所定のアドレスに、予め、記憶されている一対の波形メモリと、
- 前記一対の波形メモリから前記I波形データ及びQ波形データを順次に出力させるための読出制御部と、
- 前記読出制御部によって、前記一対の波形メモリから順次に出力される前記I波形データ及びQ波形データの信号レベルをそれぞれ所望の信号レベルに設定するための一対の乗算器と、
- 前記一対の乗算器から順次に出力される前記I波形データ及びQ波形データをそれぞれI波形アナログ信号及びQ波形アナログ信号に変換する一対のデジタル／アナログ(D/A)変換器と、
- 前記一対の波形メモリから前記一対のD/A変換器までの間において、前記I波形データ及びQ波形データに対し、前記試験信号に付与される所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるための、オフセット周波数を設定する周波数オフセット部と、
- 前記一対の波形メモリに記憶されている前記I波形データ及びQ波形データとを含む前記単位データの読出し順序と、読出しアドレスと、前記一対の波形メモリから読出された前記I波形データ及びQ波形データとを含む前記単位データに設定すべき前記所望の信号レベルを含む第1のシーケンス情報と、前記一対の波形メモリから読出された前記I波形データ及びQ波形データとを含む前記単位データに対して、前記試験信号に付与される前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるために設定する前記オフセット周波数を含む第2のシーケンス情報とが、予め、記憶されているシーケンスメモリと、
- 前記シーケンスメモリから前記第1のシーケンス情報を読出し、該第1のシーケンス情報に含まれる前記読出し順序及び読出しアドレスを前記読出制御部に指示することにより、前記一対の波形メモリから前記I波形データ及びQ波形データを順次に出力

力させると共に、前記I波形データ及びQ波形データが前記一对の波形メモリから出力されるタイミングに対応して前記一对の乗算器に該第1のシーケンス情報に含まれる前記所望の信号レベルを指示することにより、前記一对の波形メモリから順次に出る前記I波形データ及びQ波形データの信号レベルをそれぞれ前記所望の信号レベルに設定させ、さらに、前記シーケンスメモリから前記第2のシーケンス情報を読み出し、該第2のシーケンス情報に含まれる前記オフセット周波数を前記周波数オフセット部に指示することにより、前記I波形データ及びQ波形データを含む前記単位データに対して、前記試験信号に付与される前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるための前記オフセット周波数を設定させるシーケンス制御部と、

前記一对のD/A変換器から順次に出る前記I波形アナログ信号及びQ波形データ信号を直交変調してからキャリア周波数信号を用いて高周波信号に変換することにより、最終的に前記変調信号の形態で且つ前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを伴った試験信号として出力する試験信号出力部と、

を具備する通信機器の試験信号発生装置。

[2] 前記周波数オフセット部は、

前記一对の波形メモリと前記一对の乗算器との間に設けられることを特徴とする請求項1記載の通信機器の試験信号発生装置。

[3] 前記周波数オフセット部は、

前記一对の乗算器と前記一对のD/A変換器との間に設けられることを特徴とする請求項1記載の通信機器の試験信号発生装置。

[4] 前記試験信号出力部は、

前記一对のD/A変換器から順次に出る前記I波形アナログ信号及びQ波形アナログ信号を局部発振器からの局部発信信号を用いて直交変調して変調信号として出力する直交変調器と、

前記直交変調器から出力される変調信号を発振器からのキャリア周波数信号を用いて高周波信号に変換することにより、前記変調信号の形態で且つ所定のキャリア

周波数を伴った試験信号として出力する周波数変換器と、

前記周波数変換器から出力される試験信号に含まれる不要周波数成分を除去することにより、最終的に前記変調信号の形態で且つ前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップのオフセット周波数を伴った試験信号として出力させるバンドパスフィルタと、

を具備することを特徴とする請求項1記載の通信機器の試験信号発生装置。

- [5] 前記試験信号出力部に、周波数特性が平坦でない構成要素として、少なくとも前記バンドパスフィルタが設けられている場合に、

前記シーケンスメモリには、予め、前記第2のシーケンス情報に含まれる前記オフセット周波数として前記試験信号に付与される前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるためのオフセット周波数の絶対値が大きくなるにつれて、前記基準としての前記所定のキャリア周波数での信号レベルからのレベルオフセット値を大きく設定するためのレベルオフセット値を含む第3のシーケンス情報が記憶されており、

前記シーケンス制御部は、前記シーケンスメモリから前記第3のシーケンス情報を読み出し、該第3のシーケンス情報に含まれる前記レベルオフセット値を前記I波形データ及びQ波形データが前記一对の波形メモリから出力されるタイミングに対応して前記一对の乗算器に指示することにより、前記第2のシーケンス情報に含まれる前記オフセット周波数情報として前記試験信号の前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるためのオフセット周波数の絶対値が大きくなるにつれて、前記基準としての前記所定のキャリア周波数での信号レベルからのレベルオフセット値を大きく設定させることを特徴とする請求項4記載の通信機器の試験信号発生装置。

- [6] 前記シーケンスメモリには、予め、前記最終的に出力される試験信号に含まれる前記単位データ毎の繰り返し回数を設定するための前記単位データ毎のI波形データ及びQ波形データの前記一对の波形メモリからの読み出しの繰り返し回数を含む第4のシーケンス情報が記憶されており、

前記シーケンス制御部は、前記シーケンスメモリから前記第4のシーケンス情報を

読出し、該第4のシーケンス情報に含まれる前記単位データ毎のI波形データ及びQ波形データの前記一对の波形メモリからの読出しの繰り返し回数を前記I波形データ及びQ波形データが前記一对の波形メモリから出力されるタイミングに対応して前記読出し制御部に指示することにより、前記単位データ毎のI波形データ及びQ波形データの前記一对の波形メモリからの読出しの繰り返し回数に応じた回数分連続して前記単位データを前記一对の波形メモリから順次に出力させることを特徴とする請求項1記載の通信機器の試験信号発生装置。

- [7] 前記シーケンスメモリに記憶すべき前記オフセット周波数を含む第2のシーケンス情報を、前記試験信号としてGSM(Global System for Mobile communication)信号を模倣した試験信号のキャリア周波数を時間経過に応じて変化させる周波数ホッピングを実現可能なオフセット周波数として設定することにより、WCDMA(Wideband Code Division Multiple Access)方式の被試験機器の受信周波数範囲内で前記GSM信号が離散的に移動することによる前記GSM信号による前記WCDMA方式の被試験機器の妨害波耐性試験が実現可能となされていることを特徴とする請求項1記載の通信機器の試験信号発生装置。
- [8] 前記一对の乗算器は、前記一对の波形メモリから出力される前記I波形データ及びQ波形データに、前記シーケンス制御部から指示された前記信号レベルから求めたゲイン乗算値を乗算することにより、前記一对の波形メモリから出力される前記I波形データ及びQ波形データの信号レベルを前記シーケンスメモリに記憶されている前記第1のシーケンス情報に含まれる前記信号レベルに設定することを特徴とする請求項1記載の通信機器の試験信号発生装置。
- [9] 前記一对の乗算器は、前記一对の波形メモリから読出された前記I波形データ及びQ波形データに、前記シーケンス制御部から指示された前記第3のシーケンス情報に含まれる前記レベルオフセット値から求めたゲイン乗算値を乗算することにより、前記一对の波形メモリから読出された前記I波形データ及びQ波形データの信号レベルを前記シーケンスメモリに記憶されている前記第3のシーケンス情報に含まれる前記レベルオフセット値に設定することを特徴とする請求項5記載の通信機器の試験信号発生装置。

[10] 前記試験信号に含まれる前記単位データのI波形データ及びQ波形データを記憶する波形データベースと、各種のシーケンス情報を記憶するシーケンスデータベースとが設けられているハードディスクドライブ内に形成された試験データベースと、前記試験データベースに接続されているデータ書込部とをさらに備え、

前記波形データベースに記憶される前記I波形デジタルデータ及びQ波形デジタルデータと、前記シーケンスデータベースに記憶される前記各種のシーケンス情報とは外部で作成されて、前記試験データベースにダウンロードされ、

前記データ書込部を介して、新たに出力すべき試験信号に対応するI波形デジタルデータ及びQ波形デジタルデータを前記波形データベースから読出して、前記一対の波形メモリに書込むと、同時に、前記新たに出力すべき試験信号に対応するシーケンス情報を前記シーケンスデータベースから読出して、前記シーケンスメモリに書込み可能に構成されていることを特徴とする請求項1記載の通信機器の試験信号発生装置。

[11] 前記シーケンス制御部によって前記シーケンスメモリから読出される前記第2のシーケンス情報に含まれる前記オフセット周波数として前記試験信号に付与される前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるためのオフセット周波数(ω')が指定される数値制御発信器をさらに備え、

前記数値制御発信器は、前記シーケンス制御部によって指定された前記オフセット周波数(ω')に対応する正弦波 $\sin \omega'(t)$ 及び余弦波 $\cos \omega'(t)$ を生成して前記周波数オフセット部へ送出し、

前記周波数オフセット部は、前記I波形データ及びQ波形データの周波数 $\omega (=2\pi f)$ を前記シーケンスメモリに記憶されたオフセット周波数 $\omega' (=2\pi f')$ だけオフセットする際に、前記I波形データ及びQ波形データが、それぞれ、

$$\cos \omega(t), \sin \omega(t) \quad \dots(1)$$

で示される場合に、これらを、それぞれ、

$$\cos\{\omega(t) + \omega'(t)\}, \sin\{\omega(t) + \omega'(t)\} \quad \dots(2)$$

と変換することにより、周波数オフセット処理を行うことを特徴とする請求項1記載の通

信機器の試験信号発生装置。

- [12] 前記周波数オフセット部は、前記(2)式が、前記(1)式とオフセット周波数(ω')とを用いて

$$\begin{aligned} & \cos\{\omega(t) + \omega'(t)\} \\ &= -\sin\omega(t) \cdot \sin\omega'(t) + \cos\omega(t) \cdot \cos\omega'(t), \\ & \sin\{\omega(t) + \omega'(t)\} \\ &= \cos\omega(t) \cdot \sin\omega'(t) + \sin\omega(t) \cdot \cos\omega'(t) \cdots (3) \end{aligned}$$

と表現される場合に、この(3)式で示される周波数オフセットを実現することを特徴とする請求項11記載の通信機器の試験信号発生装置。

- [13] 前記周波数オフセット部は、前記(3)式で示される周波数オフセットを実現するために、

前記I波形データ $\cos\omega(t)$ 及びQ波形データ $\sin\omega(t)$ を、それぞれ、第1の周波数オフセット成分 $\cos\omega'(t)$ と乗算する第1及び第2の乗算器と、

前記I波形データ $\cos\omega(t)$ 及びQ波形データ $\sin\omega(t)$ を、それぞれ、第2の周波数オフセット成分 $\sin\omega'(t)$ と乗算する第3及び第4の乗算器と、

前記第1の乗算器からの出力と前記第4の乗算器からの出力とを加算することにより、第1の周波数オフセット $\cos\{\omega(t) + \omega'(t)\} = -\sin\omega(t) \cdot \sin\omega'(t) + \cos\omega(t) \cdot \cos\omega'(t)$ を出力する第1の加算器と、

前記第2の乗算器からの出力と前記第3の乗算器からの出力とを加算することにより、第2の周波数オフセット $\sin\{\omega(t) + \omega'(t)\} = \cos\omega(t) \cdot \sin\omega'(t) + \sin\omega(t) \cdot \cos\omega'(t)$ を出力する第2の加算器とを具備することを特徴とする請求項12記載の通信機器の試験信号発生装置。

- [14] 最終的に出力すべき試験信号の元となる少なくとも1種類以上の単位データにおける1組のデジタルベースバンド直交信号I, Qを構成するI成分波形デジタルデータ(以下、I波形データ)及びQ成分波形デジタルデータ(以下、Q波形データ)をそれぞれ一対の波形メモリの所定のアドレスに、予め、記憶させるステップと、

前記一対の波形メモリに記憶されている前記I波形データ及びQ波形データとを含む前記単位データの読出し順序と、読出しアドレスと、前記一対の波形メモリから読

出された前記I波形データ及びQ波形データとを含む前記単位データに設定すべき前記所望の信号レベルを含む第1のシーケンス情報と、前記一对の波形メモリから読出された前記I波形データ及びQ波形データとを含む前記単位データに対して、前記試験信号に付与される前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるために設定する前記オフセット周波数を含む第2のシーケンス情報とをシーケンスメモリに、予め、記憶させるステップと、

シーケンス制御部を用いて、前記シーケンスメモリから前記第1のシーケンス情報を読み出し、該第1のシーケンス情報に含まれる前記読み出し順序及び読み出しアドレスを读出制御部に指示することにより、前記一对の波形メモリから前記I波形データ及びQ波形データを順次に出力させるステップと、

前記シーケンス制御部を用いて、前記シーケンスメモリから前記第1のシーケンス情報を読み出し、該第1のシーケンス情報に含まれる前記所望の信号レベルを前記I波形データ及びQ波形データが前記一对の波形メモリから出力されるタイミングに対応して一对の乗算器に指示することにより、前記一对の波形メモリから順次に出力される前記I波形データ及びQ波形データの信号レベルをそれぞれ前記所望の信号レベルに設定させるステップと、

一对のデジタル／アナログ(D/A)変換器を用いて、前記一对の乗算器から順次に出力される前記I波形データ及びQ波形データをそれぞれI波形アナログ信号及びQ波形アナログ信号に変換するステップと、

前記一对の波形メモリから前記一对のD/A変換器までの間のデジタル段階において、前記シーケンス制御部を用いて、前記シーケンスメモリから前記第2のシーケンス情報を読み出し、該第2のシーケンス情報に含まれる前記オフセット周波数を周波数オフセット部に指示することにより、前記I波形データ及びQ波形データとを含む前記単位データに対して、前記試験信号に付与される前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるための前記オフセット周波数を設定させるステップと、

試験信号出力部を用いて、前記一对のD/A変換器から順次に出力される前記I波形アナログ信号及びQ波形アナログ信号を直交変調してからキャリア周波数信号

で高周波信号に変換することにより、最終的に前記変調信号の形態で且つ前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを伴った試験信号として出力させるステップと、

を具備する通信機器の試験信号発生方法。

- [15] 前記オフセット周波数を設定するステップは、
前記一对の波形メモリと前記一对の乗算器との間に設けられる周波数オフセット部において行わせることを特徴とする請求項14に記載の通信機器の試験信号発生方法。
- [16] 前記オフセット周波数情報を設定するステップは、
前記一对の乗算器と前記一对のD/A変換器との間に設けられる周波数オフセット部において行わせることを特徴とする請求項14に記載の通信機器の試験信号発生方法。
- [17] 前記変調信号の形態で且つ前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを伴った試験信号として出力させるステップは、
、
直交変調器により、前記一对のD/A変換器から順次に出力される前記I波形アナログ信号及びQ波形アナログ信号を局部発振器からの局部発信信号を用いて直交変調した変調信号として出力するステップと、
周波数変換器により、前記直交変調器から出力される変調信号を発振器からのキャリア周波数信号を用いて高周波信号に変換することにより、前記変調信号の形態で且つ前記所定のキャリア周波数を伴った試験信号として出力するステップと、
バンドパスフィルタにより、前記周波数変換器から出力される試験信号に含まれる不要周波数成分を除去することにより、最終的に前記変調信号の形態で且つ前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを伴った試験信号として出力するステップと、
を具備することを特徴とする請求項14に記載の通信機器の試験信号発生方法。
- [18] 前記試験信号出力部に、周波数特性が平坦でない構成要素として、少なくとも前記バンドパスフィルタが設けられている場合に、

前記シーケンスメモリに、予め、前記第2のシーケンス情報に含まれる前記オフセット周波数として前記試験信号に付与される前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるためのオフセット周波数の絶対値が大きくなるにつれて、前記基準としての前記所定のキャリア周波数での信号レベルからのレベルオフセット値を大きく設定するためのレベルオフセット値を含む第3のシーケンス情報を記憶させるステップと、

前記シーケンス制御部を用いて、前記シーケンスメモリから前記第3のシーケンス情報を読み出し、該第3のシーケンス情報に含まれる前記レベルオフセット値を前記I波形データ及びQ波形データが前記一对の波形メモリから出力されるタイミングに対応して前記一对の乗算器に指示することにより、前記第2のシーケンス情報に含まれる前記オフセット周波数として前記試験信号の前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるためのオフセット周波数の絶対値が大きくなるにつれて、前記基準としての前記所定のキャリア周波数での信号レベルからのレベルオフセット値を大きく設定させるステップと、
をさらに具備することを特徴とする請求項17に記載の通信機器の試験信号発生方法。

[19] 前記シーケンスメモリに、予め、前記最終的に出力される試験信号に含まれる前記単位データ毎の繰り返し回数を設定するための前記単位データ毎のI波形データ及びQ波形データの前記一对の波形メモリからの読み出しの繰り返し回数を含む第4のシーケンス情報が記憶させるステップと、

前記シーケンス制御部を用いて、前記シーケンスメモリから前記第4のシーケンス情報を読み出し、該第4のシーケンス情報に含まれる前記単位データ毎のI波形データ及びQ波形データの前記一对の波形メモリからの読み出しの繰り返し回数を前記I波形データ及びQ波形データが前記一对の波形メモリから出力されるタイミングに対応して前記読み出し制御部に指示することにより、前記単位データ毎のI波形データ及びQ波形データの前記一对の波形メモリからの読み出しの繰り返し回数に応じた回数分連続して前記単位データを前記一对の波形メモリから順次に出力させるステップと、
をさらに具備することを特徴とする請求項14に記載の通信機器の試験信号発生方

法。

- [20] 前記オフセット周波数を含む前記第2のシーケンス情報を前記シーケンスメモリに、予め、記憶させるステップは、
- 前記シーケンスメモリに記憶すべき前記オフセット周波数を含む第2のシーケンス情報を、前記試験信号としてGSM(Global System for Mobile communication)信号を模倣した試験信号のキャリア周波数を時間経過に応じて変化させる周波数ホッピングを実現可能なオフセット周波数情報として設定することにより、WCDMA(Wideband Code Division Multiple Access)方式の被試験機器の受信周波数範囲内で前記GSM信号が離散的に移動することによる前記GSM信号による前記WCDMA方式の被試験機器の妨害波耐性試験が実現可能となされていることを特徴とする請求項14に記載の通信機器の試験信号発生方法。
- [21] 前記一对の波形メモリから順次に出力される前記I波形データ及びQ波形データの信号レベルをそれぞれ所望の信号レベルに設定するステップは、
- 前記一对の波形メモリから出力される前記I波形データ及びQ波形データに、前記一对の乗算器を用いて、前記シーケンス制御部から指示された前記信号レベルから求めたゲイン乗算値を乗算することにより、前記一对の波形メモリから読出された前記I波形データ及びQ波形データの信号レベルを前記シーケンスメモリに記憶されている前記第1のシーケンス情報に含まれる前記信号レベルに設定させることを特徴とする請求項14に記載の通信機器の試験信号発生方法。
- [22] 前記一对の波形メモリから順次に出力される前記I波形データ及びQ波形データの信号レベルをそれぞれ所望の信号レベルに設定するステップは、
- 前記一对の波形メモリから出力される前記I波形データ及びQ波形データに、前記一对の乗算器を用いて、前記シーケンス制御部から指示された前記第3のシーケンス情報に含まれる前記レベルオフセット値から求めたゲイン乗算値を乗算することにより、前記一对の波形メモリから読出された前記I波形データ及びQ波形データの信号レベルを前記シーケンスメモリに記憶されている前記第3のシーケンス情報に含まれる前記レベルオフセット値に設定させることを特徴とする請求項18に記載の通信機器の試験信号発生方法。

[23] 前記試験信号に含まれる前記単位データの前記I波形データ及びQ波形データを記憶する波形データベースと、各種のシーケンス情報を記憶するシーケンスデータベースとが設けられているハードディスクドライブ内に形成された試験データベースと、前記試験データベースに接続されているデータ書込部とを準備するステップと、外部で作成された前記波形データベースに記憶される前記I波形データ及びQ波形データと、前記シーケンスデータベースに記憶される前記各種のシーケンス情報とを前記試験データベースにダウンロードするステップと、前記データ書込部を用いて、新たに出力すべき試験信号に対応する前記I波形データ及びQ波形データを前記波形データベースから読出して、前記一对の波形メモリに書込むと共に、前記新たに出力すべき試験信号に対応するシーケンス情報を前記シーケンスデータベースから読出して、前記シーケンスメモリに書込むステップと、をさらに具備することを特徴とする請求項14に記載の通信機器の試験信号発生方法。

[24] 前記オフセット周波数を設定させるステップは、前記シーケンスメモリから読出される前記第2のシーケンス情報に含まれる前記オフセット周波数として前記試験信号の前記所定のキャリア周波数を基準として所定の間隔ごとに複数のステップの周波数オフセットを与えるためのオフセット周波数(ω')を数値制御発信器に指定させるステップと、前記数値制御発信器を用いて、前記シーケンス制御部によって指定された前記オフセット周波数(ω')に対応する正弦波 $\sin \omega'(t)$ 及び余弦波 $\cos \omega'(t)$ を生成して前記周波数オフセット部へ送出するステップと、前記周波数オフセット部を用いて、前記I波形デジタルデータ及びQ波形デジタルデータの周波数 $\omega (=2\pi f)$ を前記シーケンスメモリに記憶されたオフセット周波数 $\omega' (=2\pi f')$ だけオフセットする際に、前記I波形デジタルデータ及びQ波形デジタルデータが、それぞれ、

$$\cos \omega(t), \sin \omega(t) \quad \dots(1)$$

で示される場合に、これらを、それぞれ、

$$\cos\{\omega(t) + \omega'(t)\}, \sin\{\omega(t) + \omega'(t)\} \quad \dots(2)$$

と変換することにより、周波数オフセット処理を行うステップと、

を具備することを特徴とする請求項14に記載の通信機器の試験信号発生方法。

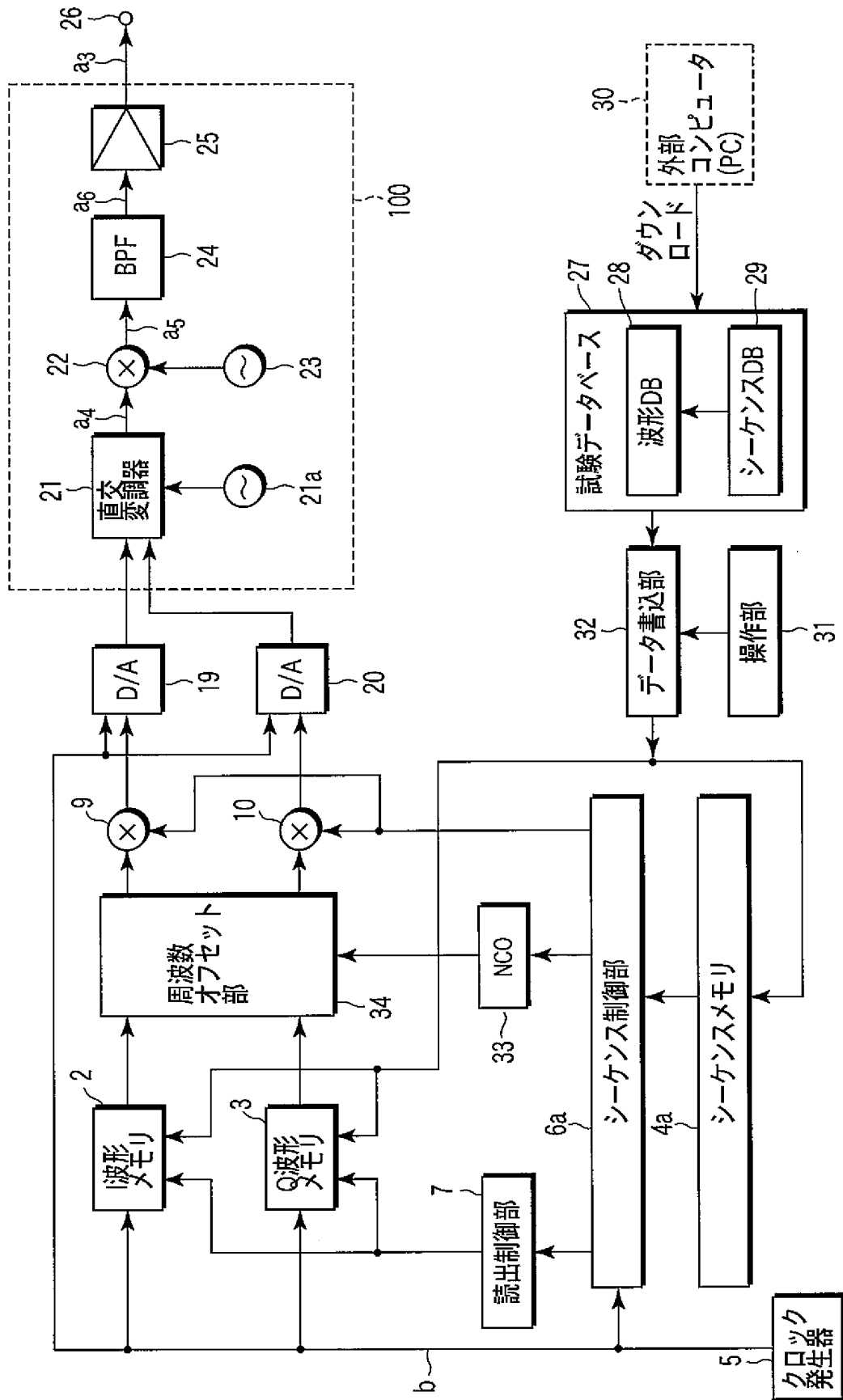
- [25] 前記周波数オフセット部を用いて、前記周波数オフセット処理を行うステップは、前記(2)式が、前記(1)式とオフセット周波数(ω')とを用いて

$$\begin{aligned} & \cos\{\omega(t) + \omega'(t)\} \\ &= -\sin\omega(t) \cdot \sin\omega'(t) + \cos\omega(t) \cdot \cos\omega'(t), \\ & \sin\{\omega(t) + \omega'(t)\} \\ &= \cos\omega(t) \cdot \sin\omega'(t) + \sin\omega(t) \cdot \cos\omega'(t) \cdots (3) \end{aligned}$$

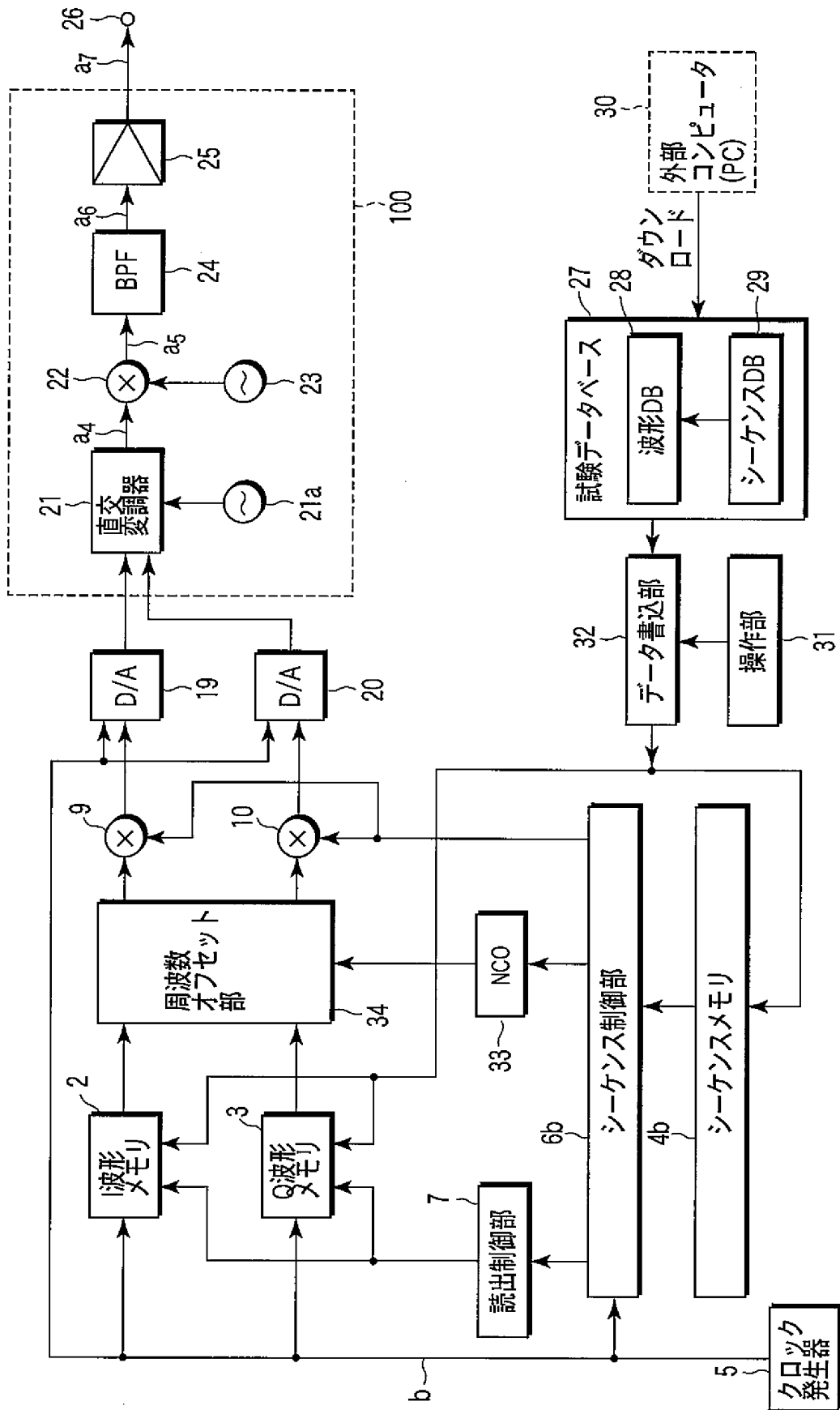
と表現される場合に、この(3)式で示される周波数オフセットを実現することを特徴とする請求項24に記載の通信機器の試験信号発生方法。

- [26] 前記周波数オフセット部を用いて、前記周波数オフセット処理を行うステップは、前記(3)式で示される周波数オフセットを実現するために、
- 第1及び第2の乗算器を用いて、前記I波形データ $\cos\omega(t)$ 及びQ波形データ $\sin\omega(t)$ を、それぞれ、第1の周波数オフセット成分 $\cos\omega'(t)$ と乗算するステップと、
- 第3及び第4の乗算器を用いて、前記I波形データ $\cos\omega(t)$ 及びQ波形データ $\sin\omega(t)$ を、それぞれ、第2の周波数オフセット成分 $\sin\omega'(t)$ と乗算するステップと、
- 第1の加算器を用いて、前記第1の乗算器からの出力と前記第4の乗算器からの出力とを加算することにより、第1の周波数オフセット $\cos\{\omega(t) + \omega'(t)\} = -\sin\omega(t) \cdot \sin\omega'(t) + \cos\omega(t) \cdot \cos\omega'(t)$ を出力するステップと、
- 第2の加算器を用いて、前記第2の乗算器からの出力と前記第3の乗算器からの出力とを加算することにより、第2の周波数オフセット $\sin\{\omega(t) + \omega'(t)\} = \cos\omega(t) \cdot \sin\omega'(t) + \sin\omega(t) \cdot \cos\omega'(t)$ を出力するステップと、
- を具備することを特徴とする請求項25に記載の通信機器の試験信号発生方法。

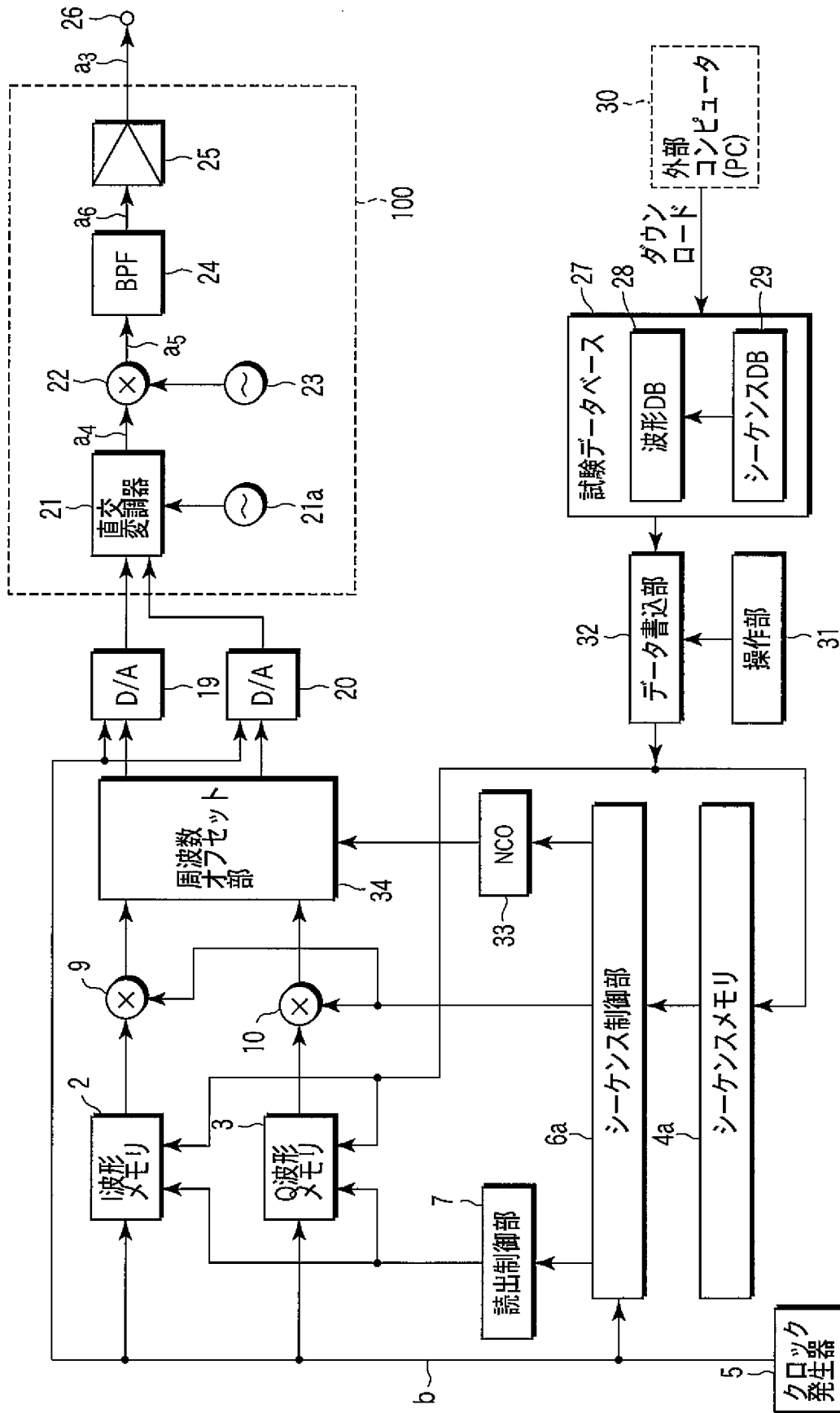
[図1A]



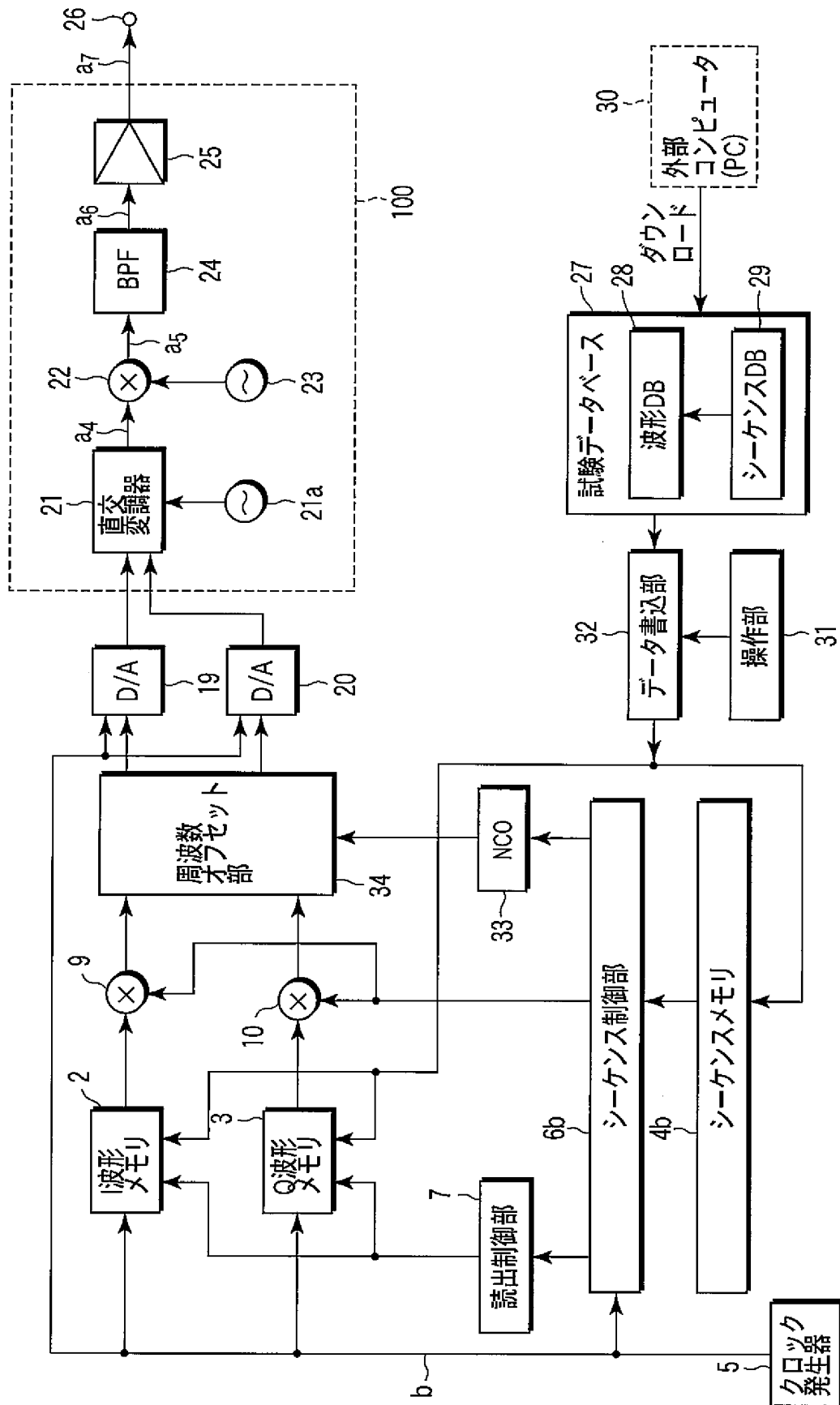
[図1B]



[図1C]



[図1D]



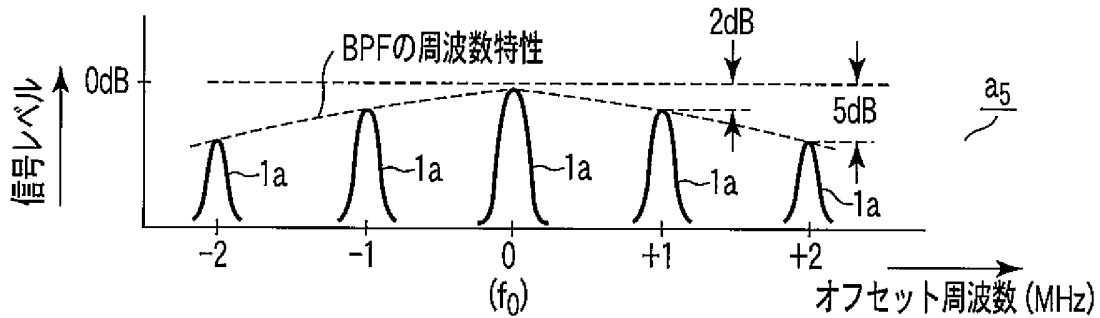
[図2]

4a

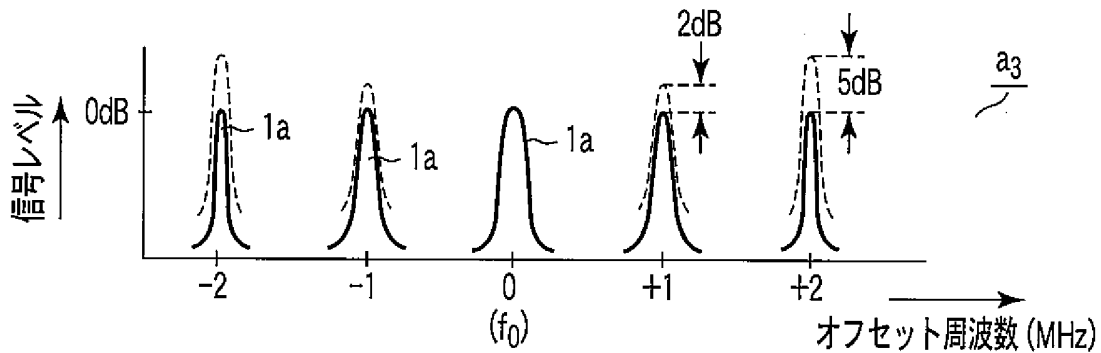
読み出し番号	波形種別	読み出し開始アドレス	読み出し終了アドレス	レベルオフセット値	オフセット周波数 ω'
1	A	AD _{1S}	AD _{1E}	0dB(0)	+0Hz
2	A	AD _{1S}	AD _{1E}	+2dB(0)	1MHz
3	A	AD _{1S}	AD _{1E}	+5dB(0)	-2MHz
4	A	AD _{1S}	AD _{1E}	+5dB(0)	+2MHz
5	A	AD _{1S}	AD _{1E}	+2dB(0)	-1MHz

1a

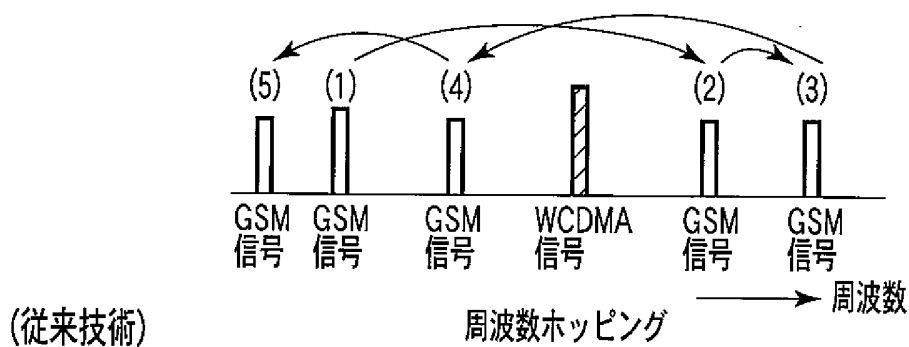
[図3A]



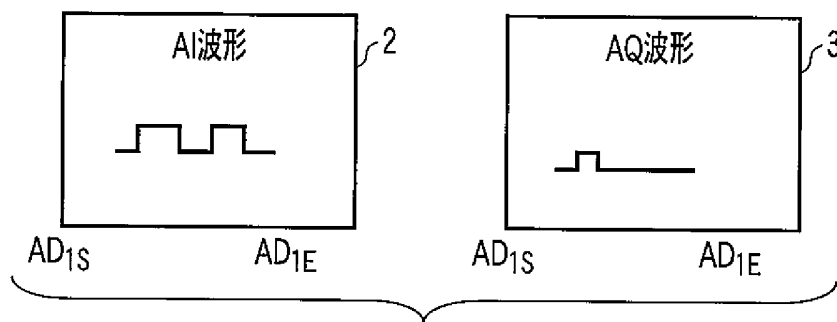
[図3B]



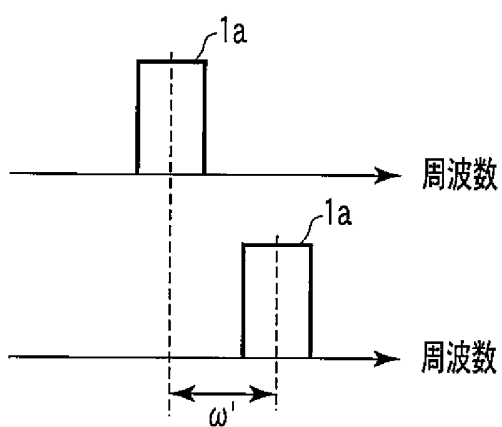
[図4]



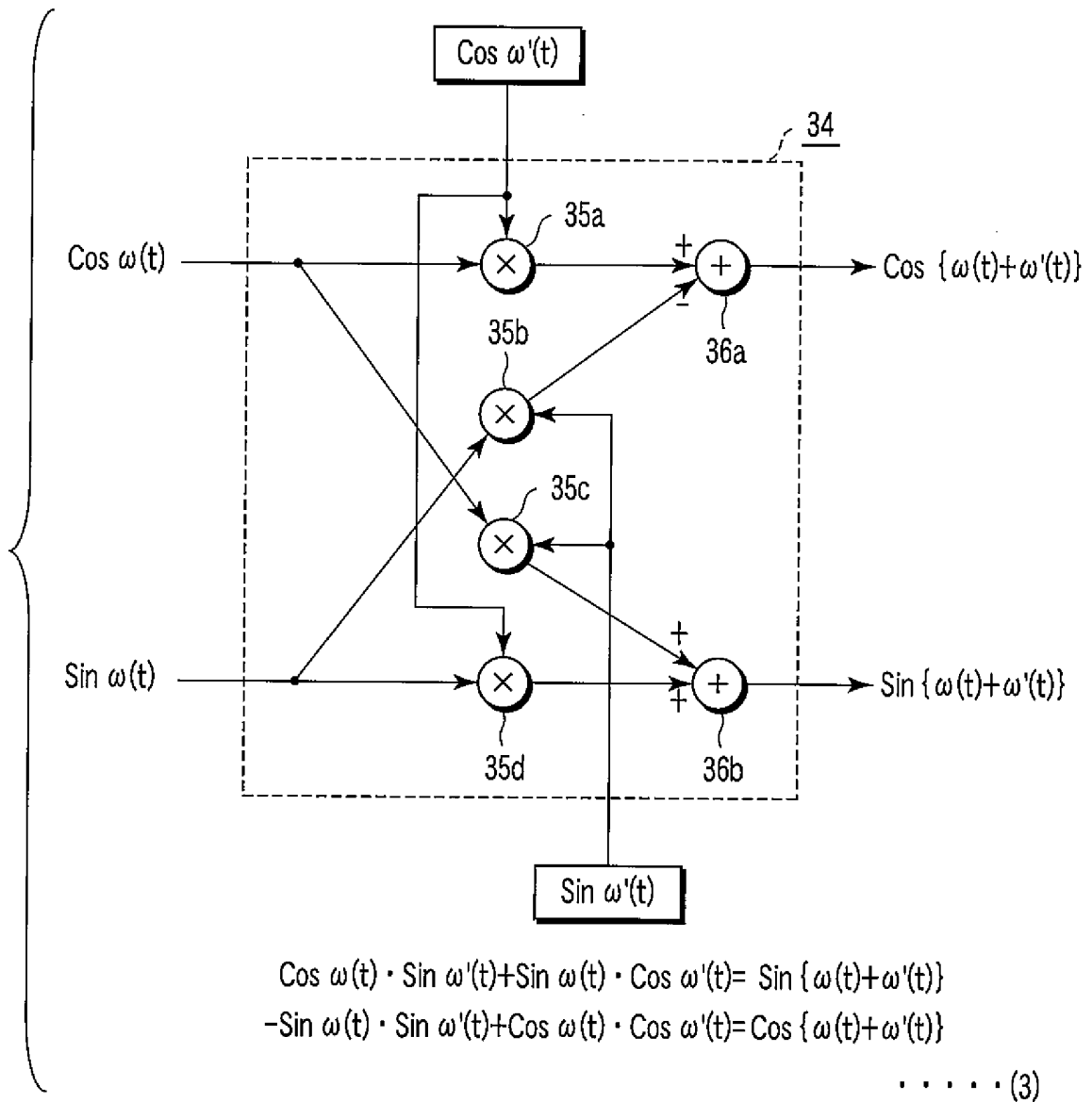
[图5]



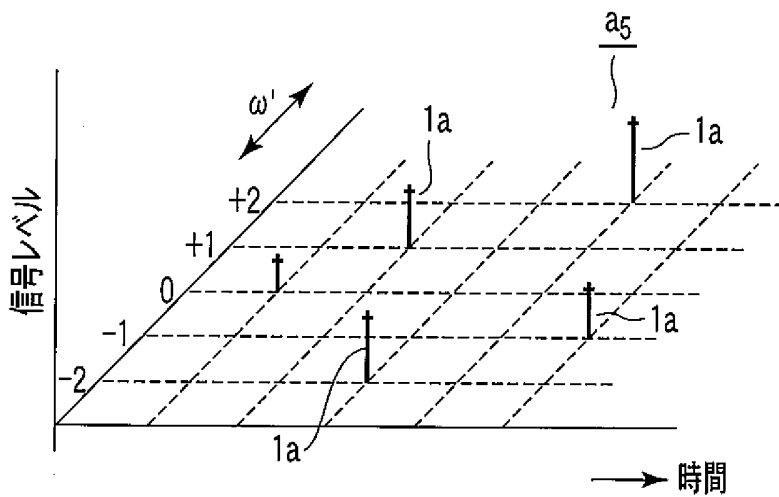
[图6]



[図7]



[図8]

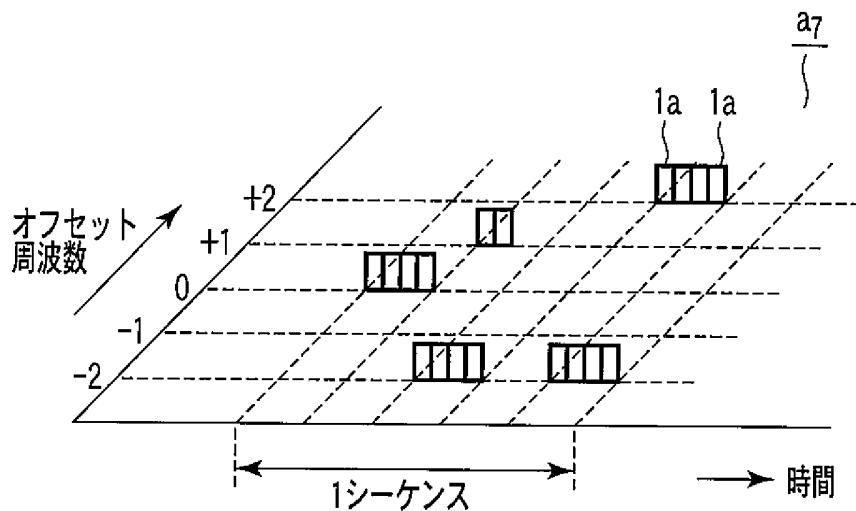


[図9]

4b
}

読出し番号	波形種別	読出し開始アドレス	読出し終了アドレス	レベルオフセット値	オフセット周波数 ω'	繰返し回数
1	A	AD _{1S}	AD _{1E}	0dB(0)	0Hz	3
2	A	AD _{1S}	AD _{1E}	+2dB(0)	+1MHz	2
3	A	AD _{1S}	AD _{1E}	+5dB(0)	-2MHz	4
4	A	AD _{1S}	AD _{1E}	+5dB(0)	+2MHz	3
5	A	AD _{1S}	AD _{1E}	+2dB(0)	-1MHz	3

[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/307355

A. CLASSIFICATION OF SUBJECT MATTER

H04B1/713(2006.01), **H04L27/00**(2006.01), **H04B1/707**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04B1/707, H04B1/713, H04L27/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006
 Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
IEEE

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-12274 A (Anritsu Corp.), 13 January, 2005 (13.01.05), Full text; all drawings & US 2004/0266423 A1 & CN 1599504 A & EP 1489866 A1	1-26
A	JP 2002-246992 A (Koden Electronics Co., Ltd.), 30 August, 2002 (30.08.02), Claims 1, 5 & JP 3697400 B2	1-26
A	JP 11-186941 A (Fujitsu General Ltd.), 09 July, 1999 (09.07.99), Claim 1 (Family: none)	1-26

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	“&” document member of the same patent family
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
22 May, 2006 (22.05.06)

Date of mailing of the international search report
30 May, 2006 (30.05.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/307355

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>JP 8-510627 A (Nokia Telecommunications Oy), 05 November, 1996 (05.11.96), Full text</p> <p>& WO 1995/026040 A3 & US 5719857 A & JP 3065663 B2 & FI 941289 A & EP 699342 B1 & EP 699342 A1 & DE 69517266 E & CN 1127575 A & AU 711184 B & AU 688878 B & AU 5936198 A & AU 1952095 A</p>	1-26
A	<p>JP 7-273555 A (Advantest Corp.), 20 October, 1995 (20.10.95), Fig. 1 (Family: none)</p>	1-26
P,A	<p>JP 2005-294984 A (Anritsu Corp.), 20 October, 2005 (20.10.05), Full text (Family: none)</p>	1-26

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H04B1/713 (2006.01), H04L27/00 (2006.01), H04B1/707 (2006.01)

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H04B 1/707, H04B 1/713, H04L 27/00

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2006年
 日本国実用新案登録公報 1996-2006年
 日本国登録実用新案公報 1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
 IEEE

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2005-12274 A (アンリツ株式会社) 2005.01.13, 全文全図 & US 2004/0266423 A1 & CN 1599504 A & EP 1489866 A1	1-26
A	JP 2002-246992 A (株式会社光電製作所) 2002.08.30, 請求項 1, 5 & JP 3697400 B2	1-26
A	JP 11-186941 A (株式会社富士通ゼネラル) 1999.07.09, 請求項 1 (ファミリーなし)	1-26

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 22.05.2006	国際調査報告の発送日 30.05.2006
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 岡 裕之 電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 8-510627 A (ノキア テレコミュニケーションズ オサケ ユキ チュア) 1996. 11. 05, 全文 & WO 1995/026040 A3 & US 5719857 A & JP 3065663 B2 & FI 941289 A & EP 699342 B1 & EP 699342 A1 & DE 69517266 E & CN 1127575 A & AU 711184 B & AU 688878 B & AU 5936198 A & AU 1952095 A	1-26
A	JP 7-273555 A (株式会社アドバンテスト) 1995. 10. 20, 第1図 (ファミリーなし)	1-26
P, A	JP 2005-294984 A (アンリツ株式会社) 2005. 10. 20, 全文 (ファミリーなし)	1-26