

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年12月29日(29.12.2010)

PCT

(10) 国際公開番号
WO 2010/150322 A1

- (51) 国際特許分類:
G01R 31/28 (2006.01) G01R 31/30 (2006.01)
- (21) 国際出願番号: PCT/JP2009/002950
- (22) 国際出願日: 2009年6月26日(26.06.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 小野田恭也(ONODA, Yasunari) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号富士通株式会社内 Kanagawa (JP). 紺本明彦(KONMOTO, Akihiko) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 林恒徳, 外(HAYASHI, Tsunenori et al.); 〒2220033 神奈川県横浜市港北区新横浜3-9

— 5 第三東昇ビル3階林・土井国際特許事務所 Kanagawa (JP).

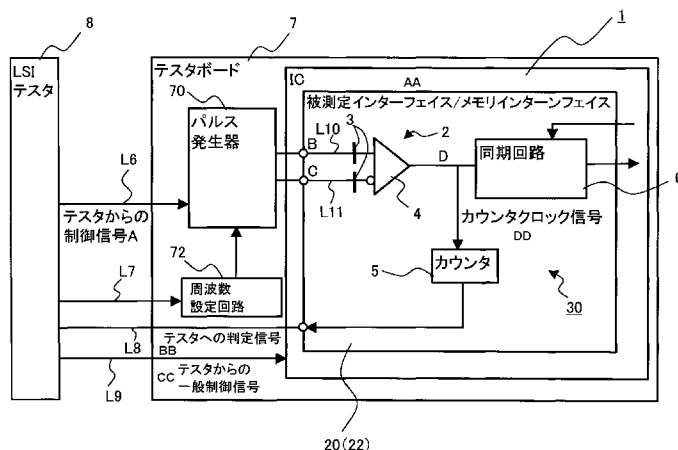
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: TEST METHOD AND TEST SYSTEM FOR AC COUPLING INPUT BUFFER, AND SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: ACカップリング入力バッファのテスト方法、テストシステム及び半導体集積回路

[図2]



AA MEASURED INTERFACE/MEMORY INTERFACE
BB JUDGMENT SIGNAL TO TESTER
CC GENERAL CONTROL SIGNAL SENT FROM TESTER
DD COUNTER CLOCK SIGNAL
5 COUNTER
6 SYNCHRONIZATION CIRCUIT
7 TEST BOARD
8 LSI TESTER
70 PULSE GENERATOR
72 FREQUENCY SETTING CIRCUIT
L6 CONTROL SIGNAL A FROM TESTER

(57) Abstract: A pulse generator (70) is provided on a test board (7) of a tester (8); high-frequency pulses are output to an AC coupling input buffer (30) of a semiconductor integrated circuit (1) mounted on the test board (7); and the output pulses of the AC coupling input buffer (30) are counted by a counter (5). The tester (8) measures the high frequency of the AC coupling input buffer from the count value of the counter (5).

(57) 要約: テスター(8)のテストボード(7)に、パルス発生器(70)を設け、テストボード(7)に搭載した半導体集積回路(1)のACカップリング入力バッファ(30)に、高周波パルスを出し、カウンタ(5)で、ACカップリング入力バッファ(30)の出力パルスを計数する。テスター(8)は、カウンタ(5)の計数値から、ACカップリング入力バッファの高周波数の測定を行う。



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

ＡＣカップリング入力バッファのテスト方法、テストシステム及び半導体集積回路

技術分野

[0001] 本発明は、ＡＣカップリング入力バッファのテスト方法、テストシステム及び半導体集積回路に関する。

背景技術

[0002] 近年、ＩＣ（Integrated Circuit：集積回路）やＬＳＩ（Large Scale Integrated circuit：大規模集積回路）デバイスの高速化が、著しい。このため、ＩＣ、ＬＳＩ間の信号周波数も高くなっており、入出力の高周波性能を、テストすることが、重要となっている。

[0003] 通常、入出力の高周波性能は、ＡＣ（交流）カップリング部であるＩＣ、ＬＳＩのインターフェース回路内のＩ／Ｏ（Input/Output：入出力）バッファの周波数性能に依存する。このため、Ｉ／Ｏバッファの周波数性能をテストしている。

[0004] 図６は、従来のＡＣカップリングＩ／Ｏのテスト方法の説明図である。図６に示すように、被測定用ＬＳＩ１２０を、テスターボード１００に搭載する。ここでは、被測定用ＬＳＩ１２０は、インターフェース回路のみを示す。

[0005] 被測定用ＬＳＩ１２０は、入力バッファ（ＡＣカップリング部：レシーバ）１２２、テスト回路１２４、同期回路１２６とを有する。入力バッファ１２２は、一対の信号線Ｌ１、Ｌ２に各々に接続された一対の容量素子（コンデンサ）１２２－１と、このコンデンサ１２２－１に接続された差動アンプ１２２－２とを有する。そして、入力バッファ１２２は、一対の信号線Ｌ１、Ｌ２からの差動入力信号を受け、直流のパルス信号に変換する。

[0006] 又、同期回路１２６は、入力バッファ１２２からのパルス信号を、内部回

路と同期して、内部回路に出力する。一方、テスターボード１００に接続するＬＳＩテスター１３０は、このＬＳＩ１１０の各種の性能をテストするシステムである。ＬＳＩテスター１３０は、ＬＳＩ１１０をテストするための一般制御信号を、信号線Ｌ５から、ＬＳＩ１１０に出力する。

[0007] このＬＳＩテスター１３０は、汎用テスターであり、そのチャネルから出力される信号は、数百MHzが限界である。このため、ＬＳＩ１２０の高周波でのテストを実行するために、ＬＳＩ１２０のインターフェース回路内に、専用テスト回路１２４を設けていた。この専用テスト回路１２４は、ループバック回路１２４－１と、判定回路とを有する。

[0008] ＬＳＩ１２０のＡＣカップリング部のテストのため、ＬＳＩテスター１３０は、信号線Ｌ３を介し、制御信号をテスト回路１２４に送り、テスト回路１２４の動作を開始する。ループバック回路１２４－１は、ドライバーで構成され、テスト回路１２４内の高周波パルス発生回路からのパルス信号を、入力バッファ１２２の入力段に出力する。

[0009] 一方、テスト回路１２４の判定回路は、入力バッファ１２２から出力から、その与えられた高周波数に対する性能を判定する。そして、テスト回路１２４の判定回路は、ＬＳＩテスター１３０に信号線Ｌ４を介し、判定信号を出力する。このようにして、ＬＳＩテスター１３０の限界周波数以上の高周波数で、ＡＣカップリング部の周波数ダイナミックレンジを測定していた。

先行技術文献

特許文献

[0010] 特許文献１：特開平０９－１１３５８６号公報

特許文献２：特開２００８－１２８７５９号公報

発明の概要

発明が解決しようとする課題

[0011] しかしながら、近年のＬＳＩの高速化に伴い、信号伝送レート（周波数）が、GHzを越えるオーダーのものが、要求される。汎用ＬＳＩテスターの

チャンネルから出力される信号は、数百MHzが限界であるため、このような、LSIテスターから、GHzを越える伝送レートのACカップリングI/Oに信号を送れない。このため、かかる伝送レートのACカップリング部のテストが困難である。

[0012] 又、Loopback回路からのテストパルスの発生方法では、テストを行うための制御が複雑で、テスト回路及びテストパターン作成が難しいという問題がある。

[0013] 更に、ドライバー124-1とレシーバー122を含めた広い範囲での診断となるため、故障があった場合に故障箇所の特が困難である。

[0014] 従って、本発明の目的は、汎用LSIテスターを使用して、容易に、高周波数におけるACカップリング入力バッファのテストを実現するACカップリング入力バッファのテスト方法、テストシステム及び半導体集積回路を提供することにある。

課題を解決するための手段

[0015] この目的の達成のため、ACカップリング入力バッファの周波数特性をテストするACカップリング入力バッファのテスト方法は、前記ACカップリング入力バッファを有する半導体集積装置を搭載するテストボードに設けたパルス発生器から、前記ACカップリング入力バッファに、設定された周波数のパルス信号を入力するステップと、前記パルス信号が入力された前記ACカップリング入力バッファの出力パルスをカウンタでカウントするステップと、前記パルス発生器が、設定された数の信号を前記ACカップリング入力バッファに入力した後、テスターが、前記カウンタの値を読み出すステップと、前記テスターが、前記読み出したカウンタの値と、前記設定された数とを比較して、前記周波数での前記ACカップリング入力バッファの特性を判定するステップとを有する。

[0016] 又、この目的の達成のため、ACカップリング入力バッファの周波数特性をテストするACカップリング入力バッファのテストシステムは、前記ACカップリング入力バッファを有する半導体集積装置を搭載するテストボード

と、前記テストボードに設けられ、前記ＡＣカップリング入力バッファに、設定された周波数のパルス信号を入力するパルス発生器と、前記パルス信号が入力された前記ＡＣカップリング入力バッファの出力パルスのカウントするカウンタの値を、前記パルス発生器が、設定された数の信号を前記ＡＣカップリング入力バッファに入力した後、読み出し、前記読み出したカウンタの値と、前記設定された数とを比較して、前記周波数での前記ＡＣカップリング入力バッファの特性を判定するテスターとを有する。

[0017] 更に、この目的の達成のため、半導体集積回路は、ＡＣカップリング入力バッファと、前記テストボードに設けられたパルス発生器から前記ＡＣカップリング入力バッファに、設定された周波数のパルス信号を入力された時に、前記パルス信号が入力された前記ＡＣカップリング入力バッファの出力パルスのカウントするカウンタと、テスターから、前記カウンタの値を読み出すための端子とを有する。

発明の効果

[0018] テスターのテストボードに、パルス発生器を設け、高周波パルスを出力するようにしたため、ＡＣカップリング入力バッファの高周波数の測定が可能となる。又、テスターのチャネルから信号制御するので、ドライバーとの組み合わせを考慮する必要がなく、回路の故障があった場合は、レシーバー自体の問題であることが分かる。その上、従来の試験のためのループバック回路や判定回路を、被測定回路に設ける必要がないため、半導体集積回路の素子数を削減できる。

図面の簡単な説明

[0019] [図1]本発明の一実施の形態の半導体集積回路のブロック図である。
[図2]本発明の一実施の形態のテストシステムの構成図である。
[図3]図2の構成の各部の波形図である。
[図4]本発明の第1の実施の形態の測定処理フロー図である。
[図5]本発明の第2の実施の形態の測定処理フロー図である。
[図6]従来のＡＣカップリング入力バッファの測定方法の説明図である。

発明を実施するための形態

[0020] 以下、本発明の実施の形態を、被測定 I C、テストシステム、測定処理の実施の形態、他の実施の形態の順で説明するが、本発明は、この実施の形態に限られない。

[0021] (被測定 I C)

図 1 は、本発明の被測定 I C の一実施の形態のブロック図であり、CPU (Central Processor Unit) を例に示す。

[0022] 図 1 に示すように、被測定 I C 1 は、演算を実行する演算装置 10 と、命令を解析し、各回路 (装置) を制御する命令制御装置 12 と、命令制御装置 12 に接続されたインターフェース回路群 20 とを有する。又、被測定 I C 1 は、外部のメモリと接続するためのメモリインターフェース回路群 22 と、メモリインターフェース回路群 22 に接続され、キャッシュメモリ 14 を制御するメモリコントローラ 16 とを有する。

[0023] この CPU は、命令制御装置 12 が、インターフェース回路群 20 から受けた命令を解析し、解析結果により、演算装置 10 に、キャッシュメモリ 14 のデータをセットし、演算を実行させる。演算結果は、キャッシュメモリ 14 に格納される。

[0024] 又、命令制御装置 12 は、解析結果により、メモリコントローラ 16 に、メモリインターフェース回路群 22 を介し、外部メモリをアクセスすることを指示する。メモリコントローラ 16 は、メモリインターフェース回路群 22 を介し、外部メモリをアクセス (リード又はライト) し、必要なデータを、キャッシュメモリ 14 に格納し、又はキャッシュメモリ 14 のデータを、外部メモリにライトする。

[0025] 被測定 I C 1 は、更に、テスト制御回路 18 を有する。テスト制御回路 18 は、演算装置 10 と、命令制御装置 12 と、インターフェース回路群 20 と、メモリインターフェース回路群 22 と、キャッシュメモリ 14 と、メモリコントローラ 16 とに、外部からの指示に応じて、テストに必要な指示を

行い、又、外部にテスト状態を出力する。

[0026] ここで、インターフェース回路群 20 と、メモリインターフェース回路群 30 とに、接続線数に応じた数の入力バッファ部（ACカップリング部）30 が、設けられる。即ち、CPU1 は、インターフェース回路群 20 とメモリインターフェース回路群 22 により、接続線を介し、外部回路やメモリに接続し、その入力バッファ部（レシーバー）30 で、信号線から、コマンド、データ等の信号を受信する。

[0027] 尚、被測定 IC1 は、図 1 の CPU に限らず、接続線に接続され、入力バッファを有する他の機能素子（メモリ、ブリッジ回路、I/O コントローラ、ハブ等）であっても良い。

[0028] （テストシステム）

図 2 は、本発明のテストシステムの一実施の形態のブロック図、図 3 は、図 2 の各部の波形図である。図 2 において、図 1 で示したものと同一のものは、同一の記号で示してある。

[0029] 図 2 に示すように、被測定用 IC1 を、LSI テスター 8 のテスターボード 7 に搭載する。ここでは、被測定用 IC1 は、インターフェース回路 20（22）の入力バッファ部 30 のみを示す。

[0030] 被測定用 IC1 の入力バッファ部 30 は、入力バッファ（ACカップリング部：レシーバー）2、カウンタ 5、同期回路 6 とを有する。入力バッファ 2 は、一対の信号線 L10、L11 に各々に接続された一対の容量素子（コンデンサ）3 と、このコンデンサ 3 に接続された差動アンプ 4 とを有する。

[0031] そして、入力バッファ 2 は、一対の信号線 L10、L11 からの差動入力信号（図 3 の B、C）を受け、直流のパルス信号（図 3 の D）に変換する。又、同期回路 6 は、入力バッファ 2 からのパルス信号を、内部回路に同期して、内部回路（例えば、図 1 では、メモリコントローラ、命令制御装置）に出力する。カウンタ 5 は、入力バッファ 2 からのパルス信号を計数する。

[0032] 一方、テスターボード 7 に接続する LSI テスター 8 は、この IC1 の各種の性能をテストするシステムである。LSI テスター 8 は、IC1 をテス

トするための一般制御信号を、信号線 L 9 から、I C 1（のテスト制御回路 1 8）に出力する。

[0033] この L S I テスター 8 は、汎用テスターであり、そのチャンネルから出力される信号は、数百 M H z が限界である。このため、I C 1 の高周波でのテストを実行するために、テスターボード 7 に、パルス発生器 7 0 と、周波数設定回路 7 2 とを設ける。周波数設定回路 7 2 は、L S I テスター 8 から、信号線 L 7 を介して与えられる設定周波数信号を受け、パルス発生器 7 0 に、発生パルスの周波数を設定する。

[0034] パルス発生器 7 0 は、L S I テスター 8 から、信号線 L 6 を介し与えられるエネーブル信号 A（図 3 参照）により、周波数設定回路 7 2 から設定された周波数のパルス信号 B、C を、信号線 L 1 0、L 1 1 に出力する。カウンタ 5 の計数值は、信号線 L 8 により、L S I テスター 8 に読み込まれる。

[0035] このように、汎用 L S I テスター 8 のチャンネルと、試験対象の A C カップリング I / O 2 との間に、パルス発生器 7 0 を配置し、A C カップリング I / O 2 の出力に、試験用カウンタ回路 5 を接続する。パルス発生器 7 0 は、自己発振タイプであり、Output Enable (OE) A がアサートされたら、任意の周波数の波形を出力する。

[0036] 試験時は、図 3 のように OE（信号 A）をアサートして、パルス発生器 7 0 から波形 B、C を出力させ、発生波形を、被測定 A C カップリング I / O 2 に入力させる。A C カップリング部 2 の回路が正常な場合は、A C カップリング I / O 2 の出力から、入力波形と同じ周波数の波形が出力され、次段の試験用カウンタ回路 5 のクロック入力に伝播する。

[0037] このクロックによって、カウンタ 5 がカウントアップする。パルス発生器 7 0 の出力を、OE（信号 A）のデアサートによって、停止した後に、カウンタ 5 の上位ビットを読み出す。これにより、L S I テスター 8 は、A C カップリング I / O の動作の良否判定を行う。

[0038] このような構成により、パルス発生器 7 0 を使用するので、高周波パルスを分配できるため、A C カップリング用キャパシタ 3 を通過することが可能

となる。又、パルス発生器 70 を使用し、周波数を可変に出来るため、IC の動作限界を調査することが可能である。

[0039] 更に、LSI テスター 8 のチャンネルから信号制御するので、ドライバーとの組み合わせを考慮する必要がない。しかも、回路の故障があった場合は、レシーバー 2 自体の問題であることが分かる。この場合、試験用カウンタ 5 は、他のファンクション試験で動作が確認されていることが前提である。

[0040] その上、従来の試験のためのループバック回路や判定回路を、IC 1 に設ける必要がないため、IC 1 の素子数を削減できる。

[0041] (測定処理)

図 4 は、本発明の測定処理の第 1 の実施の形態の処理フロー図であり、図 2 の LSI テスター 8 が実行する、良品と、不良品との判別のための測定処理を示す。

[0042] (S 10) LSI テスター 8 から、信号線 L 9 より、一般制御信号を IC 1 に送り、IC 1 内の全てのカウンタをリセットする。

[0043] (S 12) LSI テスター 8 から、信号線 L 7 を介し、制御信号により、周波数設定回路 72 の周波数とパルス数を設定する。

[0044] (S 14) LSI テスター 8 が、信号線 L 6 を介し、Output Enable A をアサートし、パルス発生器 70 を動作させる。パルス発生器 70 は、設定された周波数でパルス B、C を発生し、信号線 L 10、L 11 に出力する。これにより、被測定インターフェース回路 20 / メモリインターフェース回路 30 の入力バッファ 2 に、パルスが印加される。入力バッファ 2 がパルスを受信出来た場合、入力バッファ 2 から、カウンタクロック信号 D が発生する。カウンタクロック信号 D が発生した場合、カウンタ 5 がカウンタアップする。

[0045] (S 16) パルス発生器 70 は、設定されたパルス数を発生して、停止する。LSI テスター 8 は、信号線 L 8 を介し、カウンタ 5 の値を読み出す。

[0046] (S 18) LSI テスター 8 は、読み出したカウンタ値と、先に、周波数設定回路 72 に設定した値 (パルス数) とを比較する。

[0047] (S20) 被測定インターフェース回路20／メモリインターフェース回路30が、この周波数のパルスを受信できた場合は、それぞれの値が一致するため、LSIテスター8は、比較結果が一致を示す場合には、この被測定IC1は、良品であると判断する。一方、被測定インターフェース回路20／メモリインターフェース回路30が、この周波数のパルスを受信できなかった場合は、カウンタクロック信号が発生しない。カウンタクロック信号が発生しない場合、カウンタ5がカウントアップしない。このため、LSIテスター8は、比較結果が一致を示さない場合には、この被測定IC1は、不良品であると判断する。

[0048] このように、汎用テスターのテストボードに、パルス発生器70を設け、高周波パルスを出力するため、高周波数において、ACカップリング用キャパシタ3を通過することが可能となる。又、LSIテスター8のチャンネルから信号制御するので、ドライバーとの組み合わせを考慮する必要がない。しかも、回路の故障があった場合は、レシーバー2自体の問題であることが分かる。その上、従来の試験のためのループバック回路や判定回路を、IC1に設ける必要がないため、IC1の素子数を削減できる。

[0049] 図5は、本発明の測定処理の第2の実施の形態の処理フロー図であり、図2のLSIテスター8が実行する。この例では、ICの周波数限界性能を測定するための測定処理を示す。図5において、図4で示したものと同一のものは、同一の記号で示してある。

[0050] (S30) LSIテスター8は、図4のS10～S18を実行する。即ち、LSIテスター8から、信号線L9より、一般制御信号をIC1に送り、IC1内の全てのカウンタをリセットする(S10)。LSIテスター8から、信号線L7を介し、制御信号により、周波数設定回路72の周波数とパルス数を設定する(S12)。LSIテスター8が、信号線L6を介し、Output Enable Aをアサートし、パルス発生器70を動作させて、パルス発生器70から、設定された周波数のパルスB、Cを発生させ、信号線L10、L11

に出力する。カウンタクロック信号Dを、カウンタ5がカウントアップする（S14）。LSIテスター8は、信号線L8を介し、カウンタ5の値を読み出す（S16）。LSIテスター8は、読み出したカウンタ値と、先に、周波数設定回路72に設定した値（パルス数）とを比較する。

[0051] （S32）LSIテスター8は、比較結果が一致を示すかを判定する。

[0052] （S34）LSIテスター8は、比較結果が一致する場合に、周波数設定回路72に設定する周波数を、1段階高い周波数に更新する。そして、LSIテスター8は、この更新した周波数が、測定の上限周波数を越えたかを判定する。LSIテスター8は、更新した周波数が、測定の上限周波数を越えた場合には、上限周波数を、ICの限界周波数と判断し、これを記憶する。一方、LSIテスター8は、更新した周波数が、測定の上限周波数を越えていない場合には、ステップS30（図4のステップS10）に戻る。

[0053] （S36）LSIテスター8は、比較結果が一致しない場合には、今回の測定の1回前に設定した周波数を、ICの限界周波数と判断し、これを記憶する。

[0054] このように、テストボードに、パルス発生器70を設け、高周波パルスを分配できるため、ACカップリング用キャパシタ3を通過することが可能となり、高周波数の測定が可能となる。又、パルス発生器70を使用し、周波数を可変に出来るため、ICの動作限界を調査することが可能である。

[0055] 更に、LSIテスター8のチャネルから信号制御するので、ドライバーとの組み合わせを考慮する必要がない。しかも、回路の故障があった場合は、レシーバー2自体の問題であることが分かる。この場合、試験用カウンタ5は、他のファンクション試験で動作が確認されていることが前提である。その上、従来の試験のためのループバック回路や判定回路を、IC1に設ける必要がないため、IC1の素子数を削減できる。

[0056] （他の実施の形態）

前述の説明では、インターフェース回路に、1つの入力バッファの例で説明したが、複数の入力バッファを設けても、同様に、適用できる。この場合

、テストボードのパルス発生器 70 に、複数の入力バッファへの出力切り替え回路を設け、順次、複数の入力バッファの測定を実行しても良い。又、複数の入力バッファを設けた場合、カウンタ 5 を共用する構成としても良い。

産業上の利用可能性

[0057] テスターのテストボードに、パルス発生器を設け、高周波パルスを出力するようにしたため、ACカップリング入力バッファの高周波数の測定が可能となる。又、テスターのチャネルから信号制御するので、ドライバーとの組み合わせを考慮する必要がなく、回路の故障があった場合は、レシーバー自体の問題であることが分かる。その上、従来の試験のためのループバック回路や判定回路を、被測定回路に設ける必要がないため、半導体集積回路の素子数を削減できる。

符号の説明

- [0058]
- 1 半導体集積回路 (IC)
 - 2 ACカップリング入力バッファ
 - 3 コンデンサ (容量素子)
 - 4 差動アンプ
 - 5 カウンタ
 - 6 同期回路
 - 7 テストボード
 - 8 LSI テスター
 - 20 (22) インターフェース回路
 - 30 入力バッファ部
 - 70 パルス発生器
 - 72 周波数設定回路

請求の範囲

[請求項1]

ＡＣカップリング入力バッファの周波数特性をテストするＡＣカップリング入力バッファのテスト方法であって、

前記ＡＣカップリング入力バッファを有する半導体集積装置を搭載するテストボードに設けたパルス発生器から、前記ＡＣカップリング入力バッファに、設定された周波数のパルス信号を入力するステップと、

前記パルス信号が入力された前記ＡＣカップリング入力バッファの出力パルスをカウンタでカウントするステップと、

前記パルス発生器が、設定された数の信号を前記ＡＣカップリング入力バッファに入力した後、テスターが、前記カウンタの値を読み出すステップと、

前記テスターが、前記読み出したカウンタの値と、前記設定された数とを比較して、前記周波数での前記ＡＣカップリング入力バッファの特性を判定するステップとを有する

ことを特徴とするＡＣカップリング入力バッファのテスト方法。

[請求項2]

前記判定ステップは、更に、

前記テスターが、前記読み出したカウンタの値と、前記設定された数とを比較して、前記比較結果が良好な場合に、前記パルス発生器に設定する周波数を、所定数高い周波数に更新するステップと、

前記テスターが、前記更新した周波数を、前記パルス発生器に設定し、前記入力ステップ、カウントステップ、読み出しステップ、判定ステップを実行するステップと、

前記テスターが、前記読み出したカウンタの値と、前記設定された数とを比較して、前記比較結果が良好でない場合に、前記更新前の周波数を、前記ＡＣカップリング入力バッファの周波数特性として、決定するステップとを有する

ことを特徴とする請求項１のＡＣカップリング入力バッファのテス

ト方法。

[請求項3] 前記ＡＣカップリング入力バッファが、一対の信号線に各々接続された一対の容量素子と、前記一対の容量素子に接続された差動アンプとを有する

ことを特徴とする請求項１及び２のいずれかのＡＣカップリング入力バッファのテスト方法。

[請求項4] 前記判定ステップは、前記比較結果から、前記ＡＣカップリング入力バッファの良否を判定するステップを有する

ことを特徴とする請求項１のＡＣカップリング入力バッファのテスト方法。

[請求項5] 前記半導体集積装置は、前記ＡＣカップリング入力バッファと前記カウンタとを有する

ことを特徴とする請求項１のＡＣカップリング入力バッファのテスト方法。

[請求項6] 前記テスターが、前記カウンタをリセットするステップと、
前記テスターが、前記パルス発生器に、前記周波数とパルス数を設定するステップと、

前記テスターが、前記パルス発生器に、動作開始を指示するステップとを更に有する

ことを特徴とする請求項１のＡＣカップリング入力バッファのテスト方法。

[請求項7] ＡＣカップリング入力バッファの周波数特性をテストするＡＣカップリング入力バッファのテストシステムであって、

前記ＡＣカップリング入力バッファを有する半導体集積装置を搭載するテストボードと、

前記テストボードに設けられ、前記ＡＣカップリング入力バッファに、設定された周波数のパルス信号を入力するパルス発生器と、

前記パルス信号が入力された前記ＡＣカップリング入力バッファの

出力パルスをカウントするカウンタの値を、前記パルス発生器が、設定された数の信号を前記ＡＣカップリング入力バッファに入力した後、読み出し、前記読み出したカウンタの値と、前記設定された数とを比較して、前記周波数での前記ＡＣカップリング入力バッファの特性を判定するテストとを有する

ことを特徴とするＡＣカップリング入力バッファのテストシステム。

[請求項8]

前記テストは、更に、

前記読み出したカウンタの値と、前記設定された数とを比較して、前記比較結果が良好な場合に、前記パルス発生器に設定する周波数を、所定数高い周波数に更新し、前記更新した周波数を、前記パルス発生器に設定した後、前記読み出したカウンタの値と、前記設定された数とを比較して、前記比較結果が良好でない場合に、前記更新前の周波数を、前記ＡＣカップリング入力バッファの周波数特性として、決定する

ことを特徴とする請求項7のＡＣカップリング入力バッファのテストシステム。

[請求項9]

前記ＡＣカップリング入力バッファが、一对の信号線に各々接続された一对の容量素子と、前記一对の容量素子に接続された差動アンプとを有する

ことを特徴とする請求項7及び8のいずれかのＡＣカップリング入力バッファのテストシステム。

[請求項10]

前記テストは、前記比較結果から、前記ＡＣカップリング入力バッファの良否を判定する

ことを特徴とする請求項7のＡＣカップリング入力バッファのテストシステム。

[請求項11]

前記半導体集積装置は、前記ＡＣカップリング入力バッファと前記カウンタとを有する

ことを特徴とする請求項 7 の A C カップリング入力バッファのテストシステム。

[請求項12] 前記テスターは、前記カウンタをリセットした後、前記パルス発生器に、前記周波数とパルス数を設定し、前記パルス発生器に、動作開始を指示する

ことを特徴とする請求項 7 の A C カップリング入力バッファのテストシステム。

[請求項13] A C カップリング入力バッファと、
前記テストボードに設けられたパルス発生器から前記 A C カップリング入力バッファに、設定された周波数のパルス信号を入力された時に、前記パルス信号が入力された前記 A C カップリング入力バッファの出力パルスのカウントするカウンタと、

テスターから、前記カウンタの値を読み出すための端子と有することを特徴とする半導体集積回路。

[請求項14] 前記 A C カップリング入力バッファが、一对の信号線に各々接続された一对の容量素子と、前記一对の容量素子に接続された差動アンプとを有する

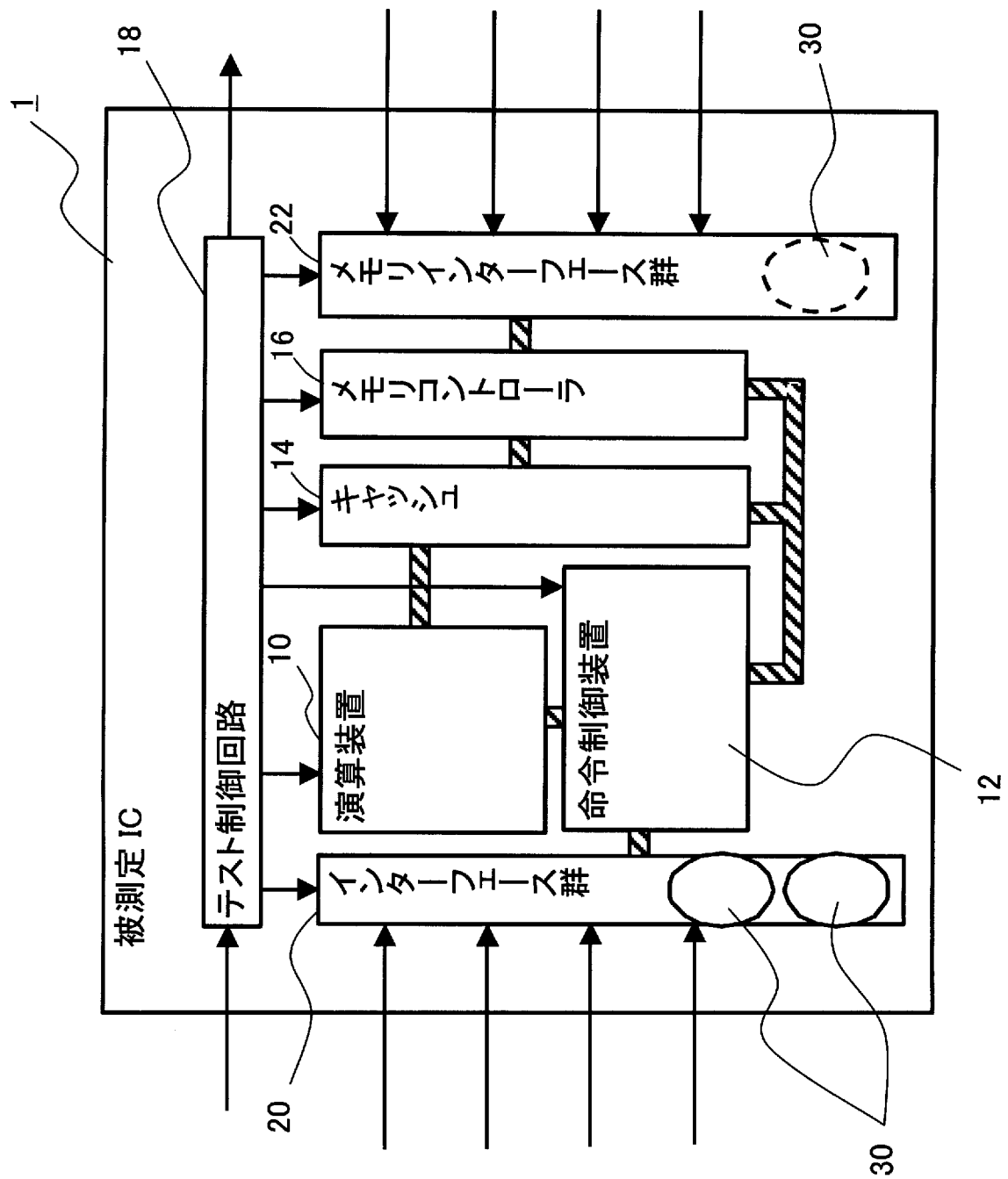
ことを特徴とする請求項 1 3 の半導体集積回路。

[請求項15] 前記 A C カップリング入力バッファと、前記カウンタとを有するインターフェース回路と、

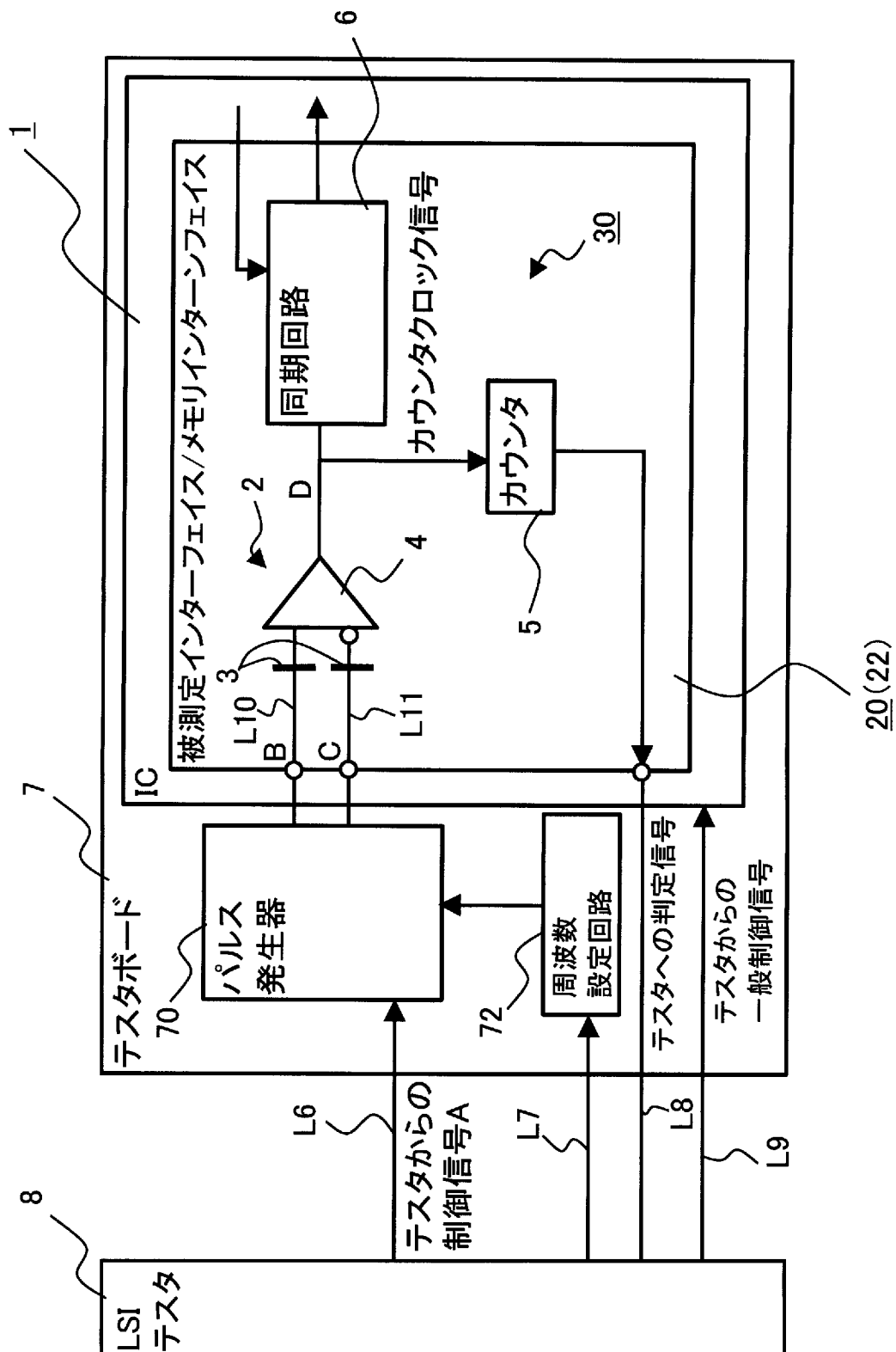
前記インターフェース回路を介して、外部機器と接続し、データを送受信する機能回路とを有する

ことを特徴とする請求項 1 3 の半導体集積回路。

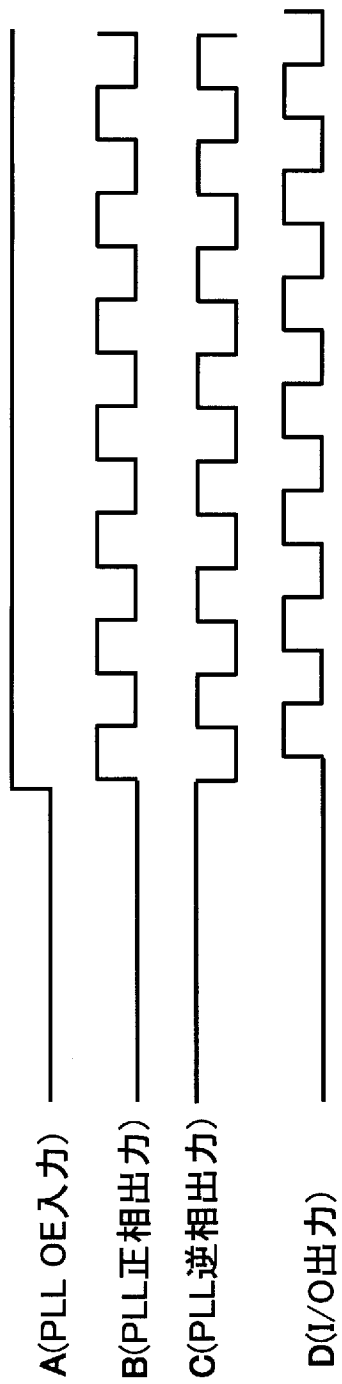
[図1]



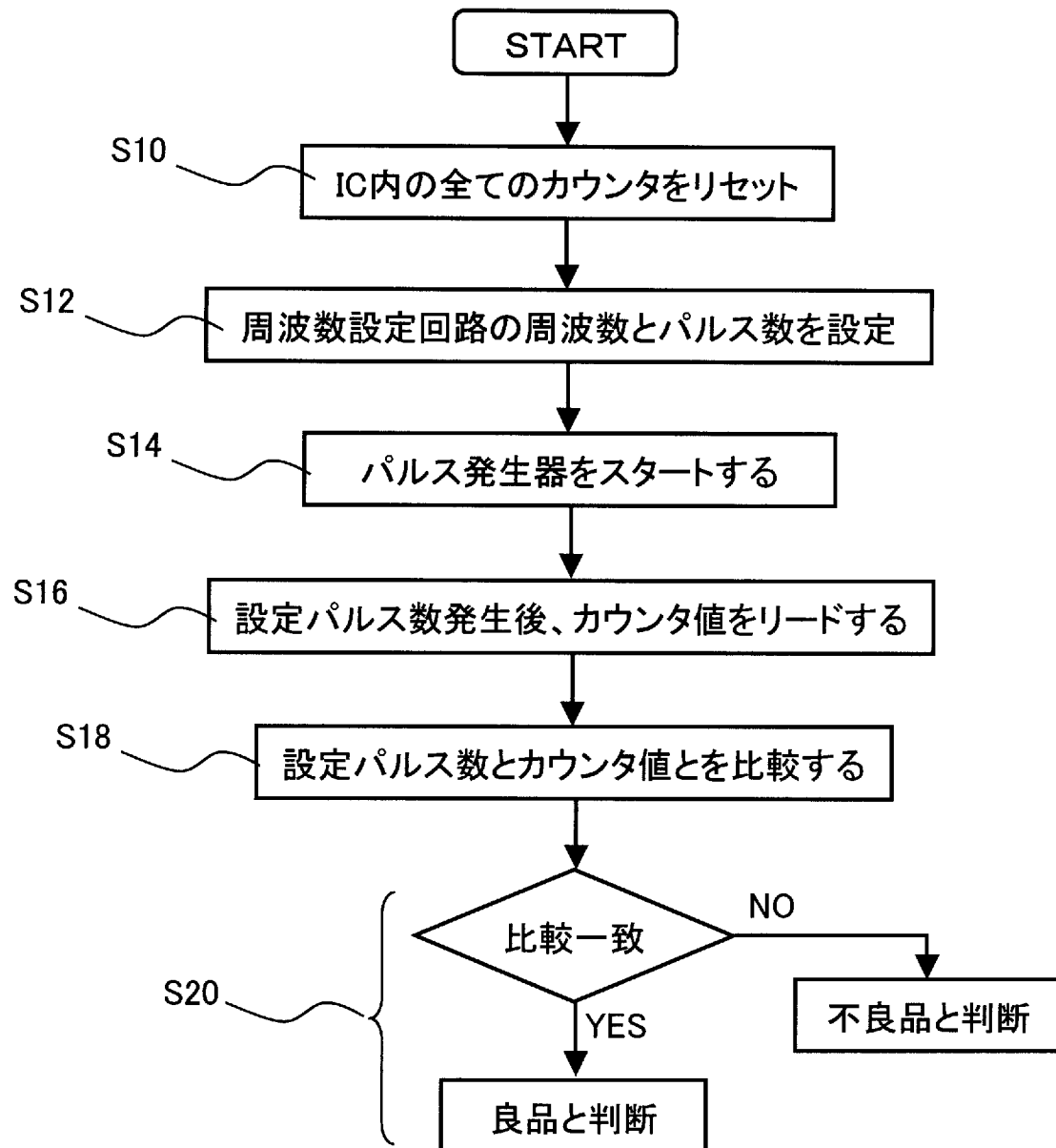
[図2]



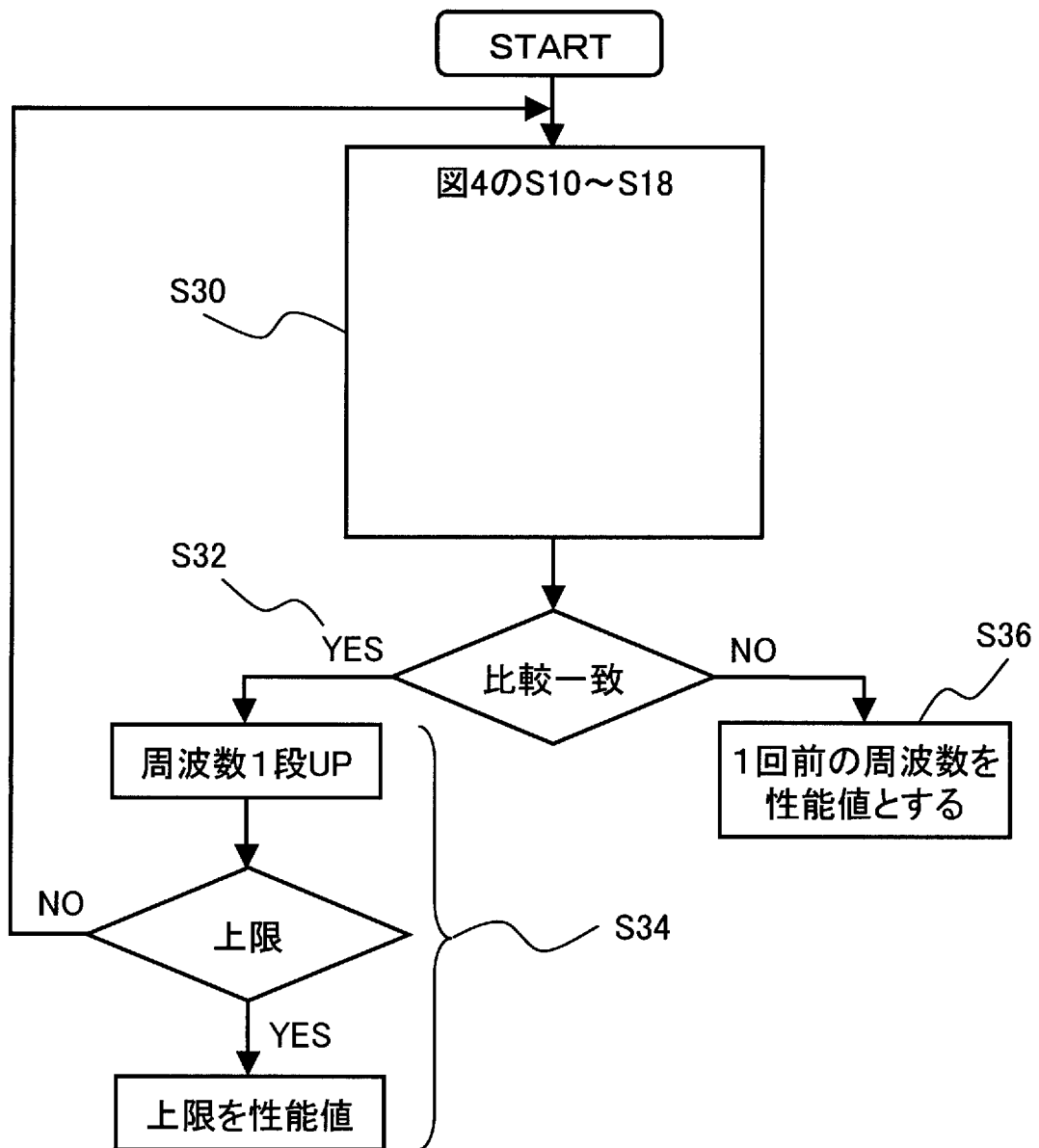
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/002950

A. CLASSIFICATION OF SUBJECT MATTER

G01R31/28(2006.01) i, G01R31/30(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/28-3193

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-128795 A (Fujitsu Ltd.), 05 June, 2008 (05.06.08), Par. Nos. [0014] to [0027]; Figs. 1 to 2 & US 2008/0116937 A1 & KR 10-2008-0045602 A & CN 101187692 A	1-15
Y	JP 2002-033653 A (Mitsubishi Electric Corp.), 31 January, 2002 (31.01.02), Par. Nos. [0043] to [0045]; Fig. 2 & US 2002/0005758 A1	1-15
Y	JP 11-052015 A (NEC Corp.), 26 February, 1999 (26.02.99), Full text; all drawings (Family: none)	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
13 August, 2009 (13.08.09)

Date of mailing of the international search report
08 September, 2009 (08.09.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/002950

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-014140 A (Konica Corp.), 18 January, 2002 (18.01.02), Full text; all drawings (Family: none)	2, 8

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G01R31/28(2006.01)i, G01R31/30(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G01R31/28-3193

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-128795 A（富士通株式会社）2008.06.05, [0014]-[0027], 図 1-2 & US 2008/0116937 A1 & KR 10-2008-0045602 A & CN 101187692 A	1-15
Y	JP 2002-033653 A（三菱電機株式会社）2002.01.31, [0043]-[0045], 図 2 & US 2002/0005758 A1	1-15

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 3 . 0 8 . 2 0 0 9

国際調査報告の発送日

0 8 . 0 9 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

堀 圭 史

2 S

3 0 0 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 11-052015 A (日本電気株式会社) 1999. 02. 26, 全文, 全図 (ファミリーなし)	1-12
Y	JP 2002-014140 A (コニカ株式会社) 2002. 01. 18, 全文, 全図 (ファミリーなし)	2, 8