

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3940672号

(P3940672)

(45) 発行日 平成19年7月4日(2007.7.4)

(24) 登録日 平成19年4月6日(2007.4.6)

(51) Int. Cl. F I
H04N 7/30 (2006.01) H04N 7/133 Z

請求項の数 4 (全 11 頁)

(21) 出願番号	特願2002-503044 (P2002-503044)	(73) 特許権者	000005821
(86) (22) 出願日	平成13年5月31日(2001.5.31)		松下電器産業株式会社
(86) 国際出願番号	PCT/JP2001/004627		大阪府門真市大字門真1006番地
(87) 国際公開番号	W02001/095637	(74) 代理人	100077931
(87) 国際公開日	平成13年12月13日(2001.12.13)		弁理士 前田 弘
審査請求日	平成14年2月18日(2002.2.18)	(74) 代理人	100094134
審査番号	不服2004-25650 (P2004-25650/J1)		弁理士 小山 廣毅
審査請求日	平成16年12月16日(2004.12.16)	(74) 代理人	100110939
(31) 優先権主張番号	特願2000-166312 (P2000-166312)		弁理士 竹内 宏
(32) 優先日	平成12年6月2日(2000.6.2)	(74) 代理人	100110940
(33) 優先権主張国	日本国(JP)		弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実

最終頁に続く

(54) 【発明の名称】 画像処理装置及び画像処理方法

(57) 【特許請求の範囲】

【請求項1】

可変長符号化された画像データを復号化する画像処理装置であって、
 前記画像データを可変長復号化し、連続する零係数の個数と非零係数との組を出力する可変長復号化部と、

前記非零係数に対して逆量子化処理を行い、逆量子化データを求めて出力する逆量子化処理部と、

前記逆量子化データを、指定されたアドレスに記憶するデータ記憶部と、

逆スキャン処理を行い、前記連続する零係数の個数に基づいて前記逆量子化データを記憶させるべきアドレスを求め、このアドレスを前記データ記憶部に指定するアドレス設定部と、

前記アドレス設定部が指定したアドレスに対応した自己のアドレスに、書き込みフラグをセットする書込み情報記憶部と、

前記データ記憶部からデータを読み出し、前記書込み情報記憶部が記憶する情報に基づいて、前記アドレス設定部が指定したアドレスのデータはそのまま出力する一方、前記アドレス設定部が指定したアドレス以外のアドレスのデータは所定の値に置き換えて出力するデータ読出部と

を備えた画像処理装置。

【請求項2】

請求項1に記載の画像処理装置において、

10

20

前記書込み情報記憶部は、
記憶しているデータのリセットを、前記データ記憶部から前記データ読出部によって1
ブロック分のデータが読み出されたとき、行うものである
ことを特徴とする画像処理装置。

【請求項3】

請求項1に記載の画像処理装置において、
前記書込み情報記憶部は、
各アドレスに1ビットの記憶領域を有する
ことを特徴とする画像処理装置。

【請求項4】

可変長符号化された画像データを復号化する画像処理方法であって、
前記画像データを可変長復号化し、連続する零係数の個数と非零係数との組を求める可
変長復号化工程と、
前記非零係数に対して逆量子化処理を行い、逆量子化データを求める逆量子化処理工程
と、
逆スキャン処理を行い、前記連続する零係数の個数に基づいて前記逆量子化データを記
憶させるべきアドレスを求め、このアドレスをデータ記憶部に指定するアドレス設定工程
と、
前記逆量子化データを、前記データ記憶部の指定されたアドレスに記憶させるデータ記
憶工程と、
前記アドレス設定工程で指定したアドレスに対応した書込み情報記憶部のアドレスに、
書き込みフラグをセットする書込み情報記憶工程と、
前記データ記憶部からデータを読み出し、前記書込み情報記憶部が記憶する情報に基づ
いて、前記アドレス設定工程で指定したアドレス以外のアドレスのデータは所定の値に置
き換える一方、前記アドレス設定工程で指定したアドレスのデータは置き換えを行わない
データ読出工程と
を備えた画像処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MPEG (moving picture experts group) 等の方式により符号化された画像
を復号化する画像処理装置に関する。

【0002】

【従来の技術】

MPEGストリーム等の可変長符号化された符号を復号化処理する画像処理装置において
は、近年、多くの画素を有するHD (High Definition) 画像等の復号化の必要性が高ま
ってきており、復号化処理を高速化することが必要となっている。

【0003】

図4は従来の画像処理装置における処理についての説明図である。図4 (a) は、画像の
処理単位を説明する図である。例えば、HD画像では1画面は1920×1080個の画
素を含み、標準画像では1画面は720×480画素を含んでいる。この画面は、マクロ
ブロックと呼ばれる16×16画素を単位として処理される。マクロブロックは、更に8
×8個の画素データを含む6個のブロック、すなわち、Y0、Y1、Y2及びY3の4個
の輝度ブロック、並びにCb、Crの2個の色差ブロックに分割して処理される。

【0004】

図4 (b) は、可変長符号化された画像データのビットストリームを説明する図である。
1マクロブロック分のデータは、ヘッダ、輝度ブロックY0～Y3、色差ブロックCb、
Crの順でマクロブロック毎に伝送される。

【0005】

図4 (c) は従来の画像処理装置におけるパイプライン処理について説明する図である。

10

20

30

40

50

復号化の処理においては、処理の高速化を図るため、 8×8 画素のブロックの処理を1単位としてパイプライン処理を行うのが一般的である。すなわち、例えば図4(c)に示すように、可変長復号化、逆量子化及び逆スキャンを行うユニットAと、逆離散コサイン変換を行うユニットBと、動き補償を行うユニットCとを並列に動作させる。

【0006】

このようなパイプライン処理を行う場合、それぞれのユニットの処理が平均的なクロックサイクル数で終了することが望ましい。ところが、ユニットAにおいては、1ブロックの64個のデータ全てに対して逆量子化及び逆スキャン処理を行い、その処理後のデータを記憶するため、1ブロックの処理を行うために必要なクロックサイクルが他のユニットよりも多い。

10

【0007】

図5は従来の画像処理装置のブロック図である。図5の画像処理装置は、可変長復号化部81と、逆量子化・逆スキャン処理部82と、データ記憶部83とをユニットAとして備え、データ読出部84と、逆離散コサイン変換部85とをユニットBとして備え、動き補償部86をユニットCとして備えている。

【0008】

図5において、可変長復号化部81は、入力されたビットストリームを可変長復号化し、1ブロック分のデータを64個の数の列に変換して順に逆量子化・逆スキャン処理部82に出力する。逆量子化・逆スキャン処理部82は、可変長復号化部81が出力する1ブロック当たり64個の数の全てに対して逆量子化及び逆スキャン処理を行い、得られた全てのDCT係数をデータ記憶部83に記憶させる。

20

【0009】

データ読出部84は、データ記憶部83からDCT係数を読み出して逆離散コサイン変換部85に出力する。逆離散コサイン変換部85は、DCT係数に対して逆離散コサイン変換を行い、復元された画像データを動き補償部86に出力する。動き補償部86は、この復元された画像データを用いて動き補償処理を行う。

【0010】

【発明が解決しようとする課題】

MPEGストリーム等の画像データに対して可変長復号化を行って得られる離散コサイン変換(DCT: Discrete Cosine Transform)係数は、特殊な画像の場合を除き、値が零となるものの割合が高い。図5に示すような従来の画像処理装置においては、可変長復号化の処理において得られた全ての係数に対して逆量子化及び逆スキャン処理を行い、更にその処理後のデータを記憶しており、復号化処理を高速化する場合のボトルネックになっていた。また、このような復号化処理をハードウェア化して行う場合には、できるだけ少ない回路面積で実現することが望ましい。

30

【0011】

本発明はこのような従来技術の問題点を解決するものであり、可変長符号化された画像データを復号化する際に、可変長復号化された非零係数のみを対象にして逆量子化及び逆スキャン処理を行い、回路面積をあまり増大させることなく、復号化処理の高速化を図ることを目的とする。

40

【0012】

【課題を解決するための手段】

具体的には、本発明の画像処理装置は、可変長符号化された画像データを復号化する画像処理装置であって、前記画像データを可変長復号化し、連続する零係数の個数と非零係数との組を出力する可変長復号化部と、前記非零係数に対して逆量子化処理を行い、逆量子化データを求めて出力する逆量子化処理部と、前記逆量子化データを、指定されたアドレスに記憶するデータ記憶部と、逆スキャン処理を行い、前記連続する零係数の個数に基づいて前記逆量子化データを記憶させるべきアドレスを求め、このアドレスを前記データ記憶部に指定するアドレス設定部と、前記アドレス設定部が指定したアドレスに対応した自己のアドレスに、書き込みフラグをセットする書き込み情報記憶部と、前記データ記憶部か

50

らデータを読み出し、前記書込み情報記憶部が記憶する情報に基づいて、前記アドレス設定部が指定したアドレスのデータはそのまま出力する一方、前記アドレス設定部が指定したアドレス以外のアドレスのデータは所定の値に置き換えて出力するデータ読出部とを備えたものである。

【0013】

これによると、非零係数のみを対象にして、逆量子化及び逆スキャン処理を行い、その処理結果の記憶を行うため、可変長符号の復号化を高速化することができる。また、逆量子化データを記憶したアドレスに対応して書込みフラグを記憶するため、必要な記憶容量が少なく、回路面積を小さくすることができる。

【0015】

また、この画像処理装置において、前記書込み情報記憶部は、記憶しているデータのリセットを、前記データ記憶部から前記データ読出部によって1ブロック分のデータが読み出されたとき、行うものであることが好ましい。これによると、1ブロック毎に処理を行うことができ、データ記憶部及び書込み情報記憶部は1ブロック分のデータ数に応じた記憶容量があればよいこととなる。

【0016】

また、本発明の画像処理装置において、前記書込み情報記憶部は、各アドレスに1ビットの記憶領域を有することが好ましい。これによると、書込み情報記憶部の記憶容量を小さなものとすることができるため、回路面積を小さくすることができる。

【0017】

また、本発明の画像処理方法は、可変長符号化された画像データを復号化する画像処理方法であって、前記画像データを可変長復号化し、連続する零係数の個数と非零係数との組を求める可変長復号化工程と、前記非零係数に対して逆量子化処理を行い、逆量子化データを求める逆量子化処理工程と、逆スキャン処理を行い、前記連続する零係数の個数に基づいて前記逆量子化データを記憶させるべきアドレスを求め、このアドレスをデータ記憶部に指定するアドレス設定工程と、前記逆量子化データを、前記データ記憶部の指定されたアドレスに記憶させるデータ記憶工程と、前記アドレス設定工程で指定したアドレスに対応した書込み情報記憶部のアドレスに、書き込みフラグをセットする書込み情報記憶工程と、前記データ記憶部からデータを読み出し、前記書込み情報記憶部が記憶する情報に基づいて、前記アドレス設定工程で指定したアドレス以外のアドレスのデータは所定の値に置き換える一方、前記アドレス設定工程で指定したアドレスのデータは置き換えを行わないデータ読出工程とを備えたものである。

【0018】

これによると、非零係数のみを対象にして、逆量子化及び逆スキャン処理を行い、その処理結果の記憶を行うため、可変長符号の復号化を高速化することができる。また、逆量子化データを記憶したアドレスに対応して書込みフラグを記憶するため、必要な記憶容量が少ない。

【0019】

【発明の実施の形態】

以下、本発明の一実施形態について、図面を参照しながら説明する。

【0020】

図1は本発明の実施形態に係る画像処理装置のブロック図である。図1の画像処理装置は、可変長復号化部11と、逆量子化処理部12と、データ記憶部13と、アドレス設定部14と、書込み情報記憶部15と、データ読出部16と、逆離散コサイン変換部17と、動き補償部18とを備えている。

【0021】

可変長復号化部11には、ビットストリームが入力される。ここで、ビットストリームは、MPEG方式によって画像データに対してDCT変換、量子化、スキャン処理及び可変長符号化を行って得られたデータである。画像データに対してDCT変換を行うとDCT係数が得られ、更に量子化及びスキャン処理を行うと、1次元に並べられた量子化後のD

10

20

30

40

50

C T係数の列が得られる。この量子化後のD C T係数の列の中で、連続する零係数の個数（0個の場合を含む）とその後に続く非零係数とを組にして、可変長符号化が行われる。連続する零係数の個数をランデータR U N、非零係数をレベルデータL E V E Lと称することとする。

【0022】

可変長復号化部11は、ビットストリームに対して可変長復号化を行い、ランデータR U NとレベルデータL E V E Lとの組に復号化する。可変長復号化部11は、レベルデータL E V E Lを逆量子化処理部12に、ランデータR U Nをアドレス設定部14に出力する。

【0023】

逆量子化処理部12は、レベルデータL E V E Lに対して逆量子化を行い、得られた逆量子化データ、すなわち非零のD C T係数を、データ記憶部13及び書込み情報記憶部15に出力する。

【0024】

アドレス設定部14は、各ブロックの処理を開始する際にリセットされ、データ順nは初期値“0”となる。データ順nは、可変長復号化後の零を含んだデータ列の中でのデータの順番を表す。すなわち、データ順nは、スキャン処理後のD C T係数ブロック内における64個のデータの中での順番を表す。アドレス設定部14は、インクリメンタを有し、データ順nにランデータR U Nを累積加算する。その後、アドレス設定部14は、データ順nに基づいて逆スキャン処理を行う。言い換えると、アドレス設定部14は、逆スキャンテーブルを参照して、データ順nに対応したアドレスA D、すなわち、逆量子化処理部12で求める非零のD C T係数を記憶させるべきアドレスを算出し、データ記憶部13及び書込み情報記憶部15に出力する。

【0025】

逆量子化処理部12とアドレス設定部14とは、同期して動作し、非零のD C T係数1個に対してアドレスA D 1個が出力される。データ記憶部13及び書込み情報記憶部15では、D C T係数とアドレスA Dとの組を同時に利用できるようになっている。

【0026】

データ記憶部13は、12ビットのデータを64個記憶することができ、アドレス0～63のそれぞれにデータを1個ずつ記憶する。また、書込み情報記憶部15は、1ビットのデータを64個記憶することができ、アドレス0～63のそれぞれにデータを1個ずつ記憶する。書込み情報記憶部15は、各ブロックの処理を開始する前にリセットされており、全アドレスに“0”を記憶している。

【0027】

データ記憶部13は、アドレスA Dで示されたアドレスに非零のD C T係数を記憶する。書込み情報記憶部15は、アドレスA Dで示されたアドレスに書き込みフラグとして“1”をセットする。データ記憶部13がD C T係数を1個記憶したのに対応して、アドレス設定部14は、データ順nに“1”を加算する。以下同様にして、1ブロック分のデータを順次処理する。

【0028】

可変長復号化部11は、ブロック終了符号E O B (end of block)が入力されると1ブロック分のデータが終了したと判断し、ブロック終了符号E O Bをデータ読出部16に出力する。

【0029】

データ記憶部13にD C T係数を書き込むには、1個のD C T係数毎に1クロックサイクルの時間が必要である。データ記憶部13に書き込まれるD C T係数は非零の係数のみであるので、1ブロック分の64個のD C T係数全てを書き込む場合に比べて、書き込みに要する時間は短い。このため、図4(c)で説明したユニットAの処理に要する時間を短縮することができる。

【0030】

データ読出部 16 は、ブロック終了符号 EOB を受け取ると、データ記憶部 13 及び書込み情報記憶部 15 から読み出しを開始する。データ記憶部 13 及び書込み情報記憶部 15 は、それぞれ読み出しポートを例えば 4 ポート備えており、4 個のデータを 1 クロックサイクルで読み出すことができる。

【0031】

データ読出部 16 は、データ記憶部 13 及び書込み情報記憶部 15 から同アドレスのデータを同じクロックサイクルにおいて読み出す。データ読出部 16 は、読み出した DCT 係数と同アドレスの書き込みフラグの値が“1”であれば、DCT 係数をそのまま逆離散コサイン変換部 17 に出力し、DCT 係数と同アドレスの書き込みフラグの値が“0”であれば、DCT 係数を“0”にマスクして逆離散コサイン変換部 17 に出力する。

10

【0032】

データ読出部 16 は、データ記憶部 13 及び書込み情報記憶部 15 から 1 ブロック分の 64 個のデータを全て読み出すと、読み出し終了情報を書込み情報記憶部 15 に出力し、書込み情報記憶部 15 は記憶するデータ全てを“0”にリセットする。

【0033】

逆離散コサイン変換部 17 は、ブロック毎に DCT 係数に対して逆離散コサイン変換を行い、復元された画像データを動き補償部 18 に出力する。以上の処理を Y0, Y1, Y2 及び Y3 の 4 個の輝度ブロック、並びに Cb、Cr の 2 個の色差ブロックに対して行う。動き補償部 18 は、復元された画像データに対して動き補償処理を行って出力する。

【0034】

20

図 2 は、データ記憶部 13 及び書込み情報記憶部 15 が記憶するデータの例を示す説明図である。図 2 (a) はデータ記憶部 13 が記憶するデータを示し、図 2 (b) は書込み情報記憶部 15 が記憶するデータを示している。

【0035】

ここでは例として、あるブロックに関して逆量子化処理部 12 が出力する非零の DCT 係数の数が 2 個であり、最初に出力する DCT 係数が“5”、2 番目に出力する DCT 係数が“4”であるものとする。

【0036】

この最初の DCT 係数が出力されるとき、アドレス設定部 14 が出力するアドレス AD が 6 であるとする、データ記憶部 13 は、この DCT 係数の値“5”をそのアドレス 6 に格納する。このとき、書込み情報記憶部 15 も、そのアドレス 6 に書き込みフラグとして“1”を格納する。同様に、2 番目の DCT 係数が出力されるとき、アドレス設定部 14 が出力するアドレス AD が 10 であるとする、データ記憶部 13 は、この DCT 係数の値“4”をそのアドレス 10 に格納する。このとき、書込み情報記憶部 15 も、そのアドレス 10 に書き込みフラグとして“1”を格納する。

30

【0037】

データ記憶部 13 は、1 つのブロックに関しての処理毎にリセットされることはない、そのアドレス 6 及び 10 以外には不要なデータが格納されている。書込み情報記憶部 15 は、1 つのブロックに関しての処理を始める前にリセットされているので、そのアドレス 6 及び 10 以外には“0”を格納している。

40

【0038】

このように、データ記憶部 13 と書込み情報記憶部 15 とは、同一のアドレスに互いに対応するデータを記憶している。したがって、データ記憶部 13 が記憶しているデータのうち、書込み情報記憶部 15 が“1”を記憶しているアドレスにはこのブロックにおける非零の DCT 係数が記憶されており、その他のアドレスには不要なデータが記憶されていることがわかる。データ読出部 16 は、これらの不要なデータを例えば“0”に置き換えて出力する。

【0039】

書込み情報記憶部 15 は、各アドレスに 1 ビットの容量を有するのみなので、これを実現する回路の面積は非常に小さなものとなる。

50

【0040】

データ記憶部13が実際にデータを記憶するアドレスは、アドレスADそのものであってもよいし、アドレスADに1対1に対応させた他のアドレスであってもよい。また、書き込み情報記憶部15がデータを記憶するアドレスは、データ記憶部13で用いるアドレスと同じものでもよいし、データ記憶部13で用いるアドレスに1対1に対応させた他のアドレスであってもよい。

【0041】

また、書き込み情報記憶部15は、1ビットのデータを記憶するものとしたが、2ビット以上のデータを記憶するものであってもよい。また、リセット時のデータと書き込みフラグのデータとが区別できるものであれば、これらのデータはそれぞれどのような値であってもよい。例えば、リセット時に全てのアドレスに“1”を書き込み、書き込みフラグの値として“0”を書き込むこととしてもよい。

10

【0042】

また、データ読出部16は、データ記憶部13及び書き込み情報記憶部15から1ブロック分の64個のデータを全て読み出すと、読み出し終了情報を書込み情報記憶部15に出力することとした。この読み出し終了情報を出力するタイミングは、データ読出部16が1ブロック分のデータを全て読み出してから書き込み情報記憶部15に次のブロックに関するデータが入力されるまでであればいつでもよい。

【0043】

図3は、図1の画像処理装置における処理についてのフローチャートである。図3は、図1の画像処理装置のうち、可変長復号化部11と、逆量子化処理部12と、データ記憶部13と、アドレス設定部14と、書き込み情報記憶部15と、データ読出部16とにおける1ブロック分のデータの処理について表したものである。

20

【0044】

図3において、ステップS1では、書き込み情報記憶部15をリセットして記憶内容を全て“0”にし、アドレス設定部14をリセットして、ブロック内のデータ順nを“0”とする。

【0045】

ステップS2では、入力ビットストリームに対して可変長復号化を行い、ランデータRUN及びレベルデータLEVELを求める。

30

【0046】

ステップS3では、現在処理対象としている復号化されたデータがブロック終了符号EOBであるか否かを判定する。このデータがブロック終了符号EOBである場合はステップS8に移り、このデータがブロック終了符号EOBではない場合はステップS4に移る。

【0047】

ステップS4では、データ順nにランデータRUNの値を加算する。また、求められたデータ順nに基づき、逆スキャンテーブルを参照して、ステップS5で求める非零のDCT係数（逆量子化データ）を記憶させるべきアドレスADを求める。

【0048】

ステップS5では、レベルデータLEVELに対して逆量子化処理を行い、非零のDCT係数を求める。

40

【0049】

ステップS6では、非零のDCT係数をデータ記憶部13のアドレスADに記憶し、アドレスADに対応した書き込み情報記憶部15のアドレスに、書き込みフラグをセットする。

【0050】

ステップS7では、非零のDCT係数を1個記憶したことに対応してデータ順nに1を加算する。その後、ステップS3に戻る。

【0051】

ステップS8では、データ記憶部13からデータを読み出し、書き込み情報記憶部15のデータに基づいて、非零のDCT係数を記憶したアドレスのデータはそのままとし、非零の

50

DCT係数を記憶しなかったアドレスのデータは例えば“0”に置き換える。

【0052】

ステップS4, S5を実行する順序は逆であってもよいし、同時であってもよい。

【0053】

なお、本実施形態では、アドレス設定部14は加算を行うインクリメンタを有することとしたが、これに限らず、所定の値からの減算を行うデクリメンタを用いてもよい。

【0054】

また、逆離散コサイン変換部17がデータ読出部16の機能を備えるようにしてもよい。

【0055】

また、本発明は、MPEG1, MPEG2及びMPEG4のいずれの方式で符号化されたデータにも適用可能である。また、MPEG方式には限らず、JPEG等の可変長符号化を行う方式によって符号化されたデータにも適用可能である。

10

【0056】

【発明の効果】

本発明によると、可変長復号化後において零係数に対して逆量子化、逆スキャン処理を行う必要がなく、また、逆量子化、逆スキャン処理後に記憶しなければならないデータ数が少ないので、復号化の処理を高速化することができる。特に、データの記憶のために要する時間が短いので、パイプライン処理を行う場合に復号化の処理全体を高速に行うことができる。また、このような処理を行うために必要な記憶容量が小さくて済むので、回路面積をあまり大きくすることなく高速化を図ることができる。

20

【図面の簡単な説明】

【図1】 本発明の実施形態に係る画像処理装置のブロック図である。

【図2】 データ記憶部及び書込み情報記憶部が記憶するデータの例を示す説明図である。

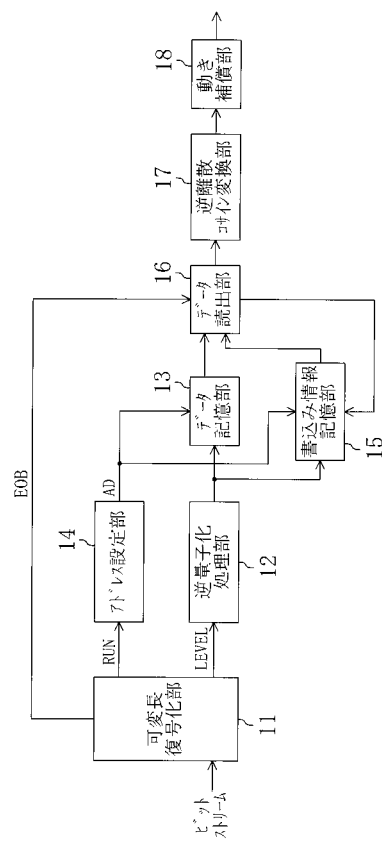
。

【図3】 図1の画像処理装置における処理についてのフローチャートである。

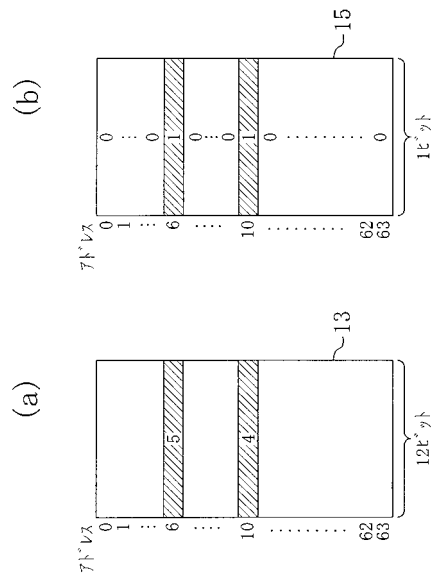
【図4】 従来の画像処理装置における処理についての説明図である。

【図5】 従来の画像処理装置のブロック図である。

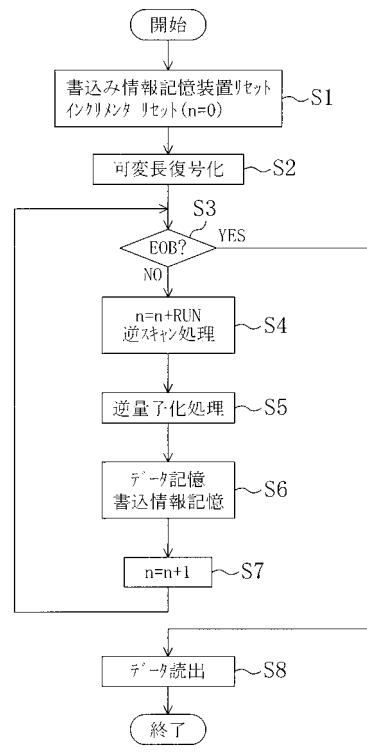
【図 1】



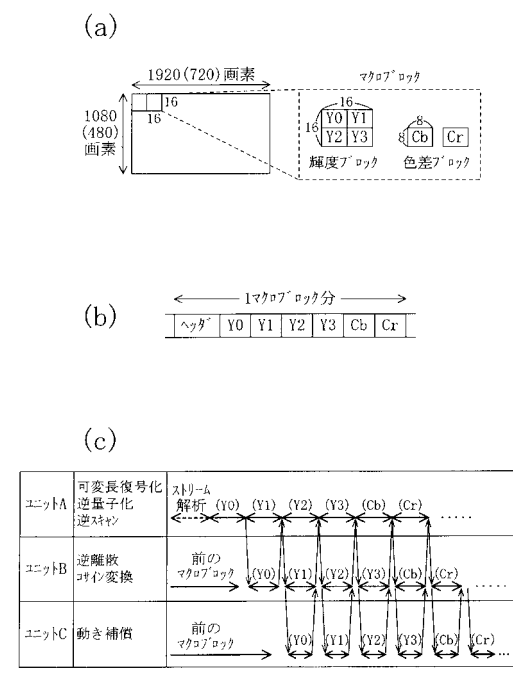
【図 2】



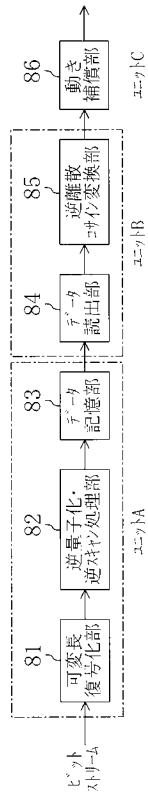
【図 3】



【図 4】



【図 5】



フロントページの続き

- (74)代理人 100115691
弁理士 藤田 篤史
- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (72)発明者 田中 卓敏
日本国大阪府交野市妙見坂6-2-202
- (72)発明者 西田 英志
日本国兵庫県西宮市青木町12-35
- (72)発明者 ▲吉▼岡 康介
日本国大阪府寝屋川市松屋町19-1-924
- (72)発明者 清原 督三
日本国大阪府大阪市阿倍野区松崎町3-13-23-1414

合議体

審判長 原 光明

審判官 松永 隆志

審判官 益戸 宏

- (56)参考文献 特開平5-56271 (JP, A)
特開平6-188742 (JP, A)