

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4144913号
(P4144913)

(45) 発行日 平成20年9月3日 (2008.9.3)

(24) 登録日 平成20年6月27日 (2008.6.27)

(51) Int. Cl.	F I
G 1 1 C 11/41 (2006.01)	G 1 1 C 11/34 A
G 1 1 C 11/4074 (2006.01)	G 1 1 C 11/34 3 5 4 F
H O 1 L 21/82 (2006.01)	H O 1 L 21/82 B
H O 1 L 21/822 (2006.01)	H O 1 L 27/04 M
H O 1 L 27/04 (2006.01)	

請求項の数 13 (全 25 頁)

(21) 出願番号 特願平9-8013	(73) 特許権者 000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日 平成9年1月20日 (1997.1.20)	
(65) 公開番号 特開平10-209284	
(43) 公開日 平成10年8月7日 (1998.8.7)	(74) 代理人 100070150 弁理士 伊東 忠彦
審査請求日 平成15年12月18日 (2003.12.18)	(72) 発明者 江渡 聡 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
審判番号 不服2005-13585 (P2005-13585/J1)	(72) 発明者 田口 眞男 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
審判請求日 平成17年7月14日 (2005.7.14)	

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

外部から入力される第1のクロックに基づいて、外部に信号出力するための同期信号として用いる第2のクロックを生成するクロック生成回路と、

該クロック生成回路の内部信号に基づいて、該第1のクロックの周波数の高低を示すモード信号を、モード信号変化時において周波数変動に対するヒステリシス特性を示すように生成する判定回路と、

該モード信号が高周波を示す場合に高速動作モードで動作し該モード信号が低周波を示す場合に低電力動作モードで動作する内部回路を含むことを特徴とする半導体装置。

【請求項 2】

前記クロック生成回路はPLL回路であることを特徴とする請求項1記載の半導体装置。

【請求項 3】

前記PLL回路は電圧制御発振器を含み、前記内部信号は該電圧制御発振器への入力電圧であることを特徴とする請求項2記載の半導体装置。

【請求項 4】

外部から入力される第1のクロックに基づいて、外部に信号出力するための同期信号として用いる第2のクロックを生成するクロック生成回路と、

該クロック生成回路の内部信号に基づいて、該第1のクロックの周波数の高低を示すモード信号を、モード信号変化時において周波数変動に対するヒステリシス特性を示すよう

に生成する判定回路と、

該モード信号が高周波を示す場合に高速動作モードで動作し該モード信号が低周波を示す場合に低電力動作モードで動作する内部回路

を含み、前記クロック生成回路はD L L回路であることを特徴とする半導体装置。

【請求項5】

前記D L L回路は前記第1のクロックを所定遅延時間だけ遅延させる複数のディレイ段を含み、前記内部信号は該ディレイ段の段数を制御して該所定遅延時間を決定する信号であることを特徴とする請求項4記載の半導体装置。

【請求項6】

外部から入力される第1のクロックに基づいて、外部に信号出力するための同期信号として用いる第2のクロックを生成するクロック生成回路と、

該クロック生成回路の内部信号に基づいて、該第1のクロックの周波数の高低を示すモード信号を、モード信号変化時において周波数変動に対するヒステリシス特性を示すよう
に生成する判定回路と、

該モード信号に応じて動作モードを切り替える内部回路

を含み、前記内部回路は所定の周波数より低い周波数で動作する第1の動作モードと該所定の周波数より高い周波数で動作する第2の動作モードとで動作可能であり、該内部回路は該第1の動作モードで動作する場合に該第2の動作モードで動作する場合よりも消費電力が少なく、前記内部回路は入力信号を受け取る入力バッファを含み、該入力バッファは前記第1の動作モードでは第1の電流量で駆動され、前記第2の動作モードでは該第1の電流量より多い第2の電流量で駆動されることを特徴とする半導体装置。

【請求項7】

外部から入力される第1のクロックに基づいて、外部に信号出力するための同期信号として用いる第2のクロックを生成するクロック生成回路と、

該クロック生成回路の内部信号に基づいて、該第1のクロックの周波数の高低を示すモード信号を、モード信号変化時において周波数変動に対するヒステリシス特性を示すよう
に生成する判定回路と、

該モード信号に応じて動作モードを切り替える内部回路

を含み、前記内部回路は所定の周波数より低い周波数で動作する第1の動作モードと該所定の周波数より高い周波数で動作する第2の動作モードとで動作可能であり、該内部回路は該第1の動作モードで動作する場合に該第2の動作モードで動作する場合よりも消費電力が少なく、前記内部回路は入力信号を受け取る入力バッファを含み、該入力バッファは、

前記第1の動作モードで動作するラッチタイプの第1のバッファと、

前記第2の動作モードで動作する差動増幅タイプのバッファ

を含むことを特徴とする半導体装置。

【請求項8】

外部から入力される第1のクロックに基づいて、外部に信号出力するための同期信号として用いる第2のクロックを生成するクロック生成回路と、

該クロック生成回路の内部信号に基づいて、該第1のクロックの周波数の高低を示すモード信号を、モード信号変化時において周波数変動に対するヒステリシス特性を示すよう
に生成する判定回路と、

該モード信号に応じて動作モードを切り替える内部回路

を含み、前記内部回路は所定の周波数より低い周波数で動作する第1の動作モードと該所定の周波数より高い周波数で動作する第2の動作モードとで動作可能であり、該内部回路は該第1の動作モードで動作する場合に該第2の動作モードで動作する場合よりも消費電力が少なく、前記内部回路は出力信号を出力する出力バッファを含み、該出力バッファは、前記第1の動作モードでは該出力信号を第1の駆動力で出力し、前記第2の動作モードでは該出力信号を該第1の駆動力よりも高い第2の駆動力で出力することを特徴とする半導体装置。

【請求項 9】

前記出力バッファは第 1 乃至第 4 の出力トランジスタを含み、前記第 1 の動作モードにおいて該第 1 のトランジスタ及び該第 2 のトランジスタのみにより出力を駆動し、前記第 2 の動作モードにおいて該第 1 のトランジスタ及び該第 2 のトランジスタ並びに該第 3 のトランジスタ及び該第 4 のトランジスタにより出力を駆動することを特徴とする請求項 8 記載の半導体装置。

【請求項 10】

外部から入力される第 1 のクロックに基づいて、外部に信号出力するための同期信号として用いる第 2 のクロックを生成するクロック生成回路と、

該クロック生成回路の内部信号に基づいて、該第 1 のクロックの周波数の高低を示すモード信号を、モード信号変化時において周波数変動に対するヒステリシス特性を示すように生成する判定回路と、

該モード信号に応じて動作モードを切り替える内部回路を含み、前記内部回路は所定の周波数より低い周波数で動作する第 1 の動作モードと該所定の周波数より高い周波数で動作する第 2 の動作モードとで動作可能であり、該内部回路は該第 1 の動作モードで動作する場合に該第 2 の動作モードで動作する場合よりも消費電力が少なく、前記内部回路は内部電圧を生成する内部電圧生成回路を含み、該内部電圧生成回路は、前記第 1 の動作モードでは第 1 の内部電圧を生成し、前記第 2 の動作モードでは該第 1 の内部電圧よりも高い第 2 の内部電圧を生成することを特徴とする半導体装置。

【請求項 11】

外部から入力される第 1 のクロックに基づいて、外部に信号出力するための同期信号として用いる第 2 のクロックを生成するクロック生成回路と、

該クロック生成回路の内部信号に基づいて、該第 1 のクロックの周波数の高低を示すモード信号を、モード信号変化時において周波数変動に対するヒステリシス特性を示すように生成する判定回路と、

該モード信号に応じて動作モードを切り替える内部回路を含み、前記内部回路は所定の周波数より低い周波数で動作する第 1 の動作モードと該所定の周波数より高い周波数で動作する第 2 の動作モードとで動作可能であり、該内部回路は該第 1 の動作モードで動作する場合に該第 2 の動作モードで動作する場合よりも消費電力が少なく、該内部回路は、

データを記憶するメモリセル配列と、

該メモリセル配列から読み出したデータを転送するデータバスと、

該データバスのデータを表す信号を増幅する増幅器

を含み、該増幅器は前記第 1 の動作モードで動作する場合に前記第 2 の動作モードで動作する場合よりも消費電力が少ないことを特徴とする半導体装置。

【請求項 12】

外部から入力される第 1 のクロックに基づいて、外部に信号出力するための同期信号として用いる第 2 のクロックを生成するクロック生成回路と、

該第 1 のクロックの周波数の高低を示すモード信号を出力するラッチ回路を含み、該クロック生成回路の内部信号に基づいて、該第 1 のクロックの該周波数が第 1 の周波数よりも高い場合に該ラッチ回路に該モード信号の第 1 の値を出力させ、該第 1 のクロックの該周波数が第 2 の周波数よりも低い場合に該ラッチ回路に該モード信号の第 2 の値を出力させ、該第 1 のクロックの該周波数が該第 1 の周波数と該第 2 の周波数との間にあるときには該ラッチ回路が保持する該モード信号の値を変化させない判定回路と、

該モード信号に応じて動作モードを切り替える内部回路を含み、前記内部回路は所定の周波数より低い周波数で動作する第 1 の動作モードと該所定の周波数より高い周波数で動作する第 2 の動作モードとで動作可能であり、該内部回路は該第 1 の動作モードで動作する場合に該第 2 の動作モードで動作する場合よりも消費電力が少ないことを特徴とする半導体装置。

【請求項 13】

該モード信号を該半導体装置の外部に出力する出力端子を更に含むことを特徴とする請求項12記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、詳しくは異なった動作モードで異なったクロック周波数に同期して動作する半導体装置に関する。

【0002】

【従来の技術】

半導体集積回路に於ては、高い動作周波数による高速動作を実現すると共に、回路内の消費電力を削減出来ることが望ましい。しかしながら高速動作と低消費電力とを同一の回路で同時に実現することは難しく、一般に高速動作可能な回路は消費電力が高く、逆に低消費電力である回路は低い動作周波数でしか動作できないというのが実情である。

10

【0003】

【発明が解決しようとする課題】

高速なクロック信号に同期して動作可能な半導体集積回路に於て、低周波数のクロック信号を用いて低速動作モードで動作させることは可能である。しかしこのような半導体集積回路は、高速動作周波数に対応した回路構成となっているために、低速動作モードに於ても消費電力が高速動作時なみに高くなるという問題がある。

【0004】

20

そこで同一の半導体チップ上に、高速動作用の回路と低消費電力用の回路とを搭載して、高速動作時と低速動作時とでこれらの回路を切り替えて、低速動作時には低消費電力用の回路を作動させることが考えられる。しかしこの場合、高速動作モードと低速動作モードの何れであるかを判断して内部回路を切り替える必要があり、モード設定用のレジスタ等が用意されていない限りは、入力されるクロック信号を基に低速動作であるか高速動作であるかを判断する必要がある。

【0005】

従って本発明の目的は、入力クロック同期信号を基に高速動作であるか低速動作であるかを判断して、内部回路を切り替えることにより高速動作及び低消費電力動作の何れにも対応可能な半導体装置を提供することである。

30

【0006】

【課題を解決するための手段】

請求項1の発明に於ては、半導体装置は、外部から入力される第1のクロックに基づいて、外部に信号出力するための同期信号として用いる第2のクロックを生成するクロック生成回路と、該クロック生成回路の内部信号に基づいて、該第1のクロックの周波数の高低を示すモード信号を、モード信号変化時において周波数変動に対するヒステリシス特性を示すように生成する判定回路と、該モード信号が高周波を示す場合に高速動作モードで動作し該モード信号が低周波を示す場合に低電力動作モードで動作する内部回路を含むことを特徴とする。

【0007】

40

上記発明に於ては、入力されるクロックに基づいて、外部に信号出力するための同期信号として用いるクロックを生成するクロック生成回路から適当な内部信号を取り出し、この内部信号に基づいて入力クロックの周期を判定すると共に、判定結果に応じて内部回路の動作モードを切り替える。従って、単純な判定回路を導入しながら既存の回路を利用することによって、入力クロック同期信号の周波数を判定し、内部回路の動作モードを同期周波数に応じたものに变化させることが出来る。

【0008】

請求項2の発明に於ては、請求項1記載の半導体装置に於て、前記クロック生成回路はPLL回路であることを特徴とする。上記発明に於ては、入力されるクロックに基づいて、外部に信号出力するための同期信号として用いるクロックを生成するPLL回路から適

50

当な内部信号を取り出し、この内部信号に基づいて入力クロックの周期を判定すると共に、判定結果に応じて内部回路の動作モードを切り替えることが出来る。

【0009】

請求項3の発明に於ては、請求項2記載の半導体装置に於て、前記PLL回路は電圧制御発振器を含み、前記内部信号は該電圧制御発振器への入力電圧であることを特徴とする。上記発明に於ては、入力されるクロックに基づいて、外部に信号出力するための同期信号として用いるクロックを生成するPLL回路から電圧制御発振器への入力電圧を取り出し、この入力電圧に基づいて入力クロックの周期を判定すると共に、判定結果に応じて内部回路の動作モードを切り替えることが出来る。従って判定回路は、電圧を判定する機能を有していればよく、単純な構成で実現することが出来る。

10

【0010】

請求項4の発明に於ては、半導体装置は、外部から入力される第1のクロックに基づいて、外部に信号出力するための同期信号として用いる第2のクロックを生成するクロック生成回路と、該クロック生成回路の内部信号に基づいて、該第1のクロックの周波数の高低を示すモード信号を、モード信号変化時において周波数変動に対するヒステリシス特性を示すように生成する判定回路と、該モード信号が高周波を示す場合に高速動作モードで動作し該モード信号が低周波を示す場合に低電力動作モードで動作する動作モードを切り替える内部回路を含み、前記クロック生成回路はDLL回路であることを特徴とする。上記発明に於ては、入力されるクロックに基づいて、外部に信号出力するための同期信号として用いるクロックを生成するDLL回路から適当な内部信号を取り出し、この内部信号に基づいて入力クロックの周期を判定すると共に、判定結果に応じて内部回路の動作モードを切り替えることが出来る。

20

【0011】

請求項5の発明に於ては、請求項4記載の半導体装置に於て、前記DLL回路は前記第1のクロックを所定遅延時間だけ遅延させる複数のディレイ段を含み、前記内部信号は該ディレイ段の段数を制御して該所定遅延時間を決定する信号であることを特徴とする。

【0012】

上記発明に於ては、入力されるクロックに基づいて、外部に信号出力するための同期信号として用いるクロックを生成するDLL回路からディレイ段の遅延時間を定義する信号を取り出し、この信号に基づいて入力クロックの周期を判定すると共に、判定結果に応じて内部回路の動作モードを切り替えることが出来る。

30

【0013】

請求項6の発明に於ては、半導体装置は、外部から入力される第1のクロックに基づいて、外部に信号出力するための同期信号として用いる第2のクロックを生成するクロック生成回路と、該クロック生成回路の内部信号に基づいて、該第1のクロックの周波数の高低を示すモード信号を、モード信号変化時において周波数変動に対するヒステリシス特性を示すように生成する判定回路と、該モード信号に応じて動作モードを切り替える内部回路を含み、前記内部回路は所定の周波数より低い周波数で動作する第1の動作モードと該所定の周波数より高い周波数で動作する第2の動作モードとで動作可能であり、該内部回路は該第1の動作モードで動作する場合に該第2の動作モードで動作する場合よりも消費電力が少なく、前記内部回路は入力信号を受け取る入力バッファを含み、該入力バッファは前記第1の動作モードでは第1の電流量で駆動され、前記第2の動作モードでは該第1の電流量より多い第2の電流量で駆動されることを特徴とする。

40

【0014】

上記発明に於ては、入力されるクロックの周波数を判定して内部回路の動作モードを切り替えることによって、高速クロック時には高い周波数での動作を可能にすると共に、低速クロック時には内部回路に於ける消費電力を削減することが出来る。

【0015】

請求項7の発明に於ては、半導体装置は、外部から入力される第1のクロックに基づいて、外部に信号出力するための同期信号として用いる第2のクロックを生成するクロック

50

生成回路と、該クロック生成回路の内部信号に基づいて、該第1のクロックの周波数の高低を示すモード信号を、モード信号変化時において周波数変動に対するヒステリシス特性を示すように生成する判定回路と、該モード信号に応じて動作モードを切り替える内部回路を含み、前記内部回路は所定の周波数より低い周波数で動作する第1の動作モードと該所定の周波数より高い周波数で動作する第2の動作モードとで動作可能であり、該内部回路は該第1の動作モードで動作する場合に該第2の動作モードで動作する場合よりも消費電力が少なく、前記内部回路は入力信号を受け取る入力バッファを含み、該入力バッファは、前記第1の動作モードで動作するラッチタイプの第1のバッファと、前記第2の動作モードで動作する差動増幅タイプのバッファを含むことを特徴とする。

【0016】

10

上記発明に於ては、入力されるクロックの周波数を判定して入力バッファの動作モードを切り替えることによって、高速クロック時には高速な信号入力を受け付けると共に、低速クロック時には入力バッファに於ける消費電力を削減することが出来る。

【0018】

また更に上記発明に於ては、入力されるクロックの周波数を判定して2種類の入力バッファを使い分けることによって、高速クロック時には高速な信号入力を受け付けると共に、低速クロック時には入力バッファに於ける消費電力を削減することが出来る。

【0019】

請求項8の発明に於ては、半導体装置は、外部から入力される第1のクロックに基づいて、外部に信号出力するための同期信号として用いる第2のクロックを生成するクロック生成回路と、該クロック生成回路の内部信号に基づいて、該第1のクロックの周波数の高低を示すモード信号を、モード信号変化時において周波数変動に対するヒステリシス特性を示すように生成する判定回路と、該モード信号に応じて動作モードを切り替える内部回路を含み、前記内部回路は所定の周波数より低い周波数で動作する第1の動作モードと該所定の周波数より高い周波数で動作する第2の動作モードとで動作可能であり、該内部回路は該第1の動作モードで動作する場合に該第2の動作モードで動作する場合よりも消費電力が少なく、前記内部回路は出力信号を出力する出力バッファを含み、該出力バッファは、前記第1の動作モードでは該出力信号を第1の駆動力で出力し、前記第2の動作モードでは該出力信号を該第1の駆動力よりも高い第2の駆動力で出力することを特徴とする。

20

30

【0020】

上記発明に於ては、入力されるクロックの周波数を判定して出力バッファの動作モードを切り替えることによって、高速クロック時には高い駆動力で出力信号を出力して高速なデータ伝送に対応すると共に、低速クロック時には駆動力を削減することで出力バッファに於ける消費電力を削減することが出来る。

【0021】

請求項9の発明に於ては、前記出力バッファは第1乃至第4の出力トランジスタを含み、前記第1の動作モードにおいて該第1のトランジスタ及び該第2のトランジスタのみにより出力を駆動し、前記第2の動作モードにおいて該第1のトランジスタ及び該第2のトランジスタ並びに該第3のトランジスタ及び該第4のトランジスタにより出力を駆動することを特徴とする。

40

【0022】

上記発明に於ては、入力されるクロックの周波数を判定して出力バッファの動作モードを切り替えることによって、高速クロック時には広いゲート幅の出力トランジスタで高速なデータ伝送に対応すると共に、低速クロック時には狭いゲート幅の出力トランジスタを用いて出力バッファに於ける消費電力を削減することが出来る。

【0023】

請求項10の発明に於ては、半導体装置は、外部から入力される第1のクロックに基づいて、外部に信号出力するための同期信号として用いる第2のクロックを生成するクロック生成回路と、該クロック生成回路の内部信号に基づいて、該第1のクロックの周波数の

50

高低を示すモード信号を、モード信号変化時において周波数変動に対するヒステリシス特性を示すように生成する判定回路と、該モード信号に応じて動作モードを切り替える内部回路を含み、前記内部回路は所定の周波数より低い周波数で動作する第1の動作モードと該所定の周波数より高い周波数で動作する第2の動作モードとで動作可能であり、該内部回路は該第1の動作モードで動作する場合に該第2の動作モードで動作する場合よりも消費電力が少なく、前記内部回路は内部電圧を生成する内部電圧生成回路を含み、該内部電圧生成回路は、前記第1の動作モードでは第1の内部電圧を生成し、前記第2の動作モードでは該第1の内部電圧よりも高い第2の内部電圧を生成することを特徴とする。

【0024】

上記発明に於ては、入力されるクロックの周波数を判定して内部電圧生成回路の動作モードを切り替えることによって、高速クロック時には高い内部電圧を生成すると共に、低速クロック時には低い内部電圧を生成して内部回路に供給することで消費電力を削減することが出来る。

【0025】

請求項11の発明に於ては、半導体装置は、外部から入力される第1のクロックに基づいて、外部に信号出力するための同期信号として用いる第2のクロックを生成するクロック生成回路と、該クロック生成回路の内部信号に基づいて、該第1のクロックの周波数の高低を示すモード信号を、モード信号変化時において周波数変動に対するヒステリシス特性を示すように生成する判定回路と、該モード信号に応じて動作モードを切り替える内部回路を含み、前記内部回路は所定の周波数より低い周波数で動作する第1の動作モードと該所定の周波数より高い周波数で動作する第2の動作モードとで動作可能であり、該内部回路は該第1の動作モードで動作する場合に該第2の動作モードで動作する場合よりも消費電力が少なく、該内部回路は、データを記憶するメモリセル配列と、該メモリセル配列から読み出したデータを転送するデータバスと、該データバスのデータを表す信号を増幅する増幅器を含み、該増幅器は前記第1の動作モードで動作する場合に前記第2の動作モードで動作する場合よりも消費電力が少ないことを特徴とする。

【0026】

上記発明に於ては、入力されるクロックの周波数を判定して、メモリセルから読み出した信号を増幅する増幅器の動作モードを切り替えることによって、高速クロック時には高い周波数での動作を可能にすると共に、低速クロック時には増幅器での消費電力を削減することが出来る。

【0027】

請求項12の発明に於ては、半導体装置は、外部から入力される第1のクロックに基づいて、外部に信号出力するための同期信号として用いる第2のクロックを生成するクロック生成回路と、該第1のクロックの周波数の高低を示すモード信号を出力するラッチ回路を含み、該クロック生成回路の内部信号に基づいて、該第1のクロックの該周波数が第1の周波数よりも高い場合に該ラッチ回路に該モード信号の第1の値を出力させ、該第1のクロックの該周波数が第2の周波数よりも低い場合に該ラッチ回路に該モード信号の第2の値を出力させ、該第1のクロックの該周波数が該第1の周波数と該第2の周波数との間にあるときには該ラッチ回路が保持する該モード信号の値を変化させない判定回路と、該モード信号に応じて動作モードを切り替える内部回路を含み、前記内部回路は所定の周波数より低い周波数で動作する第1の動作モードと該所定の周波数より高い周波数で動作する第2の動作モードとで動作可能であり、該内部回路は該第1の動作モードで動作する場合に該第2の動作モードで動作する場合よりも消費電力が少ないことを特徴とする。

【0028】

上記発明に於ては、入力されるクロックの周波数を判定して内部回路の動作モードを切り替える際に、クロック周波数の変動とモード切り替えとの関係にヒステリシス特性を導入するので、クロック周波数がノイズ等により変動しても頻繁かつランダムなモード切り替えを避けることが出来る。

【0030】

また更に上記発明に於ては、ラッチ回路とラッチ回路の保持データを書き換える制御回路とによって、上記ヒステリシス特性を容易に実現することが出来る。請求項 13 の発明に於ては、請求項 12 記載の半導体装置に於て、該モード信号を該半導体装置の外部に出力する出力端子を更に含むことを特徴とする。

【0031】

上記発明に於ては、入力されるクロックの周波数を判定して外部に出力するので、外部システムでもクロック周波数に応じたモード切り替えを行うことが出来る。

【0033】

【発明の実施の形態】

以下に、添付の図面を用いて、本発明の原理及び実施例を説明する。

10

本発明の原理による半導体装置を図 1 に示す。図 1 の半導体装置 10 は、入力バッファ 11、コア回路 12、出力バッファ 13、内部電圧生成回路 14、DLL (delay locked loop) 15、及び判定回路 16 を含む。

【0034】

DLL 15 は従来の回路と同一であり、SDRAM 等のクロック信号に同期して動作する半導体装置に於て広く用いられる。この DLL 15 は、入力クロック信号 CLK を基にして、入力クロック信号 CLK に対して所定の遅延時間で位相が固定された内部クロック信号 CLK0 を生成する。なお DLL 15 の代わりに、入力クロック信号 CLK と所定の位相関係の内部クロック信号 CLK0 を、アナログ的に生成する PLL (phase locked loop) 回路を用いてもよい。

20

【0035】

入力バッファ 11 は、入力信号を受け取りバッファして、コア回路 12 に供給する。また入力信号として供給される入力クロック信号 CLK を、DLL 15 に供給する。コア回路 12 は、例えば半導体装置 10 が DRAM であればメモリコア、アドレスデコーダ、制御ユニット等よりなる回路である。コア回路 12 は、出力バッファ 13 に出力信号を供給する。

【0036】

DLL 15 が生成した内部クロック信号 CLK0 は、入力クロック信号 CLK と所定の位相関係を有した信号であり、出力バッファ 13 に供給される。出力バッファ 13 は、内部クロック信号 CLK0 に同期させて、出力信号を半導体装置 10 外部に出力する。一般に、入力バッファ 11 が入力クロック信号 CLK をバッファすると、入力クロック信号 CLK には若干の遅延が生じてしまう。従って出力バッファ 13 が、受信した入力クロック信号 CLK をそのまま同期信号として使用してしまうと、外部に出力される信号の同期が、元々の入力クロック信号 CLK から外れてしまう。これを補償するために、DLL 15 は、入力クロック信号 CLK と所定の位相関係を有した内部クロック信号 CLK0 を生成し、出力バッファ 13 は、この内部クロック信号 CLK0 を信号出力のための同期信号として用いる。

30

【0037】

内部電圧生成回路 14 は、外部より入力された電源電圧 (図示せず) を基にして内部電圧 V を生成し、この内部電圧 V を入力バッファ 11、コア回路 12、及び出力バッファ 13 に供給する。

40

入力バッファ 11、コア回路 12、及び出力バッファ 13 の少なくとも一つは、高周波数のクロック入力に対応した高速動作回路と低周波数のクロック入力に対応した低消費電力用回路とを備えており、入力クロック信号 CLK の周波数に応じて、高速動作モードと低消費電力動作モードとを切り替えられる。なお高速動作回路と低消費電力用回路とを別個に用意しなくとも、同一の回路で高速動作モードと低消費電力モードとを切り替えられる構成でもよい。

【0038】

内部電圧生成回路 14 は、高速動作モードでは内部電圧 V を高くし、低消費電力動作モードでは内部電圧 V を低くすることが可能な構成であってよい。

50

D L L（或いは P L L）1 5 に於ては、後程詳細に説明するように、内部クロック信号 C L K 0 を生成する過程で、入力クロック信号 C L K の周波数を示すような信号が生成される。このような信号を、以下に於ては、判定信号 C L K _ F と呼ぶ。この判定信号 C L K _ F を D L L 1 5 から取り出し、判定回路 1 6 に供給する。判定回路 1 6 は、判定信号 C L K _ F を基にして、入力クロック信号 C L K の周波数を判定する。

【0039】

判定信号 C L K _ F としては、後程説明するように、D L L 1 5 のディレイラインのディレイ段を制御する信号等が使用可能である。このディレイ段を制御する信号のように、入力クロック信号 C L K の周波数を反映するような D L L の内部信号のうちで、適当なものを選んで判定信号 C L K _ F とすれば良い。P L L 回路の場合も同様であり、例えば P L L の V C O（電圧制御発信器）への入力信号のように、入力クロック信号 C L K の周波数を反映するような信号を選んで、この信号を判定信号 C L K _ F とすれば良い。

10

【0040】

判定回路 1 6 は、入力クロック信号 C L K の周波数に応じて、動作モードが高速動作モード（高周波数）であるか低消費電力モード（低周波数）であるかを判定し、モード信号 L P Z を変化させる。例えば、高速動作モードの場合にモード信号 L P Z は L O W となり、低消費電力モードの場合にモード信号 L P Z は H I G H となる。なおモードを高速動作モードと低消費電力動作モードとの 2 つに限定する必要はなく、中速・中消費電力のモード等を加えて 2 つ以上のモードを判定することは可能であり、その場合には例えばモード信号 L P Z は 2 ビット以上から構成されるとすればよい。またモードが消費電力に関係なく、高速動作モード、中速動作モード、低速動作モード等からなる場合であっても、判定回路 1 6 が入力クロック信号 C L K の周波数に応じてこれらのモードを判定可能であることは言うまでもない。

20

【0041】

判定回路 1 6 が出力したモード信号 L P Z は、入力バッファ 1 1、コア回路 1 2、出力バッファ 1 3、及び内部電圧生成回路 1 4 に供給される。入力バッファ 1 1、コア回路 1 2、出力バッファ 1 3、及び内部電圧生成回路 1 4 のうちの少なくとも一つは、モード信号 L P Z に応じて、高速動作モードと低消費電力動作モードとを切り替える。なお 2 つ以上のモードが存在する場合には、それらのモードに対応した回路構成が備えられていることは言うまでもない。

30

【0042】

上述のように、本発明の原理による半導体装置 1 0 に於ては、従来用いられる回路である D L L（或いは P L L）1 5 が内部生成する判定信号 C L K _ F を基にして、判定回路 1 6 が入力クロック信号 C L K の周波数を判定する。従って、周波数判定用の回路を完全に別個に用意する必要がなく、単純かつ小規模な判定回路で、入力クロック信号 C L K の周波数を判定することが出来る。また判定回路 1 6 の判定結果に従って、動作モードに対応して内部回路（入力バッファ 1 1、コア回路 1 2、出力バッファ 1 3、内部電圧生成回路 1 4 等を総称して内部回路と呼ぶ）の切り替えを行うので、動作モードに適した回路特性を実現することが出来る。即ち、例えば、高速動作モードの場合には高速な回路特性を提供することが可能であり、また低消費電力モードの場合には内部回路の消費電力を低く抑えることが可能である。

40

【0043】

以下に、D L L 1 5 の構成について説明する。なお以下に示す D L L 1 5 の構成は従来技術の範囲内であるので、その説明については概略にとどめる。

図 1 3 は、D L L 1 5 の概略的な構成を示す。

D L L 1 5 は、分周器 2 0 1、位相検出器 2 0 2、第 1 のディレイライン 2 0 3、第 2 のディレイライン 2 0 4、シフトレジスタ 2 0 5 を含む。

【0044】

入力クロック信号 C L K は、分周器 2 0 1 と第 1 のディレイライン 2 0 3 に入力される。分周器 2 0 1 は、入力クロック信号 C L K を所定の率で分周して、分周クロック信号を生

50

成する。分周クロック信号は、位相検出器 202 と第 2 のディレイライン 204 とに供給される。第 2 のディレイライン 204 は、シフトレジスタ 205 の設定内容に応じた遅延分だけ分周クロック信号を遅延させ、遅延分周クロック信号を出力する。第 2 のディレイライン 204 から出力される遅延分周クロック信号は、位相検出器 202 に入力される。

【0045】

位相検出器 202 は、分周器 201 からの分周クロック信号と第 2 のディレイライン 204 からの遅延分周クロック信号とを、位相に関して比較する。具体的には位相検出器 202 は、分周クロック信号と遅延分周クロック信号との間での位相差が、所定の範囲内であるか、所定の範囲を越えて進んでいるか、或いは所定の範囲を越えて遅れているかを検出する。検出結果に応じて、位相検出器 202 は、第 2 のディレイライン 204 に於ける遅延を調節するように、シフトレジスタ 205 に対して制御信号を送る。

10

【0046】

位相検出器 202 からの制御信号に基づいて、シフトレジスタ 205 の設定内容が制御される。この設定内容に応じて、第 2 のディレイライン 204 の遅延量が決まる。位相差が所定の範囲内であるときには、シフトレジスタ 205 の設定内容は変化しない。位相差が所定の範囲を越えて進んでいるか或いは所定の範囲を越えて遅れている場合には、シフトレジスタ 205 の設定内容が変化して、位相差が所定の範囲内に入るように第 2 のディレイライン 204 の遅延量が調整される。

【0047】

第 1 のディレイライン 203 は、シフトレジスタ 205 の設定内容に応じて、第 2 のディレイラインと同一の遅延分だけ入力クロック信号 CLK を遅延させる。これによって、第 1 のディレイライン 203 は、入力クロック信号 CLK から所定の遅延時間だけ遅れた内部クロック信号 CLK0 を出力する。

20

【0048】

図 14 は、ディレイラインの構成の一例を示す回路図である。図 14 に示される構成のディレイラインが、第 1 のディレイライン 203 及び第 2 のディレイライン 204 として用いられる。

図 14 のディレイラインは、インバータ 210、NAND 回路 211-1 乃至 211-n、NAND 回路 212-1 乃至 212-n、及びインバータ 213-1 乃至 213-n を含む。インバータ 210 が入力信号を受け取り、インバータ 213-1 が出力信号を送出する。

30

【0049】

NAND 回路 211-1 乃至 211-n の各々は、一方の入力に信号 p(1) 乃至 p(n) を受け取る。NAND 回路 211-1 乃至 211-n の各々のもう一方の入力は、入力信号を受け取る。信号 p(1) 乃至 p(n) は、そのうちの 하나가 HIGH で残り全ては LOW である信号である。NAND 回路 211-1 乃至 211-n の出力は夫々、NAND 回路 212-1 乃至 212-n の一方の入力に与えられる。NAND 回路 212-2 乃至 212-n の出力は、インバータ 213-2 乃至 213-n を介して、次段の NAND 回路 212-1 乃至 212-n-1 のもう一方の入力に与えられる。NAND 回路 212-n のもう一方の入力は HIGH に固定され、NAND 回路 212-1 の出力は、インバータ 213-1 を介して出力信号として送られる。

40

【0050】

信号 p(1) 乃至 p(n) のうち、一つだけ HIGH である信号を p(x) とする。この信号 p(x) を受け取る NAND 回路 211-x は、もう一方の入力に対するインバータとして動作する。従って、ディレイラインへの入力信号は、インバータ 210 と当該インバータとによって 2 度反転されて、元の入力信号として NAND 回路 212-x に入力される。NAND 回路 211-x を除いた NAND 回路 211-1 乃至 211-n を NAND 回路 211-y とすると、対応する入力信号 p(y) が LOW であるから、NAND 回路 211-y の出力は常に HIGH である。従って NAND 回路 212-y はインバータとして動作し、対応するインバータ 213-y との対で遅延素子を構成する。

50

【0051】

NAND回路212-nの一方の入力はHIGH固定であるので、NAND回路212-xの一方の入力はHIGH固定である。従って、NAND回路212-xは、ディレイラインへの入力信号に対するインバータとして動作する。ディレイラインへの入力信号は、当該インバータとインバータ213-xを通過し、更に下流に設けられた上記遅延素子を通過して、最終的に出力としてインバータ213-1から送出される。即ち、HIGHである信号p(x)の位置に応じて、出力信号の遅延量が変化することになる。信号p(x)の位置が上流に近ければ(xが大きければ)遅延量は大きくなり、下流に近ければ(xが小さければ)遅延量は小さくなる。

【0052】

10

図15は、信号p(1)乃至p(n)を生成するシフトレジスタ205の一例を示す回路図である。図15には、HIGHである信号p(x)の前後6個の信号p(x-3)乃至p(x+2)に対する回路を示す。

シフトレジスタ205は、NOR回路221乃至226、NAND回路231乃至236、インバータ241乃至246、NMOSトランジスタ251乃至256、NMOSトランジスタ261乃至266、NMOSトランジスタ271乃至276、及びNMOSトランジスタ281乃至286を含む。NMOSトランジスタ251乃至256のうち、奇数番のものは信号Aをゲート入力とし、偶数番のものは信号Bをゲート入力とする。またNMOSトランジスタ261乃至266のうち、奇数番のものは信号Cをゲート入力とし、偶数番のものは信号Dをゲート入力とする。これらの信号A乃至Dは、位相検出器202から与えられる。また信号Resetは、シフトレジスタ205を初期化するための信号である。

20

【0053】

なおNOR回路221乃至226の出力が、信号p(x+2)乃至p(x-3)である。初期状態に於ては、信号p(x)即ちNOR回路223の出力がHIGHである。ここでディレイラインの遅延量を増やしたい場合は、信号p(x)をLOWとして、信号p(x+1)がHIGHになるようにすればよい。これは信号Cとして、HIGHパルスを与えればよい。信号CがHIGHとなると、NMOSトランジスタ263が導通され、現在HIGHであるインバータ243の出力がLOWに強制的に落とされる。この結果、インバータ243及びNAND回路233からなるラッチの状態が反転し、NAND回路233の出力はHIGHとなる。これによりNOR回路223の出力p(x)はLOWとなる。またインバータ243の出力がLOWであるから、NOR回路222の出力p(x+1)がHIGHになる。

30

【0054】

この状態から、更にディレイラインの遅延量を増やしたい場合は、信号DとしてHIGHパルスを与えればよい。このようにNOR回路221乃至226の奇数番目から遅延量を増やす場合には信号CをHIGHにし、偶数番目から遅延量を増やす場合には信号DをHIGHにすればよい。

【0055】

40

また図15に示す初期状態に於て、ディレイラインの遅延量を減らしたい場合には、信号p(x)をLOWとして、信号p(x-1)がHIGHになるようにすればよい。これは信号Bとして、HIGHパルスを与えればよい。更に遅延量を減らす場合には、信号AにHIGHパルスを与えればよい。このようにNOR回路221乃至226の奇数番目から遅延量を減らす場合には信号BをHIGHにし、偶数番目から遅延量を増やす場合には信号AをHIGHにすればよい。

【0056】

これらの制御信号A乃至Dは、分周クロック信号と遅延分周クロック信号との位相差を検出する位相検出器202が供給する。この位相検出器202及び分周器201の構成については省略する。

上述の様に、図14及び図15に示される信号p(1)乃至p(n)は、ディレイライン

50

の遅延量を決定する信号である。ここでディレイラインへの入力信号の周波数が高くなると、入力信号の周期は短くなる。結果として、所望の位相遅れを実現するために必要な遅延量も小さくなる。従って、入力クロック信号CLKの周波数が高い場合には、ディレイラインに設定される遅延量が小さく、逆に入力クロック信号CLKの周波数が低い場合には、ディレイラインに設定される遅延量が大きくなる。これを信号p(1)乃至p(n)に関して表現するならば、入力クロック信号CLKの周波数が高い場合には、HIGHである信号p(x)のxが小さくなり、逆に入力クロック信号CLKの周波数が低い場合には、HIGHである信号p(x)のxが大きくなる。即ち、信号p(1)乃至p(n)は入力クロック信号CLKの周波数を直接的に反映した形となっている。従って信号p(1)乃至p(n)或いはこれに関連する信号を、図1の判定信号CLK_Fとして用いることが出来る。

10

【0057】

図2は、図1の判定回路16の実施例の回路図を示す。

図2の判定回路16は、図15に示されるように、信号p(1)乃至p(n)を出力するNOR回路の一方の入力信号をq(1)乃至q(n)として、そこから選択した2つの信号q(j)及びq(1)を入力とする(j<1)。即ちこの実施例に於ては、信号q(j)及びq(1)が、判定信号CLK_Fである。

【0058】

信号q(1)乃至q(n)は、HIGHである信号p(x)を境界として、高い周波数に対応するq(1)乃至q(x-1)はHIGHであり、低い周波数に対応するq(x)乃至q(n)はLOWである信号である。従って、所定の入力信号周波数に対応する信号q(k)を選べば、この信号q(k)は、入力クロック周波数CLKが所定の周波数より低い場合にHIGHとなり、入力クロック周波数CLKが所定の周波数より高い場合にLOWとなる。従って、この信号q(k)を、そのままモード信号LPZとして用いることが出来る。

20

【0059】

しかしながら信号q(k)をモード信号LPZとしたのでは、ノイズの影響を受けやすいという問題がある。半導体装置10に供給される入力クロック信号CLKは、僅かではあってもノイズの影響を受ける。従って、DLL15のディレイ段数(遅延量)は、ノイズの影響により若干変動することになる。入力クロック信号CLKの周波数が信号q(k)に対応する所定の周波数に近い場合、DLL15のディレイ段数がノイズの影響で変動すると、信号q(k)もHIGH及びLOWの間を不規則に変動することになる。従って、信号q(k)をそのままモード信号LPZとして用いることは、実際的には好ましくない。

30

【0060】

図2の判定回路16は、2つの信号q(j)及びq(1)を入力とすることにより、周波数変動に対するヒステリシス特性を導入する。判定回路16は、PMOSトランジスタ21、NMOSトランジスタ22及び23、インバータ24及び25を含む。インバータ24及び25は、互いの出力を入力として、ラッチ回路を構成する。

【0061】

図3は、図2の判定回路16の動作を説明するための図である。図2及び図3を参照して、以下に、判定回路16の動作を説明する。

40

まず入力クロック信号CLKの周波数が十分高い状態で、信号q(j)及びq(1)が共にLOWであるとする。このときPMOSトランジスタ21はONであり、NMOSトランジスタ22及び23はOFFとなる。従って、インバータ24の入力はHIGHになり、インバータ24及び25からなるラッチ回路は、出力LPZ(モード信号)としてLOWを出力する。

【0062】

この状態から入力クロック信号CLKの周波数が徐々に低くなると、信号q(j)がHIGHであり信号q(1)がLOWである状態になる。これによってPMOSトランジスタ

50

21はOFFとなりNMOSトランジスタ22はONとなるが、NMOSトランジスタ23はOFFのままであるので、インバータ24の入力は浮遊状態となる。従って、インバータ24及び25からなるラッチ回路は、インバータ24の出力がLOWである状態を保持するので、出力LPZとしてLOWを出力する。

【0063】

この状態から入力クロック信号CLKの周波数が更に低くなると、信号q(j)及びq(1)が共にHIGHである状態になる。このときPMOSトランジスタ21はOFFであり、NMOSトランジスタ22及び23はONとなる。従って、インバータ24の入力はLOWになり、インバータ24及び25からなるラッチ回路は、出力LPZとしてHIGHを出力する。

10

【0064】

このように、出力LPZがLOWからHIGHになる変化は、信号q(1)の変化によって齎らされることになる。

この状態から、逆に周波数が徐々に高くなっていくと、信号q(j)がHIGHであり信号q(1)がLOWである状態になる。これによってNMOSトランジスタ23はOFFとなるが、PMOSトランジスタ21及びNMOSトランジスタ22はOFF及びONのままであるので、インバータ24の入力は浮遊状態となる。従って、インバータ24及び25からなるラッチ回路は、インバータ24の出力がHIGHである状態を保持するので、出力LPZとしてHIGHを出力する。

【0065】

20

この状態から更に周波数が高くなると、信号q(j)及びq(1)が共にLOWである状態になる。このときPMOSトランジスタ21はONであり、NMOSトランジスタ22及び23はOFFとなる。従って、インバータ24の入力はHIGHになり、インバータ24及び25からなるラッチ回路は、出力LPZとしてLOWを出力する。

【0066】

このように、出力LPZがHIGHからLOWになる変化は、信号q(j)の変化によって齎らされることになる。

即ち、周波数が低くなる場合には、周波数が信号q(1)に対応する第1の周波数まで到達して初めて、モード信号LPZがHIGHに変化する。逆に周波数が高くなる場合には、周波数が信号q(j)に対応する第2の周波数まで到達して初めて、モード信号LPZがLOWに変化する。ここで第1の周波数は、第2の周波数よりも低い。従って、入力クロック信号CLKの周波数がノイズの影響で変動しても、その変動の振幅が第1の周波数と第2の周波数との差よりも小さい限りは、モード信号LPZはノイズの影響を受けないことになる。このようにして、ノイズ変動に影響され難いモード信号LPZを生成することが出来る。

30

【0067】

図4は、図1の半導体装置10に於てDLL15の代わりにPLL15Aを用いた場合に、PLL15A及び判定回路16Aの構成を示す図である。

図4のPLL15Aは、位相比較器31、ローパスフィルタ32、電圧制御発信器33を含む。位相比較器31は入力クロック信号CLKと内部クロック信号CLK0を受け取り、両者の位相を比較し、位相比較結果を電圧信号としてローパスフィルタ32に供給する。ローパスフィルタ32は、位相比較結果の電圧信号をローパスフィルタリングして、電圧制御発信器33に供給する。電圧制御発信器33は、ローパスフィルタリングされた位相比較結果の電圧信号に基づいて発振し、ある周波数を有した内部クロック信号CLK0を生成する。この内部クロック信号CLK0は、位相比較器31にフィードバックされる。従来からよく知られるように、このような構成を有したPLL回路によって、入力クロック信号CLKと所定の位相関係を有した内部クロック信号CLK0を生成することが出来る。

40

【0068】

判定回路16Aは、PLL15Aの電圧制御発信器33の入力である電圧信号を、判定信

50

号CLK_Fとして受け取る。判定回路16Aは、PMOSトランジスタ21、NMOSトランジスタ22及び23、インバータ24及び25、差動増幅器34及び35を含む。なお図4に於て、図2と同一の構成要素は同一の番号で参照され、その説明は省略される。なお電圧制御発信器33の入力電圧即ち判定信号CLK_Fの電圧が低いほど、入力クロック信号CLKの周波数が低いことを示す。

【0069】

差動増幅器34は、判定信号CLK_Fを一方の入力とし、参照電圧Ref1を他方の入力として、判定信号CLK_Fが参照電圧Ref1より高いときに出力をLOWとする。同様に差動増幅器35は、判定信号CLK_Fを一方の入力とし、参照電圧Ref2を他方の入力として、判定信号CLK_Fが参照電圧Ref2より高いときに出力をLOWとする。ここで参照電圧Ref1は、参照電圧Ref2よりも高い電圧である。

10

【0070】

従って、周波数が十分高い場合には、差動増幅器34及び35の出力が共にLOWであり、判定回路16Aの出力であるモード信号LPZはLOWになる。周波数が徐々に下がり、判定信号CLK_Fの電圧が参照電圧Ref1及びRef2の間になっても、判定回路16Aの出力であるモード信号LPZはLOWのままである。周波数が更に下がり、判定信号CLK_Fの電圧が参照電圧Ref2以下になると初めて、判定回路16Aの出力であるモード信号LPZがHIGHになる。この状態から逆に周波数が高くなっても、判定信号CLK_Fの電圧が参照電圧Ref1以下である限りは、判定回路16Aの出力であるモード信号LPZはHIGHのままである。モード信号LPZがLOWになるのは、周波数が十分高くなって、判定信号CLK_Fの電圧が参照電圧Ref1以上になった場合である。

20

【0071】

従って、入力クロック信号CLKの周波数がノイズの影響で変動しても、その変動の振幅が参照基準電圧の差に対応する差よりも小さい限りは、モード信号LPZはノイズの影響を受けないことになる。このようにして、ノイズ変動に影響され難いモード信号LPZを生成することが出来る。

【0072】

図5は、図1の入力バッファ11の第1の実施例を示す。図5の入力バッファ11は、PMOSトランジスタ41及び42、NMOSトランジスタ43乃至46、及びインバータ47を含む。NMOSトランジスタ45及び46は、モード信号LPZによって選択的に駆動されるトランジスタである。モード信号LPZがHIGHの時には、NMOSトランジスタ46が駆動され、モード信号LPZがLOWの時には、NMOSトランジスタ45が駆動される。

30

【0073】

NMOSトランジスタ45或いは46の一方が駆動されている状態では、図5の入力バッファは従来の差動増幅型の入力バッファである。従って、入力信号Vinが参照基準電圧Vrefよりも高いときに、インバータ47の出力はHIGHとなり、逆に入力信号Vinが参照基準電圧Vrefよりも低いときに、インバータ47の出力はLOWとなる。インバータ47の出力が、コア回路12やDLL15（図1参照）等の内部回路に、入力データとして供給される。

40

【0074】

NMOSトランジスタ45の駆動力はNMOSトランジスタ46の駆動力よりも高い。即ち、モード信号LPZがLOWでありNMOSトランジスタ45がONとなる場合には、入力バッファ11は比較的大電流で駆動される。従って、入力クロック信号CLKの周波数が高い場合に、入力バッファ11は大電流で駆動されることになり、高速な動作に対応することが出来る。

【0075】

NMOSトランジスタ46の駆動力はNMOSトランジスタ46の駆動力よりも低い。即ち、モード信号LPZがHIGHでありNMOSトランジスタ46がONとなる場合には

50

、入力バッファ11は比較的小さな電流で駆動される。従って、入力クロック信号CLKの周波数が低い場合に、入力バッファ11は小さな電流で駆動されることになり、バッファ内部での消費電力を比較的少なくすることが出来る。

【0076】

上述の様に、図5の入力バッファ11は、入力クロック信号CLKの周波数の高低を示すモード信号LPZに応じて、バッファの駆動電流を変化させることが出来る。これによって、高速クロックに対応することが可能であると共に、低速クロックの場合にはバッファ内部の消費電力を削減することが可能となる。

【0077】

図6は、図1の入力バッファの第2の実施例を示す。図6の入力バッファ11Aは、電流制御回路50及び複数の入力バッファ部70を含む。

各入力バッファ部70は、入力データの1ビット分として入力信号Vinを受け取り、参照基準電圧Vrefと比較して、入力信号Vinと参照基準電圧Vrefとの大小関係に応じて、内部回路に入力データを供給する。各入力バッファ部70は、PMOSトランジスタ71及び72、NMOSトランジスタ73乃至75、及びインバータ76を含む。NMOSトランジスタ73のゲートに入力信号Vinを受け取り、入力信号Vinが参照基準電圧Vrefより低いときはインバータ76の入力をHIGHとし、それにより内部回路にLOWを供給する。入力信号Vinが参照基準電圧Vrefより高いときにはインバータ76の入力をLOWとし、それにより内部回路にHIGHを供給する。NMOSトランジスタ75は、入力バッファ部70を駆動するトランジスタである。後述のように、NMOSトランジスタ75を流れる電流量i2は、高速動作モードでは多く、低消費電力モードでは少ないように制御される。

【0078】

電流制御部50は、各入力バッファ部70に於て、NMOSトランジスタ75に流れる電流i2を制御するための回路である。一般に参照基準電圧Vrefはチップ外部から供給されるものであり、ノイズ等の影響により若干の変動を伴うことは避けられない。しかし参照基準電圧Vrefの変動により、各入力バッファ部70のNMOSトランジスタ75を流れる電流i2が変動してしまうことは、チップ動作保証の上から望ましくない。そこで電流制御部50を用いて、参照基準電圧Vrefの変動に関わらず、電流i2が一定となるように制御する。

【0079】

電流制御部50は、電圧生成部51、差動増幅器52、及びレプリカ回路53を含む。電圧生成部51は、PMOSトランジスタ54、及び抵抗r1乃至r3を含み、抵抗による電圧分割によって所定の電圧V1を生成する。差動増幅器52は、PMOSトランジスタ55及び56とNMOSトランジスタ57乃至59とを含み、電圧生成部51が生成する所定の電圧V1とレプリカ回路53の内部電圧V2とが等しくなるように、電圧VCSGを調整する。

【0080】

レプリカ回路53は、入力バッファ部70のレプリカであり、抵抗R及びNMOSトランジスタ60乃至62を含む。NMOSトランジスタ62は、各入力バッファ部70のNMOSトランジスタ75と共通に、電圧VCSGをゲート電圧入力として受け取る。従って、NMOSトランジスタ62を流れる電流i1は、NMOSトランジスタ75を流れる電流i2と常に比例関係にある。抵抗Rには電流i1が流れるので、電流i1が一定である限りは抵抗Rに於ける電圧降下は一定である。従って電流i1が一定である限りは、抵抗RとNMOSトランジスタ60及び61との接続点に於ける電圧V2は一定である。

【0081】

NMOSトランジスタ60及び61に於ては、参照基準電圧Vrefをゲート入力とするために、参照基準電圧Vrefの変動によってドレイン・ソース間の電圧が変動することになる。参照基準電圧Vrefの変動により電流i1及び電圧V2が変化すると、差動増幅器52に於て電圧V2をゲート入力とするNMOSトランジスタ58に於ける電圧降下

が変化し、電圧 V_{CSG} が変化する。この電圧 V_{CSG} の電圧変化は、電流 i_1 の変化を齎らし、電圧 V_2 が電圧生成回路 51 の生成する電圧 V_1 と等しくなるように、電圧 V_2 が調整される。即ち、参照基準電圧 V_{ref} の変動に関わらず、電圧 V_2 は電圧 V_1 と等しくなるように、一定値に制御される。このように電圧 V_2 が一定値に制御されるので、電流 i_1 も常に一定値になるように制御されることになる。

【0082】

従って、参照基準電圧 V_{ref} の変動に関わらず、各入力バッファ部 70 の NMOS トランジスタ 75 を流れる電流 i_2 は、常に一定値になるように制御される。

電圧生成部 51 の PMOS トランジスタ 54 は、抵抗 r_1 と並列に設けられており、モード信号 LPZ の反転信号 $\neg LPZ$ をゲート入力として受け取る。高速動作モード時には、反転モード信号 $\neg LPZ$ は HIGH であり、PMOS トランジスタ 54 は OFF となる。

従って、電圧生成回路 51 が生成する電圧 V_1 は、 $r_3 / (r_1 + r_2 + r_3)$ となる。低消費電力モード時には、反転モード信号 $\neg LPZ$ は LOW であり、PMOS トランジスタ 54 は ON となる。従って、電圧生成回路 51 が生成する電圧 V_1 は、 $r_3 / (r_2 + r_3)$ となる。即ち、低消費電力モード時の方が高速動作モード時よりも、電圧 V_1 が大きいことになる。これにより高速動作モードでは電流 i_1 及び電流 i_2 が比較的大きく、低消費電力モードでは電流 i_1 及び電流 i_2 が比較的小さいことになる。

【0083】

このようにして、各入力バッファ部 70 の NMOS トランジスタ 75 を流れる電流 i_2 を、参照基準電圧 V_{ref} の変動に関わらず常に一定に制御すると共に、高速動作モード時には比較的大きな値に設定して各入力バッファ 70 の高速動作を可能にし、また低消費電力モード時には比較的小さな値に設定して各入力バッファ 70 に於ける電力消費量を抑えることが出来る。このような図 6 の第 2 の実施例の構成に於ては、一つの電流制御部 50 を、複数の入力バッファ部 70 に対して共通に用いることが出来る。

【0084】

図 7 は、図 1 の入力バッファの第 3 の実施例を示す。図 7 の入力バッファ 11B は、高速・高消費電力バッファ 80 と、低速・低消費電力バッファ 90 と、インバータ 105 及び 106、及び NAND 回路 107 及び 108 を含む。

高速・高消費電力バッファ 80 は、PMOS トランジスタ 81 乃至 84、及び NMOS トランジスタ 85 乃至 87 を含む。高速・高消費電力バッファ 80 の基本的構成は通常の差動増幅型のアンプと同一であり、その基本的動作は図 5 に示される回路と同様であるので説明を省略する。但しモード信号 LPZ の反転信号 $\neg LPZ$ が、インバータ 105 から、PMOS トランジスタ 81 及び 84 と NMOS トランジスタ 87 のゲートに供給される。モード信号 LPZ が LOW の時（高速動作モード時）に、NMOS トランジスタ 87 は ON となり、また PMOS トランジスタ 81 及び 84 は OFF となるので、高速・高消費電力バッファ 80 は差動増幅型のアンプとして動作する。モード信号 LPZ が HIGH の時（低消費電力モード時）に、NMOS トランジスタ 87 は OFF となり、また PMOS トランジスタ 81 及び 84 は ON となるので、高速・高消費電力バッファ 80 の出力は HIGH に固定される。

【0085】

低速・低消費電力バッファ 90 は、PMOS トランジスタ 91 乃至 96、及び NMOS トランジスタ 97 乃至 101 を含む。低速・低消費電力バッファ 90 の基本的構成は、通常のラッチ型バッファと同一であるので、その詳細な説明は省略する。但しモード信号 LPZ とラッチイネーブル信号 LE を入力とする NAND 回路 107 の出力をインバータ 106 で反転した信号、即ちモード信号 LPZ とラッチイネーブル信号 LE との AND が、PMOS トランジスタ 91、94、95、及び 96 のゲートに入力される。

【0086】

モード信号 LPZ が HIGH の時（低消費電力モード時）に、ラッチイネーブル信号 LE が HIGH になると、NMOS トランジスタ 101 は ON となり、また PMOS トランジスタ 91、94、95、及び 96 は OFF となる。従って、低速・低消費電力バッファ 9

10

20

30

40

50

0は、入力信号V i nと参照基準電圧V r e fとの大小関係で決まる入力データをラッチする。モード信号L P ZがL O Wの時（高速動作モード時）、或いはモード信号L P ZがH I G Hの時（低消費電力モード時）でもラッチイネーブル信号L EがL O Wの時、N M O Sトランジスタ1 0 1はO F Fとなり、またP M O Sトランジスタ9 1、9 4、9 5、及び9 6はO Nとなる。従って、低速・低消費電力バッファ9 0の出力はH I G Hに固定される。

【0087】

低速・低消費電力バッファ9 0に於ては、入力信号V i nをラッチする時にしか直流電流が流れないために、クロック周期が長い場合には消費電力が小さくなる特徴がある。従って、モード信号L P ZがH I G Hであり入力クロック信号C L K（図1）のクロック周期が所定長よりも長い場合には、高速・高消費電力バッファ8 0ではなく、低速・低消費電力バッファ9 0を入力信号V i nのバッファとして用いることで、消費電力の削減をはかることが出来る。なおN A N D回路1 0 8は、高速・高消費電力バッファ8 0及び低速・低消費電力バッファ9 0のうちで動作している方のバッファの出力を、内部回路に供給するために設けられる。

【0088】

図8は、図1の出力バッファ1 3の実施例を示す。図8の出力バッファ1 3は、P M O Sトランジスタ1 1 0、N M O Sトランジスタ1 1 1、P M O Sトランジスタ1 1 2、N M O Sトランジスタ1 1 3、インバータ1 1 4乃至1 2 1、N O R回路1 2 2、及びN A N D回路1 2 3を含む。

【0089】

図8の出力バッファ1 3に於ては、モード信号L P ZのH I G H／L O Wによって、出力トランジスタのディメンジョン（ゲート幅）を変えることによって、出力データの駆動力を変化させる。

具体的には、モード信号L P ZがH I G Hの時（低消費電力モード時）には、N O R回路1 2 2の出力をL O Wに固定することによってP M O Sトランジスタ1 1 2が駆動しない状態にし、またN A N D回路1 2 3の出力をH I G Hに固定することによってN M O Sトランジスタ1 1 3が駆動しない状態にする。この状態では、P M O Sトランジスタ1 1 0及びN M O Sトランジスタ1 1 1が、インバータ1 1 5に入力されるデータに応じてO N／O F Fされるので、出力はP M O Sトランジスタ1 1 0及びN M O Sトランジスタ1 1 1のみによって駆動される。

【0090】

モード信号L P ZがL O Wの時（高速動作モード時）には、N O R回路1 2 2はインバータ1 1 5の出力に対してインバータとして動作する。またN A N D回路1 2 3も同様に、インバータ1 1 5の出力に対してインバータとして動作する。従って、P M O Sトランジスタ1 1 2及びN M O Sトランジスタ1 1 3が、データのH I G H／L O Wに応じてO N／O F Fされるので、出力はP M O Sトランジスタ1 1 2及びN M O Sトランジスタ1 1 3によって駆動される。またP M O Sトランジスタ1 1 0及びN M O Sトランジスタ1 1 1も、P M O Sトランジスタ1 1 2及びN M O Sトランジスタ1 1 3と並列に駆動されるので、結果として、出力はP M O Sトランジスタ1 1 0及びN M O Sトランジスタ1 1 1並びにP M O Sトランジスタ1 1 2及びN M O Sトランジスタ1 1 3によって駆動される。この場合、出力トランジスタのディメンジョン（ゲート幅）が実効的に増大されたことになり、出力データの駆動力（スルーレート）が増大する。

【0091】

このように図8の実施例に於ては、高速動作モード時には出力トランジスタの駆動力を増大させて高速な信号出力を可能にすると共に、低消費電力モード時には出力トランジスタのゲート幅を減少させて消費電力を削減することが可能になる。

【0092】

なおP M O Sトランジスタ1 1 0及びN M O Sトランジスタ1 1 1として、P M O Sトランジスタ1 1 2及びN M O Sトランジスタ1 1 3よりもゲート幅の広いトランジスタを用

10

20

30

40

50

い、高速動作モード時にはPMOSトランジスタ110及びNMOSトランジスタ111のみを用いて出力データを駆動し、低消費電力モード時にはPMOSトランジスタ112及びNMOSトランジスタ113のみを用いて出力データを駆動するようにしてもよい。この場合に於ても図8の例と同様に、高速動作モード時には駆動力の高い出力トランジスタを用いて高速な信号出力を可能にすると共に、低消費電力モード時にはゲート幅の狭い出力トランジスタを用いて消費電力を削減することが可能になる。

【0093】

図9(A)及び図9(B)は、図1の内部電圧生成回路14の第1及び第2の実施例を示す。

図9(A)の内部電圧生成回路14は、NMOSトランジスタ131乃至133とインバータ134とを含む。NMOSトランジスタ131のゲートはモード信号LPZを受け取り、NMOSトランジスタ132のゲートはインバータ134によって反転された反転モード信号／LPZを受け取る。

10

【0094】

モード信号LPZがLOWの時（高速動作モード時）には、NMOSトランジスタ132が導通され、基準電圧Vref2がNMOSトランジスタ133のゲートに入力される。従って、内部回路に供給される電圧は、（基準電圧Vref2－NMOSトランジスタ133のしきい値電圧）となる。モード信号LPZがHIGHの時（低消費電力モード時）には、NMOSトランジスタ131が導通され、基準電圧Vref1がNMOSトランジスタ133のゲートに入力される。従って、内部回路に供給される電圧は、（基準電圧Vref1－NMOSトランジスタ133のしきい値電圧）となる。基準電圧Vref2を基準電圧Vref1よりも高い電圧に設定しておけば、高速動作モード時に比較的高い電圧を内部回路に供給し、低消費電力モード時には比較的低い電圧を内部回路に供給することが出来る。

20

【0095】

図9(B)の内部電圧生成回路14Aに於ては、図9(A)の内部電圧生成回路14に於てNMOSトランジスタ133がPMOSトランジスタ133Aに変更されると共に、差動アンプ135が設けられる。差動アンプ135は、内部回路に供給されるPMOSトランジスタ133Aのドレイン電圧と、モード信号LPZによって選択された基準電圧Vref1或いはVref2のいずれかを入力として、両電圧を比較する。また差動アンプ135の出力は、PMOSトランジスタ133Aのゲート電圧として供給される。差動アンプ135が入力の2つの電圧を比較することによって、両者の電圧差がゼロになるように、PMOSトランジスタ133Aのゲート電圧を調整する。従って、モード信号LPZがHIGHの時（低消費電力モード時）には、内部回路に供給される電圧は基準電圧Vref1となる。またモード信号LPZがLOWの時（高速動作モード時）には、内部回路に供給される電圧は基準電圧Vref2となる。基準電圧Vref2を基準電圧Vref1よりも高い電圧に設定しておけば、高速動作モード時に比較的高い電圧を内部回路に供給し、低消費電力モード時には比較的低い電圧を内部回路に供給することが出来る。

30

【0096】

図10は、図1のコア回路12の実施例を示す。図12は、図1の半導体装置10としてDRAMを想定し、データ読み出しの際のデータの流れを示したものである。図10のコア回路12は、メモリセル配列141、Yデコーダ142、Xデコーダ143、データバス144、及びアンプ145を含む。図10に於て、高速動作モード及び低消費電力モードの両モードに対応可能であるように、アンプ145がモード信号LPZによって制御される構成である以外は、従来技術のDRAMと同一である。従って、図10のコア回路12の説明は、以下に於て概略にとどめる。

40

【0097】

図1の入力バッファ11に供給された入力データであるアドレスは、Yデコーダ142及びXデコーダ143に供給される。Xデコーダ143が、X方向にメモリセル列（図示せず）を選択（ワード選択）して、選択されたメモリセルのデータをビットライン（図示せ

50

ず)に出力する。ビットライン上のデータは、メモリセル配列141内のセンスアンプ列(図示せず)によって増幅される。Yデコーダが、センスアンプをY方向に選択(コラム撰択)して、選択されたセンスアンプのデータがデータバス144を介して、アンプ145に供給される。ワード撰択及びコラム選択後に読み出されたデータバス144上のデータは、アンプ145によって増幅されて、出力バッファ13に供給される。ここでデータバス144は、1ビットあたり2本の信号線からなり、相補信号によってデータを伝送する。

【0098】

アンプ145は、モード信号LPZを入力として、高速動作モード時(モード信号LPZがLOWの時)には高速動作を行い、低消費電力モード時(モード信号LPZがHIGHの時)には低消費電力で動作を行うように制御される。

10

図11は、アンプ145の実施例を示す図である。

【0099】

図11のアンプ145は、PMOSトランジスタ151及び152、NMOSトランジスタ153乃至156、インバータ156及び157を含む。図11のアンプ145は差動型のアンプであり、図5の入力バッファ11と殆ど同一の構成を有する。図5に於ては、NMOSトランジスタ43及び44のゲートが、入力信号Vin及び参照基準電圧Vrefに各々接続されていたが、図11のアンプ145に於ては、NMOSトランジスタ153及び154は、データバス144のうちの1ビットに対応する信号線ペア144-1及び144-2に接続される。この信号線ペア144-1及び144-2は、1ビット分の相補信号を伝送し、アンプ145によって信号線間の電圧差が増幅される。

20

【0100】

図5の場合と同様に、NMOSトランジスタ155の駆動力はNMOSトランジスタ156の駆動力よりも高い。即ち、モード信号LPZがLOWでありNMOSトランジスタ155がONとなる場合には、アンプ145は比較的大電流で駆動される。従って、入力クロック信号CLKの周波数が高い場合に、アンプ145は大電流で駆動されることになり、高速な動作に対応することが出来る。

【0101】

逆にモード信号LPZがHIGHでありNMOSトランジスタ156がONとなる場合には、アンプ145は比較的小さな電流で駆動される。従って、入力クロック信号CLKの周波数が低い場合に、アンプ145は比較的小さな電流で駆動されることになり、内部での消費電力を比較的少なくすることが出来る。

30

【0102】

図11のアンプ145の実施例は、図5の入力バッファ11と同一の構成を有するものであるが、同様に、図7の入力バッファ11Bと同一の構成を用いて、アンプ145を実現可能であることは明白である。

図12は、本発明による半導体装置を、バスを終端抵抗で終端させるシステムに応用した実施例を示す。

【0103】

図12のシステムは、スイッチ回路161及び162、終端抵抗Rt、終端抵抗Rtを介して終端電圧Vttに終端されるバス163、本発明による半導体装置10A、及び半導体装置164を含む。一般に高速動作が要求されるシステムに於ては、バスを終端抵抗を介して終端電圧に接続して、バス終端に於ける信号反射を抑ええることによって、高速な信号伝達を実現する。しかしながらバスを終端した場合には、終端抵抗を介して電流が流れるために、システム全体の消費電力が比較的大きくなるという欠点がある。図12のシステムに於ては、半導体装置10Aからモード信号LPZを外部に出力し、このモード信号LPZによってスイッチ回路161及び162を制御する。モード信号LPZによる制御に基づいて、低速動作時にはバス163を終端電圧Vttから切り離し、消費電力の削減をはかることが出来る。

40

【0104】

50

図12の半導体装置10Aは、図1に示す半導体装置10と同様であるが、判定回路16が出力したモード信号LPZを、出力ピン17を介して外部に出力することが出来る。モード信号LPZは、スイッチ回路161及び162に供給される。モード信号LPZが高速動作モードを示すときには、スイッチ回路161及び162は閉じられ、バス163は終端抵抗Rtを介して終端電圧Vttに接続される。モード信号LPZが低消費電力モードを示すときには、スイッチ回路161及び162は開けられ、バス163は終端電圧Vttから切り離される。

【0105】

従って高速動作モード時には、半導体装置10Aと半導体装置164との間で、バス163を介して高速なデータ伝送を行うことが出来る。また低消費電力モード時には、半導体装置10Aと半導体装置164との間で、バス163を介して比較的小さな消費電力でデータ伝送を行うことが出来る。なおスイッチ回路161及び162としては、例えば、モード信号LPZをゲート入力とするPMOSトランジスタを用いることが出来る。

【0106】

以上、実施例に基づいて本発明を説明したが、本発明は上記実施例に限られるものではなく、特許請求の範囲に記載の範囲内で、様々な修正・変形を加えることが出来る。

【0107】

【発明の効果】

上記発明に於ては、入力されるクロックに基づいて、外部に信号出力するための同期信号として用いるクロックを生成するクロック生成回路から適当な内部信号を取り出し、この内部信号に基づいて入力クロックの周期を判定すると共に、判定結果に応じて内部回路の動作モードを切り替える。従って、単純な判定回路を導入しながら既存の回路を利用することによって、入力クロック同期信号の周波数を判定し、内部回路の動作モードを同期周波数に応じたものに変化させることが出来る。

【図面の簡単な説明】

【図1】本発明の原理による半導体装置を示す構成図である。

【図2】図1の判定回路の実施例を示す回路図である。

【図3】図2の判定回路の動作を説明するための図である。

【図4】図1の半導体装置に於てDLLの代わりにPLLを用いた場合に、PLL回路及び判定回路の構成を示す図である。

【図5】図1の入力バッファの第1の実施例を示す回路図である。

【図6】図1の入力バッファの第2の実施例を示す回路図である。

【図7】図1の入力バッファの第3の実施例を示す回路図である。

【図8】図1の出力バッファの実施例を示す回路図である。

【図9】(A)及び(B)は、図1の内部電圧生成回路の第1及び第2の実施例を示す回路図である。

【図10】図1のコア回路の実施例を示す構成図である。

【図11】図10のアンプの実施例を示す回路図である。

【図12】本発明による半導体装置をバスを終端抵抗で終端させるシステムに応用した実施例を示す構成図である。

【図13】図1のDLLの概略的な構成を示す構成図である。

【図14】図13のディレイラインの構成の一例を示す回路図である。

【図15】図14の信号p(1)乃至p(n)を生成するシフトレジスタの一例を示す回路図である。

【符号の説明】

- 10 半導体装置
- 11、11A、11B 入力バッファ
- 12 コア回路
- 13 出力バッファ
- 14、14A 内部電圧生成回路

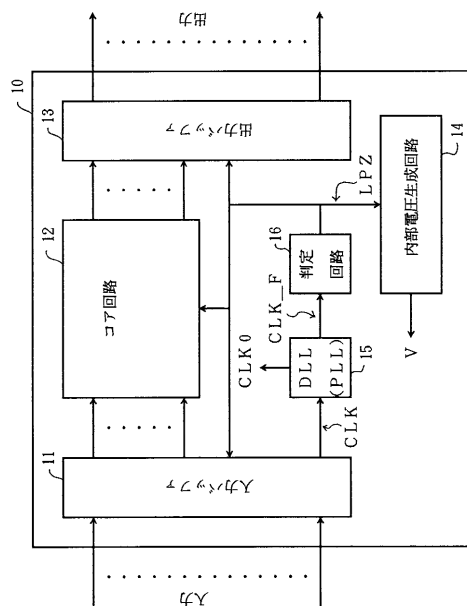
- 1 5 D L L
- 1 5 A P L L
- 1 6 判定回路
- 1 7 出力端子
- 3 1 位相比較器
- 3 2 ローパスフィルタ
- 3 3 電圧制御発信器
- 5 0 電流制御部
- 5 1 電圧生成部
- 5 2 差動増幅器
- 5 3 レプリカ回路
- 7 0 入力バッファ部
- 8 0 高速・高消費電力バッファ
- 9 0 低速・低消費電力バッファ
- 1 4 1 メモリセル配列
- 1 4 2 Yデコーダ
- 1 4 3 Xデコーダ
- 1 4 4 データバス
- 1 4 5 アンプ
- 1 6 1、1 6 2 スイッチ回路
- 1 6 3 バス
- 1 6 4 半導体装置

10

20

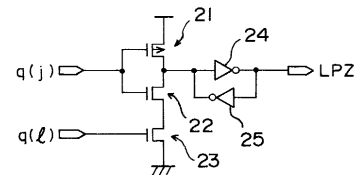
【図 1】

本発明の原理による半導体装置を示す構成図



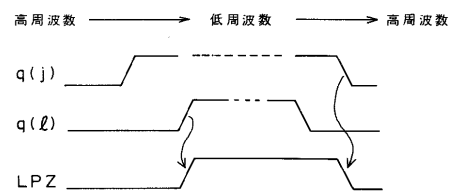
【図 2】

図 1 の判定回路の実施例を示す回路図



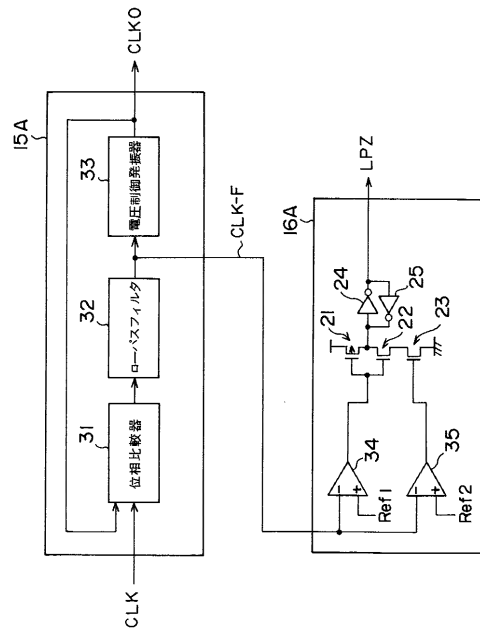
【図 3】

図 2 の判定回路の動作を説明するための図



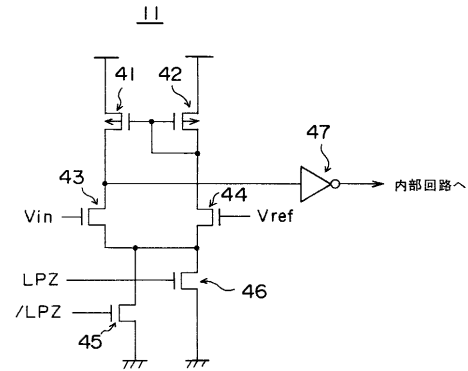
【図 4】

図1の半導体装置に於てDLLの代わりにPLLを用いた場合に、PLL回路及び判定回路の構成を示す図



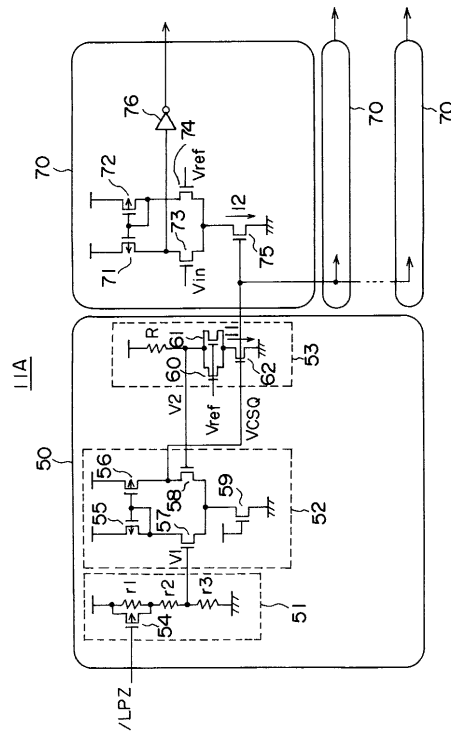
【図 5】

図1の入力バッファの第1の実施例を示す回路図



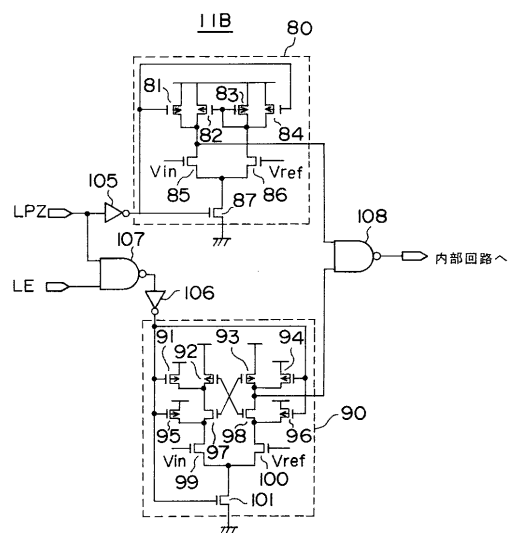
【図 6】

図1の入力バッファの第2の実施例を示す回路図



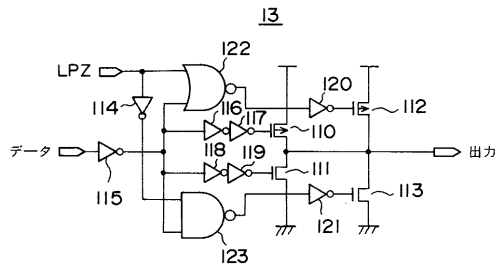
【図 7】

図1の入力バッファの第3の実施例を示す回路図



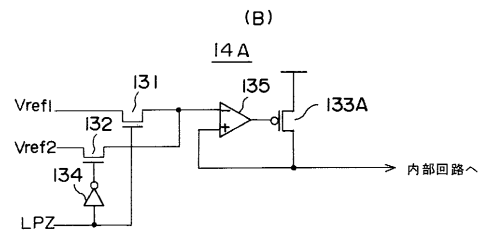
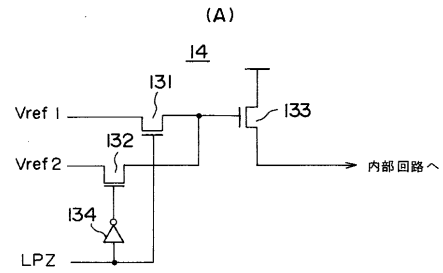
【図 8】

図 1 の出力バッファの実施例を示す回路図



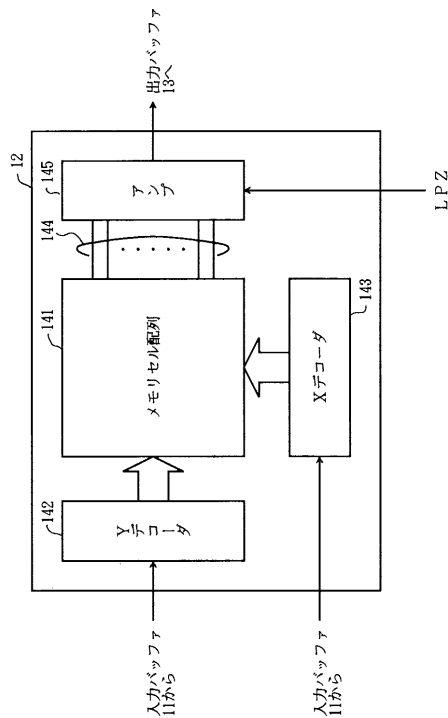
【図 9】

(A) 及び (B) は、図 1 の内部電圧生成回路の第 1 及び第 2 の実施例を示す回路図



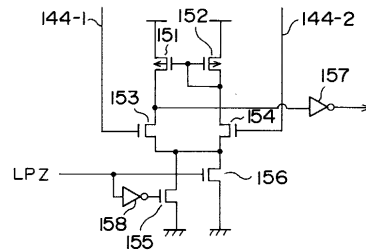
【図 10】

図 1 のコア回路の実施例を示す構成図



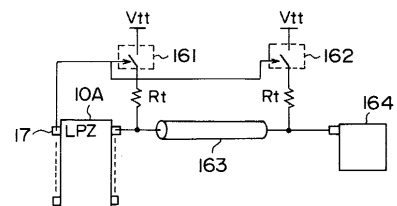
【図 11】

図 10 のアンプの実施例を示す回路図



【図 12】

本発明による半導体装置をバスを終端抵抗で終端させるシステムに応用した実施例を示す構成図



フロントページの続き

合議体

審判長 河合 章

審判官 井原 純

審判官 北島 健次

- (56)参考文献 特開平 3-259619 (JP, A)
特開平 8-44465 (JP, A)
特開平 6-259986 (JP, A)
特開平 7-65574 (JP, A)
特開昭58-171842 (JP, A)
特開平 6-104725 (JP, A)
特開昭57-111714 (JP, A)
特開平 8-339235 (JP, A)