

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月3日(03.10.2024)



(10) 国際公開番号

WO 2024/202575 A1

(51) 国際特許分類:
G06N 10/20 (2022.01)

(21) 国際出願番号: PCT/JP2024/004241

(22) 国際出願日: 2024年2月8日(08.02.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-054410 2023年3月29日(29.03.2023) JP

(71) 出願人: 富士通株式会社 (FUJITSU LIMITED)
[JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).

(72) 発明者: 田 渕 晶 大 (TABUCHI, Akihiro);
〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 向 山 直 樹 (MUKOUYAMA, Naoki);
〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).

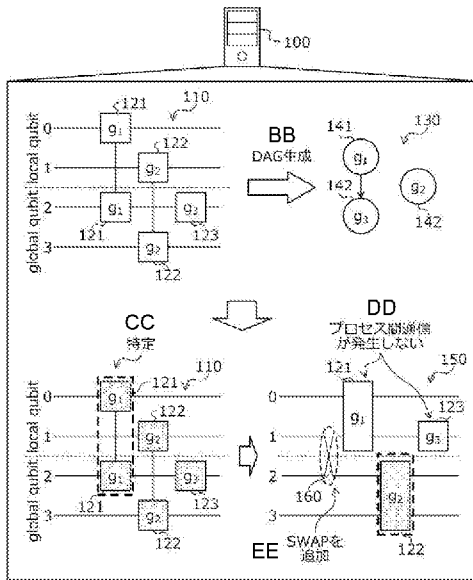
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ,

(54) Title: INFORMATION PROCESSING PROGRAM, INFORMATION PROCESSING METHOD, AND INFORMATION PROCESSING DEVICE

(54) 発明の名称: 情報処理プログラム、情報処理方法、および情報処理装置

[図1]

実施の形態にかかる情報処理方法の一実施例を示す説明図



AA... EXPLANATORY DIAGRAM SHOWING ONE EXAMPLE OF INFORMATION PROCESSING METHOD ACCORDING TO EMBODIMENT

BB... GENERATE DAG

CC... IDENTIFY

DD... INTER-PROCESS COMMUNICATION DOES NOT OCCUR

EE... ADD SWAP

(57) Abstract: [Problem] To facilitate efficient execution of operations. [Solution] An information processing device 100 obtains a first quantum circuit 110 for n qubits. The information processing device 100 generates a directed acyclic graph 130 on the basis of the obtained first quantum circuit 110. The information processing device 100 identifies one or more gates, for each of which an inter-process communication occurs, and which can be executed independently of other gates and which, as a whole, refer to qubits that are less than or equal to a local qubit upper limit. The information processing device 100 generates a second quantum circuit 150 logically equivalent to the first quantum circuit 110. The

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

second quantum circuit 150 includes, immediately before the one or more identified gates, one or more swap gates for swapping a local qubit and a global qubit so that, at least, the one or more identified qubits are local.

(57) 要約: 【課題】演算を効率よく実施し易くすること。【解決手段】情報処理装置100は、n個の量子ビットに関する第1量子回路110を取得する。情報処理装置100は、取得した第1量子回路110に基づいて、非巡回有向グラフ(Directed Acyclic Graph)130を生成する。情報処理装置100は、他のゲートに依存せずに実行可能な、全体としてローカルな量子ビットの上限以下の量子ビットを参照する、それぞれプロセス間通信が発生する1以上のゲートを特定する。情報処理装置100は、第1量子回路110と論理的に等価な第2量子回路150を生成する。第2量子回路150は、少なくとも、特定した1以上の量子ビットがローカルになるよう、ローカルな量子ビットとグローバルな量子ビットとを入れ替える1以上のスワップゲートを、特定した1以上のゲートの直前に含む。

明 細 書

発明の名称：

情報処理プログラム、情報処理方法、および情報処理装置

技術分野

[0001] 本発明は、情報処理プログラム、情報処理方法、および情報処理装置に関する。

背景技術

[0002] 従来、複数の量子ビットのそれぞれの量子ビットが表す量子状態の組み合わせを、ベクトル形式で表現する技術がある。例えば、量子ビットが2つ存在する場合、それぞれの量子ビットが表す量子状態の組み合わせが、「00」である確率と「01」である確率と「10」である確率と「11」である確率とを、それぞれ成分として有するベクトルを記憶することがある。また、ベクトルのそれぞれの成分を、複数のプロセスで分担して取り扱う場合がある。この場合、1以上の量子ビットに対して所定の演算を実施する際、異なる成分を担当する複数のプロセスにおいて、プロセス間通信が発生することがある。

[0003] 先行技術としては、例えば、動作に関係するグローバルな量子ビットと、ローカルな量子ビットとを交換するものがある。

先行技術文献

特許文献

[0004] 特許文献1：米国特許出願公開第2021／0049496号明細書

発明の概要

発明が解決しようとする課題

[0005] しかしながら、従来技術では、量子回路が表す、それぞれ異なる1以上の量子ビットに対する一連の演算を、効率よく実施することが難しい。例えば、プロセス間通信が発生すると、一連の演算を実施する際にかかる処理負担および処理時間の増大化を招く。

[0006] 1つの側面では、本発明は、演算を効率よく実施し易くすることを目的とする。

課題を解決するための手段

[0007] 1つの実施態様によれば、ローカルな1以上の量子ビットと、グローバルな1以上の量子ビットとを含む複数の量子ビットに関して、それぞれ異なる1以上の量子ビットに対して演算を実施することを表す複数のゲートを、時系列に沿って規定した第1量子回路を取得し、取得した前記第1量子回路に基づいて、前記複数のゲートのそれぞれのゲートを表すノードと、異なるノードが表すゲート間の演算の実施順序を表す有向エッジとを含む非巡回有向グラフを生成し、生成した前記非巡回有向グラフに基づいて、前記複数のゲートのうち、他のゲートに依存せずに実行可能な、ローカルな量子ビットの上限以下の1以上の量子ビットを参照する、それぞれプロセス間通信が発生する1以上の第1ゲートによって参照される、前記1以上の量子ビットを特定し、特定した前記1以上の量子ビットがローカルになるよう、ローカルな量子ビットとグローバルな量子ビットとを入れ替える1以上のスワップゲートを、前記1以上の第1ゲートの直前に含む、前記第1量子回路と論理的に等価な第2量子回路を生成する情報処理プログラム、情報処理方法、および情報処理装置が提案される。

発明の効果

[0008] 一態様によれば、演算を効率よく実施し易くすることが可能になる。

図面の簡単な説明

[0009] [図1]図1は、実施の形態にかかる情報処理方法の一実施例を示す説明図である。

[図2]図2は、情報処理システム200の一例を示す説明図である。

[図3]図3は、情報処理装置100のハードウェア構成例を示すブロック図である。

[図4]図4は、情報処理装置100の機能的構成例を示すブロック図である。

[図5]図5は、情報処理装置100の動作の流れを示す説明図（その1）であ

る。

[図6]図6は、情報処理装置100の動作の流れを示す説明図（その2）である。

[図7]図7は、情報処理装置100の動作の流れを示す説明図（その3）である。

[図8]図8は、情報処理装置100の動作の流れを示す説明図（その4）である。

[図9]図9は、情報処理装置100の動作の流れを示す説明図（その5）である。

[図10]図10は、情報処理装置100の動作の一例を示す説明図（その1）である。

[図11]図11は、情報処理装置100の動作の一例を示す説明図（その2）である。

[図12]図12は、情報処理装置100の動作の一例を示す説明図（その3）である。

[図13]図13は、情報処理装置100の動作の一例を示す説明図（その4）である。

[図14]図14は、情報処理装置100の動作の一例を示す説明図（その5）である。

[図15]図15は、情報処理装置100の動作の具体例を示す説明図（その1）である。

[図16]図16は、情報処理装置100の動作の具体例を示す説明図（その2）である。

[図17]図17は、情報処理装置100の動作の具体例を示す説明図（その3）である。

[図18]図18は、情報処理装置100の動作の具体例を示す説明図（その4）である。

[図19]図19は、情報処理装置100の第1適用例を示す説明図である。

[図20]図20は、情報処理装置100の第2適用例を示す説明図（その1）である。

[図21]図21は、情報処理装置100の第2適用例を示す説明図（その2）である。

[図22]図22は、情報処理装置100の第3適用例を示す説明図（その1）である。

[図23]図23は、情報処理装置100の第3適用例を示す説明図（その2）である。

[図24]図24は、全体処理手順の一例を示すフローチャートである。

発明を実施するための形態

[0010] 以下に、図面を参照して、本発明にかかる情報処理プログラム、情報処理方法、および情報処理装置の実施の形態を詳細に説明する。

[0011] （実施の形態にかかる情報処理方法の一実施例）

図1は、実施の形態にかかる情報処理方法の一実施例を示す説明図である。情報処理装置100は、量子回路が表す、それぞれ異なる1以上の量子ビットに対する一連の演算を、効率よく実施し易くするためのコンピュータである。情報処理装置100は、例えば、サーバ、または、PC（Personal Computer）などである。

[0012] ここで、量子回路が表す、それぞれ異なる1以上の量子ビットに対する一連の演算を、例えば、量子コンピュータを模擬する量子シミュレータ上で実施することがある。演算は、例えば、量子回路内のゲートによって示される。この際、複数の量子ビットのそれぞれの量子ビットが表す量子状態の組み合わせを、ベクトル形式で表現することがある。量子状態の組み合わせを表現するベクトルは、例えば、状態ベクトルとも呼ばれる。そして、1以上の量子ビットに対する演算を実施する都度、ベクトルの少なくともいずれかの成分を参照および更新する。

[0013] ここで、量子ビットの数が増大するほど、ベクトルの成分の数が増大することになる。このため、ベクトルのそれぞれの成分を、複数のプロセスで分

担して取り扱う場合がある。複数のプロセスのうち、2以上のプロセスは、例えば、それぞれ異なるコンピュータ上に存在する。複数のプロセスのうち、2以上のプロセスは、例えば、同一のコンピュータ上に存在してもよい。この場合、1以上の量子ビットに対して所定の演算を実施する際、異なる成分を担当する複数のプロセスにおいて、プロセス間通信が発生することがある。プロセス間通信が発生する2以上のプロセスが、それぞれ異なるコンピュータ上に存在する場合、さらに、ネットワーク通信が発生することがある。

[0014] 例えば、量子ビット a 、 b が存在する場合、量子ビット a 、 b が表す量子状態の組み合わせが、「00」である確率と「01」である確率と「10」である確率と「11」である確率とを、それぞれ成分として有するベクトルを記憶することになる。上記「**」のうち、左側の値は、量子ビット a が表す量子状態に対応し、右側の値は、量子ビット b が表す量子状態に対応する。この場合、例えば、量子ビット a 、 b が表す量子状態の組み合わせが、「00」である確率と「01」である確率とを、プロセス α が担当することが考えられる。また、例えば、量子ビット a 、 b が表す量子状態の組み合わせが、「10」である確率と「11」である確率とを、プロセス β が担当することが考えられる。

[0015] ここで、例えば、量子ビット a に対する X ゲートの演算を実施する際、量子ビット a 、 b が表す量子状態の組み合わせが、「00」である確率と「10」である確率とを入れ替え、かつ、「01」である確率と「11」である確率とを入れ替えることが望まれる。この際には、「00」である確率と「10」である確率とを、それぞれ異なるプロセスが担当し、かつ、「01」である確率と「11」である確率とを、それぞれ異なるプロセスが担当するため、プロセス間通信が発生することになる。

[0016] 一方で、例えば、量子ビット b に対する X ゲートの演算を実施する際、量子ビット a 、 b が表す量子状態の組み合わせが、「00」である確率と「01」である確率とを入れ替え、かつ、「10」である確率と「11」である

確率とを入れ替えることが望まれる。この際には、「00」である確率と「01」である確率とを、同一のプロセスが担当し、かつ、「10」である確率と「11」である確率とを、同一のプロセスが担当するため、プロセス間通信が発生しないことになる。

[0017] 以下の説明では、プロセス間通信が発生する要因となる量子ビットを「グローバルな量子ビット」と表記する場合がある。上述した一例では、具体的には、量子ビットaが、グローバルな量子ビットである。また、以下の説明では、プロセス間通信が発生する要因とならない量子ビットを「ローカルな量子ビット」と表記する場合がある。上述した一例では、具体的には、量子ビットbが、ローカルな量子ビットである。

[0018] 従来では、上述したグローバルな量子ビットに起因して、量子回路が表す、それぞれ異なる1以上の量子ビットに対する一連の演算を、効率よく実施することが難しいという問題がある。例えば、いずれかの演算を実施する際に、プロセス間通信が発生すると、一連の演算を実施する際にかかる処理負担および処理時間の増大化を招く。具体的には、いずれかの演算を実施する際に、プロセス間通信に伴いネットワーク通信が発生すると、一連の演算を実施する際にかかる処理負担および処理時間の増大化を招く。

[0019] これに対し、例えば、一連の演算のうち、プロセス間通信が発生する演算の直前に、ローカルな量子ビットとグローバルな量子ビットとを入れ替える演算を追加するよう、量子回路を、作業者が人手で更新する場合が考えられる。この場合、作業者にかかる作業負担の増大化を招くという問題があり、一連の演算を実施する際にかかる処理負担および処理時間の低減化を図ることが難しいことがある。

[0020] また、従来では、2以上のローカルな量子ビットと2以上のグローバルな量子ビットとを入れ替える演算を追加するよう、量子回路を効率よく自動で更新する手法が提案されていない。このため、一連の演算を実施する際にかかる処理負担および処理時間の低減化を図ることが難しいことがある。

[0021] そこで、本実施の形態では、1以上の量子ビットに対する演算を効率よく

実施し易くすることができる情報処理方法について説明する。

[0022] 図1において、ローカルな1以上の量子ビットと、グローバルな1以上の量子ビットとを含む複数の量子ビットが存在する。例えば、 n 個の量子ビットが存在する。

[0023] n 個の量子ビットのうち、 m 個の量子ビットが、ローカルな量子ビットに設定される。例えば、 n 個の量子ビットを順に並べた場合の下位 m 個の量子ビットが、ローカルな量子ビットに設定される。 n 個の量子ビットのうち、 p 個の量子ビットは、グローバルな量子ビットに設定される。例えば、 n 個の量子ビットを順に並べた場合の上位 p 個の量子ビットが、グローバルな量子ビットに設定される。 $n = m + p$ である。

[0024] n 個の量子ビットのそれぞれの量子ビットが表す量子状態の組み合わせの確率を表す成分は、 2^n 個存在する。 2^n 個の成分は、 2^p 個のプロセスで分担される。 2^p 個のプロセスは、それぞれ、 2^m 個の成分を担当する。 2^p 個のプロセスは、具体的には、それぞれ、上位 p 個の量子ビットのそれぞれの量子ビットが表す量子状態のいずれか1つの組み合わせが、重複なく割り当てられる。 2^p 個のプロセスは、具体的には、それぞれ、 n 個の量子ビットのそれぞれの量子ビットが表す量子状態の組み合わせのうち、自プロセスに割り当てられた組み合わせを含む組み合わせの確率を表す 2^m 個の成分を担当する。

[0025] 図1の例では、具体的には、量子ビット0～3が存在するとする。ここで、 $n = 4$ である。 $m = 2$ である。 $p = 2$ である。例えば、量子ビット0, 1が、ローカルな量子ビットに設定される。例えば、量子ビット2, 3が、グローバルな量子ビットに設定される。量子ビット0～3の量子状態の組み合わせの確率を表す成分は、16個存在する。16個の成分は、4個のプロセスで分担される。4個のプロセスは、それぞれ、4個の成分を担当する。

[0026] 4個のプロセスは、具体的には、量子ビット0～3の量子状態の組み合わせが、「00**」である確率を表す4個の成分を担当するプロセス1を含む。 $*$ は、0と1とのいずれの値であってもよい部分を示す。4個のプロセ

スは、具体的には、量子ビット0～3の量子状態の組み合わせが、「01**」である確率を表す4個の成分を担当するプロセス2を含む。4個のプロセスは、具体的には、量子ビット0～3の量子状態の組み合わせが、「10**」である確率を表す4個の成分を担当するプロセス3を含む。4個のプロセスは、具体的には、量子ビット0～3の量子状態の組み合わせが、「11**」である確率を表す4個の成分を担当するプロセス4を含む。

[0027] (1-1) 情報処理装置100は、 n 個の量子ビットに関する第1量子回路110を取得する。図1の例では、具体的には、 $n=4$ であるとする。図1の例では、具体的には、第1量子回路110は、4個の量子ビットに関して、複数のゲート121～123を、時系列に沿って規定した情報である。ゲート121～123は、それぞれ、1以上の量子ビットに対して演算を実施することを表す情報である。

[0028] (1-2) 情報処理装置100は、取得した第1量子回路110に基づいて、非巡回有向グラフ(DAG: Directed Acyclic Graph)130を生成する。非巡回有向グラフ130は、ゲート121～123をそれぞれ表すノード141～143と、ゲート121～123についてゲート間の演算の実施順序を表す有向エッジとを含む。有向エッジは、例えば、連続する2つの演算のうち、先に実施する演算に対応するノードを始点とし、後に実施する演算に対応するノードを終点とする。

[0029] (1-3) 情報処理装置100は、他のゲートに依存せずに実行可能な、全体としてローカルな量子ビットの上限以下の量子ビットを参照する、それぞれプロセス間通信が発生する1以上のゲートを特定する。情報処理装置100は、特定した1以上のゲートが全体として参照する1以上の量子ビットを特定する。

[0030] 上限は、ローカルに設定可能な量子ビットの最大数である。図1の例では、上限は、具体的には、2である。他のゲートに依存せずに実行可能とは、例えば、1以上のゲートが、全体として他のゲートに依存せずに実行可能であることを示す。他のゲートに依存せずに実行可能とは、具体的には、1以

上のゲートに含まれない他のゲートを始点とする有向エッジが、1以上のゲートのいずれのゲートにも接続されない状態を示す。

[0031] 図1の例では、情報処理装置100は、具体的には、非巡回有向グラフ130に基づいて、他のゲートに依存せずに実行可能な、上限以下の2つの量子ビットを参照する、プロセス間通信が発生する1以上のゲートとして、ゲート121を特定する。情報処理装置100は、ゲート121が参照する量子ビット0, 2を特定する。

[0032] (1-4) 情報処理装置100は、第1量子回路110と論理的に等価な第2量子回路150を生成する。第2量子回路150は、少なくとも、特定した1以上の量子ビットがローカルになるよう、ローカルな量子ビットとグローバルな量子ビットとを入れ替える1以上のスワップゲートを、特定した1以上のゲートの直前に含む。1以上のスワップゲートは、例えば、2つの量子ビットを入れ替える単一スワップゲート、または、4つ以上の量子ビットを入れ替えるフューズドスワップゲートを含む。

[0033] 図1の例では、情報処理装置100は、具体的には、空の雛型回路を用意する。情報処理装置100は、具体的には、雛型回路に対して、スワップゲート160を追加し、スワップゲート160の次に、特定したゲート121を追加する。スワップゲート160は、例えば、ローカルな量子ビット1と、グローバルな量子ビット2とを入れ替える。情報処理装置100は、雛型回路に対して、ゲート122と、ゲート123とを追加する。情報処理装置100は、雛型回路を、第2量子回路150として採用する。

[0034] これにより、情報処理装置100は、第1量子回路110と論理的に等価な、第1量子回路110よりもプロセス間通信が発生する回数、または、通信量が少ない第2量子回路150を生成することができる。これにより、情報処理装置100は、それぞれ異なる1以上の量子ビットに対する一連の演算を、効率よく実施し易くすることができる。情報処理装置100は、例えば、一連の演算を実施する際にかかる処理負担および処理時間の低減化を図ることができる。

[0035] (1-5) 情報処理装置100は、生成した第2量子回路150に従って、複数のプロセスを制御し、第2量子回路150に規定された一連の演算による量子状態の組み合わせの変化を模擬するシミュレーションを実施する。プロセスは、例えば、情報処理装置100が有していてもよい。情報処理装置100は、シミュレーションを実施した結果を、利用者が参照可能に出力する。これにより、情報処理装置100は、シミュレーションを実施した結果を、利用者が利用可能にすることができる。

[0036] ここでは、情報処理装置100が、他のゲートに依存せずに実行可能な、それぞれプロセス間通信が発生する1以上のゲートを特定する場合について説明したが、これに限らない。例えば、情報処理装置100が、他のゲートに依存せずに実行可能な、それぞれプロセス間通信が発生しない1以上のゲートを特定する場合があってもよい。この場合、情報処理装置100は、具体的には、空の雛型回路に対して、特定したそれぞれプロセス間通信が発生しない1以上のゲートを追加した後に、他のゲートに依存せずに実行可能な、それぞれプロセス間通信が発生する1以上のゲートを特定してもよい。この場合の一例については、具体的には、図5～図18を用いて後述する。

[0037] ここでは、情報処理装置100が、ゲート121の直前にのみ、1以上のスワップゲートを含む第2量子回路150を生成する場合について説明したが、これに限らない。例えば、情報処理装置100が、ゲート121の直前
の他、ゲート122の直前にも、1以上のスワップゲートを含む第2量子回路150を生成する場合があってもよい。この場合の一例については、具体的には、図5～図18を用いて後述する。

[0038] ここでは、情報処理装置100が、単独で動作する場合について説明したが、これに限らない。例えば、情報処理装置100が、他のコンピュータと協働する場合があってもよい。具体的には、情報処理装置100が、複数のプロセスを有する他のコンピュータに、第2量子回路150を送信する場合があってもよい。複数のプロセスは、異なるコンピュータが有していてもよい。例えば、複数のコンピュータが、協働で情報処理装置100としての機

能を実現する場合があってもよい。具体的には、クラウド上に、情報処理装置 100 としての機能が実現される場合があってもよい。

[0039] (情報処理システム 200 の一例)

次に、図 2 を用いて、図 1 に示した情報処理装置 100 を適用した、情報処理システム 200 の一例について説明する。

[0040] 図 2 は、情報処理システム 200 の一例を示す説明図である。図 2 において、情報処理システム 200 は、情報処理装置 100 と、1 以上の演算処理装置 201 と、1 以上のクライアント装置 202 とを含む。

[0041] 情報処理システム 200 において、情報処理装置 100 と演算処理装置 201 とは、有線または無線のネットワーク 210 を介して接続される。ネットワーク 210 は、例えば、LAN (Local Area Network)、WAN (Wide Area Network)、インターネットなどである。また、情報処理システム 200 において、情報処理装置 100 とクライアント装置 202 とは、有線または無線のネットワーク 210 を介して接続される。

[0042] 情報処理装置 100 は、第 1 量子回路を生成するためのコンピュータである。情報処理装置 100 は、 n 個の量子ビットに関し、一連の演算のそれぞれの演算を表すゲートを時系列に沿って規定した第 1 量子回路を、クライアント装置 202 から受信する。情報処理装置 100 は、受信した第 1 量子回路と論理的に等価な第 2 量子回路を生成する。

[0043] 情報処理装置 100 は、例えば、 n 個の量子ビットのうち、ローカルな m 個の量子ビットと、グローバルな p 個の量子ビットとを設定する。情報処理装置 100 は、第 1 量子回路と、ローカルな m 個の量子ビットと、グローバルな p 個の量子ビットとに基づいて、第 2 量子回路を生成する。情報処理装置 100 は、具体的には、図 5 ~ 図 18 に後述するように、第 2 量子回路を生成する。

[0044] 情報処理装置 100 は、生成した第 2 量子回路に従って、一連の演算による量子状態の組み合わせの変化を模擬するシミュレーションを分担するよう

、複数の演算処理装置 201 を制御する。情報処理装置 100 は、例えば、量子状態の組み合わせを表現するベクトルのそれぞれの成分を、複数の演算処理装置 201 に分散して割り当てる。情報処理装置 100 は、例えば、第 2 量子回路を、複数の演算処理装置 201 に送信することにより、当該演算処理装置 201 に割り当てられた 1 以上の成分を更新するよう、複数の演算処理装置 201 を制御する。

[0045] 情報処理装置 100 は、量子状態の組み合わせを表現するベクトルのそれぞれの成分を、複数の演算処理装置 201 から受信する。情報処理装置 100 は、受信した量子状態の組み合わせを表現するベクトルのそれぞれの成分に基づいて、一連の演算による量子状態の組み合わせの変化を模擬するシミュレーションを実施した結果を生成する。情報処理装置 100 は、シミュレーションを実施した結果を、クライアント装置 202 に送信する。情報処理装置 100 は、例えば、サーバ、または、PC などである。

[0046] 演算処理装置 201 は、一連の演算による量子状態の組み合わせの変化を模擬するシミュレーションを分担するためのコンピュータである。演算処理装置 201 は、量子状態の組み合わせを表現するベクトルの 1 以上の成分を管理するプロセスを有する。演算処理装置 201 は、第 2 量子回路を、情報処理装置 100 から受信する。演算処理装置 201 は、第 2 量子回路に基づいて、他の演算処理装置 201 と通信し、自装置が管理する 1 以上の成分を更新する。演算処理装置 201 は、ベクトルの 1 以上の成分を、情報処理装置 100 に送信する。演算処理装置 201 は、例えば、サーバ、または、PC などである。

[0047] クライアント装置 202 は、作業者によって用いられるコンピュータである。クライアント装置 202 は、作業者の操作入力に基づき、第 1 量子回路の指定を受け付ける。クライアント装置 202 は、指定の第 1 量子回路を、情報処理装置 100 に送信する。クライアント装置 202 は、シミュレーションを実施した結果を、情報処理装置 100 から受信する。クライアント装置 202 は、シミュレーションを実施した結果を、作業者が参照可能に出力

する。クライアント装置 202 は、例えば、PC、タブレット端末、または、スマートフォンなどである。

[0048] ここでは、情報処理装置 100 が、演算処理装置 201 とは異なる装置である場合について説明したが、これに限らない。例えば、情報処理装置 100 が、演算処理装置 201 としての機能を有し、演算処理装置 201 としても動作する場合があってもよい。ここでは、情報処理装置 100 が、クライアント装置 202 とは異なる装置である場合について説明したが、これに限らない。例えば、情報処理装置 100 が、クライアント装置 202 としての機能を有し、クライアント装置 202 としても動作する場合があってもよい。

[0049] (情報処理装置 100 のハードウェア構成例)

次に、図 3 を用いて、情報処理装置 100 のハードウェア構成例について説明する。

[0050] 図 3 は、情報処理装置 100 のハードウェア構成例を示すブロック図である。図 3 において、情報処理装置 100 は、CPU (Central Processing Unit) 301 と、メモリ 302 と、ネットワーク I/F (Interface) 303 と、記録媒体 I/F 304 と、記録媒体 305 とを有する。また、各構成部は、バス 300 によってそれぞれ接続される。

[0051] ここで、CPU 301 は、情報処理装置 100 の全体の制御を司る。メモリ 302 は、例えば、ROM (Read Only Memory)、RAM (Random Access Memory) およびフラッシュROMなどを有する。具体的には、例えば、フラッシュROMやROMが各種プログラムを記憶し、RAMがCPU 301 のワークエリアとして使用される。メモリ 302 に記憶されるプログラムは、CPU 301 にロードされることにより、コーディングされている処理をCPU 301 に実行させる。

[0052] ネットワーク I/F 303 は、通信回線を通じてネットワーク 210 に接続され、ネットワーク 210 を介して他のコンピュータに接続される。そし

て、ネットワーク 1 / F 3 0 3 は、ネットワーク 2 1 0 と内部のインターフェースを司り、他のコンピュータからのデータの入出力を制御する。ネットワーク 1 / F 3 0 3 は、例えば、モデムや LAN アダプタなどである。

[0053] 記録媒体 1 / F 3 0 4 は、CPU 3 0 1 の制御に従って記録媒体 3 0 5 に対するデータのリード／ライトを制御する。記録媒体 1 / F 3 0 4 は、例えば、ディスクドライブ、SSD (Solid State Drive)、USB (Universal Serial Bus) ポートなどである。記録媒体 3 0 5 は、記録媒体 1 / F 3 0 4 の制御で書き込まれたデータを記憶する不揮発メモリである。記録媒体 3 0 5 は、例えば、ディスク、半導体メモリ、USB メモリなどである。記録媒体 3 0 5 は、情報処理装置 1 0 0 から着脱可能であってもよい。

[0054] 情報処理装置 1 0 0 は、上述した構成部の他、例えば、キーボード、マウス、ディスプレイ、プリンタ、スキャナ、マイク、スピーカーなどを有してもよい。また、情報処理装置 1 0 0 は、記録媒体 1 / F 3 0 4 や記録媒体 3 0 5 を複数有していてもよい。また、情報処理装置 1 0 0 は、記録媒体 1 / F 3 0 4 や記録媒体 3 0 5 を有していなくてもよい。

[0055] (演算処理装置 2 0 1 のハードウェア構成例)

演算処理装置 2 0 1 のハードウェア構成例は、具体的には、図 3 に示した情報処理装置 1 0 0 のハードウェア構成例と同様であるため、説明を省略する。

[0056] (クライアント装置 2 0 2 のハードウェア構成例)

クライアント装置 2 0 2 のハードウェア構成例は、具体的には、図 3 に示した情報処理装置 1 0 0 のハードウェア構成例と同様であるため、説明を省略する。

[0057] (情報処理装置 1 0 0 の機能的構成例)

次に、図 4 を用いて、情報処理装置 1 0 0 の機能的構成例について説明する。

[0058] 図 4 は、情報処理装置 1 0 0 の機能的構成例を示すブロック図である。情

報処理装置100は、記憶部400と、取得部401と、第1生成部402と、第1特定部403と、第2特定部404と、第2生成部405と、模擬部406と、出力部407とを含む。

[0059] 記憶部400は、例えば、図3に示したメモリ302や記録媒体305などの記憶領域によって実現される。以下では、記憶部400が、情報処理装置100に含まれる場合について説明するが、これに限らない。例えば、記憶部400が、情報処理装置100とは異なる装置に含まれ、記憶部400の記憶内容が情報処理装置100から参照可能である場合があってもよい。

[0060] 取得部401～出力部407は、制御部の一例として機能する。取得部401～出力部407は、具体的には、例えば、図3に示したメモリ302や記録媒体305などの記憶領域に記憶されたプログラムをCPU301に実行させることにより、または、ネットワークI/F303により、その機能を実現する。各機能部の処理結果は、例えば、図3に示したメモリ302や記録媒体305などの記憶領域に記憶される。

[0061] 記憶部400は、各機能部の処理において参照され、または更新される各種情報を記憶する。記憶部400は、例えば、第1量子回路を記憶する。第1量子回路は、複数の量子ビットに関する量子回路である。複数の量子ビットは、ローカルな1以上の量子ビットと、グローバルな1以上の量子ビットとを含む。第1量子回路は、それぞれ異なる1以上の量子ビットに対して演算を実施することを表す複数のゲートを、時系列に沿って規定する。第1量子回路は、例えば、取得部401によって取得される。

[0062] 記憶部400は、例えば、複数の量子ビットのうち、ローカルな量子ビットと、グローバルな量子ビットとを識別する識別情報を記憶する。ローカルな量子ビットと、グローバルな量子ビットとは、入れ替えることができる。例えば、ある量子ビットを、ローカルからグローバルに変更し、他の量子ビットを、グローバルからローカルに変更することにより、ローカルな量子ビットと、グローバルな量子ビットとを入れ替える。識別情報は、例えば、取得部401によって取得される。

- [0063] 記憶部400は、例えば、第2量子回路を記憶する。第2量子回路は、複数の量子ビットに関する量子回路である。第2量子回路は、それぞれ異なる1以上の量子ビットに対して演算を実施することを表す複数のゲートを、時系列に沿って規定する。第2量子回路は、第1量子回路と論理的に等価な量子回路である。第2量子回路は、例えば、第2生成部405によって生成される。
- [0064] 取得部401は、各機能部の処理に用いられる各種情報を取得する。取得部401は、取得した各種情報を、記憶部400に記憶し、または、各機能部へ出力する。また、取得部401は、記憶部400に記憶しておいた各種情報を、各機能部へ出力してもよい。取得部401は、例えば、利用者の操作入力に基づき、各種情報を取得する。取得部401は、例えば、情報処理装置100とは異なる装置から、各種情報を受信してもよい。
- [0065] 取得部401は、例えば、第1量子回路を取得する。取得部401は、具体的には、利用者の操作入力に基づき、第1量子回路の入力を受け付けることにより、第1量子回路を取得する。取得部401は、具体的には、第1量子回路を、他のコンピュータから受信することにより取得する。他のコンピュータは、具体的には、クライアント装置202などである。
- [0066] 取得部401は、例えば、ローカルな量子ビットと、グローバルな量子ビットとを識別する識別情報を取得する。取得部401は、具体的には、利用者の操作入力に基づき、識別情報の入力を受け付けることにより、識別情報を取得する。取得部401は、具体的には、識別情報を、他のコンピュータから受信することにより取得する。他のコンピュータは、具体的には、クライアント装置202などである。
- [0067] 取得部401は、いずれかの機能部の処理を開始する開始トリガーを受け付けてもよい。開始トリガーは、例えば、利用者による所定の操作入力があったことである。開始トリガーは、例えば、他のコンピュータから、所定の情報を受信したことであってもよい。開始トリガーは、例えば、いずれかの機能部が所定の情報を出力したことであってもよい。取得部401は、例え

ば、第1量子回路を取得したことを、第1生成部402と、第1特定部403と、第2特定部404と、第2生成部405との処理を開始する開始トリガーとして受け付ける。

[0068] 第1生成部402は、取得した第1量子回路に基づいて、複数のゲートのそれぞれのゲートを表すノードと、異なるノードが表すゲート間の演算の実施順序を表す有向エッジとを含む非巡回有向グラフを生成する。これにより、第1生成部402は、ゲート間の依存関係を特定可能にすることができ、第1量子回路の中身を解析し易くすることができる。

[0069] 第1特定部403は、生成した非巡回有向グラフに基づいて、複数のゲートのうち、他のゲートに依存せずに実行可能な、ローカルな量子ビットの上限以下の量子ビットを参照するそれぞれプロセス間通信が発生する1以上の第1ゲートを特定する。第1特定部403は、特定した1以上の第1ゲートが参照する1以上の量子ビットを特定する。

[0070] 他のゲートに依存せずに実行可能な、1以上の第1ゲートは、例えば、1以上の第1ゲートが、全体として他のゲートに依存せずに実行可能な状態である。他のゲートに依存せずに実行可能な、1以上の第1ゲートは、具体的には、1以上の第1ゲートに含まれない他のゲートを始点とする有向エッジが、1以上の第1ゲートのいずれの第1ゲートにも接続されない状態である。

[0071] 他のゲートに依存せずに実行可能な、1以上の第1ゲートは、例えば、1以上の第1ゲートのそれぞれの第1ゲートが、他のゲートに依存せずに実行可能な状態であってもよい。他のゲートに依存せずに実行可能な、1以上の第1ゲートは、具体的には、1以上の第1ゲートのそれぞれの第1ゲートについて、当該第1ゲートとは異なる他のゲートを始点とする有向エッジが、当該第1ゲートに接続されない状態であってもよい。

[0072] 第1特定部403は、例えば、第2特定部404で1以上の第2ゲートを特定する都度、1以上の第1ゲートを特定する。第1特定部403は、具体的には、第2特定部404で非巡回有向グラフを更新する都度、1以上の第

1 ゲートを特定する。第1 特定部4 0 3は、例えば、第2 特定部4 0 4で1 以上の第2 ゲートが特定されない場合、1 以上の第1 ゲートを特定してもよい。

[0073] 第1 特定部4 0 3は、具体的には、対角行列で表現される演算を実施することを表すゲートを、プロセス間通信が発生しないゲートであると判定する。第1 特定部4 0 3は、具体的には、グローバルな量子ビットに関連しないゲートを、プロセス間通信が発生しないゲートであると判定する。第1 特定部4 0 3は、具体的には、対角行列で表現されない演算を実施することを表し、グローバルな量子ビットに関連するゲートを、プロセス間通信が発生するゲートであると判定する。

[0074] 第1 特定部4 0 3は、具体的には、非巡回有向グラフと、プロセス間通信が発生するゲートであるか否かを判定した結果とに基づいて、1 以上の第1 ゲートを特定する。第1 特定部4 0 3は、より具体的には、他のゲートに依存せずに実行可能なプロセス間通信が発生するゲートから始まり、全体として他のゲートに依存せずに実行可能なそれぞれプロセス間通信が発生する、1 以上の第1 ゲートを特定する。

[0075] 第1 特定部4 0 3は、具体的には、非巡回有向グラフに基づいて、他のゲートに依存せずに実行可能な、プロセス間通信が発生するゲートを順に選択してもよい。第1 特定部4 0 3は、具体的には、ゲートを選択する都度、当該ゲートに関わる量子ビットを、グループに追加するという処理を、グループに含まれる量子ビットの数が、ローカルな量子ビットの上限を超えない範囲で繰り返し実施する。第1 特定部4 0 3は、選択済みのゲートを、1 以上の第1 ゲートとして特定する。第1 特定部4 0 3は、最終的にグループに含まれる1 以上の量子ビットを特定する。

[0076] 第1 特定部4 0 3は、具体的には、非巡回有向グラフに基づいて、他のゲートに依存せずに実行可能な、ローカルな量子ビットの上限以下の1 以上の量子ビットを参照する、プロセス間通信が発生するゲートの複数の組み合わせを特定してもよい。第1 特定部4 0 3は、複数の組み合わせのうち、最も

多くのゲートを含む組み合わせとなる、それぞれプロセス間通信が発生する 1 以上のゲートを、1 以上の第 1 ゲートとして特定する。第 1 特定部 403 は、特定した 1 以上の第 1 ゲートが参照する 1 以上の量子ビットを特定する。これにより、第 1 特定部 403 は、第 2 量子回路を生成する指針を得ることができる。

[0077] 第 2 特定部 404 は、非巡回有向グラフに基づいて、複数のゲートのうち、他のゲートに依存せずに実行可能な、それぞれプロセス間通信が発生しない 1 以上の第 2 ゲートを特定する。

[0078] 他のゲートに依存せずに実行可能な、1 以上の第 2 ゲートは、例えば、1 以上の第 2 ゲートが、全体として他のゲートに依存せずに実行可能な状態である。他のゲートに依存せずに実行可能な、1 以上の第 2 ゲートは、具体的には、1 以上の第 2 ゲートに含まれない他のゲートを始点とする有向エッジが、1 以上の第 2 ゲートのいずれの第 2 ゲートにも接続されない状態である。

[0079] 他のゲートに依存せずに実行可能な、1 以上の第 2 ゲートは、例えば、1 以上の第 2 ゲートのそれぞれの第 2 ゲートが、他のゲートに依存せずに実行可能な状態であってもよい。他のゲートに依存せずに実行可能な、1 以上の第 2 ゲートは、具体的には、1 以上の第 2 ゲートのそれぞれの第 2 ゲートについて、当該第 2 ゲートとは異なる他のゲートを始点とする有向エッジが、当該第 2 ゲートに接続されない状態であってもよい。

[0080] 第 2 特定部 404 は、例えば、第 1 特定部 403 で 1 以上の量子ビットを最初に特定する前に 1 以上の第 2 ゲートを一度特定する。第 2 特定部 404 は、例えば、第 1 特定部 403 で 1 以上の量子ビットを特定する都度、1 以上の第 2 ゲートを特定する。

[0081] 第 2 特定部 404 は、具体的には、第 1 特定部 403 で 1 以上の量子ビットを特定し、第 2 生成部 405 で雛型回路に 1 以上のスワップゲートを追加したことに応じて、1 以上の第 2 ゲートを特定する。スワップゲートは、2 つの量子ビットを入れ替える単一スワップゲート、または、4 つ以上の量子

ビットを入れ替えるフューズドスワップゲートである。第2特定部404は、例えば、第1特定部403で1以上の量子ビットが特定されない場合に、1以上の第2ゲートを特定してもよい。

[0082] 第2特定部404は、具体的には、対角行列で表現される演算を実施することを表すゲートを、プロセス間通信が発生しないゲートであると判定する。第2特定部404は、具体的には、グローバルな量子ビットに関連しないゲートを、プロセス間通信が発生しないゲートであると判定する。第2特定部404は、具体的には、対角行列で表現されない演算を実施することを表し、グローバルな量子ビットに関連するゲートを、プロセス間通信が発生するゲートであると判定する。

[0083] 第2特定部404は、具体的には、非巡回有向グラフと、プロセス間通信が発生するゲートであるか否かを判定した結果とに基づいて、1以上の第2ゲートを特定する。第2特定部404は、より具体的には、他のゲートに依存せずに実行可能なプロセス間通信が発生しないゲートから始まり、全体として他のゲートに依存せずに実行可能なそれぞれプロセス間通信が発生しない1以上の第2ゲートを特定する。

[0084] 第2特定部404は、第2特定部404で1以上の第2ゲートを特定する都度、非巡回有向グラフの中から、第2特定部404で今回特定した1以上の第2ゲートのそれぞれの第2ゲートを表すノードを除去するよう、非巡回有向グラフを更新する。これにより、第2特定部404は、特定済みのゲートを判別可能に、第2量子回路を生成する目的に適するよう、非巡回有向グラフを更新することができる。

[0085] 第2生成部405は、第1量子回路と論理的に等価な第2量子回路を生成する。第2量子回路は、例えば、第1特定部403で特定した1以上の量子ビットがローカルになるよう、ローカルな量子ビットとグローバルな量子ビットとを入れ替える1以上のスワップゲートを、第1特定部403で特定した1以上の第1ゲートの直前に含む。

[0086] 第2生成部405は、例えば、空の雛型回路を用意する。第2生成部40

5は、例えば、第2特定部404で1以上の第2ゲートを特定する都度、雛型回路に対して、第2特定部404で特定した1以上の第2ゲートを追加する。これにより、第2生成部405は、第2量子回路を、段階的に生成していくことができる。

[0087] 第2生成部405は、例えば、第1特定部403で1以上の量子ビットを特定する都度、雛型回路に対して、第1特定部403で特定した1以上の量子ビットがローカルになるよう、1以上のスワップゲートを追加する。第2生成部405は、具体的には、入れ替える量子ビットの数が4以上であれば、雛型回路に対して、フューズドスワップゲートを含む1以上のスワップゲートを追加する。これにより、第2生成部405は、第2量子回路を、段階的に生成していくことができる。

[0088] 第2生成部405は、非巡回有向グラフが空であるか否かを判定する。第2生成部405は、空である場合、雛型回路の末尾に、初期状態でローカルな1以上の量子ビットがローカルに戻るよう、1以上のスワップゲートを追加することにより、第2量子回路を生成する。これにより、第2生成部405は、第2量子回路を完成することができる。

[0089] 模擬部406は、量子状態の組み合わせを表現するベクトルのそれぞれの成分を分担する複数のプロセスを制御して、第2生成部405で生成した第2量子回路に規定された一連の演算による量子状態の組み合わせの変化を模擬するシミュレーションを実施する。プロセスは、情報処理装置100が有していてもよい。プロセスは、他のコンピュータが有していてもよい。他のコンピュータは、例えば、演算処理装置201である。これにより、模擬部406は、一連の演算による量子状態の組み合わせの変化を模擬するシミュレーションを効率よく実施することができる。

[0090] 出力部407は、少なくともいずれかの機能部の処理結果を出力する。出力形式は、例えば、ディスプレイへの表示、プリンタへの印刷出力、ネットワーク1/F303による外部装置への送信、または、メモリ302や記録媒体305などの記憶領域への記憶である。これにより、出力部407は、

少なくともいずれかの機能部の処理結果を利用者に通知可能にし、情報処理装置 100 の利便性の向上を図ることができる。

[0091] 出力部 407 は、例えば、第 2 生成部 405 で生成した第 2 量子回路を出力する。出力部 407 は、具体的には、第 2 生成部 405 で生成した第 2 量子回路を、利用者が参照可能に出力する。出力部 407 は、具体的には、第 2 生成部 405 で生成した第 2 量子回路を、他のコンピュータに送信してもよい。これにより、出力部 407 は、第 2 量子回路を、外部で利用可能にすることができる。

[0092] 出力部 407 は、例えば、模擬部 406 でシミュレーションを実施した結果を出力する。出力部 407 は、具体的には、模擬部 406 でシミュレーションを実施した結果を、利用者が参照可能に出力する。出力部 407 は、具体的には、模擬部 406 でシミュレーションを実施した結果を、他のコンピュータに送信してもよい。これにより、出力部 407 は、模擬部 406 でシミュレーションを実施した結果を、外部で利用可能にすることができる。

[0093] (情報処理装置 100 の動作の流れ)

次に、図 5 ～図 9 を用いて、情報処理装置 100 の動作の流れについて説明する。

[0094] 図 5 ～図 9 は、情報処理装置 100 の動作の流れを示す説明図である。図 5 は、具体的には、量子状態の組み合わせを表現する状態ベクトル 500 の一例を示す。図 5 において、 n 個の量子ビットが存在するとする。図 5 の例では、具体的には、 $n = 4$ であるとし、量子ビット 0 ～ 3 が存在するとする。情報処理装置 100 は、量子ビット 0 ～ 3 の量子状態のそれぞれの組み合わせの確率を表す成分を有する状態ベクトル 500 を設定する。

[0095] ステートベクトル 500 は、例えば、量子ビット 0 ～ 3 の量子状態の組み合わせが、「0000」～「1111」のそれぞれである確率を表す成分を有する。以下の説明では、量子ビット 0 ～ 3 の量子状態の組み合わせが、「****」である確率を表す成分を、「 c_{****} 」と表記する場合がある。* は、0 と 1 とのいずれかの値となる部分を示す。

[0096] 量子回路510の先頭のゲートから順に、当該ゲートに応じて状態ベクトルのそれぞれの成分を更新することにより、量子回路510に規定された一連の演算による量子ビット0～3の量子状態の組み合わせの変化を模擬するシミュレーションが実施される。先頭は、具体的には、左側である。情報処理装置100は、具体的には、状態ベクトルの複数の成分を、複数のプロセスに割り当てて、複数のプロセスを制御することにより、シミュレーションを実施する。次に、図6の説明に移行する。

[0097] 図6は、状態ベクトルの複数の成分を複数のプロセスに割り当てる一例を示す。図6において、情報処理装置100は、 p および m の入力を受け付ける。情報処理装置100は、 n 個の量子ビットを並べた量子ビット列600の上位 p 個の量子ビットを、グローバルな量子ビットに設定し、量子ビット列600の下位 m 個の量子ビットを、ローカルな量子ビットに設定する。図6の例では、 $n = 36$ である。このため、状態ベクトルの成分は、 2^n 個存在する。

[0098] 情報処理装置100は、状態ベクトルの 2^n 個の成分を、 2^p 個のプロセスに均等に割り当てる。情報処理装置100は、具体的には、状態ベクトルの 2^n 個の成分を、先頭から、 2^m 個の成分単位で区切る。情報処理装置100は、具体的には、区切った 2^m 個の成分を、 2^m 個の成分ごとに異なるプロセスに割り当てる。このため、グローバルな量子ビットに関連しないゲートが表す演算を実施する場合には、プロセス間通信が発生しないことになる。一方で、グローバルな量子ビットに関連するゲートが表す演算を実施する場合には、プロセス間通信が発生し得る。次に、図7の説明に移行する。

[0099] 図7は、プロセス間通信が発生する一例を示す。例えば、グローバルな量子ビットに関連し、対角行列で表現されない演算を実施する場合には、プロセス間通信が発生するという性質がある。図7において、対角行列で表現されないXゲートの演算について示す。図7の例では、説明の簡略化のため、 $n = 3$ であり、量子ビット0～2が存在するとする。また、上位1個の量子

ビット2が、グローバルな量子ビットであり、下位2個の量子ビット0, 1が、ローカルな量子ビットであるとする。

[0100] 図7の表710に示す通り、ローカルな量子ビット0に関連するXゲートの演算では、同一のプロセスが担当する、量子ビット0の値のみが異なる成分同士を入れ替えることになる。図7の表710において、sは、成分の値を示す。indexは、成分を識別する識別子を示す。a(***)は、量子状態の組み合わせが「***」である確率を表す成分を識別する識別子である。

[0101] 入れ替えた後のそれぞれの成分は、図7の表711に示される。図7の表711において、sは、成分の値を示す。indexは、成分を識別する識別子を示す。このように、ローカルな量子ビット0に関連するXゲートの演算では、同一のプロセスが担当する、量子ビット0の値のみが異なる成分同士を入れ替えればよいため、プロセス間通信が発生しないと考えられる。

[0102] 一方で、図7の表720に示す通り、グローバルな量子ビット2に関連するXゲートの演算では、それぞれ異なるプロセスが担当する、量子ビット2の値のみが異なる成分同士を入れ替えることになる。図7の表720において、sは、成分の値を示す。indexは、成分を識別する識別子を示す。a(***)は、量子状態の組み合わせが「***」である確率を表す成分を識別する識別子である。

[0103] 入れ替えた後のそれぞれの成分は、図7の表721に示される。図7の表721において、sは、成分の値を示す。indexは、成分を識別する識別子を示す。このように、グローバルな量子ビット2に関連するXゲートの演算では、それぞれ異なるプロセスが担当する、量子ビット2の値のみが異なる成分同士を入れ替えることになるため、プロセス間通信が発生すると考えられる。次に、図8の説明に移行する。

[0104] 図8の表800は、ゲートの種類の一例を示す。表800のゲート名のフィールドには、ゲートを識別する名称が設定される。表800の要素数のフィールドには、上記名称のゲートが表す演算に関連する要素の数が設定され

る。ここで、 $N = 2^n$ である。

[0105] 表800の演算数／要素のフィールドには、上記名称のゲートが表す演算において、1つの要素を更新する際の複素数の演算の回数が設定される。複素数の演算は、例えば、加算、減算、積算、または、積和などである。

[0106] 表800のランク間転送量のフィールドには、上記名称のゲートが表す演算が、グローバルな量子ビットに関連する場合に、プロセス間通信により転送する要素の数が設定される。ここで、 $M = 2^{\text{（ローカルな量子ビットの数）}}$ である。ランク間転送量は、例えば、通信量に対応する。

[0107] このように、ゲートの種類によっては、グローバルな量子ビットに関連する演算を実施する際に、プロセス間通信が発生してしまう傾向がある。従って、プロセス間通信に起因し、量子回路に規定された一連の演算を実施する際にかかる処理時間および処理負担の増大化を招くことが考えられる。そこで、情報処理装置100は、量子回路の入力を受け付けた場合、当該量子回路と論理的に等価な、当該量子回路よりもプロセス間通信が発生する回数、または、通信量が抑制された新たな量子回路を生成することにする。

[0108] 例えば、表800に示す通り、汎用ゲート、Xゲート、または、Yゲートなどに関する通信量よりも、スワップゲートに関する通信量の方が小さくなる傾向がある。このため、情報処理装置100は、具体的には、スワップゲートを利用して、各種ゲートが表す演算において参照する量子ビットを、予めローカルに移動するような、新たな量子回路を生成することにする。次に、図9の説明に移行する。

[0109] 図9において、情報処理装置100は、量子回路900の入力を受け付けたとする。(9-1)情報処理装置100は、量子回路900の先頭のゲート910が、ローカルな量子ビット0に関連するゲートであり、他のゲートに依存せずに実行可能であるため、そのまま量子回路900に残す。

[0110] 情報処理装置100は、量子回路900のゲート911が、グローバルな量子ビット2を含む2個以下の量子ビット0, 2に関連し、他のゲートに依存せずに実行可能であるため、量子ビット0, 2をローカルな量子ビットに

設定すると決定する。

- [0111] (9-2) 情報処理装置100は、量子ビット0, 2をローカルな量子ビットに設定するため、ゲート912の直前に、スワップゲート930を追加する。これにより、情報処理装置100は、量子回路900を更新し、量子回路920を生成する。情報処理装置100は、スワップゲート930を追加することにより、ゲート911, 913でプロセス間通信が発生しないようにすることができる。
- [0112] (9-3) 情報処理装置100は、量子回路920のゲート913が、現在ローカルな量子ビット2に関連するゲートであり、他のゲートに依存せずに実行可能であるため、ゲート912の直後に移動する。情報処理装置100は、量子回路920のゲート912が、現在グローバルな量子ビット1, 3を含む2個以下の量子ビット1, 3に関連し、他のゲートに依存せずに実行可能であるため、量子ビット1, 3を次のローカルな量子ビットに設定すると決定する。
- [0113] (9-4) 情報処理装置100は、量子ビット1, 3をローカルな量子ビットに設定するため、ゲート912の直前に、スワップゲート950を追加する。これにより、情報処理装置100は、量子回路920を更新し、量子回路940を生成する。情報処理装置100は、スワップゲート950を追加することにより、ゲート912でプロセス間通信が発生しないようにすることができる。
- [0114] このように、情報処理装置100は、量子回路900と論理的に等価な、量子回路900よりもプロセス間通信が発生する回数、または、通信量が抑制された量子回路940を得ることができる。情報処理装置100は、量子回路940に従って、複数のプロセスを制御することにより、プロセス間通信が発生する回数、または、通信量を抑制しつつ、量子回路940に規定された一連の演算を効率よく実施することができる。情報処理装置100は、実質的に、入力を受け付けた量子回路900に規定された一連の演算を実施することができる。

[0115] (情報処理装置 100 の動作の一例)

次に、図 10～図 14 を用いて、情報処理装置 100 の動作の一例について説明する。

[0116] 図 10～図 14 は、情報処理装置 100 の動作の一例を示す説明図である。図 10 において、情報処理装置 100 は、量子回路 1000 の入力を受け付ける。量子回路 1000 は、 n 個の量子ビットに関する。図 5 の例では、 $n = 4$ である。量子回路 1000 は、ゲート 1010～1013 を含む。量子ビット 0, 1 は、初期状態で、ローカルな量子ビットである。量子ビット 2, 3 は、初期状態で、グローバルな量子ビットである。

[0117] 情報処理装置 100 は、量子回路 1000 に対応する DAG 1020 を生成する。DAG 1020 は、ゲート 1010～1013 のそれぞれを表すノード 1030～1033 を含む。情報処理装置 100 は、DAG 1020 に対してトポロジカルソートを実施しておいてもよい。

[0118] 情報処理装置 100 は、グラフ G に、生成した DAG 1020 を設定する。情報処理装置 100 は、空の出力回路 C を用意する。情報処理装置 100 は、現在のグローバルな量子ビットと、現在のローカルな量子ビットとを区別可能にする $qubit$ 順序 σ を記憶する。

[0119] $qubit$ 順序 σ は、例えば、 n 個の量子ビットを並べた量子ビット列の上位から順に、それぞれの量子ビットを識別する識別子を並べて表す情報である。 $qubit$ 順序 σ は、具体的には、初期状態で、 $[0, 1, 2, 3]$ などである。これにより、情報処理装置 100 は、量子回路 1000 の中身を解析し易くすることができる。ここでは、説明の簡略化のため、 $n = 4$ である場合について説明したが、以下の説明では、 $n = 6$ である場合について説明する。次に、図 11 の説明に移行する。

[0120] 図 11 において、情報処理装置 100 は、グラフ G が空になるまで、後述する (11-1)～(11-3) の処理を繰り返し実施する。 $qubit$ 順序 σ は、具体的には、初期状態で、 $[0, 1, 2, 3, 4, 5]$ である。 $qubit$ 順序 σ のうち、左側 3 個の量子ビットが、ローカルであり、右側 3

個の量子ビットが、グローバルである。

[0121] (11-1) 情報処理装置100は、グラフGのそれぞれのノードが表すゲートgが、他のゲートに依存せずに実行可能、かつ、現在のqubit順序 σ に対してプロセス間通信が発生しないゲートであれば、グラフGの中から当該ゲートgを除去する。情報処理装置100は、例えば、表800を参照して、グラフGのそれぞれのノードが表すゲートgが、現在のqubit順序 σ に対してプロセス間通信が発生するゲートであるか否かを判定してもよい。

[0122] 情報処理装置100は、除去したゲートgを、現在のqubit順序 σ に適合するよう更新した後に、現在の出力回路Cの末尾に、順に追加する。情報処理装置100は、具体的には、除去したゲートgが参照する量子ビットの番号が、現在のqubit順序 σ に適合するよう、当該ゲートgの中身を書き換えた後に、現在の出力回路Cの末尾に追加する。これにより、情報処理装置100は、現在プロセス間通信が発生しないゲートが、グローバルな量子ビットとローカルな量子ビットとを入れ替えた後に、プロセス間通信が発生するゲートになってしまうことを回避し易くすることができる。

[0123] (11-2) 情報処理装置100は、次にローカルにする1以上の量子ビットを特定する。情報処理装置100は、例えば、現在のグラフGと、現在のqubit順序 σ とに基づいて、次にローカルにする1以上の量子ビットを表す集合Qlocal'を決定する。

[0124] 情報処理装置100は、例えば、 $|Qlocal'| \leq$ (ローカルな量子ビットの数) である限り、グラフGのうち、他のゲートに依存せずに実行可能なゲートを順に検索することを繰り返す。情報処理装置100は、例えば、 $|Qlocal'| \leq$ (ローカルな量子ビットの数) である限り、グラフGのうち、検索済みのゲート以外の他のゲートに依存せずに実行可能なゲートを順に検索することを繰り返してもよい。情報処理装置100は、例えば、検索したゲートが参照する量子ビットを、Qlocal'に追加する。 $|$ * $|$ は、*の量子ビットの数である。これにより、情報処理装置100は、

次にローカルにする1以上の量子ビットを特定することができる。

[0125] (11-3) 情報処理装置100は、ローカルな量子ビットが、 Q_{local} と一致するよう、スワップゲートまたはフューズドスワップゲートを、出力回路Cに追加する。

[0126] 情報処理装置100は、例えば、次にローカルにする1以上の量子ビットの集合 Q_{import} と、グローバルに移動可能な1以上の量子ビットの集合 $Q_{exportable}$ とを特定する。情報処理装置100は、具体的には、 $Q_{import} \leftarrow Q_{local}' - Q_{local}$ を特定する。 Q_{local} は、現在のローカルな量子ビットである。情報処理装置100は、具体的には、 $Q_{exportable} \leftarrow Q_{local} - Q_{local}'$ を特定する。図11の例では、 $Q_{import} = \{3, 5\}$ である。 $Q_{exportable} = \{0, 2\}$ である。 $qubit$ 順序 $\sigma = [0, 1, 2, 3, 4, 5]$ である。

[0127] 情報処理装置100は、例えば、ローカルな量子ビットのうち、上位 $|Q_{import}|$ 個の量子ビットが、 $Q_{exportable}$ に含まれる量子ビットになるよう、ローカルな量子ビット同士を入れ替えるスワップゲートを、出力回路Cに追加する。図11の例では、情報処理装置100は、表1100に示す通り、ローカルな量子ビット0, 1同士を入れ替えるスワップゲートを、出力回路Cに追加する。

[0128] 情報処理装置100は、例えば、グローバルな量子ビットのうち、 Q_{import} の量子ビットが連続するよう、スワップゲートを、出力回路Cに追加する。グローバルな量子ビット同士を入れ替えるスワップゲートは、プロセス間通信なしに実施可能なように実装される傾向がある。図11の例では、情報処理装置100は、表1100に示す通り、グローバルな量子ビット4, 5同士を入れ替えるスワップゲートを、出力回路Cに追加する。

[0129] 情報処理装置100は、ローカルな量子ビットのうち、上位 $|Q_{import}|$ 個の量子ビットと、グローバルな量子ビットのうち、 Q_{import} の量子ビットとを入れ替えるよう、スワップゲートまたはフューズドス

フリップゲートを、出力回路Cに追加する。図11の例では、情報処理装置100は、表1100に示す通り、ローカルな量子ビット0, 2と、グローバルな量子ビット3, 5とを入れ替えるフューズドスワップゲートを、出力回路Cに追加する。これにより、情報処理装置100は、上位 $|Q_import|$ 個の量子ビットを入れ替え、不連続メモリアクセスによる性能低下を回避し易くすることができる。

[0130] 次に、図12の説明に移行し、グローバルな量子ビット同士を入れ替えるスワップゲートが、プロセス間通信なしに実施可能なように実装されていない場合に、ローカルな量子ビットと、グローバルな量子ビットとをどのように入れ替えるのかについて説明する。図12の例では、 $Q_import = \{3, 5\}$ である。 $Q_exportable = \{0, 1, 2\}$ である。 $qubit$ 順序 $\sigma = [0, 1, 2, 3, 4, 5]$ である。

[0131] 図12において、情報処理装置100は、 $|Q_import|$ に対して $|Q_exportable|$ に余分があれば、グローバルな量子ビットのうち、不連続になる量子ビットを、 Q_import に追加してもよい。そして、情報処理装置100は、フューズドスワップゲートを活用し、ローカルな量子ビットと、グローバルな量子ビットとを一度に入れ替えるようにしてもよい。

[0132] 図12の例では、情報処理装置100は、具体的には、量子ビット4を、 Q_import に追加する。情報処理装置100は、具体的には、表1210に示す通り、ローカルな量子ビット0~2と、グローバルな量子ビット3~5とを入れ替える1つのフューズドスワップゲートを、出力回路Cに追加する。これにより、情報処理装置100は、フューズドスワップゲートを活用して、 $Q_exportable$ の量子ビットと、 Q_import の量子ビットとを入れ替えることができる。

[0133] 情報処理装置100は、 $|Q_import|$ に対して $|Q_exportable|$ に余分がなければ、ローカルな量子ビットと、グローバルな量子ビットとを複数回に分けて入れ替えることが考えられる。図12の例では

、情報処理装置 100 は、具体的には、表 1200 に示す通り、ローカルな量子ビット 1 と、グローバルな量子ビット 3 とを入れ替える 1 つのスワップゲートを、出力回路 C に追加する。情報処理装置 100 は、具体的には、表 1200 に示す通り、ローカルな量子ビット 2 と、グローバルな量子ビット 5 とを入れ替える 1 つのスワップゲートを、出力回路 C に追加する。

[0134] 表 1200, 1210 に示す通り、情報処理装置 100 は、フューズドスワップゲートを活用して、 $Q_exportable$ の量子ビットと、 Q_import の量子ビットとを入れ替える際にかかる処理負担の低減化を図ることができる。情報処理装置 100 は、具体的には、出力回路 C に追加するゲートの数の低減化を図ることができる。情報処理装置 100 は、具体的には、出力回路 C に従って、量子ビットを入れ替える演算を実施する回数の低減化を図ることができる。次に、図 13 の説明に移行する。

[0135] 図 13 において、情報処理装置 100 は、グラフ G が空になったことを検出する。情報処理装置 100 は、グラフ G が空になると、 $qubit$ 順序 σ を初期状態に戻すよう、スワップゲートまたはフューズドスワップゲートを、出力回路 C に追加する。情報処理装置 100 は、例えば、 $Qlocal' = \{0, \dots, (\text{ローカルな量子ビットの数} - 1)\}$ に設定する。情報処理装置 100 は、例えば、図 11 と同様に、 $Qlocal'$ に基づいて、スワップゲートまたはフューズドスワップゲートを、出力回路 C に追加する。

[0136] 図 13 の例では、情報処理装置 100 は、具体的には、表 1300 に示す通り、ローカルな量子ビット 5, 4 と、グローバルな量子ビット 0, 2 とを入れ替えるフューズドスワップゲートを、出力回路 C に追加する。情報処理装置 100 は、具体的には、ローカルな量子ビット 0, 1 同士を入れ替えるスワップゲートを、出力回路 C に追加する。情報処理装置 100 は、具体的には、グローバルな量子ビット 4, 5 同士を入れ替えるスワップゲートを、出力回路 C に追加する。

[0137] これにより、情報処理装置 100 は、入力を受け付けた量子回路と論理的に等価になり、プロセス間通信が発生する回数、または、通信量が抑制され

た出力回路Cを生成することができる。次に、図14の説明に移行し、グローバルな量子ビット同士を入れ替えるスワップゲートが、プロセス間通信なしに実施可能なように実装されていない場合に、qubit順序 σ をどのように初期状態に戻すのかについて説明する。

[0138] 図14において、情報処理装置100は、ローカルな量子ビットの数が、グローバルな量子ビットの数の2倍未満である場合、1つの量子ビットずつ、量子ビット同士を入れ替えることになる。従って、この場合、情報処理装置100は、最大で量子ビットの数-1個のスワップゲートを、出力回路Cに追加することになる。

[0139] 情報処理装置100は、ローカルな量子ビットの数が、グローバルな量子ビットの数の2倍以上である場合、下記に示す通り、qubit順序 σ を初期状態に戻す。

[0140] 例えば、グローバルな量子ビットに、(ローカルな量子ビットの数) ~ (量子ビットの数-1)番の量子ビットが含まれる場合がある。この場合、情報処理装置100は、例えば、ローカルな量子ビットの上位(グローバルな量子ビットの数)個の量子ビットに、(ローカルな量子ビットの数) ~ (量子ビットの数-1)番の量子ビットが含まれないよう、スワップゲートを、出力回路Cに追加する。図14の例では、情報処理装置100は、具体的には、表1400に示す通り、ローカルな量子ビット0, 5同士を入れ替えるスワップゲートを、出力回路Cに追加する。

[0141] 情報処理装置100は、例えば、ローカルな量子ビットの上位(グローバルな量子ビットの数)個の量子ビットと、グローバルな量子ビットとを入れ替えるフェーズドスワップゲートを、出力回路Cに追加する。図14の例では、情報処理装置100は、具体的には、表1400に示す通り、ローカルな量子ビット0, 3と、グローバルな量子ビット2, 4とを入れ替えるフェーズドスワップゲートを、出力回路Cに追加する。

[0142] 情報処理装置100は、例えば、ローカルな量子ビットの上位(グローバルな量子ビットの数)個の量子ビットにおいて、(ローカルな量子ビットの

数) ~ (量子ビットの数 - 1) 番の量子ビットを順序通りに並べ替えるスワップゲートを、出力回路Cに追加する。図14の例では、情報処理装置100は、具体的には、表1400に示す通り、ローカルな量子ビット2, 4, 5を順序通りに並べ替える2つのスワップゲートを、出力回路Cに追加する。

[0143] 情報処理装置100は、例えば、ローカルな量子ビットの上位(グローバルな量子ビットの数)個の量子ビットと、グローバルな量子ビットとを入れ替えるフェーズドスワップゲートを、出力回路Cに追加する。図14の例では、情報処理装置100は、具体的には、表1400に示す通り、ローカルな量子ビット4, 5と、グローバルな量子ビット0, 3とを入れ替えるフェーズドスワップゲートを、出力回路Cに追加する。

[0144] 情報処理装置100は、例えば、ローカルな量子ビットを順序通り並べ替えるスワップゲートを、出力回路Cに追加する。図14の例では、情報処理装置100は、具体的には、表1400に示す通り、ローカルな量子ビット0, 1, 2を順序通りに並べ替える2つのスワップゲートを、出力回路Cに追加する。これにより、情報処理装置100は、qubit順序 σ を初期状態に戻すよう、複数の量子ビットを適切に入れ替えることができる。

[0145] (情報処理装置100の動作の具体例)

次に、図15~図18を用いて、情報処理装置100の動作の具体例について説明する。

[0146] 図15~図18は、情報処理装置100の動作の具体例を示す説明図である。図15において、情報処理装置100は、量子回路1500の入力を受け付けたとする。量子回路1500は、ゲート1510~1518を含む。情報処理装置100は、量子回路1500に対応するDAG1520を生成する。DAG1520は、ゲート1510~1518のそれぞれを表すノード1530~1538を含む。次に、図16の説明に移行する。

[0147] 図16において、(16-1)情報処理装置100は、qubit順序 σ に基づいて、グローバルな量子ビットに関連せず、プロセス間通信が発生し

ないゲートを表すノード1530～1532を特定する。情報処理装置100は、DAG1520に基づいて、特定したノード1530～1532のうち、他のノードを始点とする有向エッジが接続されず、他のゲートに依存せずに実行可能なゲートを表す、ノード1530～1532を特定する。情報処理装置100は、特定したノード1530～1532を、DAG1520から除去する。情報処理装置100は、特定したノード1530～1532が表すゲート1610～1612を、出力回路1600に追加する。

[0148] (16-2) 情報処理装置100は、最新のqubit順序 σ に基づいて、グローバルな量子ビットに関連し、プロセス間通信が発生する1以上のゲートを表すノード1533～1538を特定する。情報処理装置100は、最新のDAG1520に基づいて、特定したノード1533～1538のうち、他のノードを始点とする有向エッジが接続されず、他のゲートに依存せずに実行可能な1以上のゲートを表す、ノード1533～1536を特定する。情報処理装置100は、特定したノード1533～1536に基づいて、次にローカルに設定する量子ビットの集合 $Q_{local}' = \{2, 3, 4\}$ を特定する。

[0149] (16-3) 情報処理装置100は、 $Q_{local}' = \{2, 3, 4\}$ に基づいて、qubit順序 σ を更新し、スワップゲート1620と、フェーズスワップゲート1630とを、出力回路1600に追加する。次に、図17の説明に移行する。

[0150] 図17において、(17-1) 情報処理装置100は、最新のqubit順序 σ に基づいて、グローバルな量子ビットに関連せず、プロセス間通信が発生しないゲートを表すノード1533～1536を特定する。情報処理装置100は、最新のDAG1520に基づいて、特定したノード1533～1536のうち、他のノードを始点とする有向エッジが接続されず、他のゲートに依存せずに実行可能なゲートを表す、ノード1533, 1534を特定する。情報処理装置100は、特定したノード1533, 1534を、DAG1520から除去する。情報処理装置100は、特定したノード153

3, 1534 が表すゲート 1700, 1701 を、出力回路 1600 に追加する。

[0151] 情報処理装置 100 は、最新の q u b i t 順序 σ に基づいて、グローバルな量子ビットに関連せず、プロセス間通信が発生しないゲートを表すノード 1535, 1536 を特定する。情報処理装置 100 は、最新の D A G 1520 に基づいて、特定したノード 1535, 1536 のうち、他のノードを始点とする有向エッジが接続されず、他のゲートに依存せずに実行可能なゲートを表す、ノード 1535 を特定する。情報処理装置 100 は、特定したノード 1535 を、D A G 1520 から除去する。情報処理装置 100 は、特定したノード 1535 が表すゲート 1702 を、出力回路 1600 に追加する。

[0152] 情報処理装置 100 は、最新の q u b i t 順序 σ に基づいて、グローバルな量子ビットに関連せず、プロセス間通信が発生しないゲートを表すノード 1536 を特定する。情報処理装置 100 は、最新の D A G 1520 に基づいて、特定したノード 1536 のうち、他のノードを始点とする有向エッジが接続されず、他のゲートに依存せずに実行可能なゲートを表す、ノード 1536 を特定する。情報処理装置 100 は、特定したノード 1536 を、D A G 1520 から除去する。情報処理装置 100 は、特定したノード 1536 が表すゲート 1702 を、出力回路 1600 に追加する。

[0153] (17-2) 情報処理装置 100 は、最新の q u b i t 順序 σ に基づいて、グローバルな量子ビットに関連し、プロセス間通信が発生する 1 以上のゲートを表すノード 1537, 1538 を特定する。情報処理装置 100 は、最新の D A G 1520 に基づいて、特定したノード 1537, 1538 のうち、他のノードを始点とする有向エッジが接続されず、他のゲートに依存せずに実行可能な 1 以上のゲートを表す、ノード 1537, 1538 を特定する。情報処理装置 100 は、特定したノード 1537, 1538 に基づいて、次にローカルに設定する量子ビットの集合 $Q l o c a l' = \{0, 1, 2\}$ を特定する。

[0154] (17-3) 情報処理装置100は、 $Qlocal' = \{0, 1, 2\}$ に基づいて、qubit順序 σ を更新し、フーズドスワップゲート1710を、出力回路1600に追加する。次に、図18の説明に移行する。

[0155] 図18において、(18-1) 情報処理装置100は、最新のqubit順序 σ に基づいて、グローバルな量子ビットに関連せず、プロセス間通信が発生しないゲートを表すノード1537, 1538を特定する。情報処理装置100は、最新のDAG1520に基づいて、特定したノード1537, 1538のうち、他のノードを始点とする有向エッジが接続されず、他のゲートに依存せずに実行可能なゲートを表す、ノード1537を特定する。情報処理装置100は、特定したノード1537を、DAG1520から除去する。情報処理装置100は、特定したノード1537が表すゲート1801を、出力回路1600に追加する。

[0156] 情報処理装置100は、最新のqubit順序 σ に基づいて、グローバルな量子ビットに関連せず、プロセス間通信が発生しないゲートを表すノード1538を特定する。情報処理装置100は、最新のDAG1520に基づいて、特定したノード1538のうち、他のノードを始点とする有向エッジが接続されず、他のゲートに依存せずに実行可能なゲートを表す、ノード1538を特定する。情報処理装置100は、特定したノード1538を、DAG1520から除去する。情報処理装置100は、特定したノード1538が表すゲート1802を、出力回路1600に追加する。

[0157] (18-2) 情報処理装置100は、DAG1520が空になったことを検出する。情報処理装置100は、DAG1520が空になったため、qubit順序 σ を初期状態に戻すよう、スワップゲート1810を、出力回路1600に追加する。これにより、情報処理装置100は、入力を受け付けた量子回路1500と論理的に等価な、プロセス間通信が発生する回数、または、通信量が抑制された出力回路1600を生成することができる。

[0158] (情報処理装置100の第1適用例)

次に、図19を用いて、情報処理装置100の第1適用例について説明す

る。

[0159] 図19は、情報処理装置100の第1適用例を示す説明図である。図19において、情報処理装置100は、量子回路1900の入力を受け付けたとする。量子回路1900は、ゲート1910～1913を含む。ゲート1910～1913は、汎用ゲートである。量子回路1900において発生するプロセス間通信の通信量は、例えば、 $7M$ である。 M は、 $2^{\wedge}$ （ローカルな量子ビットの数）である。

[0160] 情報処理装置100は、量子回路1900と論理的に等価な量子回路1920を生成したとする。量子回路1920は、ゲート1910～1913のそれぞれに対応するゲート1930～1933を含む。量子回路1920は、スワップゲート1940と、フューズドスワップゲート1950と、スワップゲート1960～1962とを含む。これにより、情報処理装置100は、量子回路1920において、プロセス間通信の通信量を $2.75M$ に低減することができる。

[0161] (情報処理装置100の第2適用例)

次に、図20および図21を用いて、情報処理装置100の第2適用例について説明する。

[0162] 図20および図21は、情報処理装置100の第2適用例を示す説明図である。図20において、情報処理装置100は、`Qulacs benchmark`の量子回路に適用されたとする。情報処理装置100は、表2000に示す測定条件下で、上述した通り量子回路に対する最適化を行い、量子回路に規定された一連の演算を実施する際にかかる処理時間を測定したとする。

[0163] 以下の説明では、情報処理装置100が測定した処理時間を「`w/o opt.`」の処理時間」と表記する場合がある。また、「`w/o opt.`」の処理時間との比較例として、「`w/o opt.`」の処理時間と、「`w/ existing opt.`」の処理時間とを採用する。

[0164] 「`w/o opt.`」の処理時間は、量子回路に対する最適化を行わない

場合の処理時間である。「w／ existing opt.」の処理時間は、量子回路に対して従来の最適化を行う場合の処理時間である。次に、図 21 の説明に移行する。

[0165] 図 21 のグラフ 2100 は、「w／ our opt.」の処理時間と、「w／ o opt.」の処理時間と、「w／ existing opt.」の処理時間とを示す。グラフ 2100 に示す通り、情報処理装置 100 は、update 時間について、「w／ o opt.」に比べて 1.84 倍の高速化を図ることができる。情報処理装置 100 は、update 時間について、「w／ existing opt.」に比べて 1.16 倍の高速化を図ることができる。

[0166] グラフ 2100 に示す通り、情報処理装置 100 は、全体時間について、「w／ o opt.」に比べて 1.72 倍の高速化を図ることができる。情報処理装置 100 は、全体時間について、「w／ existing opt.」に比べて 1.35 倍の高速化を図ることができる。このように、情報処理装置 100 は、従来に比べて、量子回路に規定された一連の演算を実施する際にかかる処理時間を低減することができる。

[0167] (情報処理装置 100 の第 3 適用例)

次に、図 22 および図 23 を用いて、情報処理装置 100 の第 3 適用例について説明する。

[0168] 図 22 および図 23 は、情報処理装置 100 の第 3 適用例を示す説明図である。図 22 において、情報処理装置 100 は、Quantum Volume Benchmark (depth=30) の量子回路に適用されたとする。

[0169] 情報処理装置 100 は、表 2200 に示す測定条件下で、上述した通り量子回路に対する最適化を行い、量子回路に規定された一連の演算を実施する際にかかる処理時間を測定したとする。以下の説明では、情報処理装置 100 が測定した処理時間を「w／ fused-swap」の処理時間」と表記する場合がある。

[0170] また、情報処理装置100は、表2200に示す測定条件下で、ゲートフュージョンの最適化を利用して、上述した通り量子回路に対する最適化を行い、量子回路に規定された一連の演算を実施する際にかかる処理時間を測定したとする。以下の説明では、ゲートフュージョンの最適化を利用して、情報処理装置100が測定した処理時間を「w／ fused-swap and gate fusion」の処理時間」と表記する場合がある。

[0171] ゲートフュージョンの最適化は、同一の量子ビットを参照する複数のゲートが存在する場合、複数のゲートの表現行列を掛け合わせた表現行列を有するゲートで、複数のゲートを置き換えることにより、ベクトルの成分を更新する回数の低減化を図る手法である。

[0172] また、「w／ fused-swap」の処理時間と、「w／ fused-swap and gate fusion」の処理時間との比較例として、「w／ opt.」の処理時間と、「w／ gate fusion」の処理時間とを採用する。

[0173] 「w／ opt.」の処理時間は、量子回路に対する最適化を行わない場合の処理時間である。「w／ gate fusion」の処理時間は、量子回路に対するゲートフュージョンを利用する従来の最適化を行う場合の処理時間である。次に、図23の説明に移行する。

[0174] 図23のグラフ2300は、「w／ fused-swap」の処理時間と、「w／ fused-swap and gate fusion」の処理時間と、「w／ opt.」の処理時間と、「w／ gate fusion」の処理時間とを示す。グラフ2300に示す通り、情報処理装置100は、処理時間を、「w／ opt.」および「w／ existing opt.」に比べて、約1／8に短縮することができる。

[0175] 図23のグラフ2310は、「w／ our opt.」の通信時間と、「w／ fused-swap and gate fusion」の通信時間と、「w／ opt.」の通信時間と、「w／ existing opt.」の通信時間とを示す。

[0176] 図23のグラフ2320は、「w/o our opt.」の通信量と、「w/ fused-swap and gate fusion」の通信量と、「w/o opt.」の通信量と、「w/ existing opt.」の通信量とを示す。グラフ2310, 2320に示す通り、情報処理装置100は、通信時間および通信量を、「w/o opt.」および「w/ existing opt.」に比べて、低減することができる。

[0177] (情報処理装置100の適用例)

情報処理装置100は、例えば、創薬分野に適用することができる。情報処理装置100は、具体的には、創薬分野において、物質の性質を解析するために、複数の量子ビットを利用して、物質を形成する原子の動きなどを模擬する際に適用することができる。

[0178] (全体処理手順)

次に、図24を用いて、情報処理装置100が実行する、全体処理手順の一例について説明する。全体処理は、例えば、図3に示したCPU301と、メモリ302や記録媒体305などの記憶領域と、ネットワークI/F303とによって実現される。

[0179] 図24は、全体処理手順の一例を示すフローチャートである。図24において、情報処理装置100は、量子回路Iを取得する(ステップS2401)。情報処理装置100は、取得した量子回路Iに対応する非巡回有向グラフGを生成し、空の出力回路Cを生成する(ステップS2402)。

[0180] 情報処理装置100は、非巡回有向グラフGのそれぞれのノードnが表すゲートgのうち、まだ選択していないゲートgを選択する(ステップS2403)。情報処理装置100は、qubit順序 σ に基づいて、選択したゲートgが、実行可能であってプロセス間通信が発生しないという所定の条件を満たすか否かを判定する(ステップS2404)。

[0181] ここで、所定の条件を満たさない場合(ステップS2404: No)、情報処理装置100は、ステップS2406の処理に移行する。一方で、所定の条件を満たす場合(ステップS2404: Yes)、情報処理装置100

は、ステップS 2 4 0 5 の処理に移行する。

[0182] ステップS 2 4 0 5 では、情報処理装置 1 0 0 は、選択したゲート g を表すノード n を、非巡回有向グラフ G から除去し、 $q u b i t$ 順序 σ に適合するように、選択したゲート g を設定し、出力回路 C に追加する（ステップS 2 4 0 5）。情報処理装置 1 0 0 は、ステップS 2 4 0 6 の処理に移行する。

[0183] ステップS 2 4 0 6 では、情報処理装置 1 0 0 は、非巡回有向グラフ G のそれぞれのノード n が表すゲート g のうち、すべてのゲート g を選択したか否かを判定する（ステップS 2 4 0 6）。ここで、選択していないゲート g が残っている場合（ステップS 2 4 0 6 : N o）、情報処理装置 1 0 0 は、ステップS 2 4 0 3 の処理に戻る。一方で、すべてのゲート g を選択している場合（ステップS 2 4 0 6 : Y e s）、情報処理装置 1 0 0 は、ステップS 2 4 0 7 の処理に移行する。

[0184] ステップS 2 4 0 7 では、情報処理装置 1 0 0 は、非巡回有向グラフ G と、 $q u b i t$ 順序 σ とに基づいて、次のローカルな量子ビットの集合 $Q l o c a l$ を特定する（ステップS 2 4 0 7）。情報処理装置 1 0 0 は、特定した次のローカルな量子ビットの集合 $Q l o c a l$ に基づいて、量子ビットのグローバルとローカルとの区分情報 σ を更新する（ステップS 2 4 0 8）。情報処理装置 1 0 0 は、更新した量子ビットのグローバルとローカルとの区分情報 σ に適合するように、グローバルとローカルとを入れ替える 1 以上のスワップゲート s を、出力回路 C に追加する（ステップS 2 4 0 9）。

[0185] 情報処理装置 1 0 0 は、非巡回有向グラフ G が空であるか否かを判定する（ステップS 2 4 1 0）。ここで、非巡回有向グラフ G が空ではない場合（ステップS 2 4 1 0 : N o）、情報処理装置 1 0 0 は、ステップS 2 4 0 3 の処理に戻る。一方で、非巡回有向グラフ G が空である場合（ステップS 2 4 1 0 : Y e s）、情報処理装置 1 0 0 は、ステップS 2 4 1 1 の処理に移行する。

[0186] ステップS 2 4 1 1 では、情報処理装置 1 0 0 は、量子ビットのグローバルとローカルとの区分情報 σ を、初期状態に設定する（ステップS 2 4 1 1

）。情報処理装置100は、量子ビットのグローバルとローカルとの区分情報 σ に適合するよう、グローバルとローカルとを入れ替える1以上のスワップゲート s を、出力回路Cに追加する（ステップS2412）。情報処理装置100は、全体処理を終了する。

[0187] 以上説明したように、情報処理装置100によれば、複数の量子ビットに関して、それぞれ異なる1以上の量子ビットに対して演算を実施することを表す複数のゲートを、時系列に沿って規定した第1量子回路を取得することができる。情報処理装置100によれば、取得した第1量子回路に基づいて、複数のゲートのそれぞれのゲートを表すノードと、異なるノードが表すゲート間の演算の実施順序を表す有向エッジとを含む非巡回有向グラフを生成することができる。情報処理装置100によれば、生成した非巡回有向グラフに基づいて、複数のゲートのうち、他のゲートに依存せずに実行可能な、それぞれプロセス間通信が発生する1以上の第1ゲートによって参照される1以上の量子ビットを特定することができる。情報処理装置100によれば、特定した1以上の量子ビットがローカルになるよう、ローカルな量子ビットとグローバルな量子ビットとを入れ替える1以上のスワップゲートを、1以上の第1ゲートの直前に含む第2量子回路を生成することができる。これにより、情報処理装置100は、プロセス間通信が発生する回数、または、通信量が抑制された第2量子回路を生成することができ、複数の量子ビットに関する一連の演算を実施し易くすることができる。

[0188] 情報処理装置100によれば、1以上の量子ビットを特定する都度、非巡回有向グラフに基づいて、複数のゲートのうち、他のゲートに依存せずに実行可能な、それぞれプロセス間通信が発生しない1以上の第2ゲートを特定することができる。情報処理装置100によれば、1以上の第2ゲートを特定する都度、非巡回有向グラフの中から、特定した1以上の第2ゲートのそれぞれの第2ゲートを表すノードを除去することができる。情報処理装置100によれば、1以上の量子ビットを特定する都度、雛型回路に対して、特定した1以上の量子ビットがローカルになるよう、ローカルな量子ビットと

グローバルな量子ビットとを入れ替える 1 以上のスワップゲートを追加することができる。情報処理装置 100 によれば、1 以上の第 2 ゲートを特定する都度、雛型回路に対して、特定した 1 以上の第 2 ゲートを追加することができる。これにより、情報処理装置 100 は、段階的に、第 2 量子回路を適切に生成していくことができる。

[0189] 情報処理装置 100 によれば、1 以上の量子ビットを最初に特定する前に、非巡回有向グラフに基づいて、複数のゲートのうち、他のゲートに依存せずに実行可能な、それぞれプロセス間通信が発生しない 1 以上の第 2 ゲートを一度特定することができる。これにより、情報処理装置 100 は、1 以上の第 2 ゲートを先頭を含むよう、第 2 量子回路を適切に生成することができる。

[0190] 情報処理装置 100 によれば、非巡回有向グラフが空である場合、雛型回路の末尾に、初期状態でローカルな 1 以上の量子ビットがローカルに戻るよう、1 以上のスワップゲートを追加することができる。これにより、情報処理装置 100 は、第 2 量子回路を適切に生成することができる。

[0191] 情報処理装置 100 によれば、1 以上の量子ビットを特定した際、特定した 1 以上の量子ビットに基づいて、入れ替える量子ビットの数が 4 以上であるか否かを判定することができる。情報処理装置 100 によれば、4 以上であれば、雛型回路に対して、特定した 1 以上の量子ビットがローカルになるよう、フューズドスワップゲートを含む 1 以上のスワップゲートを追加することができる。これにより、情報処理装置 100 は、プロセス間通信が発生する回数、または、通信量の低減化を図ることができる。

[0192] 情報処理装置 100 によれば、非巡回有向グラフに基づいて、複数のゲートのうち、他のゲートに依存せずに実行可能な、プロセス間通信が発生するゲートを順に選択することができる。情報処理装置 100 によれば、ゲートを選択する都度、当該ゲートに関わる量子ビットを、グループに追加するという処理を、グループに含まれる量子ビットの数が、ローカルな量子ビットの上限を超えない範囲で繰り返し実施することができる。情報処理装置 100

0によれば、グループに含まれる1以上の量子ビットを特定することができる。これにより、情報処理装置100は、1以上の量子ビットを適切に特定することができる。

[0193] 情報処理装置100によれば、非巡回有向グラフに基づいて、他のゲートに依存せずに実行可能な、ローカルな量子ビットの上限以下の1以上の量子ビットを参照する、プロセス間通信が発生するゲートの複数の組み合わせを特定することができる。情報処理装置100によれば、複数の組み合わせのうち、最も多くのゲートを含む組み合わせとなる、それぞれプロセス間通信が発生する1以上の第1ゲートによって参照される1以上の量子ビットを特定することができる。これにより、情報処理装置100は、1以上の量子ビットを適切に特定することができる。

[0194] なお、本実施の形態で説明した情報処理方法は、予め用意されたプログラムをPCやワークステーションなどのコンピュータで実行することにより実現することができる。本実施の形態で説明した情報処理プログラムは、コンピュータで読み取り可能な記録媒体に記録され、コンピュータによって記録媒体から読み出されることによって実行される。記録媒体は、ハードディスク、フレキシブルディスク、CD (Compact Disc) -ROM、MO (Magneto Optical disc)、DVD (Digital Versatile Disc) などである。また、本実施の形態で説明した情報処理プログラムは、インターネットなどのネットワークを介して配布してもよい。

[0195] 上述した実施の形態に関し、さらに以下の付記を開示する。

[0196] (付記1) ローカルな1以上の量子ビットと、グローバルな1以上の量子ビットとを含む複数の量子ビットに関して、それぞれ異なる1以上の量子ビットに対して演算を実施することを表す複数のゲートを、時系列に沿って規定した第1量子回路を取得し、

取得した前記第1量子回路に基づいて、前記複数のゲートのそれぞれのゲートを表すノードと、異なるノードが表すゲート間の演算の実施順序を表す

有向エッジとを含む非巡回有向グラフを生成し、

生成した前記非巡回有向グラフに基づいて、前記複数のゲートのうち、他のゲートに依存せずに実行可能な、ローカルな量子ビットの上限以下の1以上の量子ビットを参照する、それぞれプロセス間通信が発生する1以上の第1ゲートによって参照される、前記1以上の量子ビットを特定し、

特定した前記1以上の量子ビットがローカルになるよう、ローカルな量子ビットとグローバルな量子ビットとを入れ替える1以上のスワップゲートを、前記1以上の第1ゲートの直前に含む、前記第1量子回路と論理的に等価な第2量子回路を生成する、

処理をコンピュータに実行させることを特徴とする情報処理プログラム。

[0197] (付記2) 前記1以上の量子ビットを特定する都度、前記非巡回有向グラフに基づいて、前記複数のゲートのうち、他のゲートに依存せずに実行可能な、それぞれプロセス間通信が発生しない1以上の第2ゲートを特定し、

前記1以上の第2ゲートを特定する都度、前記非巡回有向グラフの中から、特定した前記1以上の第2ゲートのそれぞれの第2ゲートを表すノードを除去する、

処理を前記コンピュータに実行させ、

前記第2量子回路を生成する処理は、

前記1以上の量子ビットを特定する都度、雛型回路に対して、特定した前記1以上の量子ビットがローカルになるよう、ローカルな量子ビットとグローバルな量子ビットとを入れ替える1以上のスワップゲートを追加し、前記1以上の第2ゲートを特定する都度、前記雛型回路に対して、特定した前記1以上の第2ゲートを追加することにより、前記第2量子回路を生成する、ことを特徴とする付記1に記載の情報処理プログラム。

[0198] (付記3) 前記1以上の第2ゲートを特定する処理は、

前記1以上の量子ビットを最初に特定する前に、前記非巡回有向グラフに基づいて、前記複数のゲートのうち、他のゲートに依存せずに実行可能な、それぞれプロセス間通信が発生しない1以上の第2ゲートを一度特定する、

ことを特徴とする付記 2 に記載の情報処理プログラム。

[0199] (付記 4) 前記第 2 量子回路を生成する処理は、

前記非巡回有向グラフが空である場合、前記雛型回路の末尾に、初期状態でローカルな 1 以上の量子ビットがローカルに戻るよう、ローカルな量子ビットとグローバルな量子ビットとを入れ替える 1 以上のスワップゲートを追加することにより、前記第 2 量子回路を生成し、前記第 2 量子回路を生成する処理を終了する、ことを特徴とする付記 3 に記載の情報処理プログラム。

[0200] (付記 5) 前記第 2 量子回路を生成する処理は、

前記 1 以上の量子ビットを特定した際、特定した前記 1 以上の量子ビットに基づいて、入れ替える量子ビットの数が 4 以上であれば、前記雛型回路に対して、特定した前記 1 以上の量子ビットがローカルになるよう、ローカルな量子ビットとグローバルな量子ビットとを入れ替える、フューズドスワップゲートを含む 1 以上のスワップゲートを追加する、ことを特徴とする付記 2～4 のいずれか一つに記載の情報処理プログラム。

[0201] (付記 6) 前記 1 以上の量子ビットを特定する処理は、

前記非巡回有向グラフに基づいて、前記複数のゲートのうち、他のゲートに依存せずに実行可能な、プロセス間通信が発生するゲートを順に選択する都度、当該ゲートに関わる量子ビットを、グループに追加するという処理を、前記グループに含まれる量子ビットの数が、ローカルな量子ビットの上限を超えない範囲で繰り返し実施した後、前記グループに含まれる 1 以上の量子ビットを特定する、ことを特徴とする付記 2～4 のいずれか一つに記載の情報処理プログラム。

[0202] (付記 7) 前記 1 以上の量子ビットを特定する処理は、

前記非巡回有向グラフに基づいて、前記複数のゲートのうち、他のゲートに依存せずに実行可能な、ローカルな量子ビットの上限以下の 1 以上の量子ビットを参照する、プロセス間通信が発生するゲートの複数の組み合わせのうち、最も多くのゲートを含む組み合わせとなる、それぞれプロセス間通信が発生する 1 以上の第 1 ゲートによって参照される 1 以上の量子ビットを特

定する、ことを特徴とする付記 2～4 のいずれか一つに記載の情報処理プログラム。

[0203] (付記 8) ローカルな 1 以上の量子ビットと、グローバルな 1 以上の量子ビットとを含む複数の量子ビットに関して、それぞれ異なる 1 以上の量子ビットに対して演算を実施することを表す複数のゲートを、時系列に沿って規定した第 1 量子回路を取得し、

取得した前記第 1 量子回路に基づいて、前記複数のゲートのそれぞれのゲートを表すノードと、異なるノードが表すゲート間の演算の実施順序を表す有向エッジとを含む非巡回有向グラフを生成し、

生成した前記非巡回有向グラフに基づいて、前記複数のゲートのうち、他のゲートに依存せずに実行可能な、ローカルな量子ビットの上限以下の 1 以上の量子ビットを参照する、それぞれプロセス間通信が発生する 1 以上の第 1 ゲートによって参照される、前記 1 以上の量子ビットを特定し、

特定した前記 1 以上の量子ビットがローカルになるよう、ローカルな量子ビットとグローバルな量子ビットとを入れ替える 1 以上のスワップゲートを、前記 1 以上の第 1 ゲートの直前に含む、前記第 1 量子回路と論理的に等価な第 2 量子回路を生成する、

処理をコンピュータが実行することを特徴とする情報処理方法。

[0204] (付記 9) ローカルな 1 以上の量子ビットと、グローバルな 1 以上の量子ビットとを含む複数の量子ビットに関して、それぞれ異なる 1 以上の量子ビットに対して演算を実施することを表す複数のゲートを、時系列に沿って規定した第 1 量子回路を取得し、

取得した前記第 1 量子回路に基づいて、前記複数のゲートのそれぞれのゲートを表すノードと、異なるノードが表すゲート間の演算の実施順序を表す有向エッジとを含む非巡回有向グラフを生成し、

生成した前記非巡回有向グラフに基づいて、前記複数のゲートのうち、他のゲートに依存せずに実行可能な、ローカルな量子ビットの上限以下の 1 以上の量子ビットを参照する、それぞれプロセス間通信が発生する 1 以上の第

1 ゲートによって参照される、前記 1 以上の量子ビットを特定し、
特定した前記 1 以上の量子ビットがローカルになるよう、ローカルな量子ビットとグローバルな量子ビットとを入れ替える 1 以上のスワップゲートを、前記 1 以上の第 1 ゲートの直前に含む、前記第 1 量子回路と論理的に等価な第 2 量子回路を生成する、
制御部を有することを特徴とする情報処理装置。

符号の説明

- [0205] 1 0 0 情報処理装置
 1 1 0 第 1 量子回路
 1 2 1～1 2 3, 9 1 0～9 1 3, 1 0 1 0～1 0 1 3, 1 5 1 0～1 5
 1 8, 1 6 1 0～1 6 1 2, 1 7 0 0～1 7 0 2, 1 8 0 1, 1 8 0 2, 1
 9 1 0～1 9 1 3, 1 9 3 0～1 9 3 3 ゲート
 1 3 0, 1 0 2 0, 1 5 2 0 非巡回有向グラフ
 1 4 1～1 4 3, 1 0 3 0～1 0 3 3, 1 5 3 0～1 5 3 8 ノード
 1 5 0 第 2 量子回路
 1 6 0, 9 3 0, 9 5 0, 1 6 2 0, 1 8 1 0, 1 9 4 0, 1 9 6 0～1
9 6 2 スワップゲート
 2 0 0 情報処理システム
 2 0 1 演算処理装置
 2 0 2 クライアント装置
 2 1 0 ネットワーク
 3 0 0 バス
 3 0 1 C P U
 3 0 2 メモリ
 3 0 3 ネットワーク I / F
 3 0 4 記録媒体 I / F
 3 0 5 記録媒体
 4 0 0 記憶部

4 0 1 取得部

4 0 2 第 1 生成部

4 0 3 第 1 特定部

4 0 4 第 2 特定部

4 0 5 第 2 生成部

4 0 6 模擬部

4 0 7 出力部

5 0 0 ステートベクトル

5 1 0, 9 0 0, 9 2 0, 9 4 0, 1 0 0 0, 1 5 0 0, 1 9 0 0, 1 9

2 0 量子回路

6 0 0 量子ビット列

7 1 0, 7 1 1, 7 2 0, 7 2 1, 8 0 0, 1 1 0 0, 1 2 0 0, 1 2 1

0, 1 3 0 0, 1 4 0 0, 2 0 0 0, 2 2 0 0 表

1 6 0 0 出力回路

1 6 3 0, 1 7 1 0, 1 9 5 0 フェーズドスワップゲート

2 1 0 0, 2 3 0 0, 2 3 1 0, 2 3 2 0 グラフ

請求の範囲

[請求項1]

ローカルな1以上の量子ビットと、グローバルな1以上の量子ビットとを含む複数の量子ビットに関して、それぞれ異なる1以上の量子ビットに対して演算を実施することを表す複数のゲートを、時系列に沿って規定した第1量子回路を取得し、

取得した前記第1量子回路に基づいて、前記複数のゲートのそれぞれのゲートを表すノードと、異なるノードが表すゲート間の演算の実施順序を表す有向エッジとを含む非巡回有向グラフを生成し、

生成した前記非巡回有向グラフに基づいて、前記複数のゲートのうち、他のゲートに依存せずに実行可能な、ローカルな量子ビットの上限以下の1以上の量子ビットを参照する、それぞれプロセス間通信が発生する1以上の第1ゲートによって参照される、前記1以上の量子ビットを特定し、

特定した前記1以上の量子ビットがローカルになるよう、ローカルな量子ビットとグローバルな量子ビットとを入れ替える1以上のスワップゲートを、前記1以上の第1ゲートの直前に含む、前記第1量子回路と論理的に等価な第2量子回路を生成する、

処理をコンピュータに実行させることを特徴とする情報処理プログラム。

[請求項2]

前記1以上の量子ビットを特定する都度、前記非巡回有向グラフに基づいて、前記複数のゲートのうち、他のゲートに依存せずに実行可能な、それぞれプロセス間通信が発生しない1以上の第2ゲートを特定し、

前記1以上の第2ゲートを特定する都度、前記非巡回有向グラフの中から、特定した前記1以上の第2ゲートのそれぞれの第2ゲートを表すノードを除去する、

処理を前記コンピュータに実行させ、

前記第2量子回路を生成する処理は、

前記 1 以上の量子ビットを特定する都度、雛型回路に対して、特定した前記 1 以上の量子ビットがローカルになるよう、ローカルな量子ビットとグローバルな量子ビットとを入れ替える 1 以上のスワップゲートを追加し、前記 1 以上の第 2 ゲートを特定する都度、前記雛型回路に対して、特定した前記 1 以上の第 2 ゲートを追加することにより、前記第 2 量子回路を生成する、ことを特徴とする請求項 1 に記載の情報処理プログラム。

[請求項3] 前記 1 以上の第 2 ゲートを特定する処理は、

前記 1 以上の量子ビットを最初に特定する前に、前記非巡回有向グラフに基づいて、前記複数のゲートのうち、他のゲートに依存せずに実行可能な、それぞれプロセス間通信が発生しない 1 以上の第 2 ゲートを一度特定する、ことを特徴とする請求項 2 に記載の情報処理プログラム。

[請求項4] 前記第 2 量子回路を生成する処理は、

前記非巡回有向グラフが空である場合、前記雛型回路の末尾に、初期状態でローカルな 1 以上の量子ビットがローカルに戻るよう、ローカルな量子ビットとグローバルな量子ビットとを入れ替える 1 以上のスワップゲートを追加することにより、前記第 2 量子回路を生成し、前記第 2 量子回路を生成する処理を終了する、ことを特徴とする請求項 3 に記載の情報処理プログラム。

[請求項5] 前記第 2 量子回路を生成する処理は、

前記 1 以上の量子ビットを特定した際、特定した前記 1 以上の量子ビットに基づいて、入れ替える量子ビットの数が 4 以上であれば、前記雛型回路に対して、特定した前記 1 以上の量子ビットがローカルになるよう、ローカルな量子ビットとグローバルな量子ビットとを入れ替える、フューズドスワップゲートを含む 1 以上のスワップゲートを追加する、ことを特徴とする請求項 2～4 のいずれか一つに記載の情報処理プログラム。

[請求項6] 前記 1 以上の量子ビットを特定する処理は、

前記非巡回有向グラフに基づいて、前記複数のゲートのうち、他のゲートに依存せずに実行可能な、プロセス間通信が発生するゲートを順に選択する都度、当該ゲートに関わる量子ビットを、グループに追加するという処理を、前記グループに含まれる量子ビットの数が、ローカルな量子ビットの上限を超えない範囲で繰り返し実施した後、前記グループに含まれる 1 以上の量子ビットを特定する、ことを特徴とする請求項 2～4 のいずれか一つに記載の情報処理プログラム。

[請求項7] 前記 1 以上の量子ビットを特定する処理は、

前記非巡回有向グラフに基づいて、前記複数のゲートのうち、他のゲートに依存せずに実行可能な、ローカルな量子ビットの上限以下の 1 以上の量子ビットを参照する、プロセス間通信が発生するゲートの複数の組み合わせのうち、最も多くのゲートを含む組み合わせとなる、それぞれプロセス間通信が発生する 1 以上の第 1 ゲートによって参照される 1 以上の量子ビットを特定する、ことを特徴とする請求項 2～4 のいずれか一つに記載の情報処理プログラム。

[請求項8] ローカルな 1 以上の量子ビットと、グローバルな 1 以上の量子ビットとを含む複数の量子ビットに関して、それぞれ異なる 1 以上の量子ビットに対して演算を実施することを表す複数のゲートを、時系列に沿って規定した第 1 量子回路を取得し、

取得した前記第 1 量子回路に基づいて、前記複数のゲートのそれぞれのゲートを表すノードと、異なるノードが表すゲート間の演算の実施順序を表す有向エッジとを含む非巡回有向グラフを生成し、

生成した前記非巡回有向グラフに基づいて、前記複数のゲートのうち、他のゲートに依存せずに実行可能な、ローカルな量子ビットの上限以下の 1 以上の量子ビットを参照する、それぞれプロセス間通信が発生する 1 以上の第 1 ゲートによって参照される、前記 1 以上の量子ビットを特定し、

特定した前記 1 以上の量子ビットがローカルになるよう、ローカルな量子ビットとグローバルな量子ビットとを入れ替える 1 以上のスワップゲートを、前記 1 以上の第 1 ゲートの直前に含む、前記第 1 量子回路と論理的に等価な第 2 量子回路を生成する、

処理をコンピュータが実行することを特徴とする情報処理方法。

[請求項9]

ローカルな 1 以上の量子ビットと、グローバルな 1 以上の量子ビットとを含む複数の量子ビットに関して、それぞれ異なる 1 以上の量子ビットに対して演算を実施することを表す複数のゲートを、時系列に沿って規定した第 1 量子回路を取得し、

取得した前記第 1 量子回路に基づいて、前記複数のゲートのそれぞれのゲートを表すノードと、異なるノードが表すゲート間の演算の実施順序を表す有向エッジとを含む非巡回有向グラフを生成し、

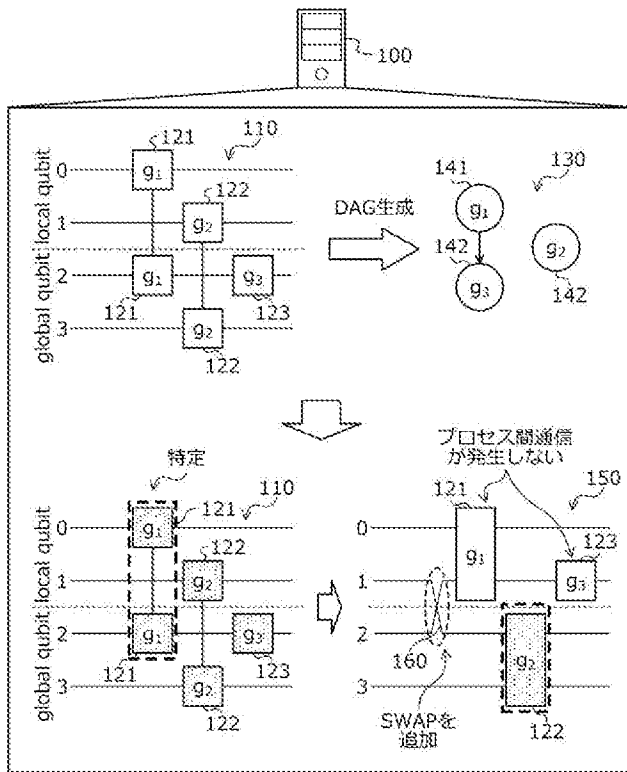
生成した前記非巡回有向グラフに基づいて、前記複数のゲートのうち、他のゲートに依存せずに実行可能な、ローカルな量子ビットの上限以下の 1 以上の量子ビットを参照する、それぞれプロセス間通信が発生する 1 以上の第 1 ゲートによって参照される、前記 1 以上の量子ビットを特定し、

特定した前記 1 以上の量子ビットがローカルになるよう、ローカルな量子ビットとグローバルな量子ビットとを入れ替える 1 以上のスワップゲートを、前記 1 以上の第 1 ゲートの直前に含む、前記第 1 量子回路と論理的に等価な第 2 量子回路を生成する、

制御部を有することを特徴とする情報処理装置。

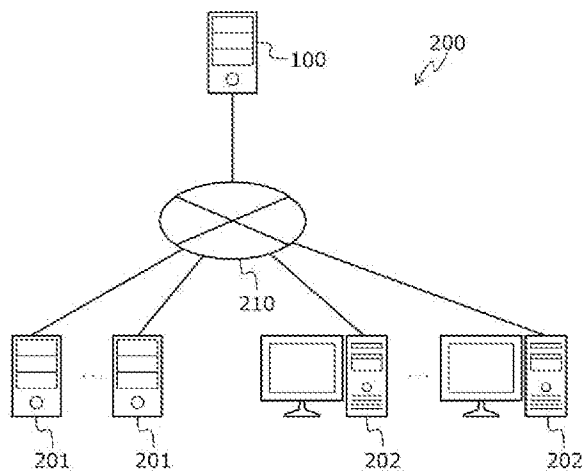
[図1]

実施の形態にかかる情報処理方法の一実施例を示す説明図



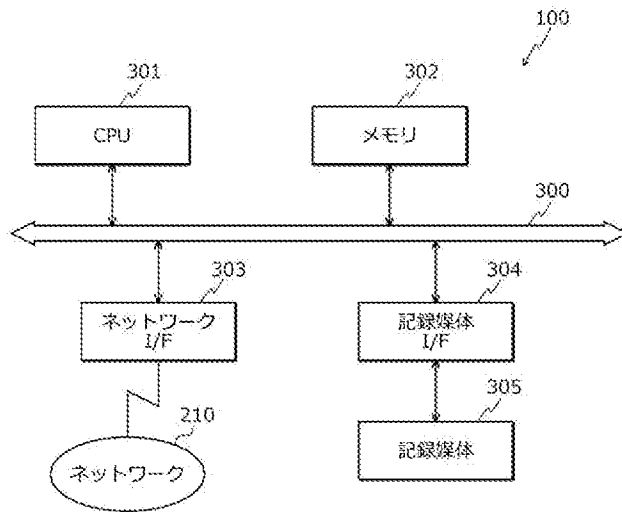
[図2]

情報処理システム200の一例を示す説明図



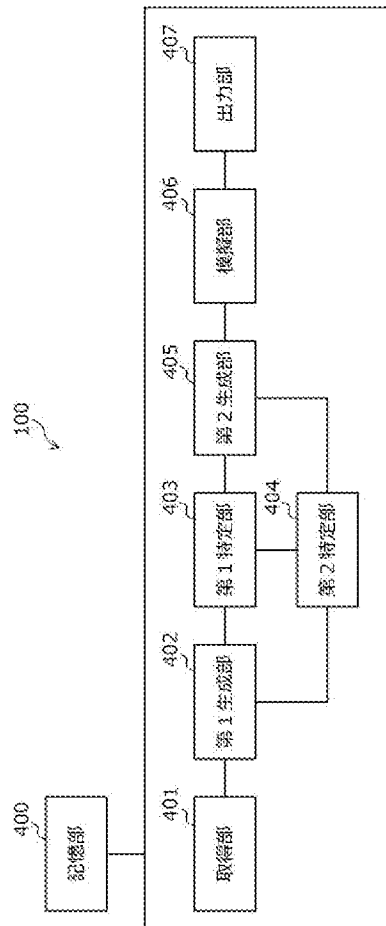
[図3]

情報処理装置100のハードウェア構成例を示すブロック図



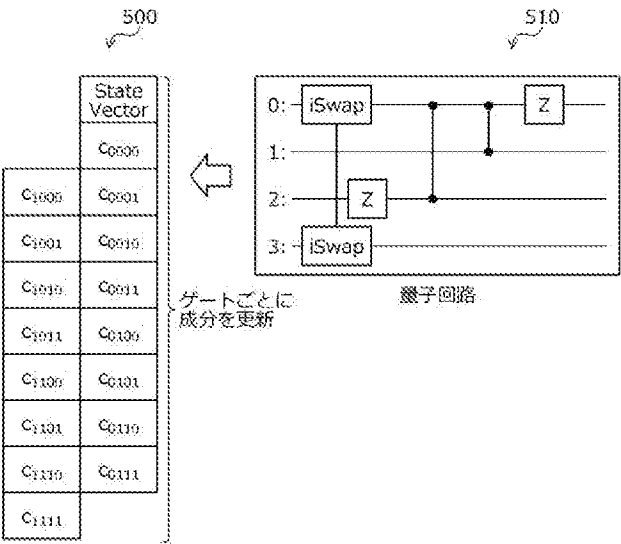
[図4]

情報処理装置100の機能的構成例を示すブロック図



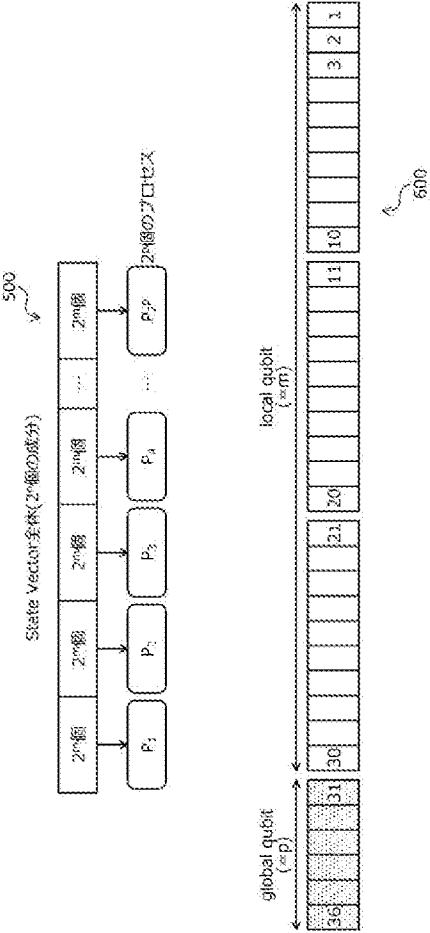
[図5]

情報処理装置 1 0 0 の動作の流れを示す説明図（その 1）



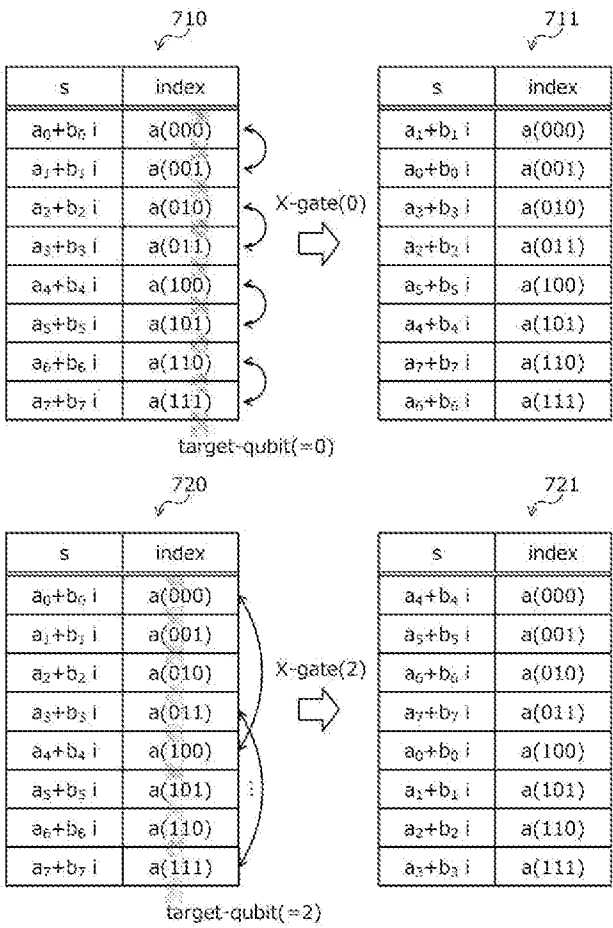
[図6]

情報処理装置 1 0 0 の動作の流れを示す説明図（その 2）



[図7]

情報処理装置 1 0 0 の動作の流れを示す説明図（その 3）



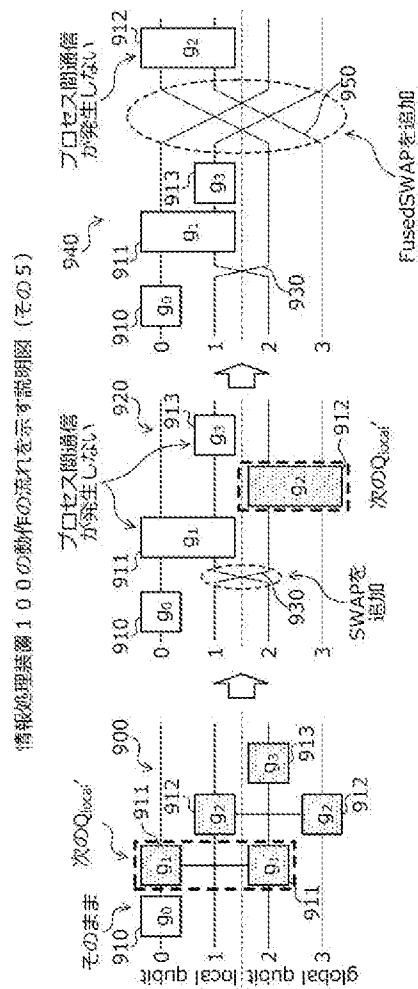
[図8]

情報処理装置 1 0 0 の動作の流れを示す説明図（その 4）

800

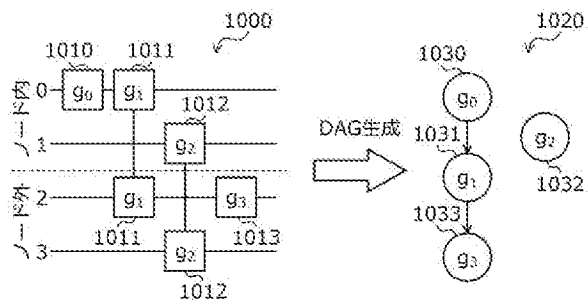
ゲート名	要素数	演算数/要素	ランク間転送量
汎用ゲート1	N	2	M
汎用ゲート2	N	4	3M
Diagonal (Rz等)	N	1	0
Identity	0	0	0
X	N	0	M
Y	N	1	M
Z/S/Sdag/T/Tdag	N/2	1	0
H	N	2	M
CNOT	N/2	0	0 or M
CZ	N/4	1	0
SWAP	N/2	0	M/2
P0/P1	N/2	0	0

[図9]



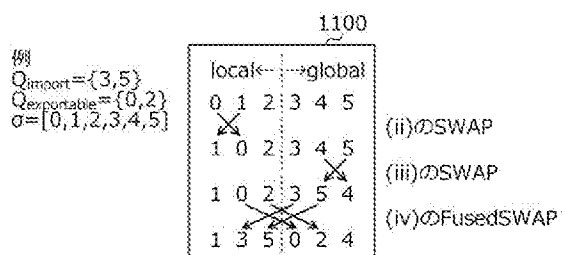
[図10]

情報処理装置 100 の動作の一例を示す説明図 (その 1)



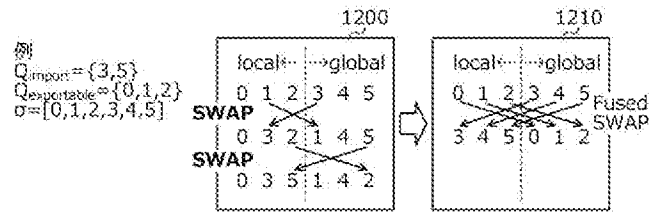
[図11]

情報処理装置 100 の動作の一例を示す説明図 (その 2)



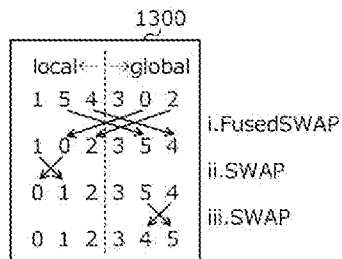
[図12]

情報処理装置 100 の動作の一例を示す説明図（その3）



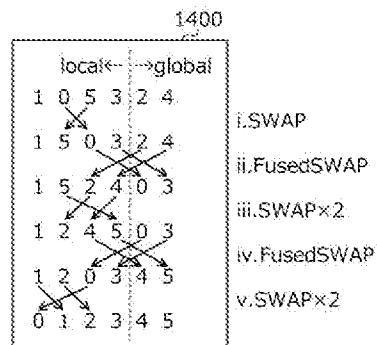
[図13]

情報処理装置 100 の動作の一例を示す説明図（その4）



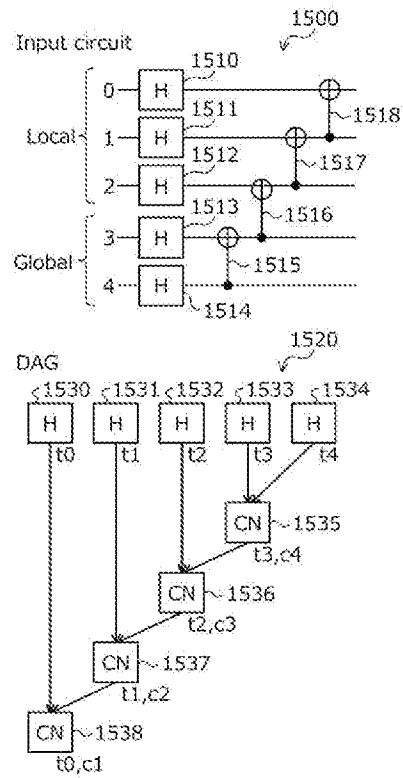
[図14]

情報処理装置 100 の動作の一例を示す説明図（その5）



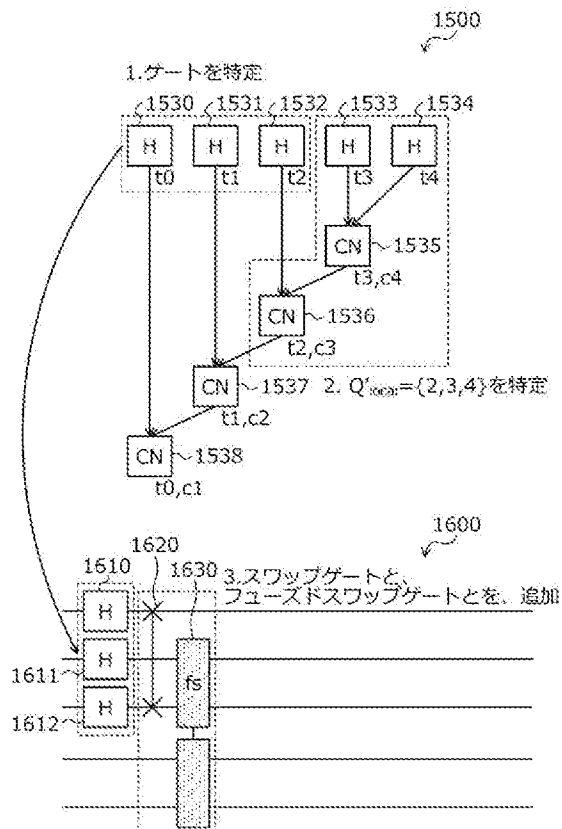
[図15]

情報処理装置100の動作の具体例を示す説明図（その1）



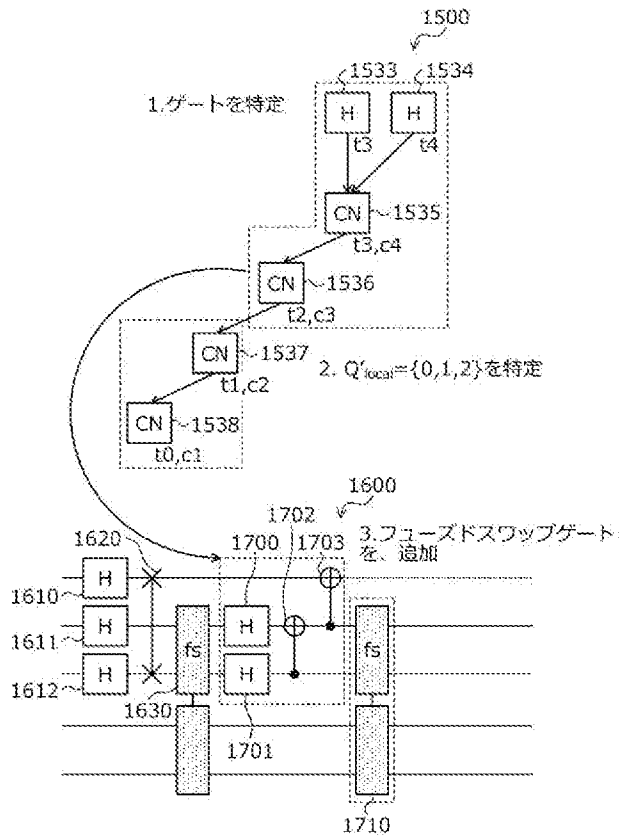
[図16]

情報処理装置100の動作の具体例を示す説明図（その2）



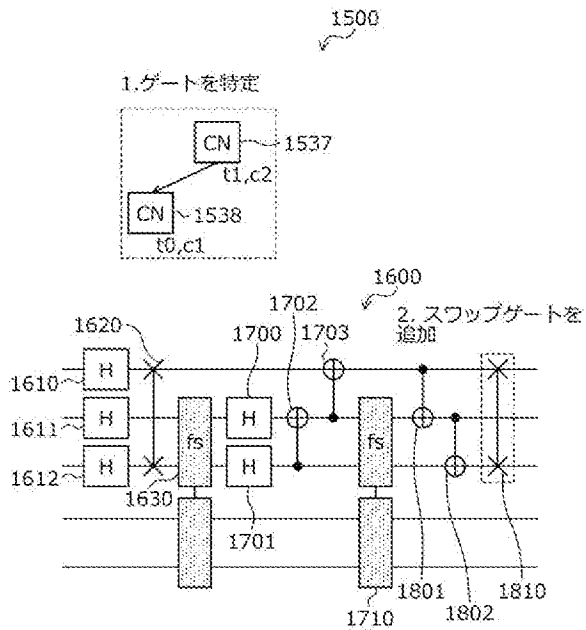
[図17]

情報処理装置100の動作の具体例を示す説明図（その3）

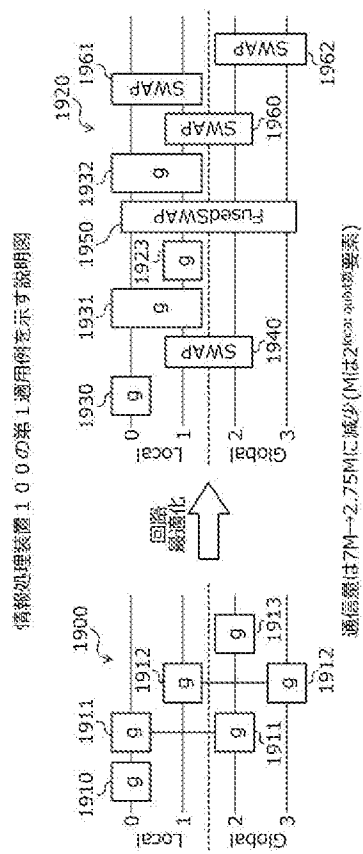


[図18]

情報処理装置100の動作の具体例を示す説明図（その4）



[図19]



[図20]

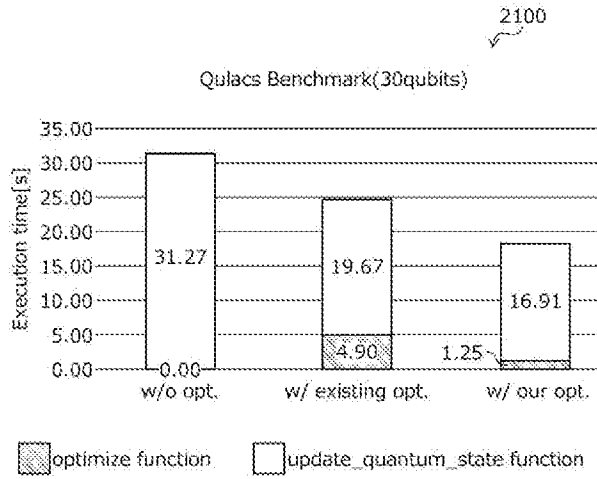
情報処理装置100の第2適用例を示す説明図（その1）

2000

項目	内容
環境	FX700 4ノード環境
ノード数	4
プロセス数	16(1プロセス/CMG)
スレッド数	12
qubit数	31(global=4,local=27)
比較対象	・w/o opt.:最適化なし ・w/ existing opt.:従来の最適化 ・w/ our opt.:情報処理装置の最適化
その他条件	global qubit同士の通信なしのSWAPが実装されていない状態での最適化

[図21]

情報処理装置 1 0 0 の第 2 適用例を示す説明図 (その 2)



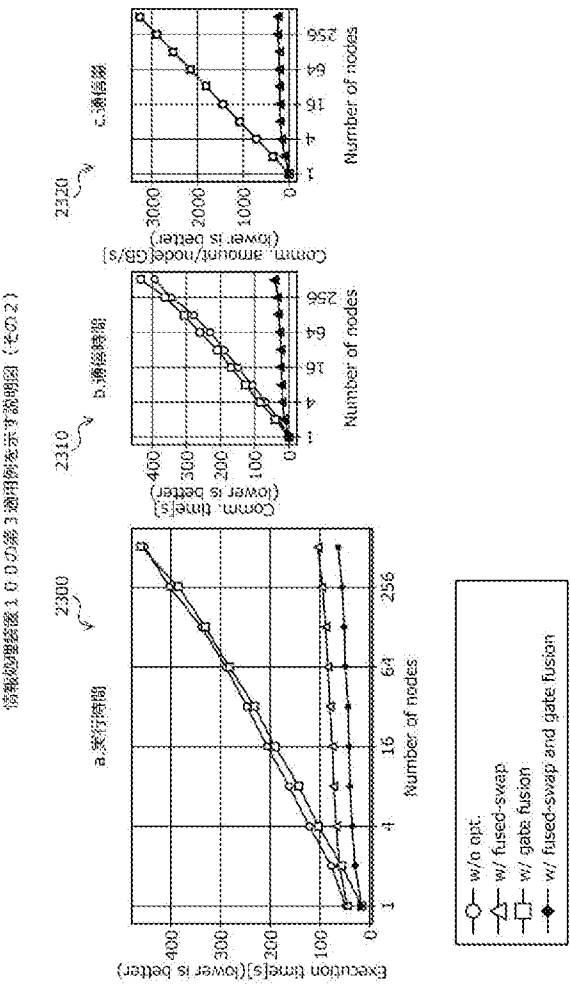
[図22]

情報処理装置 1 0 0 の第 3 適用例を示す説明図 (その 1)

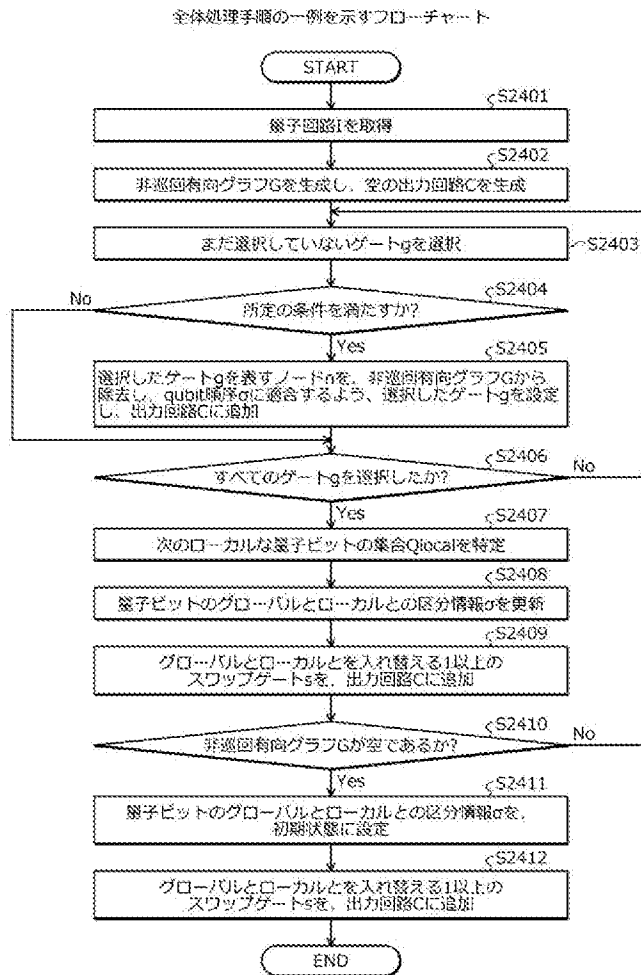
2200

項目	内容
環境	FX700 512ノード環境
ノード数	512
プロセス数	512(1プロセス/ノード)
スレッド数	48
qubit数	39(global qubits=9,local qubits=30)
比較対象	・w/o opt.:最適化なし ・w/ fused-swap:情報処理装置の最適化 ・w/ gate fusion:ゲートフュージョンの最適化 ・w/ fused-swap and gate fusion:ゲートフュージョンを利用する情報処理装置の最適化
その他条件	global qubit同士の通信なしのSWAPが実装されていない状態での最適化

[図23]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/004241

A. CLASSIFICATION OF SUBJECT MATTER

G06N 10/20(2022.01)i

FI: G06N10/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06N10/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	山崎 雅文 ほか, m p i Q u l a c s : A 6 4 F X ベースのクラスタシステムに最適化した量子コンピュータシミュレータの開発, 情報処理学会 研究報告 ハイパフォーマンスコンピューティング (H P C) , 2022, vol. 2022-HPC-185, no. 34, pp. 1-12, (YAMAZAKI, Masafumi et al. IPSJ Technical Report: High Performance Computing (HPC).), (mpiQulacs: Development of a quantum computer simulator optimized for A64FX-based cluster systems) in particular, chapter 3	1-9
A	FANG, Bo et al. Efficient Hierarchical State Vector Simulation of Quantum Circuits via Acyclic Graph Partitioning. arXiv [online]. ver. 1, 2022, pp. 1-13, [retrieved on 04 March 2024] Internet<URL: https://arxiv.org/abs/2205.06973 > in particular, chapter III	1-9

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

04 March 2024

Date of mailing of the international search report

19 March 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

G06N 10/20(2022.01)i

FI: G06N10/20

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

G06N10/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	山崎 雅文 ほか, mpiQulacs: A64FXベースのクラスタシステムに最適化した量子コンピュータシミュレータの開発, 情報処理学会 研究報告 ハイパフォーマンスコンピューティング (HPC), 2022, Vol. 2022-HPC-185, No. 34, 頁1~12 特に第3章	1~9
A	FANG, Bo et al., Efficient Hierarchical State Vector Simulation of Quantum Circuits via Acyclic Graph Partitioning, arXiv [オンライン], version 1, 2022, 頁1~13, [検索日 2024.03.04]インターネット<URL: https://arxiv.org/abs/2205.06973> 特に第III章	1~9

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

04.03.2024

国際調査報告の発送日

19.03.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

牛丸 太希 5B 6297

電話番号 03-3581-1101 内線 3545