



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0053239
(43) 공개일자 2016년05월13일

(51) 국제특허분류(Int. Cl.)

G02F 1/1368 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2014-0150615

(22) 출원일자 2014년10월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

인하대학교 산학협력단

인천광역시 남구 인하로 100, 인하대학교 (용현동)

(72) 발명자

정재경

서울 강서구 화곡로13길 107, 108동 702호 (화곡동, 화곡푸르지오)

배중욱

서울 양천구 신목로 7, 104동 1802호 (신정동, 목동삼성아파트)

(뒷면에 계속)

(74) 대리인

특허법인로알

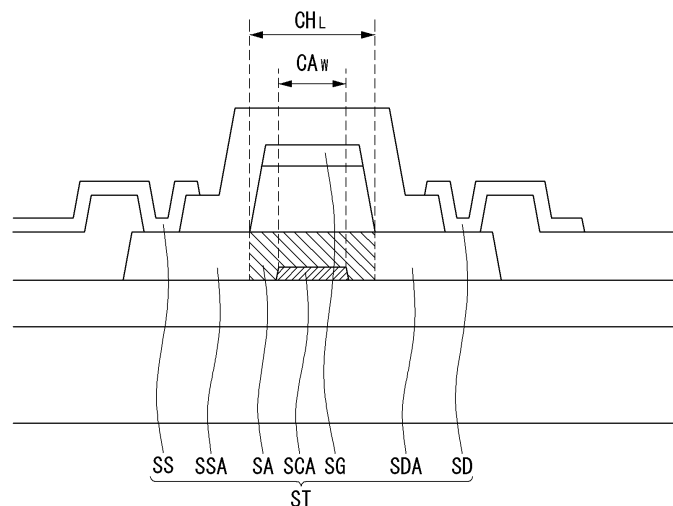
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 캡핑층을 구비한 금속 산화물 반도체를 포함하는 박막 트랜지스터 기판

(57) 요약

본 발명은 채널 영역의 일부에 캡핑층을 구비한 금속 산화물 반도체를 포함하는 평판 표시장치용 박막 트랜지스터 기판에 관한 것이다. 본 발명에 의한 박막 트랜지스터 기판은, 반도체 층, 캡핑층, 게이트 전극, 소스 전극 그리고 드레인 전극을 포함한다. 반도체 층은 기판 위에 배치되며, 중앙부에 정의된 채널 영역, 채널 영역의 일측면에 정의된 소스 영역 및 채널 영역의 타측면에 정의된 드레인 영역을 포함한다. 캡핑층은 채널 영역의 일부와 접촉하도록 배치된다. 게이트 전극은 게이트 절연막을 사이에 두고 채널 영역과 중첩한다. 소스 전극은 소스 영역과 접촉한다. 그리고 드레인 전극은 드레인 영역과 접촉한다.

대표도 - 도10



(72) 발명자

윤필상

경기도 부천시 원미구 소향로 11 (상동, 코오롱이
데아폴리스) A동 3201호

박세희

서울 마포구 희우정로 82, 401호 (망원동, 휴먼스
빌)

명세서

청구범위

청구항 1

기판 위에 배치되며, 중앙부에 정의된 채널 영역, 상기 채널 영역의 일측면에 정의된 소스 영역 및 상기 채널 영역의 타측면에 정의된 드레인 영역을 포함하는 반도체 층;

상기 채널 영역의 일부와 접촉하는 캡핑층;

게이트 절연막을 사이에 두고 상기 채널 영역과 중첩하는 게이트 전극;

상기 소스 영역과 접촉하는 소스 전극; 그리고

상기 드레인 영역과 접촉하는 드레인 전극을 포함하는 박막 트랜지스터 기판.

청구항 2

제 1 항에 있어서,

상기 캡핑층은,

상기 채널 영역의 면적보다 작은 면적을 갖고,

상기 소스 영역 및 상기 드레인 영역과 전기적 및 물리적으로 이격되어 배치된 박막 트랜지스터 기판.

청구항 3

제 1 항에 있어서,

상기 캡핑층은,

10 내지 100nm의 두께를 갖는 박막 트랜지스터 기판.

청구항 4

제 1 항에 있어서,

상기 캡핑층은,

티타늄(Ti), 칼슘(Calcium) 및 실리콘(Si) 중 적어도 어느 하나를 포함하는 박막 트랜지스터 기판.

청구항 5

제 1 항에 있어서,

상기 캡핑층은 상기 기판 위에 먼저 배치되고,

상기 반도체 층은 상기 캡핑층 위에 적층된 박막 트랜지스터 기판.

청구항 6

제 1 항에 있어서,

상기 반도체 층은,

인듐-아연-산화물 (Indium-Zinc-Oxide: IZO), 인듐-갈륨-아연 산화물 (Indium-Galium-Zinc-Oxide: IGZO), 아연-주석-산화물 (Zinc-Tin-Oxide: ZTO), 인듐-아연-주석-산화물 (Indium-Zinc-Tin-Oxide: IZTO) 및 인듐-아연-산화물 (Indium-Zinc-Oxide: IZO) 중 적어도 어느 하나인 금속 산화물질을 포함하는 박막 트랜지스터 기판.

청구항 7

제 1 항에 있어서,

상기 반도체 층은,

주석을 포함하는 제1 반도체 층; 그리고

상기 제1 반도체 층과 적층되되, 주석을 포함하지 않는 제2 반도체 층을 포함하고,

상기 캐핑층은 상기 제1 반도체 층과 접촉하도록 배치된 박막 트랜지스터 기판.

발명의 설명

기술 분야

[0001] 본 발명은 채널 영역의 일부에 캐핑층을 구비한 금속 산화물 반도체를 포함하는 평판 표시장치용 박막 트랜지스터 기판에 관한 것이다. 특히, 본 발명은 평판 표시장치에 적용하는 금속 산화물 반도체를 포함하되, 채널 영역 일부와 직접 접촉하는 캐핑층을 더 구비하여, 전계 이동도를 향상한 박막 트랜지스터 기판에 관한 것이다.

배경 기술

[0002] 표시장치 분야는 부피가 큰 음극선관(Cathode Ray Tube: CRT)을 대체하는, 얇고 가벼우며 대면적이 가능한 평판 표시장치(Flat Panel Display Device: FPD)로 급속히 변화해 왔다. 평판 표시장치에는 액정표시장치(Liquid Crystal Display Device: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 유기발광 표시장치(Organic Light Emitting Display Device: OLED), 그리고 전기영동 표시장치(Electrophoretic Display Device: ED) 등이 있다.

[0003] 능동형으로 구동하는 액정 표시장치, 유기발광 표시장치 및 전기영동 표시장치의 경우, 매트릭스 방식으로 배열된 화소 영역 내에 할당된 박막 트랜지스터가 배치된 박막 트랜지스터 기판을 포함한다. 예를 들어, 액정표시장치(Liquid Crystal Display Device: LCD)는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시한다.

[0004] 액정표시장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 구분한다. 수직 전계형 액정표시장치는 상 하부 기판에 대향하게 배치된 화소 전극과 공통전극 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동한다. 이러한 수직 전계형 액정표시장치는 개구율이 큰 장점을 가지는 반면, 시야각이 90도 정도로 좁은 단점이 있다.

[0005] 수평 전계형 액정표시장치는 하부 기판에 평행하게 배치된 화소 전극과 공통전극 사이에 수평 전계를 형성하여 인-플레인 스위칭(In Plane Switching: IPS) 모드의 액정을 구동한다. 이러한 IPS 모드의 액정표시장치는 시야각이 160도 정도로 넓은 장점이 있으나, 개구율 및 투과율이 낮은 단점이 있다. 이러한 IPS 모드의 액정표시장치의 단점을 개선하기 위해 프린지 필드(Fringe Field)에 의해 동작하는 프린지 필드 스위칭(Fringe Field Switching: FFS) 방식의 액정표시장치가 제안되었다.

[0006] 도 1은 종래의 프린지 필드 방식의 액정표시장치에 포함된 산화물 반도체 층을 갖는 박막 트랜지스터 기판을 나타내는 평면도이다. 도 2는 도 1에 도시한 박막 트랜지스터 기판을 절취선 I-I' 선을 따라 자른 단면도이다.

[0007] 도 1 및 도 2에 도시된 금속 산화물 반도체 층을 갖는 박막 트랜지스터 기판은 하부 기판(SUB) 위에 게이트 절연막(GI)을 사이에 두고 교차하는 게이트 배선(GL) 및 데이터 배선(DL), 그 교차 구조에 의해 정의된 각 화소 영역 내에 형성된 박막 트랜지스터(T)를 구비한다.

[0008] 박막 트랜지스터(T)는 게이트 배선(GL)에서 분기된 게이트 전극(G), 데이터 배선(DL)에서 분기된 소스 전극(S),

소스 전극(S)과 대향하는 드레인 전극(D), 그리고 게이트 절연막(GI) 위에서 게이트 전극(G)과 중첩하면 소스 전극(S)과 드레인 전극(D) 사이에 채널을 형성하는 반도체 층(A)을 포함한다.

- [0009] 특히, 반도체 층(A)을 산화물 반도체 물질로 형성하는 경우, 높은 전하 이동도 특성에 의해 충전 용량이 큰 대면적 박막 트랜지스터 기판에 유리하다. 그러나 산화물 반도체 물질은 소자의 안정성을 확보하기 위해 상부 표면에 식각액으로부터 보호를 위한 에치 스톱퍼를 더 포함할 수도 있다.
- [0010] 게이트 배선(GL)의 일측 단부에는 외부로부터 게이트 신호를 인가받기 위한 게이트 패드(GP)를 포함한다. 게이트 패드(GP)는 게이트 절연막(GI)을 관통하는 제1 게이트 패드 콘택홀(GH1)을 통해 게이트 패드 중간 단자(IGT)와 접촉한다. 게이트 패드 중간 단자(IGT)는 제1 보호막(PA1)과 제2 보호막(PA2)을 관통하는 제2 게이트 패드 콘택홀(GH2)을 통해 게이트 패드 단자(GPT)와 접촉한다. 한편, 데이터 배선(DL)의 일측 단부에는 외부로부터 화소 신호를 인가받기 위한 데이터 패드(DP)를 포함한다. 데이터 패드(DP)는 제1 보호막(PA1) 및 제2 보호막(PA2)을 관통하는 데이터 패드 콘택홀(DPH)을 통해 데이터 패드 단자(DPT)와 접촉한다.
- [0011] 화소 영역에는 프린지 필드를 형성하도록 제2 보호막(PA2)을 사이에 두고 형성된 화소 전극(PXL)과 공통 전극(COM)을 구비한다. 공통 전극(COM)은 게이트 배선(GL)과 나란하게 배열된 공통 배선(CL)과 접촉된다. 공통 전극(COM)은 공통 배선(CL)을 통해 액정 구동을 위한 기준 전압(혹은 공통 전압)을 공급받는다.
- [0012] 공통 전극(COM)과 화소 전극(PXL)의 위치 및 모양은 설계 환경과 목적에 맞추어 다양하게 형성할 수 있다. 공통 전극(COM)은 일정한 기준 전압이 인가되는 반면, 화소 전극(PXL)은 구현하고자 하는 비디오 데이터에 따라 수시로 변화하는 전압 값이 인가된다. 따라서, 데이터 배선(DL)과 화소 전극(PXL) 사이에 기생 용량이 발생할 수 있다. 이러한 기생 용량으로 인해 화질에 문제를 야기할 수 있기 때문에, 공통 전극(COM)을 먼저 형성하고, 화소 전극(PXL)을 최상위층에 형성하는 것이 바람직하다.
- [0013] 즉, 데이터 배선(DL) 및 박막 트랜지스터(T)를 덮는 제1 보호막(PA1) 위에 유전율이 낮은 유기물질을 두겹게 형성한 평탄화 막(PAC)을 형성한 후에, 공통 전극(COM)을 형성한다. 그리고 공통 전극(COM)을 덮는 제2 보호막(PA2)을 형성한 후, 공통 전극(COM)과 중첩하는 화소 전극(PXL)을 제2 보호막(PA2) 위에 형성한다. 이러한 구조에서는 화소 전극(PXL)이 데이터 배선(DL)과 제1 보호막(PA1), 평탄화막(PAC), 그리고 제2 보호막(PA2)에 의해 이격되므로 데이터 배선(DL)과 화소 전극(PXL) 사이에 기생 용량을 줄일 수 있다.
- [0014] 공통 전극(COM)은 화소 영역의 형태에 대응하는 장방형으로 형성되고, 화소 전극(PXL)은 다수 개의 선분 형상으로 형성된다. 특히, 화소 전극(PXL)은 제2 보호막(PA2)을 사이에 두고 공통 전극(COM)과 수직 상으로 중첩하는 구조를 갖는다. 화소 전극(PXL)과 공통 전극(COM) 사이에서 프린지 필드가 형성되어 박막 트랜지스터 기판과 컬러 필터 기판 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전한다. 그리고 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라져 계조를 구현한다.
- [0015] 다른 평판표시장치의 예로, 전계발광 표시장치가 있다. 전계발광 표시장치는 발광층의 재료에 따라 무기 전계발광 표시장치와 유기발광 다이오드 표시장치로 대별되며 스스로 발광하는 자발광소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.
- [0016] 유기발광 다이오드는 전계발광하는 유기 전계발광 화합물층과, 유기 전계발광 화합물층을 사이에 두고 대향하는 캐소드 전극(Cathode) 및 애노드 전극(Anode)을 포함한다. 유기 전계발광 화합물층은 정공주입층(Hole injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron injection layer, EIL)을 포함한다.
- [0017] 유기발광 다이오드는 애노드 전극(Anode)과 캐소드 전극(Cathode)에 주입된 정공과 전자가 발광층에서 재결합할 때의 여기 과정에서 여기자(excitation)가 형성되고 여기자로부터의 에너지로 인하여 발광한다. 유기발광다이오드 표시장치는 유기발광다이오드의 발광층에서 발생하는 빛의 양을 전기적으로 제어하여 영상을 표시한다.
- [0018] 전계발광소자인 유기발광 다이오드의 특징을 이용한 유기발광 다이오드 표시장치(Organic Light Emitting Diode display: OLED)에는 패시브 매트릭스 타입의 유기발광 다이오드 표시장치(Passive Matrix type Organic Light Emitting Diode display, PMOLED)와 액티브 매트릭스 타입의 유기발광 다이오드 표시장치(Active Matrix type Organic Light Emitting Diode display, AMOLED)로 대별된다.
- [0019] 액티브 매트릭스 타입의 유기발광 다이오드 표시장치(AMOLED)는 박막 트랜지스터(Thin Film Transistor: 혹은 "TFT")를 이용하여 유기발광 다이오드에 흐르는 전류를 제어하여 화상을 표시한다.
- [0020] 도 3은 종래 기술에 의한 유기발광 다이오드 표시장치에서 한 화소의 구조를 나타내는 평면도이다. 도 4는 도

3에서 절취선 II-II'로 자른 유기발광 다이오드 표시장치의 구조를 나타내는 단면도이다.

- [0021] 도 3 및 4를 참조하면, 액티브 매트릭스 유기발광 다이오드 표시장치는 스위칭 박막 트랜지스터(ST), 스위칭 박막 트랜지스터와 연결된 구동 박막 트랜지스터(DT), 구동 박막 트랜지스터(DT)에 접속된 유기발광 다이오드(OLE)를 포함한다.
- [0022] 스위칭 박막 트랜지스터(ST)는 스캔 배선(SL)과 데이터 배선(DL)이 교차하는 부위에 형성되어 있다. 스위칭 박막 트랜지스터(ST)는 화소를 선택하는 기능을 한다. 스위칭 박막 트랜지스터(ST)는 스캔 배선(SL)에서 분기하는 게이트 전극(SG)과, 반도체 층(SA)과, 소스 전극(SS)과, 드레인 전극(SD)을 포함한다. 그리고 구동 박막 트랜지스터(DT)는 스위칭 박막 트랜지스터(ST)에 의해 선택된 화소의 유기발광 다이오드(OLE)를 구동하는 역할을 한다.
- [0023] 구동 박막 트랜지스터(DT)는 스위칭 박막 트랜지스터(ST)의 드레인 전극(SD)과 연결된 게이트 전극(DG)과, 반도체 층(DA), 구동 전류 배선(VDD)에 연결된 소스 전극(DS)과, 드레인 전극(DD)을 포함한다. 구동 박막 트랜지스터(DT)의 드레인 전극(DD)은 유기발광 다이오드(OLE)의 애노드 전극(ANO)과 연결되어 있다. 애노드 전극(ANO)과 캐소드 전극(CAT) 사이에는 유기발광 층(OL)이 개재되어 있다. 캐소드 전극(CAT)은 기저 전압(VSS)에 연결된다.
- [0024] 또한, 액티브 매트릭스 유기발광 다이오드 표시장치의 기판(SUB) 상에 스위칭 박막 트랜지스터(ST) 및 구동 박막 트랜지스터(DT)의 게이트 전극(SG, DG)이 형성되어 있다. 그리고 게이트 전극(SG, DG) 위에는 게이트 절연막(GI)이 덮고 있다. 게이트 전극(SG, DG)과 중첩되는 게이트 절연막(GI)의 일부에 반도체 층(SA, DA)이 형성되어 있다. 반도체 층(SA, DA) 위에는 일정 간격을 두고 소스 전극(SS, DS)과 드레인 전극(SD, DD)이 마주보고 형성된다. 스위칭 박막 트랜지스터(ST)의 드레인 전극(SD)은 게이트 절연막(GI)에 형성된 드레인 콘택홀(DH)을 통해 구동 박막 트랜지스터(DT)의 게이트 전극(DG)과 접촉한다. 이와 같은 구조를 갖는 스위칭 박막 트랜지스터(ST) 및 구동 박막 트랜지스터(DT)를 덮는 보호막(PAS)이 전면에 도포된다.
- [0025] 나중에 형성될 애노드 전극(ANO)의 영역에 해당하는 부분에 칼라 필터(CF)가 형성된다. 칼라 필터(CF)는 가급적 넓은 면적을 차지하도록 형성하는 것이 바람직하다. 예를 들어, 데이터 배선(DL), 구동 전류 배선(VDD) 및 전단의 스캔 배선(SL)의 많은 영역과 중첩하도록 형성하는 것이 바람직하다. 이와 같이 칼라 필터(CF)가 형성된 기판은 여러 구성요소들이 형성되어 표면이 평탄하지 못하고, 단차가 많이 형성되어 있다. 따라서, 기판의 표면을 평탄하게 할 목적으로 오버코트 층(OC)을 기판 전면에 도포한다.
- [0026] 그리고 오버코트 층(OC) 위에 유기발광 다이오드(OLE)의 애노드 전극(ANO)이 형성된다. 여기서, 애노드 전극(ANO)은 오버코트 층(OC) 및 보호막(PAS)에 형성된 화소 콘택 홀(PH)을 통해 구동 TFT(DT)의 드레인 전극(DD)과 연결된다.
- [0027] 애노드 전극(ANO)이 형성된 기판 위에, 화소 영역을 정의하기 위해 스위칭 박막 트랜지스터(ST), 구동 TFT(DT) 그리고 각종 배선들(DL, SL, VDD)이 형성된 영역 위에 बैं크(BN)(혹은, बैं크 패턴)를 형성한다.
- [0028] बैं크(BN)에 의해 노출된 애노드 전극(ANO)이 발광 영역이 된다. बैं크(BN)에 의해 노출된 애노드 전극(ANO) 위에 유기발광 층(OL)과 캐소드 전극층(CAT)이 순차적으로 적층된다. 유기발광 층(OL)은 백색광을 발하는 유기물 질로 이루어진 경우, 아래에 위치한 칼라 필터(CF)에 의해 각 화소에 배정된 색상을 나타낸다. 도 4와 같은 구조를 갖는 유기발광 다이오드 표시장치는 아래 방향으로 발광하는 하부 발광(Bottom Emission) 표시 장치가 된다.
- [0029] 상기와 같은 평판 표시장치에서 우수한 구동 특성을 갖도록 하기 위해, 박막 트랜지스터의 반도체 층(A)은 금속 산화물 반도체 물질로 형성하는 것이 바람직하다. 이상과 같이 전계 이동도를 향상하기 위해 산화물 반도체를 사용함에 있어서, 전이 금속물질의 조합을 어떻게 만드는가 하는 것에 초점을 두어 개발되었다. 그 결과로, 지금까지는 인듐-갈륨-아연 산화물질(Indium-Galium-Zinc-Oxide: IGZO)을 사용하여 박막 트랜지스터 기판 제조 공정 및 구조를 최적화하도록 개발되었다.
- [0030] 인듐-갈륨-아연 산화물에서 갈륨은 전하 억제적인 특성이, 인듐은 이동도 개선의 특성이 있는 것으로 알려져 있다. 따라서, 전계 이동도를 IGZO 물질에서 확보하기 위해, 인듐의 조성량을 증가시키는 것이 바람직하다. 하지만, 이럴 경우 반도체 층의 산소 공공 결함(oxygen vacancy defect)이 증가하여 빛이 조사될 때 산소 공공 결함이 자유전자 2개를 전도대로 기여하여 전자 농도가 증가한다. 이로 인해 반도체 층의 문턱 전압이 음의 방향으로 열화되어, 광 바이어스 신뢰성이 저하되는 문제가 발생한다. 또한, 현재 IGZO 물질에서 전계 이동도는 10~20cm²/Vs 수준으로서, 400PPI 이상의 초고해상도, 40인치 이상의 대면적화 및 입체 영상 표시기능 등을 구현

하기에는 아직도 더 높은 이동도를 가질 수 있도록 개발할 필요성이 있다.

발명의 내용

해결하려는 과제

- [0031] 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출 된 발명으로써, 전계 이동도가 향상된 금속 산화물 반도체 물질을 포함하는 평판 표시장치용 박막 트랜지스터 기판을 제공하는 데 있다. 본 발명의 다른 목적은, 제조 공정이 용이하고, 반도체 층의 채널 영역에 손상을 주지 않으며, 전계 이동도가 향상된 금속 산화물 반도체 물질을 포함하는 평판 표시장치용 박막 트랜지스터 기판을 제공하는 데 있다.

과제의 해결 수단

- [0032] 상기 목적을 달성하기 위하여, 본 발명에 의한 박막 트랜지스터 기판은, 반도체 층, 캡핑층, 게이트 전극, 소스 전극 그리고 드레인 전극을 포함한다. 반도체 층은 기판 위에 배치되며, 중앙부에 정의된 채널 영역, 채널 영역의 일측면에 정의된 소스 영역 및 채널 영역의 타측면에 정의된 드레인 영역을 포함한다. 캡핑층은 채널 영역의 일부와 접촉하도록 배치된다. 게이트 전극은 게이트 절연막을 사이에 두고 채널 영역과 중첩한다. 소스 전극은 소스 영역과 접촉한다. 그리고 드레인 전극은 드레인 영역과 접촉한다.
- [0033] 일례로, 캡핑층은 채널 영역의 면적보다 작은 면적을 갖고, 소스 영역 및 상기 드레인 영역과 전기적 및 물리적으로 이격되어 배치된다.
- [0034] 일례로, 캡핑층은 10 내지 100nm의 두께를 갖는다.
- [0035] 일례로, 캡핑층은 티타늄(Ti), 칼슘(Calcium) 및 실리콘(Si) 중 적어도 어느 하나를 포함한다.
- [0036] 일례로, 캡핑층은 기판 위에 먼저 배치되고, 상기 반도체 층은 상기 캡핑층 위에 적층된다.
- [0037] 일례로, 반도체 층은 인듐-아연-산화물 (Indium-Zinc-Oxide: IZO), 인듐-갈륨-아연 산화물 (Indium-Galium-Zinc-Oxide: IGZO), 아연-주석-산화물 (Zinc-Tin-Oxide: ZTO), 인듐-아연-주석-산화물 (Indium-Zinc-Tin-Oxide: IZTO) 및 인듐-아연-산화물 (Indium-Zinc-Oxide: IZO) 중 적어도 어느 하나인 금속 산화물질을 포함한다.
- [0038] 일례로, 반도체 층은 주석을 포함하는 제1 반도체 층; 그리고 제1 반도체 층과 적층되되, 주석을 포함하지 않는 제2 반도체 층을 포함하고, 캡핑층은 제1 반도체 층과 접촉하도록 배치된다.

발명의 효과

- [0039] 본 발명에 의한 박막 트랜지스터 기판은, 금속 산화물 반도체 물질을 포함하는 채널 영역과 직접 접촉하는 산화성이 강한 캡핑층을 더 구비한다. 따라서, 금속 산화물 반도체 물질에서 발생하는 산소 공공 결함부를 캡핑층이 제거함으로써, 전계 이동도를 2배 이상 향상할 수 있다. 본 발명에 의하면, 금속 산화물 반도체 물질의 조성을 조정하지 않고, 캡핑층을 추가하는 것만으로 전계 이동도를 향상한 박막 트랜지스터 기판을 얻을 수 있다. 또한, 캡핑층을 먼저 형성한 후에, 반도체 층을 형성하고, 채널 영역을 정의함으로써, 금속 산화물 반도체 물질을 포함하는 박막 트랜지스터 기판을 포토리소그래피 공정을 이용하여 대량 생산할 수 있다.

도면의 간단한 설명

- [0040] 도 1은 종래의 프린지 필드 방식의 액정표시장치에 포함된 박막 트랜지스터 기판을 나타내는 평면도.
- 도 2는 도 1에 도시한 박막 트랜지스터 기판을 절취선 I-I'선을 따라 자른 단면도.
- 도 3은 종래 기술에 의한 유기발광 다이오드 표시장치에서 한 화소의 구조를 나타내는 평면도.
- 도 4는 도 3에서 절취선 II-II'로 자른 유기발광 다이오드 표시장치의 구조를 나타내는 단면도.
- 도 5는 본 발명에 의한 금속 캡핑층과 다성분계 금속 산화물 반도체의 경계면에서 산소 결함을 제거하는 구조를 나타내는 개략도.
- 도 6은 본 발명의 제1 실시 예에 의한, 금속 캡핑층을 구비한 금속 산화물 반도체 물질을 갖는 액정 표시장치용 박막 트랜지스터 기판의 구조를 나타내는 평면도.

도 7은 도 6에서 절취선 III-III'으로 자른 본 발명의 제1 실시 예에 의한 액정 표시장치용 박막 트랜지스터 기판의 구조를 나타내는 단면도.

도 8은 본 발명의 제2 실시 예에 의한, 캡핑층을 구비한 금속 산화물 반도체를 포함하는 유기발광 다이오드 표시장치용 박막 트랜지스터 기판의 구조를 나타내는 평면도.

도 9는 도 8에서 절취선 IV-IV'으로 자른 본 발명의 제2 실시 예에 의한 유기발광 다이오드 표시장치용 박막 트랜지스터 기판의 구조를 나타내는 단면도.

도 10은 도 9에서 박막 트랜지스터 부분의 상세한 구조를 나타낸 확대 단면도.

발명을 실시하기 위한 구체적인 내용

- [0041] 이하, 첨부한 도면을 참조하여, 본 발명의 바람직한 실시 예를 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0042] 먼저, 도 5를 참조하여, 본 발명에서 제안하는 금속 캡핑층의 기능에 대하여 설명한다. 도 5는 본 발명에 의한 금속 캡핑층과 다성분계 금속 산화물 반도체의 경계면에서 산소 결합을 제거하는 구조를 나타내는 개략도이다.
- [0043] 인듐-갈륨-아연 산화물과 같이 다성분계 금속 산화물 반도체 물질에는 인듐(In)과 같은 성분에 산소가 잘 결합되어 있을 수도 있고(well bonded oxygen), 약하게 결합되어(weakly bonded oxygen) 있을 수도 있다. 약하게 결합된 산소는 자유전자의 스캐터링 센터(scattering center) 역할을 하는데, 이것이 산소 공공 결함(oxygen vacancy defect, 혹은 interstitial oxygen defect)으로 작용하여 전하이동을 방해하고, 반도체 층의 채널 영역에서 이동도가 저하될 수 있다.
- [0044] 하지만, 강한 산화력을 갖는 물질, 예를 들어, 티타늄(Ti)을 금속 산화물 반도체 층에 적층할 경우, 약하게 결합된 산소 원자 혹은 이온과 결합함으로써, 산소 공공 결함을 제거할 수 있다. 예를 들어, 티타늄과 같은 강한 산화력을 갖는 물질을 금속 산화물 반도체 물질의 채널 영역에 직접 적층하고, 열 산화 공정을 이용하여 산화물 반도체에 존재하는 산소 공공 결함을 제거한다. 그 결과, 금속 산화물 반도체 층의 조성비를 조절하지 않더라도, 전계 이동도를 개선할 수 있다.
- [0045] <제1 실시 예>
- [0046] 이하, 도면들을 참조하여, 본 발명에 의한 구체적인 실시 예들을 설명한다. 먼저, 도 6 및 7을 참조하여, 본 발명의 제1 실시 예를 설명한다. 도 6은 본 발명의 제1 실시 예에 의한, 금속 캡핑층을 구비한 금속 산화물 반도체 물질을 갖는 액정 표시장치용 박막 트랜지스터 기판의 구조를 나타내는 평면도이다. 도 7은 도 6에서 절취선 III-III'으로 자른 본 발명의 제1 실시 예에 의한 액정 표시장치용 박막 트랜지스터 기판의 구조를 나타내는 단면도이다.
- [0047] 본 발명의 제1 실시 예에 의한, 금속 캡핑층을 구비한 금속 산화물 반도체 층을 갖는 박막 트랜지스터 기판은 하부 기판(SUB) 위에 게이트 절연막(GI)을 사이에 두고 교차하는 게이트 배선(GL) 및 데이터 배선(DL), 그 교차 구조에 의해 정의된 각 화소 영역 내에 형성된 박막 트랜지스터(T)를 구비한다.
- [0048] 박막 트랜지스터(T)는 게이트 배선(GL)에서 분기된 게이트 전극(G), 데이터 배선(DL)에서 분기된 소스 전극(S), 소스 전극(S)과 대향하는 드레인 전극(D), 그리고 게이트 절연막(GI) 위에서 게이트 전극(G)과 중첩하면 소스 전극(S)과 드레인 전극(D) 사이에 채널을 형성하는 반도체 층(A)을 포함한다. 반도체 층(A)은 인듐-아연-산화물 (Indium-Zinc-Oxide: IZO), 인듐-갈륨-아연 산화물 (Indium-Galium-Zinc-Oxide: IGZO), 아연-주석-산화물 (Zinc-Tin-Oxide: ZTO), 인듐-아연-주석-산화물 (Indium-Zinc-Tin-Oxide: IZTO) 혹은 인듐-아연-산화물 (Indium-Zinc-Oxide: IZO)과 같은 다성분계 금속 산화물질을 포함한다.
- [0049] 반도체 층(A) 중에서 소스 전극(S)과 드레인 전극(D) 사이에 정의되는 채널 영역에서, 중앙부 표면 위에는 캡핑층(CA)이 형성되어 있다. 캡핑층(CA)은 티타늄(Ti), 칼슘(Calcium) 혹은 실리콘(Si)과 같이 산소와의 결합력이 강한 물질을 포함하는 것이 바람직하다. 또한, 캡핑층(CA)의 선폭 및 길이는 반도체 층(A)의 채널 영역의 면적 (폭*길이: W*L)보다 작은 것이 바람직하다. 또한, 캡핑층(CA)의 두께는 10~100nm인 것이 바람직하다.
- [0050] 예를 들어, 반도체 층(A)에서 소스 전극(S)과 드레인 전극(D) 사이에는 채널 영역이 정의된다. 채널 영역에서,

서로 대향하는 소스 전극(S)과 드레인 전극(D) 사이의 이격 거리가 채널 길이(CH_L)로 정의된다. 캡핑층(CA)은 채널 영역에서 소스 전극(S) 및 드레인 전극(D)과 물리적 전기적으로 접촉되지 않도록 일정 거리를 두고 배치된다. 즉, 캡핑층(CA)은 채널 길이(CH_L)보다 작은 선폭(CA_W)을 갖고, 채널 영역 위에서 섬 모양을 갖는 것이 바람직하다.

[0051] 이와 같이 박막 트랜지스터(T)가 완성된 기판(SUB) 표면 위에 박막 트랜지스터(T)를 보호하기 위한 보호막(PAS)이 전체 면에 도포된다. 보호막(PAS) 위에는 드레인 전극(D)과 연결되는 화소 전극(PXL)이 형성되어 있다. 본 발명의 제1 실시 예는 박막 트랜지스터(T)의 구조에 주요 특징이 있으므로, 그 외의 구조에 대한 상세한 설명은 생략한다.

[0052] 단면도로 도시하지 않았지만, 화소 영역에는 프린지 필드를 형성하도록 보호막을 사이에 두고 형성된 화소 전극(PXL)과 공통 전극(COM)을 구비한다. 공통 전극(COM)은 게이트 배선(GL)과 나란하게 배열된 공통 배선(CL)과 접속된다. 공통 전극(COM)은 공통 배선(CL)을 통해 액정 구동을 위한 기준 전압(혹은 공통 전압)을 공급받는다.

[0053] 공통 전극(COM)과 화소 전극(PXL)의 위치 및 모양은 설계 환경과 목적에 맞추어 다양하게 형성할 수 있다. 공통 전극(COM)은 일정한 기준 전압이 인가되는 반면, 화소 전극(PXL)은 구현하고자 하는 비디오 데이터에 따라 수시로 변화하는 전압 값이 인가된다. 따라서, 데이터 배선(DL)과 화소 전극(PXL) 사이에 기생 용량이 발생할 수 있다. 이러한 기생 용량으로 인해 화질에 문제를 야기할 수 있기 때문에, 공통 전극(COM)을 먼저 형성하고, 화소 전극(PXL)을 최상위층에 형성하는 것이 바람직하다.

[0054] 공통 전극(COM)은 화소 영역의 형태에 대응하는 장방형으로 형성되고, 화소 전극(PXL)은 다수 개의 선분 형상으로 형성된다. 특히, 화소 전극(PXL)은 제2 보호막(PA2)을 사이에 두고 공통 전극(COM)과 수직 상으로 중첩하는 구조를 갖는다. 화소 전극(PXL)과 공통 전극(COM) 사이에서 프린지 필드가 형성되어 박막 트랜지스터 기판과 컬러 필터 기판 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전한다. 그리고 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라져 계조를 구현한다.

[0055] 이상과 같이 제1 실시 예에 의한 박막 트랜지스터 기판은, 채널 영역의 상층부에 캡핑층을 구비함으로써, 금속 산화물 반도체 층의 이동도를 향상시키는 결과를 얻을 수 있다. 하지만, 반도체 층을 형성한 후에 금속층을 형성하여야 하는데, 대량 생산에 용이한 포토리소그래피 공정을 이용하여 캡핑층을 형성하기 어렵다. 예를 들어, 캡핑층을 패터닝할 때, 식각액에 의해 반도체 층의 채널 영역이 손상을 받을 수 있다. 따라서, 제1 실시 예를 실현하기 위해서는 스크린 마스크를 사용하여 캡핑층을 형성하는 것이 바람직하다. 이 경우, 제조 공정의 안전성을 보장할 수 없으며, 제조 비용이 상승하여 대량 생산에 부적합하다.

[0056] <제2 실시 예>

[0057] 본 발명의 제2 실시 예에서는, 제1 실시 예에서 제안한 바와 같이 캡핑층이 금속 산화물 반도체 층의 채널 영역에만 선택적으로 접촉하는 구조를 가짐과 동시에, 제조 방법이 용이한 구조를 갖는 박막 트랜지스터 기판을 제공한다.

[0058] 이하, 도 8 내지 10을 참조하여 본 발명의 제2 실시 예에 대하여 설명한다. 도 8은 본 발명의 제2 실시 예에 의한, 캡핑층을 구비한 금속 산화물 반도체를 포함하는 유기발광 다이오드 표시장치용 박막 트랜지스터 기판의 구조를 나타내는 평면도이다. 도 9는 도 8에서 절취서 IV-IV'으로 자른 본 발명의 제2 실시 예에 의한 유기발광 다이오드 표시장치용 박막 트랜지스터 기판의 구조를 나타내는 단면도이다. 도 10은 도 9에서 박막 트랜지스터 부분의 상세한 구조를 나타낸 확대 단면도이다.

[0059] 도 8을 참조하면, 본 발명에 의한 액티브 매트릭스 유기발광 다이오드 표시장치는, 스위칭 박막 트랜지스터(ST), 스위칭 박막 트랜지스터(ST)와 연결된 구동 박막 트랜지스터(DT), 구동 박막 트랜지스터(DT)에 접속된 유기발광 다이오드(OLE)를 포함한다. 스위칭 박막 트랜지스터(ST)는 스캔 배선(SL)과 데이터 배선(DL)이 교차하는 부위에 형성되어 있다. 스위칭 박막 트랜지스터(ST)는 화소를 선택하는 기능을 한다. 스위칭 박막 트랜지스터(ST)는 스캔 배선(SL)에서 분기하는 게이트 전극(SG)과, 반도체 채널 층(SA)과, 소스 전극(SS)과, 드레인 전극(SD)을 포함한다.

[0060] 그리고 구동 박막 트랜지스터(DT)는 스위칭 박막 트랜지스터(ST)에 의해 선택된 화소의 유기발광 다이오드(OLE)를 구동하는 역할을 한다. 구동 박막 트랜지스터(DT)는 스위칭 박막 트랜지스터(ST)의 드레인 전극(SD)과 연결된 게이트 전극(DG)과, 반도체 채널 층(DA)과, 구동 전원 배선(VDD)에 연결된 소스 전극(DS)과, 드레인 전극

(DD)을 포함한다. 구동 박막 트랜지스터(DT)의 드레인 전극(DD)은 유기발광 다이오드(OLE)의 애노드 전극(AN)과 연결되어 있다.

[0061] 이와 같은 구조를 좀 더 상세히 살펴보기 위해 도 9을 더 참조하면, 제2 실시 예에 의한 유기발광 다이오드 표시장치는, 투명 기판(SUB) 상에 스위칭 박막 트랜지스터(ST)의 반도체 층(SA) 및 구동 박막 트랜지스터(DT)의 반도체 층(DA)이 형성되어 있다. 특히, 각 반도체 층들(SA, DA)의 하부에는 캡핑층들(SCA, DCA)이 먼저 형성되어 있다.

[0062] 예를 들어, 스위칭 반도체 층(SA)의 하부에는 채널 영역보다 작은 크기를 갖는 스위칭 캡핑층(SCA)이 배치된다. 또한, 구동 반도체 층(DA)의 하부에는 채널 영역보다 작은 크기를 갖는 구동 캡핑층(DCA)이 배치된다.

[0063] 반도체 층들(SA, DA) 위에는 채널 영역과 동일한 폭을 갖는 게이트 전극들(SG, DG)이 게이트 절연막(GI)을 사이에 두고 적층된다. 게이트 전극들(SG, DG)의 양측면으로 노출된 반도체 층들(SA, DA)의 부분들을 도체화되어 있다.

[0064] 게이트 전극들(SG, DG) 위에는 기판(SUB) 전체 표면을 덮는 보호막(PAS)이 도포된다. 보호막(PAS) 위에는 소스 전극(SS, DS)들 및 드레인 전극(SD, DD)들이 형성된다. 하부 발광식이며, 백색 유기발광 층을 사용하는 경우, 보호층(PAS) 위에서 화소 영역에 대응하는 영역을 덮는 칼라 필터(CF)를 형성할 수 있다. 칼라 필터(CF)는 가급적 넓은 면적을 차지하도록 형성하는 것이 바람직하다. 예를 들어, 데이터 배선(DL), 구동 전류 배선(VDD) 및 전단의 스캔 배선(SL)의 많은 영역과 중첩하도록 형성할 수도 있다.

[0065] 스위칭 박막 트랜지스터(ST), 구동 박막 트랜지스터(DT) 및 칼라 필터(CF)가 형성된 기판(SUB) 여러 구성요소들이 형성되어 표면이 평탄하지 못하고, 단차가 많이 형성되어 있다. 따라서, 기판(SUB)의 표면을 평탄하게 할 목적으로 오버코트 층(OC)을 기판 전면에 도포한다.

[0066] 오버코트 층(OC) 위에 유기발광 다이오드(OLE)의 애노드 전극(ANO)이 형성된다. 여기서, 애노드 전극(ANO)은 오버코트 층(OC) 및 보호막(PAS)에 형성된 콘택홀을 통해 구동 박막 트랜지스터(DT)의 드레인 전극(DD)과 연결된다.

[0067] 애노드 전극(ANO)이 형성된 기판 위에, 화소 영역을 정의하기 위해 스위칭 박막 트랜지스터(ST), 구동 박막 트랜지스터(DT) 그리고 각종 배선들(DL, SL, VDD)이 형성된 영역 위에 뱅크(BN)를 형성한다. 뱅크(BN)에 의해 노출된 애노드 전극(ANO)이 발광 영역이 된다.

[0068] 뱅크(BN)에 의해 노출된 애노드 전극(ANO) 위에 유기발광 층(OL)과 캐소드 전극층(CAT)이 순차적으로 적층된다. 하부 발광식이며, 유기발광 층(OL)이 백색광을 발하는 유기물질로 이루어진 경우, 아래에 위치한 칼라 필터(CF)에 의해 각 화소에 배정된 색상을 나타낸다.

[0069] 단면도에서 도시하지 않았지만, 유기발광 다이오드(OLE)를 고속으로 구동하기 위해서는 구동 전압을 보완할 수 있는 보조 용량(STG)을 형성하기 위한 보조 용량 전극들을 더 포함할 수 있다. 스위칭 박막 트랜지스터(ST)의 반도체 층(SA)에서 드레인 영역 혹은 구동 박막 트랜지스터(DT)의 게이트 전극(DG)을 연장하여 형성한 제1 보조 용량 전극과, 보조 용량 전극들은 애노드 전극(ANO)의 일부를 연장하여 형성한 제2 보조 용량 전극을 포함할 수 있다.

[0070] 본 발명의 주요 특징부인 캡핑층(CA)을 포함하는 박막 트랜지스터의 구조에 대해서 좀 더 상세히 설명한다. 도 10에서는 편의상 스위칭 박막 트랜지스터(ST)의 구조를 확대하여 설명한다.

[0071] 기판(SUB) 위에서 전체 표면을 덮는 버퍼층(BUF)이 도포되어 있다. 버퍼 층(BUF)은 기판(SUB) 표면의 특성을 향상시키기 위해 형성할 수 있다. 또는, 기판(SUB) 위에서 반도체 층(SA)이 형성될 위치에 차광층을 먼저 형성할 수 있는데, 이 경우, 차광층 위에 표면 평탄성을 위해 버퍼층(BUF)을 형성할 수도 있다.

[0072] 버퍼층(BUF) 위에는 캡핑층(SCA)이 형성되어 있다. 캡핑층(SCA)은 티타늄(Ti), 칼슘(Calcium) 혹은 실리콘(Si)과 같이 산소와의 결합력이 강한 물질을 포함하는 것이 바람직하다. 또한, 캡핑층(SCA)은 반도체 층(SA)의 채널 영역 일부와 접촉하도록 형성하는 것이 바람직하다. 예를 들어, 캡핑층(SCA)의 선폭 및 길이는 반도체 층(SA)의 채널 영역의 면적(폭*길이: W*L)보다 작은 것이 바람직하다. 또한, 캡핑층(SCA)의 두께는 10~100nm인 것이 바람직하다.

[0073] 캡핑층(SCA)이 형성된 기판(SUB) 표면 위에 금속 산화물 반도체 물질을 도포하고 패터닝하여 반도체 층(SA)을 형성한다. 반도체 층(A)은 인듐-아연-산화물 (Indium-Zinc-Oxide: IZO), 인듐-갈륨-아연 산화물 (Indium-

Galium-Zinc-Oxide: IGZO), 아연-주석-산화물 (Zinc-Tin-Oxide: ZTO), 인듐-아연-주석-산화물 (Indium-Zinc-Tin-Oxide: IZTO) 혹은 인듐-아연-산화물 (Indium-Zinc-Oxide: IZO)과 같은 다성분계 금속 산화물질을 포함하는 것이 바람직하다.

- [0074] 캡핑층(SCA)을 버퍼층(BUF) 위에 형성하고, 그 위에 반도체 층(SA)을 형성한 후, 열 처리 공정을 수행하면, 캡핑층(SCA)은 산화물로 변환된다. 즉, 반도체 층(SA)에서 약한 결합을 가진 산소들이 캡핑층(SCA)과 결합함으로써, 캡핑층(SCA)이 산화된다. 그 결과, 금속 산화물 반도체 층(SA)의 전계 이동도가 캡핑층(SCA)이 없을 경우의 이동도인 $38\text{cm}^2/\text{Vs}$ 에서 $62\text{cm}^2/\text{Vs}$ 로 향상되어, 2배 이상 개선된 결과를 얻을 수 있다.
- [0075] 반도체 층(SA) 위에 절연물질과 금속 물질을 증착하고 패터닝하여, 채널 영역과 중첩하는 게이트 절연막(GI)과 게이트 전극(SG)을 형성한다. 이때, 게이트 전극(SA) 양 옆으로 노출된 반도체 층은 도체화되어 각각 소스 영역(SSA)과 드레인 영역(SDA)으로 변환된다.
- [0076] 채널 영역이 정의된 반도체 층(SA)과 게이트 전극(SG)이 형성된 기판(SUB) 전체 표면 위에는 보호막(PAS)이 도포된다. 보호막(PAS) 위에 소스-드레인 금속 물질을 도포하고 패터닝하여, 소스 전극(SS) 및 드레인 전극(SD)을 형성한다. 소스 전극(SS)은 반도체 층(SA)의 소스 영역(SSA)과 연결되고, 드레인 전극(SD)은 드레인 영역(SA)과 연결된다.
- [0077] 제2 실시 예에서는, 반도체 층(A)에서 게이트 전극(SG)을 형성할 때 채널 영역이 정의된다. 채널 영역을 가운데 두고 양측에 정의된, 소스 영역(SSA)과 드레인 영역(SDA) 사이의 이격 거리가 채널 길이(CH_L)로 정의된다. 캡핑층(SCA)은 채널 영역에서 소스 영역(SSA) 및 드레인 영역(SDA)과 물리적 전기적으로 접촉되지 않도록 일정 거리를 두고 배치된다. 즉, 캡핑층(SCA)은 채널 길이(CH_L)보다 작은 선폭(CA_W)을 갖고, 채널 영역 아래에서 섬 모양을 갖는 것이 바람직하다.
- [0078] 특히, 제2 실시 예에서는, 캡핑층(SCA)을 먼저 형성한 후에, 반도체 층(SA)을 형성한다. 따라서, 반도체 층(SA)의 채널 영역이 후속 공정에 의해 손상 받지 않는다. 특히, 반도체 층(SA)을 형성한 후에 열화 공정으로 반도체 층(SA)을 안정화함과 동시에 캡핑층(SCA)에 의한 이동도 향상을 동시에 이룰 수 있다.
- [0079] 또한, 도면으로 도시하지 않았지만, 본 발명에 의한 박막 트랜지스터 기판에서, 반도체 층은 두 개의 서로 다른 반도체 물질이 적층된 구조를 가질 수 있다. 예를 들어, 반도체 층은, 서로 면 접촉하며 적층된, 제1 반도체 층과 제2 반도체 층을 포함할 수 있다. 그리고 캡핑층은 제1 반도체 층과 접촉하도록 배치되거나 제2 반도체 층과 접촉하도록 배치된다. 특히, 캡핑층과 접촉하지 않는 반도체 층은 주석(Tin)을 포함하지 않는 것이 바람직하다.
- [0080] 예를 들어, 도 7에서 반도체 층(A)은 인듐-아연-산화물(IZO)로 이루어진 제1 반도체 층이 아래층에 배치되고, 아연-주석-산화물(ZTO)로 이루어진 제2 반도체 층이 상층에 배치되도록 적층될 수 있다. 이때, 캡핑층(CA)은 제2 반도체 층 상부 표면과 접촉하도록 배치된다. 이 경우, 제1 반도체 층은 주석을 포함하지 않는 금속 산화물 반도체 물질로서 반도체 층의 포지티브 바이어스 온도 안정성 (Positive Bias Temperature Stability)을 향상할 수 있다. 이와 동시에, 제2 반도체 층은 제1 반도체 층보다 적은 구동 전압을 가지므로 반도체 층의 네가티브 바이어스 온도 안정성(Negative Bias Temperature Stability)을 향상할 수 있다.
- [0081] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구 범위에 의해 정해져야만 할 것이다.

부호의 설명

- [0082] T: 박막 트랜지스터 SUB: 기판
GL: 게이트 배선 CL: 공통 배선
DL: 데이터 배선 PXL: 화소 전극
COM: 공통 전극 GP: 게이트 패드
DP: 데이터 패드 GPT: 게이트 패드 단자
DPT: 데이터 패드 단자 GPH: 게이트 패드 콘택홀

DPH: 데이터 패드 콘택홀 G: 게이트 전극

S: 소스 전극 D: 드레인 전극

A: 반도체 채널 층 SL: 스캔 배선

GI: 게이트 절연막 PAS: 보호막

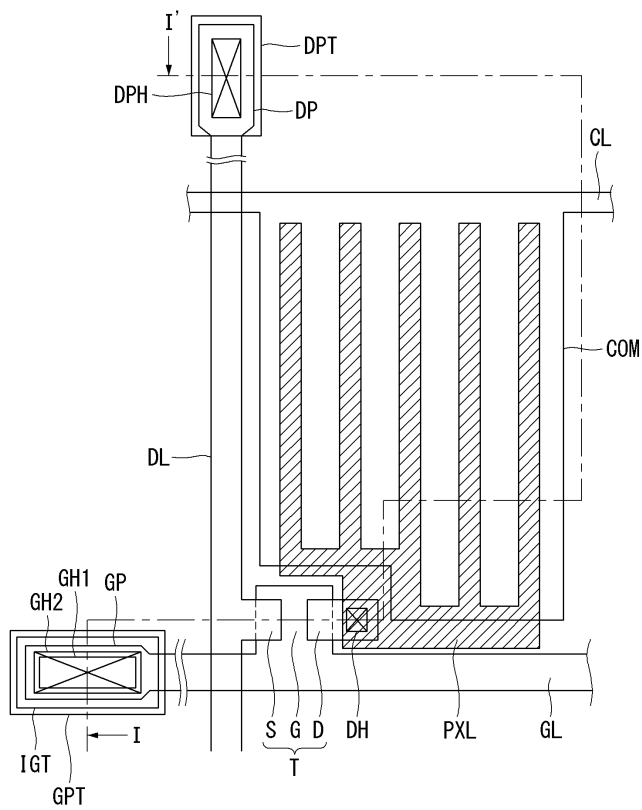
PA1: 제1 보호막 PA2: 제2 보호막

PAC: 평탄화 막 DH: 드레인 콘택홀

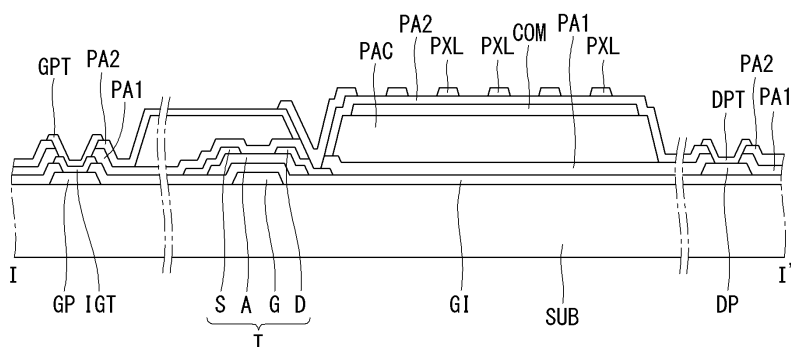
CA: 캡핑층

도면

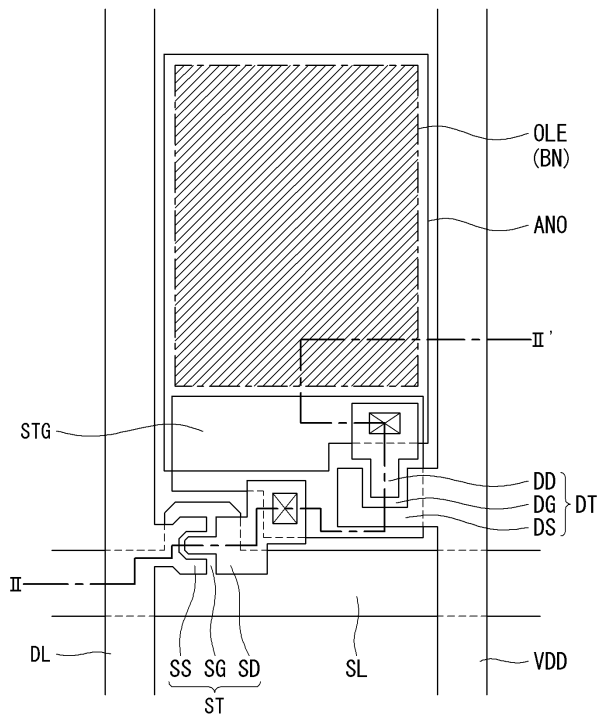
도면1



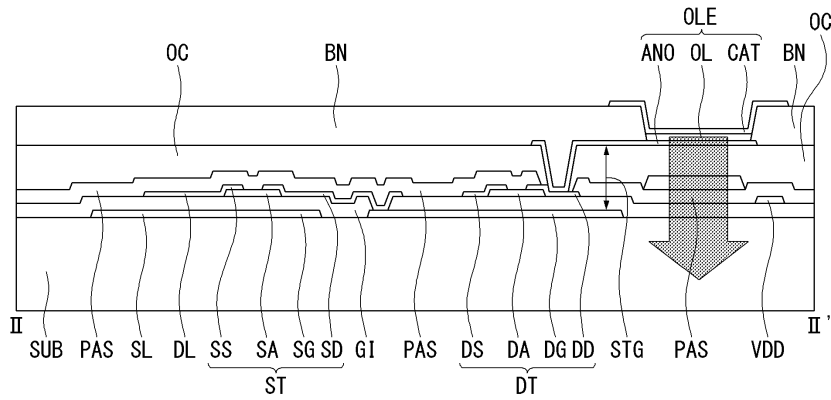
도면2



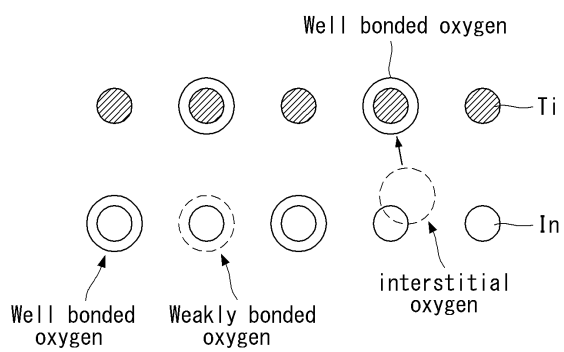
도면3



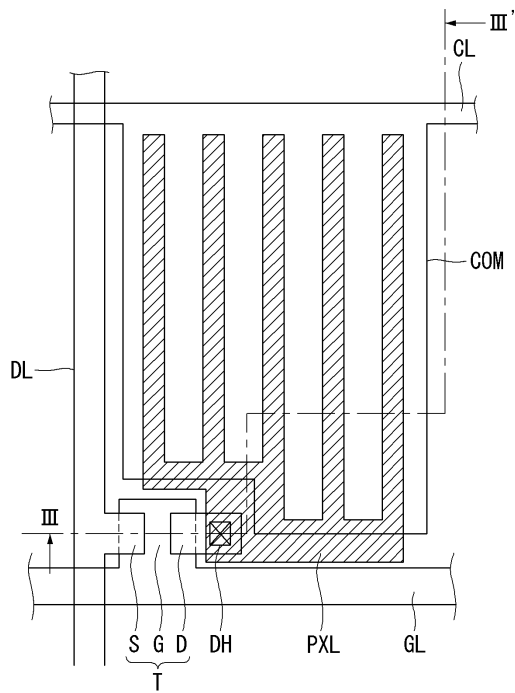
도면4



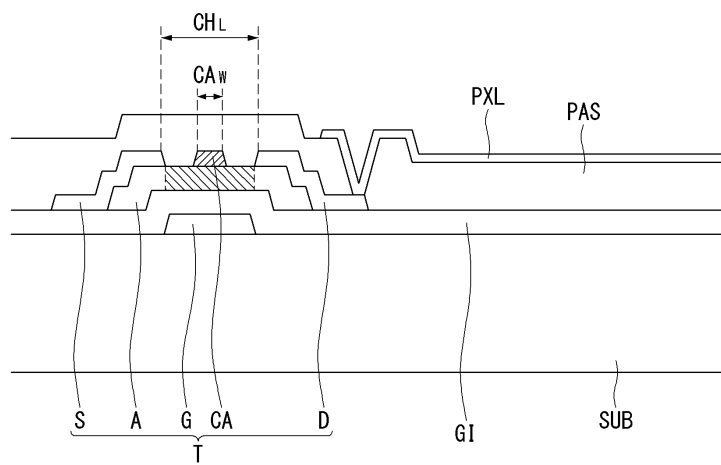
도면5



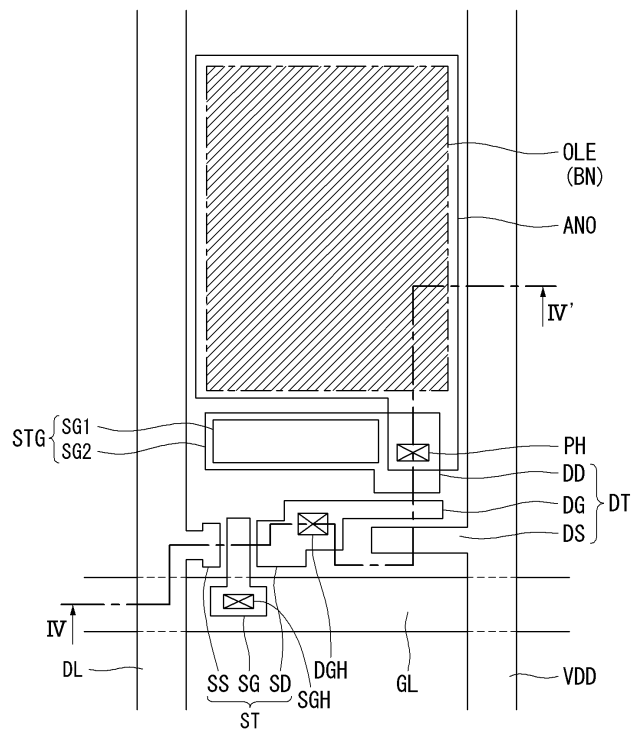
도면6



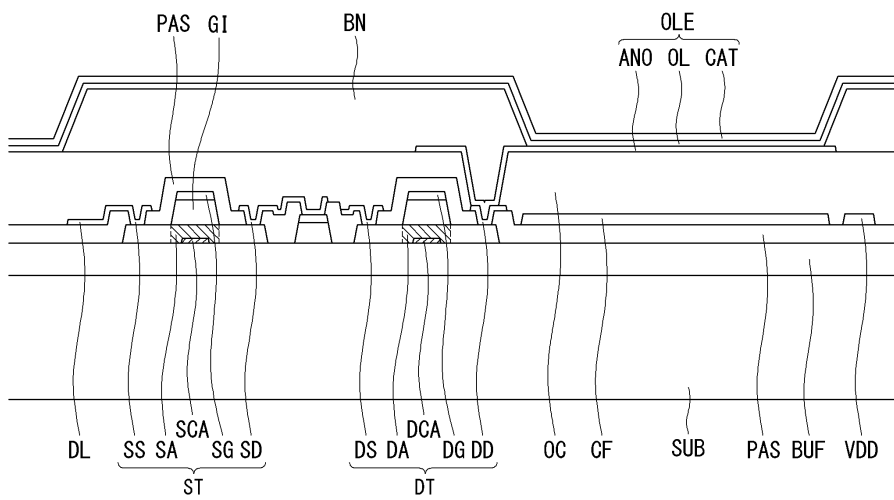
도면7



도면8



도면9



도면10

