



(12)发明专利申请

(10)申请公布号 CN 106252234 A
(43)申请公布日 2016.12.21

(21)申请号 201610740789.3

(22)申请日 2016.08.26

(71)申请人 武汉华星光电技术有限公司

地址 430070 湖北省武汉市东湖开发区高新大道666号生物城C5栋

(72)发明人 李安石 张从领

(74)专利代理机构 深圳市铭粤知识产权代理有限公司 44304

代理人 孙伟峰 武岑飞

(51) Int. Cl.

H01L 21/336(2006.01)

H01L 21/265(2006.01)

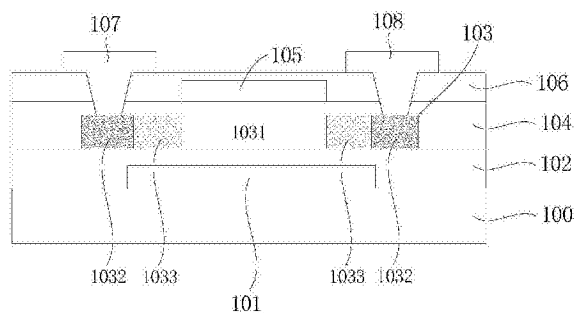
权利要求书1页 说明书4页 附图6页

(54)发明名称

NMOS晶体管及其制作方法、CMOS晶体管

(57)摘要

本发明提供了一种NMOS晶体管的制作方法，其包括：在基板上形成遮光层以及覆盖遮光层的缓冲层；在缓冲层上形成多晶硅层；多晶硅层包括中间部、第一端部以及第二端部；对第一端部和第二端部进行第一次离子注入；对第一端部进行第二次离子注入；在缓冲层上形成覆盖多晶硅层的第一绝缘层；在第一绝缘层上形成栅极；在第一绝缘层上形成覆盖栅极的第二绝缘层；在第二绝缘层上形成源极和漏极；源极与两第一端部之一接触，漏极与两第一端部之另一接触。本发明利用光阻的再流动特性制作N型重掺杂区和N型轻掺杂区，使得离子注入不需要穿过第一绝缘层，减少对第一绝缘层的伤害，而且还使得N型重掺杂区的对称性和N型轻掺杂的对称性更佳。



1. 一种NMOS晶体管的制作方法,其特征在于,包括:
 - 在基板上形成遮光层以及覆盖所述遮光层的缓冲层;
 - 在所述缓冲层上形成多晶硅层;所述多晶硅层包括中间部、分别位于所述中间部两侧的第一端部以及位于所述中间部和所述第一端部之间的第二端部;
 - 对所述第一端部和所述第二端部进行第一次离子注入;
 - 对所述第一端部进行第二次离子注入;
 - 在所述缓冲层上形成覆盖所述多晶硅层的第一绝缘层;
 - 在所述第一绝缘层上形成栅极;
 - 在所述第一绝缘层上形成覆盖所述栅极的第二绝缘层;
 - 在所述第二绝缘层上形成源极和漏极;所述源极贯穿所述第二绝缘层和所述第一绝缘层与两所述第一端部之一接触,所述漏极贯穿所述第二绝缘层和所述第一绝缘层与两所述第一端部之另一接触。
2. 根据权利要求1所述的制作方法,其特征在于,对所述第一端部和所述第二端部进行第一次离子注入的具体方法包括:
 - 形成覆盖所述中间部的光阻层;
 - 采用N型离子对未被所述光阻层覆盖的所述第一端部和所述第二端部进行离子注入。
3. 根据权利要求2所述的制作方法,其特征在于,对所述第一端部进行第二次离子注入的具体方法包括:
 - 对所述光阻层进行烘烤,使所述光阻层变软并向其两侧流动,从而覆盖两所述第二端部;
 - 采用N型离子对未被变软流动后的所述光阻层覆盖的所述第一端部再次进行离子注入;
 - 将所述光阻层去除。
4. 根据权利要求1至3任一项所述的制作方法,其特征在于,所述制作方法进一步包括:
 - 在所述第二绝缘层上形成覆盖所述源极和所述漏极的平坦层;
 - 在所述平坦层中形成通孔,以暴露所述漏极。
5. 一种利用权利要求1至4任一项所述的制作方法制作的NMOS晶体管。
6. 一种CMOS晶体管,由NMOS晶体管和PMOS晶体管构成,其特征在于,所述NMOS晶体管由权利要求1至4任一项所述的制作方法制成。

NMOS晶体管及其制作方法、CMOS晶体管

技术领域

[0001] 本发明涉及MOS晶体管的制作工艺,特别涉及一种NMOS晶体管及其制作方法、CMOS晶体管。

背景技术

[0002] 随着光电与半导体技术的演进,也带动了平板显示器(Flat Panel Display)的蓬勃发展,而在诸多平板显示器中,液晶显示器(Liquid Crystal Display,简称LCD)因具有高空间利用效率、低消耗功率、无辐射以及低电磁干扰等诸多优越特性,已成为市场的主流。

[0003] 目前,作为LCD的开关元件而广泛采用的是非晶硅薄膜三极管(a-Si TFT),但a-Si TFT LCD在满足薄型、轻量、高精度度、高亮度、高可靠性、低功耗等要求仍受到限制。低温多晶硅(Lower Temperature Polycrystal Silicon,LTPS)TFT LCD与a-Si TFT LCD相比,在满足上述要求方面,具有明显优势。

[0004] 但在目前的LTPS技术中,为了提高迁移率需要进行离子注入(Implant制程)。在LTPS制程中,需要进行NCD(沟道掺杂)、NP(N型重掺杂)、NM(N型轻掺杂)、PP(P型重掺杂)等多次离子注入(Implant)处理,从而形成沟道掺杂区、N型重掺杂区、N型轻掺杂区、P型重掺杂区。然而,现在技术的LTPS制程中,离子注入的过程中需要使离子穿过栅极绝缘层,这样会对栅极绝缘层造成伤害,并且形成的N型重掺杂区的对称性和N型轻掺杂区的对称性均欠佳。

发明内容

[0005] 为解决上述的技术问题,本发明的目的在于提供一种NMOS晶体管的制作方法,其包括:在基板上形成遮光层以及覆盖所述遮光层的缓冲层;在所述缓冲层上形成多晶硅层;所述多晶硅层包括中间部、分别位于所述中间部两侧的第一端部以及位于所述中间部和所述第一端部之间的第二端部;对所述第一端部和所述第二端部进行第一次离子注入;对所述第一端部进行第二次离子注入;在所述缓冲层上形成覆盖所述多晶硅层的第一绝缘层;在所述第一绝缘层上形成栅极;在所述第一绝缘层上形成覆盖所述栅极的第二绝缘层;在所述第二绝缘层上形成源极和漏极;所述源极贯穿所述第二绝缘层和所述第一绝缘层与两所述第一端部之一接触,所述漏极贯穿所述第二绝缘层和所述第一绝缘层与两所述第一端部之另一接触。

[0006] 进一步地,对所述第一端部和所述第二端部进行第一次离子注入的具体方法包括:形成覆盖所述中间部的光阻层;采用N型离子对未被所述光阻层覆盖的所述第一端部和所述第二端部进行离子注入。

[0007] 进一步地,对所述第一端部进行第二次离子注入的具体方法包括:对所述光阻层进行烘烤,使所述光阻层变软并向其两侧流动,从而覆盖两所述第二端部;采用N型离子对未被变软流动后的所述光阻层覆盖的所述第一端部再次进行离子注入;将所述光阻层去

除。

[0008] 进一步地,所述制作方法进一步包括:在所述第二绝缘层上形成覆盖所述源极和所述漏极的平坦层;在所述平坦层中形成通孔,以暴露所述漏极。

[0009] 本发明的另一目的还在于提供一种利用上述的制作方法制作的NMOS晶体管。

[0010] 本发明的又一目的又在于提供一种CMOS晶体管,由NMOS晶体管和PMOS晶体管构成,所述NMOS晶体管由上述的制作方法制成。

[0011] 本发明的有益效果:与现有技术相比,本发明的NMOS晶体管的制作方法,利用光阻的再流动(Reflow)特性制作N型重掺杂区和N型轻掺杂区,使得离子注入不需要穿过第一绝缘层,减少离子注入对第一绝缘层的伤害,而且利用光阻的再流动特性,使得N型重掺杂区的对称性和N型轻掺杂的对称性更佳。

附图说明

[0012] 通过结合附图进行的以下描述,本发明的实施例的上述和其它方面、特点和优点将变得更加清楚,附图中:

[0013] 图1是光阻被烘烤后出现再流动的现象示意图;

[0014] 图2a至图2j是根据本发明的实施例的NMOS晶体管的制作方法的流程图;

[0015] 图3a和图3b示出了对第一端部和第二端部进行第一次离子注入的方法流程图;

[0016] 图3c至图3e示出了对第一端部进行第二次离子注入的方法流程图。

具体实施方式

[0017] 以下,将参照附图来详细描述本发明的实施例。然而,可以以许多不同的形式来实施本发明,并且本发明不应该被解释为限制于这里阐述的具体实施例。相反,提供这些实施例是为了解释本发明的原理及其实际应用,从而使本领域的其他技术人员能够理解本发明的各种实施例和适合于特定预期应用的各种修改。在附图中,相同的标号将始终被用于表示相同的元件。

[0018] 首先对光阻被烘烤后出现再流动(Reflow)的现象进行说明。图1是光阻被烘烤后出现再流动的现象示意图。

[0019] 参照图1,光阻具有再流动特性,当光阻在被烘烤(Oven)后会出现再流动现象。这是因为光阻由有机材料构成,所以由有机材料构成的光阻在烘烤过程中会出现先变软后变硬的过程,而在变软过程中,光阻会出现流动,会使整个光阻的线宽(CD)变大。

[0020] 接下来对利用上述光阻的再流动特性制作低温多晶硅(Lower Temperature Polycrystal Silicon, LTPS)薄膜晶体管(Thin Film Transistor, TFT)进行详细描述。在下面的实施例的描述中,采用NMOS晶体管作为低温多晶硅薄膜晶体管的一示例进行说明。

[0021] 图2a至图2j是根据本发明的实施例的NMOS晶体管的制作方法的流程图。

[0022] 首先,参照图2a,在基板100上形成遮光层101以及覆盖该遮光层101的缓冲层102。这里,缓冲层102可以是由绝缘材料形成的单层结构,也可以是由至少两种绝缘材料形成的叠层结构。例如,缓冲层102可为通过PECVD工艺在基板100上形成的 $\text{SiN}_x/\text{SiO}_x$ 叠层结构。

[0023] 基板100可例如为一透明的玻璃基板或树脂基板。遮光层101可例如由黑色金属材料制成,本发明并不作具体限定。

[0024] 接着,参照图2b,在缓冲层102上形成多晶硅层103。这里,多晶硅层103的形成方式可例如是以溅射方式在缓冲层102的表面上形成一非晶硅(a-Si)层,再以退火方式使非晶硅层再结晶。

[0025] 进一步地,预先将多晶硅层103分为:中间部1031、分别位于中间部1031两侧的第一端部1032以及位于中间部1031和每一第一端部1032之间的第二端部1033,当然本发明并不以此作为限制。

[0026] 接着,参照图2c,对第一端部1032和第二端部1033进行第一次离子注入。

[0027] 图3a和图3b示出了对第一端部和第二端部进行第一次离子注入的方法流程图。首先参照图3a,形成覆盖中间部1031的光阻层PR;这里,光阻层PR不覆盖第一端部1032和第二端部1033。接着参照图3b,采用N型离子对未被光阻层PR覆盖的第一端部1032和第二端部1033进行离子注入。这里,N型离子可采用磷/砷(P/As)离子,但本发明并不以此作为限制。

[0028] 接着,参照图2d,对第一端部1032进行第二次离子注入。

[0029] 图3c至图3e示出了对第一端部进行第二次离子注入的方法流程图。首先参照图3c,对光阻层PR进行烘烤,使光阻层PR变软并向其两侧流动,从而覆盖第二端部1033。接着参照图3d,采用N型离子对未被变软流动后的光阻层PR覆盖的第一端部1032再次进行离子注入。最后参照图3e,将光阻层PR去除。这里,N型离子可采用磷/砷(P/As)离子,但本发明并不以此作为限制。

[0030] 这样,经过图2c和图2d所示的步骤,第一端部1032成为N型重掺杂区,而第二端部1033成为N型轻掺杂区。

[0031] 接着,参照图2e,在缓冲层102上形成覆盖多晶硅层103的第一绝缘层104。这里,第一绝缘层104可以是由绝缘材料形成的单层结构,也可以是由至少两种绝缘材料形成的叠层结构。例如,第一绝缘层104可为通过PECVD工艺在缓冲层102上形成的 $\text{SiN}_x/\text{SiO}_x$ 叠层结构。

[0032] 接着,参照图2f,在第一绝缘层104上形成栅极105。这里,栅极105可例如是钼铝钼(MoAlMo)结构或钛铝钛(TiAlTi)结构。

[0033] 接着,参照图2g,在第一绝缘层104上形成覆盖栅极105的第二绝缘层106。这里,第二绝缘层106可以是由绝缘材料形成的单层结构,也可以是由至少两种绝缘材料形成的叠层结构。例如,第二绝缘层106可为通过PECVD工艺在第一绝缘层104上形成的 $\text{SiN}_x/\text{SiO}_x$ 叠层结构。

[0034] 接着,参照图2h,在第二绝缘层106上形成源极107和漏极108;源极107贯穿第二绝缘层106和第一绝缘层104之后与两所述第一端部1032之一接触,漏极108贯穿第二绝缘层106和第一绝缘层104之后与两所述第一端部1032之另一接触。这里,源极107和漏极108可例如是钼铝钼(MoAlMo)结构或钛铝钛(TiAlTi)结构。

[0035] 当根据本发明的实施例的NMOS晶体管作为低温多晶硅薄膜晶体管应用于液晶显示器中时,根据本发明的实施例的NMOS晶体管的制作方法还包括图2i和图2j所示出的制程。

[0036] 继续参照图2i,在第二绝缘层106上形成覆盖源极107和漏极108的平坦层109。这里,平坦层109可采用有机绝缘材料制成。

[0037] 最后,参照图2j,在平坦层109中形成通孔110,以将漏极108暴露。

[0038] 这样,当该NMOS晶体管应用于液晶显示器中,可在平坦层109上沉积形成像素电极,其中,该像素电极通过通孔110与所述漏极108接触。

[0039] 此外,在液晶显示器中,低温多晶硅薄膜晶体管也可以采用互补金属氧化物半导体(CMOS)晶体管,其由NMOS晶体管和PMOS晶体管形成。在形成CMOS晶体管时,NMOS晶体管和PMOS晶体管是可以同时形成的,而NMOS晶体管的制作方法可以采用图2所示的NMOS晶体管的制作方法。

[0040] 综上所述,根据本发明的实施例的NMOS晶体管的制作方法,利用光阻的再流动(Reflow)特性制作N型重掺杂区和N型轻掺杂区,使得离子注入不需要穿过第一绝缘层,减少离子注入对第一绝缘层的伤害,而且利用光阻的再流动特性,使得N型重掺杂区的对称性和N型轻掺杂的对称性更佳。

[0041] 虽然已经参照特定实施例示出并描述了本发明,但是本领域的技术人员将理解:在不脱离由权利要求及其等同物限定的本发明的精神和范围的情况下,可在此进行形式和细节上的各种变化。

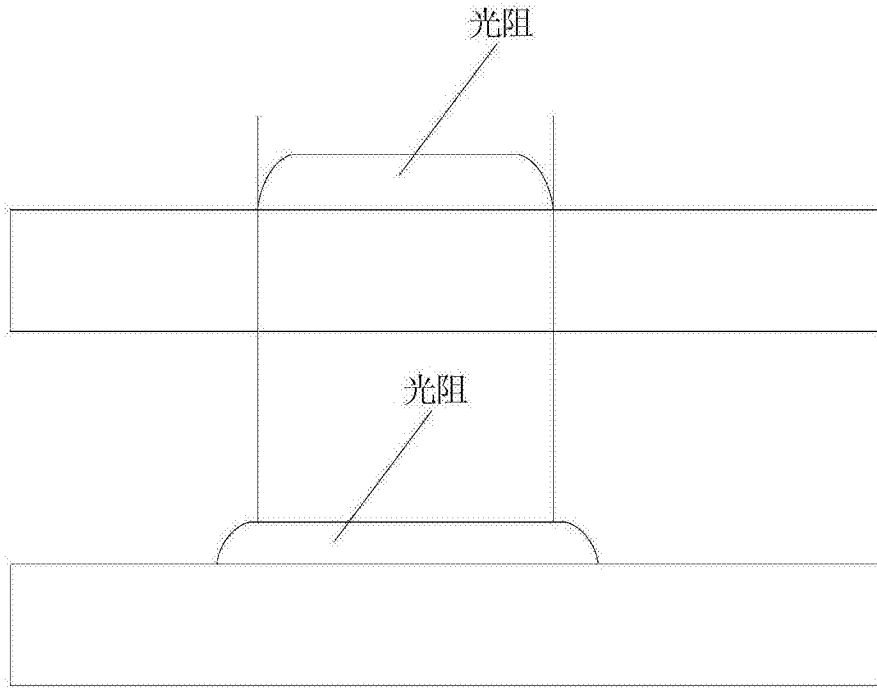


图1

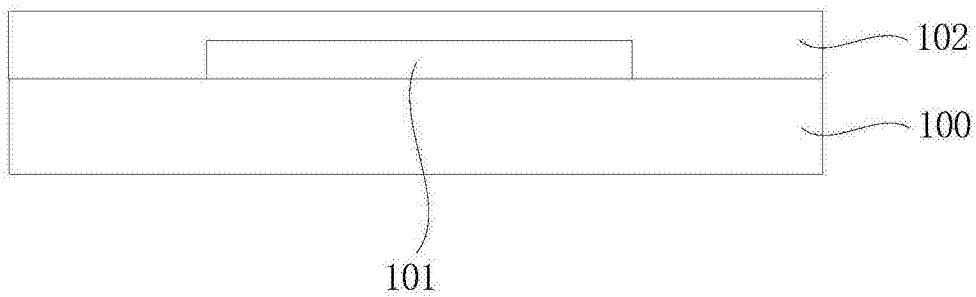


图2a

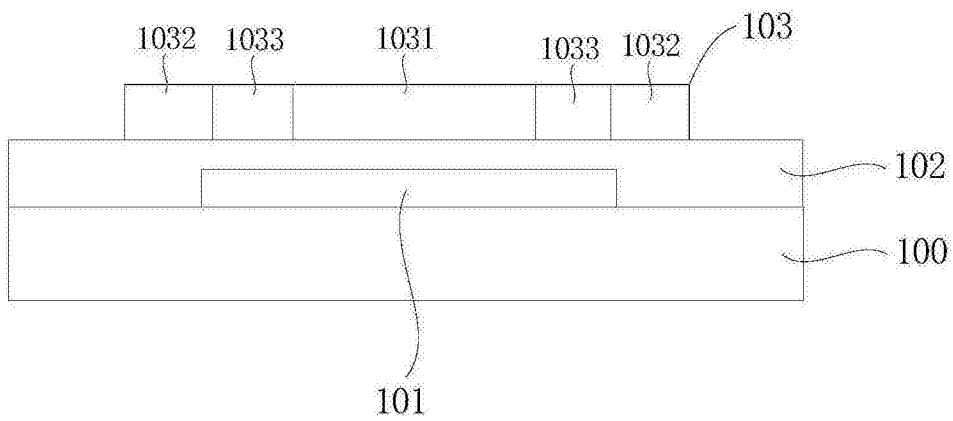


图2b

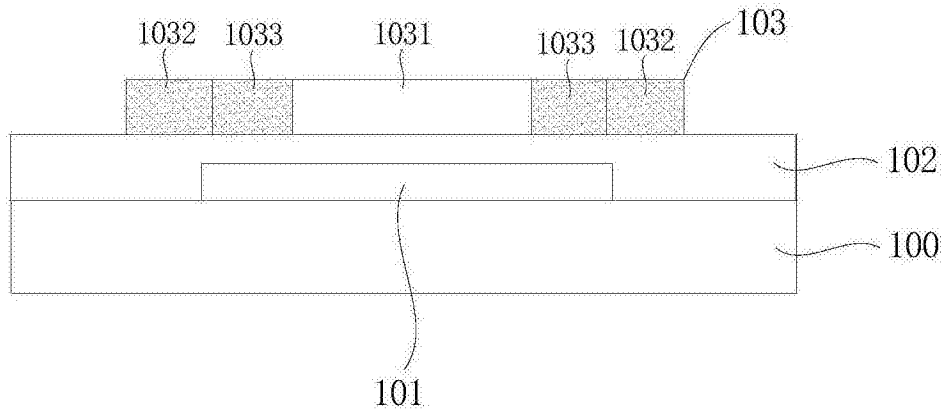


图2c

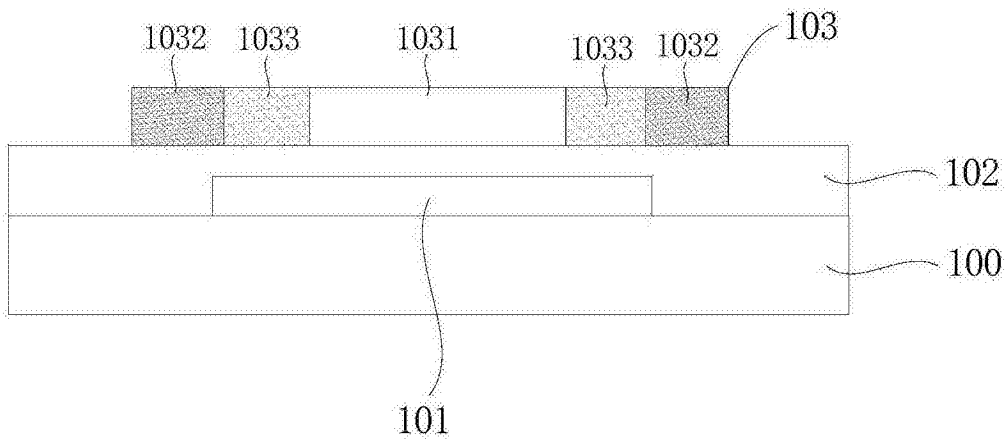


图2d

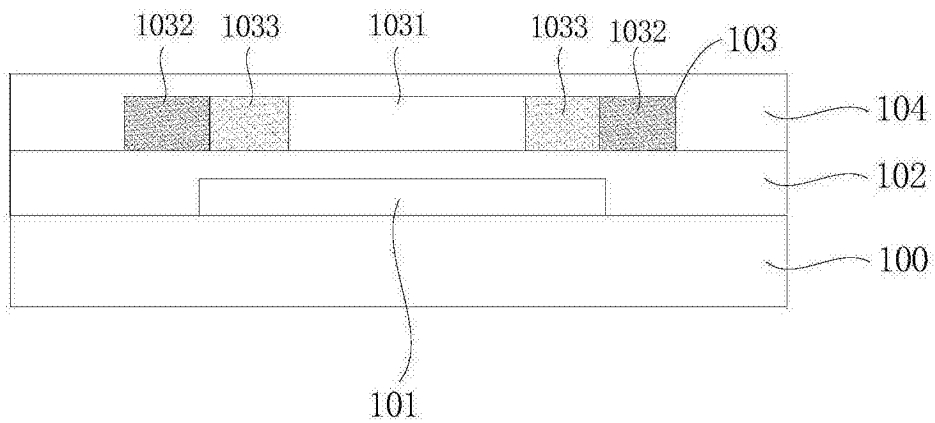


图2e

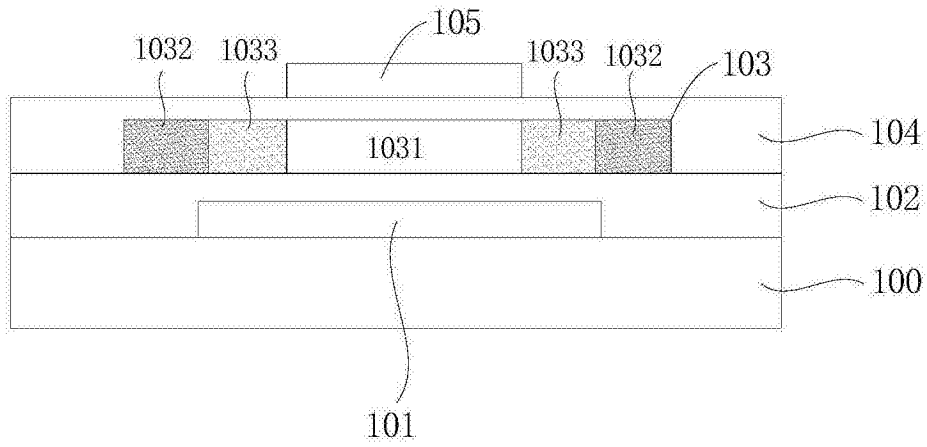


图2f

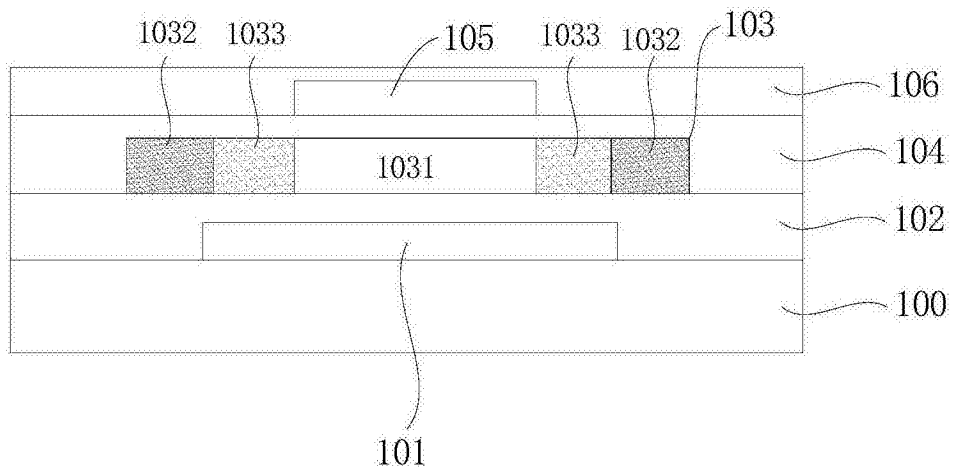


图2g

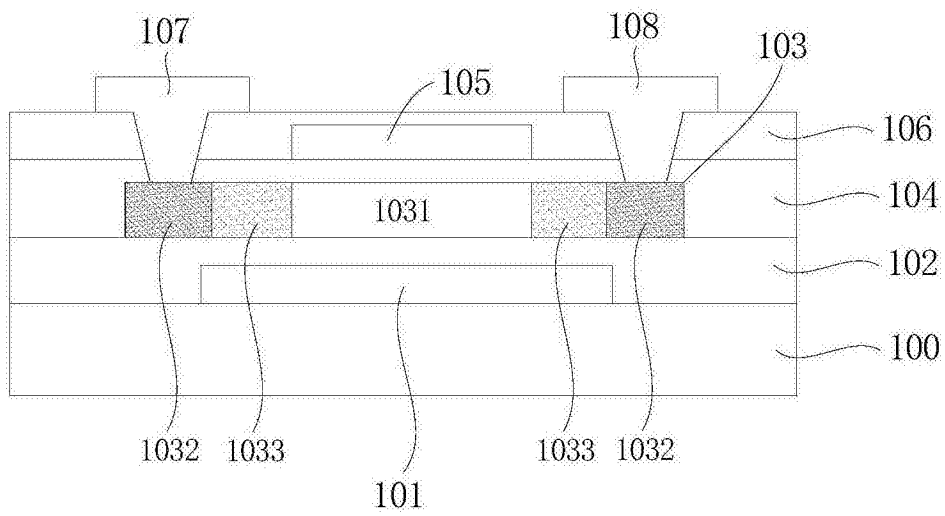


图2h

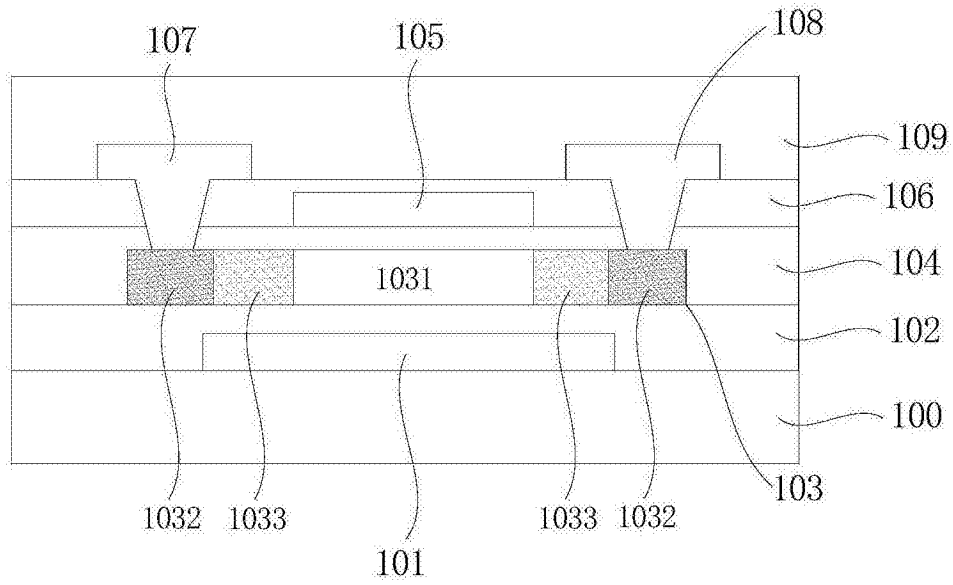


图2i

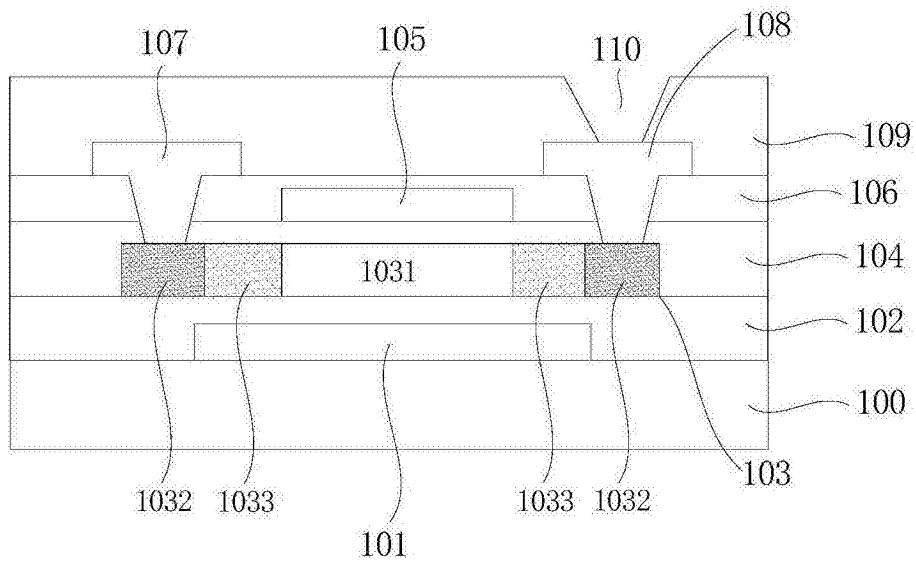


图2j

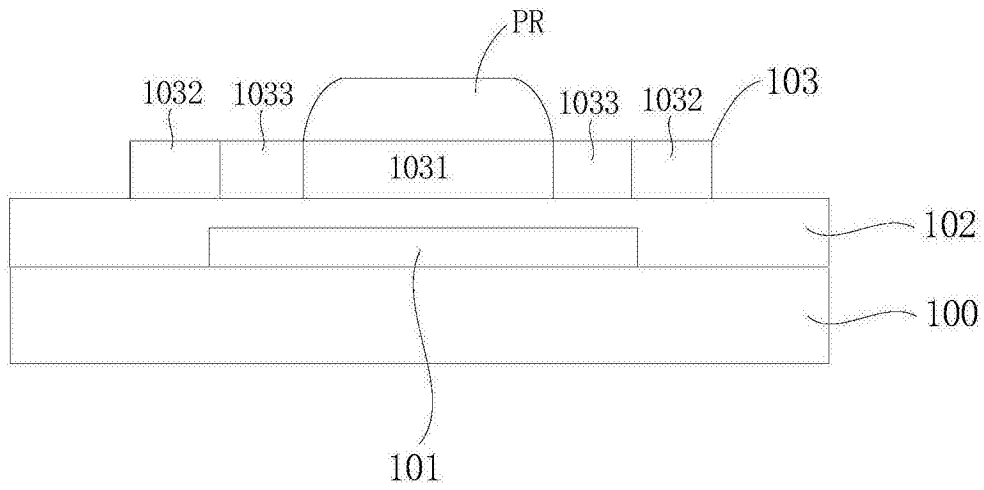


图3a

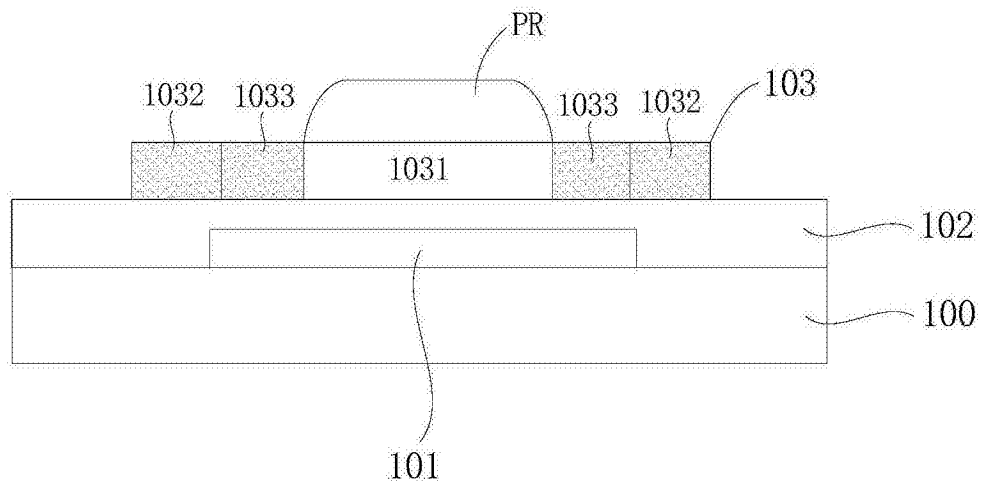


图3b

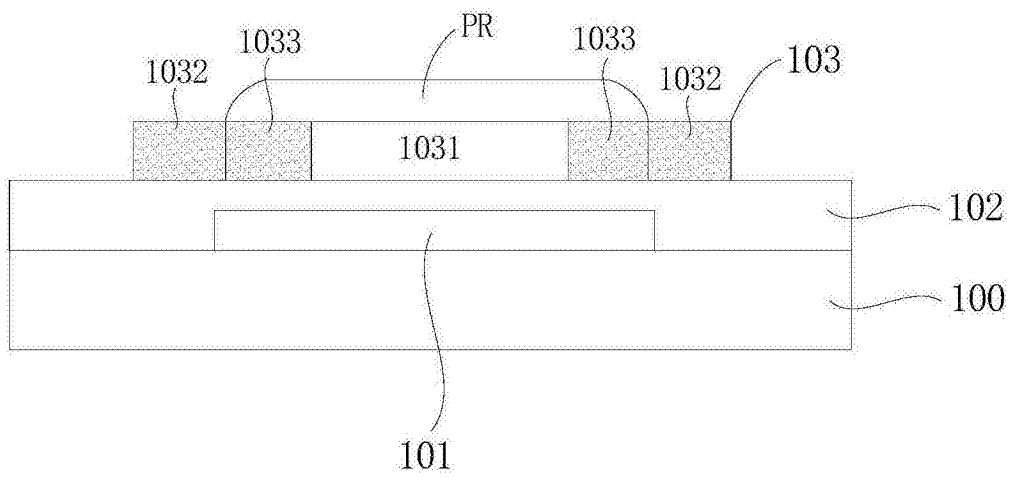


图3c

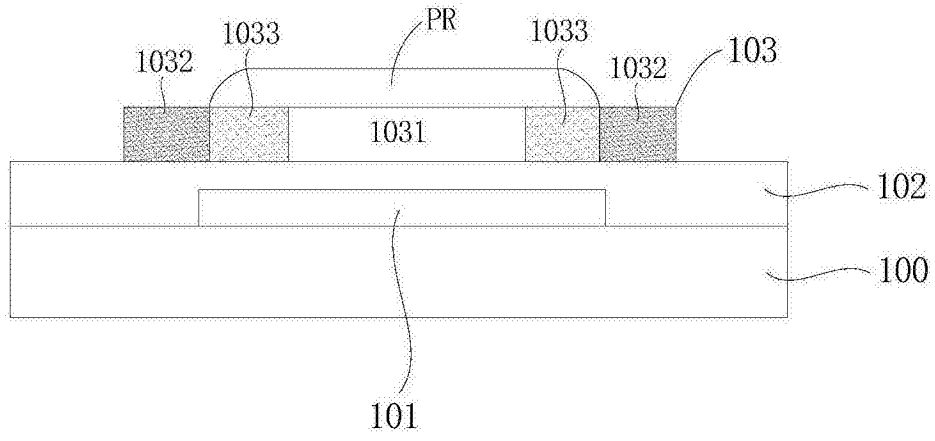


图3d

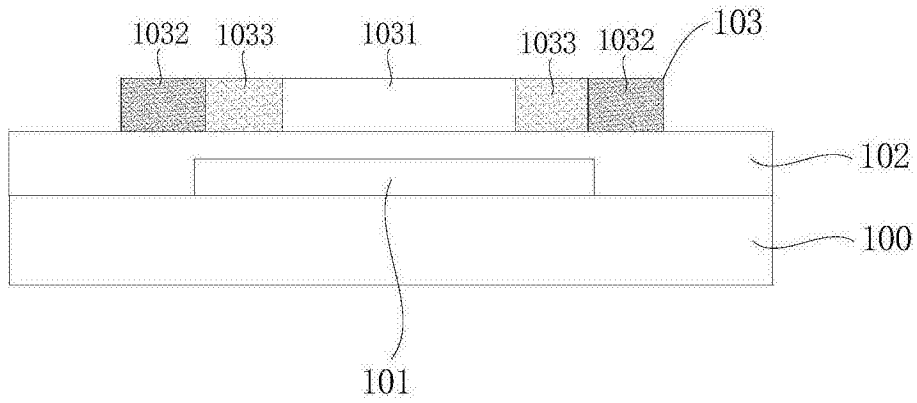


图3e