

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月16日(16.01.2025)



(10) 国際公開番号
WO 2025/013136 A1

(51) 国際特許分類:
H10B 12/00 (2023.01)

(21) 国際出願番号: PCT/JP2023/025315

(22) 国際出願日: 2023年7月7日(07.07.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人(USを除く全ての指定国について): ユニ
サンティス エレクトロニクス シンガポ
ール プライベート リミテッド(UNISANTIS
ELECTRONICS SINGAPORE PTE. LTD.) [SG/
SG]; 179098 ノースブリッジロード 1
1 1、ペニンシュラ プラザ # 2 3
- 0 5 Singapore (SG).

(72) 発明者; および

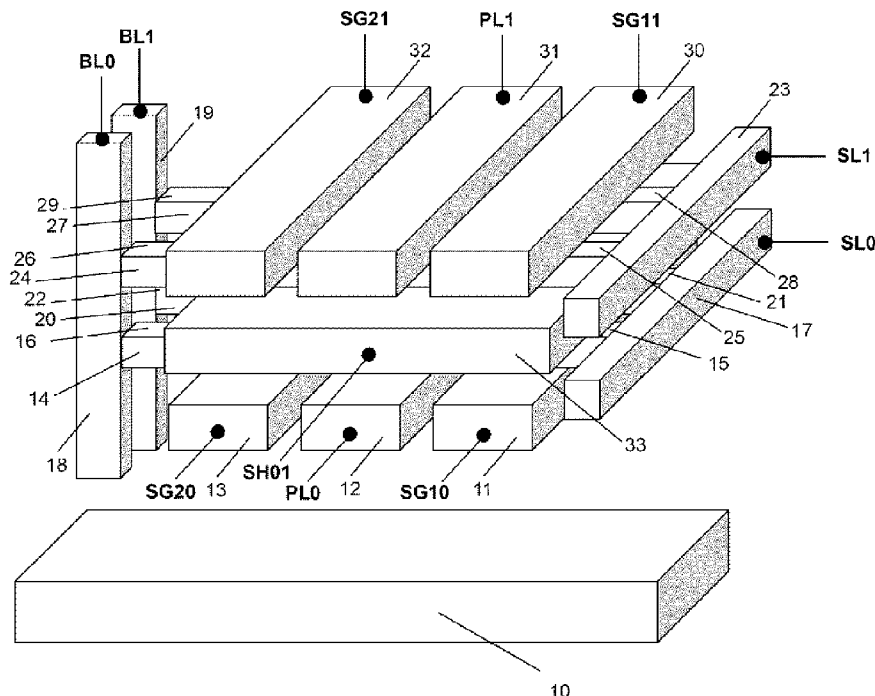
(71) 出願人(USについてののみ): 作井 康司(SAKUI
Koji) [JP/JP]; 〒1020083 東京都千代田区麹町
1 丁目 3 番 7 号 日月館麹町ビル 5 階 S e
m i c o n C o n s u l t i n g 株式会
社内 Tokyo (JP). 原田 望(HARADA Nozomu)
[JP/JP]; 〒1020083 東京都千代田区麹町 1 丁目
3 番 7 号 日月館麹町ビル 5 階 S e m i c o n
C o n s u l t i n g 株式会社内 Tokyo (JP).

(74) 代理人: 田中 伸一郎, 外(TANAKA Shinichiro
et al.); 〒1008355 東京都千代田区丸の内 3
丁目 3 番 1 号 新東京ビル 中村合同特
許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

(54) Title: MEMORY DEVICE USING SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体素子を用いたメモリ装置



(57) Abstract: In the present invention, a dynamic flash memory is formed in such a manner that: a first block, in which a plurality of dynamic flash memory cells are arranged in a matrix on a substrate, includes a first dynamic flash memory cell and a second dynamic flash memory cell; and a second block, having a structure that is in a mirror image symmetric relationship with the first block with respect to a shared shield line, includes a third dynamic flash memory cell and a fourth dynamic flash memory cell.

CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 複数のダイナミック フラッシュ メモリセルが基板上に行列状に配列された第1のブロックは、第1のダイナミック フラッシュ メモリセルと第2のダイナミック フラッシュ メモリセルとを含み、共有するシールド線に対して第1のブロックと鏡像対称な関係にある構造を有する第2のブロックは、第3のダイナミック フラッシュ メモリセルと第4のダイナミック フラッシュ メモリセルとを含み、ダイナミック フラッシュ メモリが形成される。

明 細 書

発明の名称：半導体素子を用いたメモリ装置

技術分野

[0001] 本発明は、半導体素子を用いたメモリ装置。

背景技術

[0002] 近年、L S I (Large Scale Integration) 技術開発において、メモリ素子の高集積化と高性能化が求められている。

[0003] メモリ素子の高密度化と高性能化が進められている。S G T (Surrounding Gate Transistor、特許文献1、非特許文献1を参照)を選択トランジスタとして用いて、キャパシタを接続したD R A M (Dynamic Random Access Memory、例えば、非特許文献2を参照)、抵抗変化素子を接続したP C M (Phase Change Memory、例えば、非特許文献3を参照)、R R A M (Resistive Random Access Memory、例えば、非特許文献4を参照)、電流により磁気スピンの向きを変化させて抵抗を変化させるM R A M (Magnetoresistive Random Access Memory、例えば、非特許文献5を参照)などがある。

[0004] また、キャパシタを有しない、1個のM O S トランジスタで構成された、D R A M メモリセル(特許文献2、非特許文献6～非特許文献10を参照)などがある。1個のM O S トランジスタで構成されたD R A M メモリセルでは、例えばNチャネルM O S トランジスタのソース、ドレイン間電流によりチャネル内にインパクトイオン化現象により発生させた正孔、電子群の内、正孔群の一部、または全てをチャネル内に保持させて論理記憶データ“1”書込みを行う。そして、チャネル内から正孔群を除去して論理記憶データ“0”書込みを行う。このメモリセルでは、共通の選択ワード線に対して、ランダムに“1”書込みのメモリセルと“0”書込みのメモリセルが存在する。選択ワード線にオン電圧が印加されると、この選択ワード線に繋がる選択メモリセルのフローティングボディチャネル電圧はゲート電極とチャネルとの容量結合により大きく変動する。このメモリセルでは、フローティングボ

ディチャネル電圧変動による動作マージンの低下の改善、そして、チャネルに溜められた信号電荷である正孔群の一部が除去されることによるデータ保持特性の低下の改善が課題である。

[0005] また、SOI層に、2つのMOSトランジスタを用いて1つのメモリセルを形成したTwin-Transistor MOSトランジスタメモリ素子がある（例えば、特許文献3、4、非特許文献11を参照）。これらの素子では、2つのMOSトランジスタのフローティングボディチャネルを分ける、ソース、またはドレインとなるN⁺層が基板側にある絶縁層に接して形成されている。このN⁺層により、2つのMOSトランジスタのフローティングボディチャネルは、電氣的に分離される。信号電荷である正孔群は、一方のMOSトランジスタのフローティングボディチャネルだけに蓄積される。他方のMOSトランジスタは、片方のMOSトランジスタに溜められた信号の正孔群を読みだすためのスイッチとなる。このメモリセルにおいても、信号電荷である正孔群は一つのMOSトランジスタのチャネルに溜められるので、前述の1個のMOSトランジスタよりなるメモリセルと同じく、動作マージンの低下の改善、又はチャネルに溜められた信号電荷である正孔群の一部が除去されることによるデータ保持特性の低下の改善が課題である。

[0006] また、図3に示す、キャパシタを有しない、MOSトランジスタで構成された、ダイナミックフラッシュメモリセル111がある（特許文献5、非特許文献12を参照）。図3（a）に示すように、SOI基板のSiO₂層101上にフローティングボディ半導体母体102がある。フローティングボディ半導体母体102の両端にソース線SLに接続するN⁺層103とビット線BLに接続するN⁺層104がある。そして、N⁺層103に繋がり、且つフローティングボディ半導体母体102を覆った第1のゲート絶縁層109aと、N⁺層104と、スリット絶縁膜110を介して第1のゲート絶縁層109aに繋がり、且つフローティングボディ半導体母体102を覆った第2のゲート絶縁層109bがある。そして、第1のゲート絶縁層109aを覆ってプレート線PLに繋がった第1のゲート導体層105aがあり、第2のゲ

ート絶縁層109bを覆ってワード線WLに繋がった第2のゲート導体層105bがある。そして、第1のゲート導体層105aと第2のゲート導体層105bとの間には、スリット絶縁層110がある。これにより、DFM (Dynamic Flash Memory) のメモリセル111が形成される。なお、ソース線SLがN⁺層104に接続し、ビット線BLがN⁺層103に接続するように構成してもよい。

[0007] そして、図3(a)に示すように、例えば、N⁺層103にゼロ電圧、N⁺層104にプラス電圧を印加し、第1のゲート導体層105aで覆われたフローティングボディ半導体母体102よりなる第1のNチャネルMOSトランジスタ領域を飽和領域で動作させ、第2のゲート導体層105bで覆われたフローティングボディ半導体母体102よりなる第2のNチャネルMOSトランジスタ領域を線形領域で動作させる。この結果、第2のNチャネルMOSトランジスタ領域には、ピンチオフ点は存在せずに全面に反転層107bが形成される。このワード線WLの接続された第2のゲート導体層105bの下側に形成された反転層107bは、第1のNチャネルMOSトランジスタ領域の実質的なドレインとして働く。この結果、第1のNチャネルMOSトランジスタ領域と、第2のNチャネルMOSトランジスタ領域との間の半導体母体の境界領域で電界は最大となり、この領域でインパクトイオン化現象が生じる。そして、図3(b)に示すように、インパクトイオン化現象により生じた電子・正孔群の中の電子群をフローティングボディ半導体母体102から除き、そして正孔群106の一部、または全てをフローティングボディ半導体母体102に保持することによりメモリ書き込み動作が行われる。この状態が論理記憶データ“1”となる。

[0008] そして、図3(c)に示すように、例えばプレート線PLにプラス電圧、ワード線WLと、ビット線BLにゼロ電圧、ソース線SLにマイナス電圧を印加して、正孔群106をフローティングボディ半導体母体102から除去して消去動作を行う。この状態が論理記憶データ“0”となる。そして、データ読み出しにおいて、プレート線PLに繋がる第1のゲート導体層105

aに印加する電圧を、論理記憶データ“1”時のしきい値電圧より高く、且つ論理記憶データ“0”時のしきい値電圧より低く設定することにより、図3(d)に示すように論理記憶データ“0”読み出しでワード線WLの電圧を高くしても電流が流れない特性が得られる。この特性により、キャパシタを有しない、1個のMOSトランジスタで構成された、DRAMメモリセルと比べ、大幅に動作マージンの拡大が図られる。このメモリセルでは、プレート線PLに繋がる第1のゲート導体層105aと、ワード線WLに繋がる第2のゲート導体層105bとをゲートとした第1、第2のNチャネルMOSトランジスタ領域のチャネルがフローティングボディ半導体母体102で繋がっていることにより、ワード線WLに選択パルス電圧が印加された時のフローティングボディ半導体母体102の電圧変動が大きく抑圧される。これにより、前述のメモリセルにおいて問題の動作マージンの低下、又はチャネルに溜められた信号電荷である正孔群の一部が除去されることによるデータ保持特性の低下の問題が大きく改善される。今後、本メモリ素子に対して更なる特性改善が求められる。

[0009] また、図4に示す、キャパシタを有しない、MOSトランジスタで構成された、3個のゲートを有するダイナミック フラッシュ メモリセル8が知られている（特許文献6、非特許文献13を参照）。基板1上にシリコン半導体柱（Si柱）2がある。そして、Si柱2には、下よりN+層3a、P層7、N+層3bがある。N+層3a、3b間のP層7がチャネル領域7aとなる。Si柱2の下部を囲んで、下から第1のゲート絶縁層4aと、第2のゲート絶縁層4bと、第3のゲート絶縁層4cがある。そして、第1のゲート絶縁層4aを囲んで第1のゲート導体層5aがあり、第2のゲート絶縁層4bを囲んで、第2のゲート導体層5bがあり、第3のゲート絶縁層4cを囲んで、第3のゲート導体層5cがある。そして、第1のゲート導体層5a、第2のゲート導体層5bは絶縁層6aにより分離され、第2のゲート導体層5b、第3のゲート導体層5cは絶縁層6bにより分離されている。これによりN+層3a、3b、P層7、第1のゲート絶縁層4a、第2のゲート絶縁層

4 b、第3のゲート絶縁層4 c、第1のゲート導体層5 a、第2のゲート導体層5 b、第3のゲート導体層5 cからなるダイナミック フラッシュ メモリセルが形成される。この構造の特徴として、N+層3 a、3 b間のチャンネル領域7 aに蓄えられた正孔群は、第1のゲート導体層5 aと第3のゲート導体層5 cとの電氣的な遮蔽を活用することにより、N+層3 a、3 bにおける再結合が著しく抑制される。この結果、データ“1”の保持特性（Retention）が大幅に改善される。なお、ダイナミック フラッシュ メモリセルを基板1に対して、水平方向に設け、複数のメモリセルを垂直方向に積み上げて集積度を上げることが出来る（特許文献8を参照）。また、第1のゲート導体層5 a、第2のゲート導体層5 b、第3のゲート導体層5 cを分割することが出来る（例えば、特許文献9、非特許文献18を参照）。

[0010] また、キャパシタを有しない、3つのゲートを有するサイリスタ（Thyristor）RAMメモリの発表がある（非特許文献14、非特許文献15を参照）。このサイリスタ メモリは、複数の層を積層させて、等価的なメモリセルサイズを縮小可能という利点があるが、読出しメカニズムとして、サイリスタを用いているため、読出し電流値が大幅に増減する問題があり、この結果、消費電力が大きくなってしまう。

[0011] また、積層可能なキャパシタを有する1T1CのDRAMセルの発表がある（非特許文献16、非特許文献17を参照）。しかし、DRAMメモリセルのキャパシタのアスペクト比（Aspect Ratio）は、50と大きい。このため、DRAMセルを横置きにすると、このキャパシタの面積が非常に大きいため、現在の縦置きDRAMセルのような経済的なメモリセルの等価面積を得るためには、例えば、200層も積層する必要がある。

[0012] また、キャパシタを有しない、1個のMOSトランジスタで構成された、DRAMメモリセルを積層する提案がある（特許文献7を参照）。この構造は、上述した選択ワード線にオン電圧が印加されると、この選択ワード線に繋がる選択メモリセルのフローティングボディチャンネル電圧はゲート電極とチャンネルとの容量結合により大きく変動する問題が生じる。また、特許文献

7のFig. 1Fに示されているが、例えば、2つのワード線WL0とWL1で共通のフローティングボディFB1を制御しているため、選択性の問題を生じる。その回避策として、Fig. 1Gのように交互のワード線をシールド線として接地する手法が示されているが、この方法では、メモリ容量が半減し、コストが倍増する問題がある。

先行技術文献

特許文献

- [0013] 特許文献1：特開平2－188966号公報
特許文献2：特開平3－171768号公報
特許文献3：US2008／0137394 A1
特許文献4：US2003／0111681 A1
特許文献5：特許第7057032号公報
特許文献6：US2023／0186966 A1
特許文献7：US2023／0106561 A1
特許文献8：US2022／0367681 A1
特許文献9：US2022／0367473 A1

非特許文献

- [0014] 非特許文献1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)
非特許文献2：H. Chung, H. Kim, H. Kim, K. Kim, S. Kim, K.W.Song, J. Kim, Y.C. Oh, Y. Hwang, H. Hong, G. Jin, and C. Chung: “4F2 DRAM Cell with Vertical Pillar Transistor(VPT),” 2011 Proceeding of the European Solid-State Device Research Conference, (2011)
非特許文献3：H. S. Philip Wong, S. Raoux, S. Kim, Jiale Liang, J. R. Reifenberg, B. Rajendran, M. Asheghi and K. E. Goodson: “Phase Change Memory,” Proceeding of IEEE, Vol.98, No 12, December, pp.2201-2227 (2010)

非特許文献4: K. Tsunoda, K. Kinoshita, H. Noshiro, Y. Yamazaki, T. Iizuka, Y. Ito, A. Takahashi, A. Okano, Y. Sato, T. Fukano, M. Aoki, and Y. Sugiyama: "Low Power and high Speed Switching of Ti-doped NiO ReRAM under the Unipolar Voltage Source of less than 3V," IEDM (2007)

非特許文献5: W. Kang, L. Zhang, J. Klein, Y. Zhang, D. Ravelosona, and W. Zhao: "Reconfigurable Codesign of STT-MRAM Under Process Variations in Deeply Scaled Technology," IEEE Transaction on Electron Devices, pp.1-9 (2015)

非特許文献6: M. G. Ertosun, K. Lim, C. Park, J. Oh, P. Kirsch, and K. C. Saraswat: "Novel Capacitorless Single-Transistor Charge-Trap DRAM (1T CT DRAM) Utilizing Electron," IEEE Electron Device Letter, Vol. 31, No.5, pp.405-407 (2010)

非特許文献7: J. Wan, L. Rojer, A. Zaslavsky, and S. Critoloveanu: "A Compact Capacitor-Less High-Speed DRAM Using Field Effect-Controlled Charge Regeneration," Electron Device Letters, Vol. 35, No.2, pp.179-181 (2012)

非特許文献8: T. Ohsawa, K. Fujita, T. Higashi, Y. Iwata, T. Kajiyama, Y. Asao, and K. Sunouchi: "Memory design using a one-transistor gain cell on SOI," IEEE JSSC, vol.37, No.11, pp1510-1522 (2002).

非特許文献9: T. Shino, N. Kusunoki, T. Higashi, T. Ohsawa, K. Fujita, K. Hatsuda, N. Ikumi, F. Matsuoka, Y. Kajitani, R. Fukuda, Y. Watanaabe, Y. Minami, A. Sakamoto, J. Nishimura, H. Nakajima, M. Morikado, K. Inoh, T. Hamamoto, A. Nitayama: "Floating Body RAM Technology and its Scalability to 32nm Node and Beyond," IEEE IEDM (2006).

非特許文献10: E. Yoshida: "A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory," IEEE IEDM (2006).

非特許文献11 : F. Morishita, H. Noda, I. Hayashi, T. Gyohten, M. Oksmoto, T. Ipposhi, S. Maegawa, K. Dosaka, and K. Arimoto: “Capacitorless Twin-Transistor Random Access Memory (TTRAM) on SOI,” IEICE Trans. Electron., Vol. E90-c., No.4 pp.765-771 (2007)

非特許文献12 : K. Sakui, and N. Harada, “Dynamic Flash Memory with Dual Gate Surrounding Gate Transistor (SGT),” Proc. IEEE IMW, pp.72-75(2021).

非特許文献13 : K. Sakui, Y. Li, M. Kakumu, K. Kanazawa, I. Kunishima, Y. Iwata, and N. Harada, “Design Impact on Three Gate Dynamic Flash Memory (3G_DFM) for Long Hole Retention Time and Robust Disturbance Shield,” in Memories – Materials, Devices, Circuits and Systems, Elsevier, 4, 100054, pp.1-5, May 2023.

非特許文献14 : W.-C. Chen, H.-T. Lue, M.-Y. Wu, T.-H. Yeh, P.-Y. Du, T.-H. Hsu, C.-C. Hsieh, K.-C. Wang, and C.-Y. Lu, “A 3D Stackable DRAM: Capacitor-less Three-Wordline Gate-Controlled Thyristor (GCT) RAM with $>40\mu\text{A}$ Current Sensing Window, $>10^{10}$ Endurance, and 3-second Retention at Room Temperature,” in IEEE IEDM (International Electron Devices Meeting), pp.607-610, Dec.2022.

非特許文献15 : W.-C. Chen, H.-T. Lue, T.-H. Hsu, K.-C. Wang, and C.-Y. Lu, “A Simulation Study of Scaling Capability toward 10nm for the 3D Stackable Gate-Controlled Thyristor (GCT) DRAM Device,” in IEEE IMW (International Memory Workshop), pp.25-28, May 2023.

非特許文献16 : M. Huang, S. Si, Z. He, Y. Zhou, S. Li, H. Wang, J. Liu, D. Xie, M. Yang, K. You, C. Choi, Y. Tang, X. Li, S. Qian, X. Yang, L. Hou, W. Bai, Z. Liu, Y. Tang, Q. Wu, Y. Wang, T. Dou, J. Kim, G.-L. Wang, J. Bai, A. Takao, C. Zhao, A. Yoo, M. Zhou, “A 3D Stackable 1T1C DRAM: Architecture, Process Integration and Circuit Simulation,” in IEEE IMW (International Memory Workshop), pp.29-32, May 2023.

非特許文献17: J.W. Han, S.H. Park, M.Y. Jeong, K.S. Lee, K.N. Kim, H. J. Kim, J.C. Shin, S.M. Park, S.H. Shin, S.W. Park, K.S. Lee, J.H. Lee, S.H. Kim, B.C Kim, M.H. Jung, I.Y. Yoon, H. Kim, S.U. Jang, K.J. Park, Y.K. Kim, I.G. Kim, J.H Oh, S.Y. Han, B.S. Kim, B.J. Kuh, and J .M. Park, “Ongoing Evolution of DRAM Scaling via Third Dimension- Vertically Stacked DRAM,” in 2023 Symposium on VLSI Technology and Circuits Digest of Technical Papers, TFS1-1, pp.1-2, Jun. 2023.

非特許文献18: K. Sakui, and N. Harada, “Read Non-Destructive Dynamic Flash Memory (DFM) with Dual and Double Gates,” Extended Abstracts of the 2022 International Conference on Solid State Devices and Materials, pp.405-406, Sep. 2022.

発明の概要

発明が解決しようとする課題

- [0015] ダイナミック フラッシュ メモリセルにおいて、実効的なセルサイズのより小さいメモリセルの実現が求められる。

課題を解決するための手段

- [0016] 上記の課題を解決するために、第1発明に係る半導体素子を用いたメモリ装置は、

第1のメモリセル及び第2のメモリセルを含む複数の半導体メモリセルが基板上に行列状に配列された第1のブロックを有し、

前記第1のメモリセルは、前記基板に対して平行に伸延した第1の半導体母体を含み、前記第2のメモリセルは、前記第1の半導体母体と垂直方向又は水平方向に離れ、且つ平面視もしくは断面視で前記第1の半導体母体と重なった第2の半導体母体を含み、

前記第1のブロックは、

前記第1の半導体母体の両端にそれぞれ繋がる第1の不純物領域及び第2の不純物領域と、

前記第2の半導体母体の両端にそれぞれ繋がる第3の不純物領域及び第4

の不純物領域と、

前記第1の半導体母体を囲む第1のゲート絶縁層と、

前記第2の半導体母体を囲む第2のゲート絶縁層と、

前記第1のゲート絶縁層と前記第2のゲート絶縁層のそれぞれの第1の側面に接し、且つ繋がって並んだ第1のゲート導体層と、第2のゲート導体層と、

前記第1のゲート絶縁層と前記第2のゲート絶縁層の前記第1の側面に対向するそれぞれの第2の側面に接した第3のゲート導体層と、を具備し、

前記1乃至第4の不純物領域と、前記1乃至第3のゲート導体層と、に印加する電圧を制御して、前記第1及び第2の半導体母体内に流す電流によるインパクトイオン化現象、またはゲート誘起ドレインリーク電流により発生させた多数キャリアである前記正孔群または前記電子群の一部または全てを、前記第1及び前記第2の半導体母体内に残存させる、データ書き込み動作と、

前記第1及び第2の不純物領域の一方もしくは両方、そして前記第3及び第4の不純物領域の一方もしくは両方から、残存する前記正孔群または前記電子群を抜きとる、データ消去動作と、を行い、

さらに、前記第1のブロックと前記第3のゲート導体層を共有し且つ第3のメモリセルおよび第4のメモリセルを含む第2のブロックを含み、前記第2のブロックは、第3のゲート導体層に対して前記第1のブロックと鏡像対称な関係にある構造を有する、

ことを特徴とする。

[0017] 第2発明は、上記の第1発明において、

前記第1及び第3の不純物領域はソース線に接続し、前記第2の不純物領域は第1のビット線に接続し、前記第4の不純物領域は第2のビット線に接続し、前記第1のゲート導体層と前記第2のゲート導体層との一方が選択ゲート線に接続すれば、他方が前記第2のゲート導体層はプレート線に接続し、前記第3のゲート導体層はシールド線に接続し、

前記ソース線と、前記第 1 および第 2 のビット線と、前記プレート線と、前記選択ゲート線と、前記シールド線に印加する電圧を制御して、前記データ消去動作と、前記データ書込み動作と、データ読出し動作とを行う、ことを特徴とする。

[0018] 第 3 発明は、上記の第 2 発明において、前記データ消去動作と、前記データ書込み動作と、データ読出し動作において、前記シールド線には、接地電圧が印加されることを特徴とする。

[0019] 第 4 発明は、上記の第 3 発明において、前記接地電圧は零ボルトであることを特徴とする。

[0020] 第 5 発明は、上記の第 2 発明において、前記第 1 及び第 2 の半導体母体は、前記基板の断面視において重なり、前記プレート線と、前記選択ゲート線と、前記シールド線は、前記基板に対して、平面視において平行に配設されていることを特徴とする。

[0021] 第 6 発明は、上記の第 2 発明において、前記第 1 及び第 2 のビット線は、前記基板に対する垂直断面視において、前記プレート線と、前記選択ゲート線と、前記シールド線と直交し、前記ソース線は、平面視において、前記プレート線と、前記選択ゲート線と、前記シールド線と平行に配設されていることを特徴とする。

[0022] 第 7 発明は、上記の第 2 発明において、前記第 1 及び第 2 の半導体母体とは、前記基板の平面視において重なり、前記プレート線と、前記選択ゲート線と、前記シールド線は、前記基板に対して、断面視において平行に配設されていることを特徴とする。

[0023] 第 8 発明は、上記の第 2 発明において、前記第 1 および第 2 のビット線は前記基板の平面視において、前記プレート線と、前記選択ゲート線と、前記シールド線と直交して、前記ソース線は、前記基板の断面視において、前記プレート線と、前記選択ゲート線と、前記シールド線と平行に配設されていることを特徴とする。

[0024] 第 9 発明は、上記の第 1 発明において、前記第 1 のゲート絶縁層と前記第

2のゲート絶縁層のそれぞれの前記第1の側面に接し、且つ前記第1及び第2のゲート導体層と並んだ第4のゲート導体層を有することを特徴とする。

[0025] 第10発明は、上記の第9発明において、前記第4のゲート導体層が第2の選択ゲート線に接続していることを特徴とする。

[0026] 第11発明は、上記の第2発明において、前記第2のゲート導体層のチャンネル長は、前記第1のゲート導体層のチャンネル長と前記第3のゲート導体層のチャンネル長の一方もしくは双方よりも長いことを特徴とする。

[0027] 第12発明は、上記の第1発明において、前記第3のゲート導体層が前記第1のゲート導体層と、前記第2のゲート導体層と対面してある第5のゲート導体層と、第6のゲート導体層よりなることを特徴とする。

図面の簡単な説明

[0028] [図1A]第1実施形態に係るメモリセルの構造図である。

[図1B]第1実施形態に係るメモリセルの構造図である。

[図1C]第1実施形態に係るメモリセルの構造図である。

[図1D]第1実施形態に係るメモリセルの構造図である。

[図1E]第1実施形態に係るメモリセルの構造図である。

[図1F]第1実施形態に係るメモリセルの構造図である。

[図1G]第1実施形態に係るメモリセルの構造図である。

[図2A]第1実施形態に係るメモリセルの構造図である。

[図2B]第1実施形態に係るメモリセルの構造図である。

[図3]従来例のキャパシタを有しない、MOSトランジスタで構成された、ダイナミックフラッシュメモリセルを説明するための図である。

[図4]従来例のキャパシタを有しない、MOSトランジスタで構成された、3個のゲートを有するダイナミックフラッシュメモリセルを説明するための図である。

発明を実施するための形態

[0029] 以下、本発明に係る、半導体素子を用いたメモリ装置（以後、ダイナミックフラッシュメモリとも呼ぶ）の構造、駆動方式の実施形態について、図

面を参照しながら説明する。

[0030] (第1実施形態)

図1A～図1Fと図2を用いて、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの構造と動作メカニズムと製造方法とを説明する。図1A、図1Bを用いて、基板に対してビット線が垂直方向に配設され、第1および第2の選択ゲート線と、プレート線が水平方向に配設された構造を説明する。図2を用いて、基板に対してビット線が水平方向に配設され、第1および第2の選択ゲート線と、プレート線が垂直方向に配設された構造を説明する。

[0031] 図1Aに本発明の第1実施形態に係るダイナミックフラッシュメモリセル構造の鳥観図を示す。図1B(a)に本発明の第1実施形態に係るダイナミックフラッシュメモリセル構造の平面図を、図1B(b)と図1B(c)にX-X'断面図とY-Y'断面図を示す。基板10(特許請求の範囲の「基板」の一例である)に平行に、P層の第1の半導体母体14(特許請求の範囲の「第1の半導体母体」の一例である)がある。第1の半導体母体14の両端には、N⁺層15(特許請求の範囲の「第1の不純物領域」の一例である)と、N⁺層16(特許請求の範囲の「第2の不純物領域」の一例である)がある。そして、第1の半導体母体14の奥側にP層の第2の半導体母体20(特許請求の範囲の「第2の半導体母体」の一例である)と、N⁺層21(特許請求の範囲の「第3の不純物領域」の一例である)と、N⁺層22(特許請求の範囲の「第4の不純物領域」の一例である)がある。第1の半導体母体14および第2の半導体母体20の周りには、第1のゲート絶縁膜34(特許請求の範囲の「第1のゲート絶縁膜」の一例である)と第2のゲート絶縁膜38(特許請求の範囲の「第2のゲート絶縁膜」の一例である)が形成されている(図1B(c)参照)。

[0032] 互いに分離された第1のゲート導体層11(特許請求の範囲の「第1のゲート導体層」の一例である)、第2のゲート導体層12(特許請求の範囲の「第2のゲート導体層」の一例である)、第4のゲート導体層13は、第1

のゲート絶縁層 34 と第 2 のゲート絶縁層 38 のそれぞれの第 1 の側面（特許請求の範囲の「第 1 の側面」の一例である）に接している。。第 1 のゲート絶縁層 34 と第 2 のゲート絶縁層 38 の第 1 の側面に対向するそれぞれの第 2 の側面（特許請求の範囲の「第 2 の側面」の一例である）に接し、かつ第 1 の半導体母体 14 と第 2 の半導体母体 22 の共通ゲートとなる第 3 のゲート導体層 33（特許請求の範囲の「第 3 のゲート導体層」の一例である）がある。なお、後述するが、第 1 のゲート導体層 11 と、第 4 のゲート導体層 13 は、それぞれ図 1 D と図 1 E に示すように無くても良い。

[0033] 第 1 の不純物領域 15 と第 3 の不純物領域 21 は第 1 のソース線 17（特許請求の範囲の「ソース線」の一例である）である S L 0 に接続し、第 2 の不純物領域 16 は第 1 のビット線 18（特許請求の範囲の「第 1 のビット線」の一例である）である B L 0 に接続し、第 4 の不純物領域 22 は第 2 のビット線 19（特許請求の範囲の「第 2 のビット線」の一例である）である B L 1 に接続する。第 1 のゲート導体層 11 は第 1 の選択ゲート線 S G 1 0（特許請求の範囲の「選択ゲート線」の一例である）に接続し、第 2 のゲート導体層 12 はプレート線 P L 0（特許請求の範囲の「プレート線」の一例である）に接続し、第 4 のゲート導体層 13 は第 2 の選択ゲート線 S G 2 0 に接続し、第 3 のゲート導体層 33 はシールド線 S H 0 1（特許請求の範囲の「シールド線」の一例である）に接続する。

[0034] 第 1 のメモリセル（特許請求の範囲の「第 1 のメモリセル」の一例である）の 6 端子は、第 1 の選択ゲート線 S G 1 0 と、プレート線 P L 0 と、第 2 の選択ゲート線 S G 2 0 と、シールド線 S H 0 1 と、第 1 のソース線 S L 0 と、第 1 のビット線 B L 0 とで構成され、第 2 のメモリセル（特許請求の範囲の「第 2 のメモリセル」の一例である）の 6 端子は、第 1 の選択ゲート線 S G 1 0 と、プレート線 P L 0 と、第 2 の選択ゲート線 S G 2 0 と、シールド線 S H 0 1 と、第 1 のソース線 S L 0 と、第 2 のビット線 B L 1 とで構成される。第 1 のメモリセルと第 2 のメモリセルとで第 1 のブロック（特許請求の範囲の「第 1 のブロック」の一例である）の一部を構成する。

- [0035] 第3のゲート導体層33を共有し、第3のゲート導体層33であるシールド線SHO1を軸とし、第1ブロックとは線対称に折り返した位置に配置した第1のブロックと対向する第2のブロック（特許請求の範囲の「第2のブロック」の一例である）がある。第2のブロックに第3のメモリセル（特許請求の範囲の「第3のメモリセル」の一例である）および第4のメモリセル（特許請求の範囲の「第4のメモリセル」の一例である）が含まれる。
- [0036] 第3のメモリセルの6端子は、第1の選択ゲート線SG11と、プレート線PL1と、第2の選択ゲート線SG21と、第1のブロックと共通のシールド線SHO1と、第2のソース線SL1と、第1のビット線BL0とで構成され、第4のメモリセルの6端子は、第1の選択ゲート線SG11と、プレート線PL1と、第2の選択ゲート線SG21と、第1のブロックと共通のシールド線SHO1と、第2のソース線SL1と、第2のビット線BL1とで構成される。
- [0037] 例えば、第1のブロックが選択された場合には、ソース線SL1と、第1のビット線BL0と、第2のビット線BL1と、プレート線PL0と、第1の選択ゲート線SG10と、第2の選択ゲート線SG20と、シールド線SHO1に印加する電圧を制御して、第1のメモリセルと第2のメモリセルに対して、ページ消去動作と、ページ書込み動作と、ページ読出し動作とを行う。この3つの動作モードでは、シールド線SHO1には、接地電圧である零ボルトを印加する。このようにシリコン薄膜の対面、すなわち（シリコン薄膜を挟んで、その上面と下面、もしくはその左面と右面を2つのゲートで制御するデュアルゲート構造のダイナミックフラッシュメモリセルにおいて、一方のゲートを接地電圧にすると、“1”書込み状態の正孔群を安定的に保持できる。
- [0038] また、デュアルゲート構造のダイナミックフラッシュメモリセルにおいて、一方のゲートを接地電圧にすると、フローティングボディのシリコン膜厚を薄膜化でき、このメモリセルを複数個積層させても、そのアスペクト比を低減でき、より多くのメモリセルを積層することが可能であり、更なる低

コスト化が実現可能である。

[0039] また、シールド線を積層上下のメモリセルで共有しているため、プロセス工程およびアスペクト比が低減でき、より低コスト化が実現できる。

[0040] 図1Cは、プレート線PL0とPL1のゲート長（X-X'線方向の長さ）を、第1の選択ゲート線SG10とSG11および第2の選択ゲート線SG20とSG21よりも長くした例を示している。これにより、第1から第4のメモリセルのフローティングボディに対するプレート線電圧の制御性が優れる。また、プレート線のゲート長に応じて、“1”書込み状態のフローティングボディには、より多く正孔数を保持できる。

[0041] 図1Dは、ソース線SL0とSL1に隣接する第1の選択ゲート線SG10とSG11を無くした例を示している。また、図1Eは、ビット線BL0とBL1に隣接する第2の選択ゲート線SG20とSG21を無くした例を示している。これにより、ダイナミックフラッシュメモリセルのセルサイズをより微細化可能である。また、セル電流を増大でき、より高速化が可能である。しかし、片方の選択ゲートを無くすことで、データ保持能力が若干低下するが、第1から第4のメモリセルのフローティングボディに対するプレート線電圧の制御性が優れる。また、プレート線のゲート長に応じて、“1”書込み状態のフローティングボディには、より多く正孔数を保持できる。ダイナミックフラッシュメモリセル使用のアプリケーションに対する設計選択事項である。

[0042] 図1Fは、4個のダイナミックフラッシュメモリセルを積層した例を示している。シールド線SH01は、第1と第2のブロックのメモリセルで共有し、シールド線SH23は、第3と第4のブロックのメモリセルで共有している。この結果、積層メモリ構造において、シールド線の本数を半減でき、その分、積層メモリのアスペクト比とプロセス工程を低減でき、より高集積化が可能なメモリ装置を安価で提供できる。

[0043] 図1Gは、シールド線を第1および第2の選択ゲート線とプレート線のチャネル長に合わせて、3等分のSH01A、SH01B、SH01Cに分離

した例を示している。これにより、ゲート加工のエッチング等のプロセス工程をより簡便化可能である。なお、3等分されたシールド線SH01A、SH01B、SH01Cは、メモリアレイ内、もしくはメモリアレイ端で短絡され、各動作モードで接地電圧が印加される。

[0044] 図2Aは、基板10に対して、第1の選択ゲート線SG10とSG11、プレート線PL0とPL1、第2の選択ゲート線SG20とSG21と、第1のソース線SL0と、第2のソース線SL1を垂直方向に配設し、第1のビット線BL0と第2のビット線BL1を水平方向に配設した例を示している。すなわち、図1Aから図1Gで示したダイナミックフラッシュメモリセルを基板10に対して、図面奥方向に向かって90度回転したダイナミックフラッシュメモリセルに相当する。ダイナミックフラッシュメモリセル使用のアプリケーションに対する設計選択事項であるが、主たる特徴は、図1Aから図1Gで示したダイナミックフラッシュメモリセルと同様である。

[0045] 図1Gと同様に図2Bは、シールド線を第1および第2の選択ゲート線とプレート線のチャンネル長に合わせて、3等分のSH01A、SH01B、SH01Cに分離した例を示している。これにより、ゲート加工のエッチング等のプロセス工程をより簡便化可能である。なお、3等分されたシールド線SH01A、SH01B、SH01Cは、メモリアレイ内、もしくはメモリアレイ端で短絡され、各動作モードで接地電圧が印加される。

[0046] また、図1Aから図1Gおよび図2Aと図2Bで示したダイナミックフラッシュメモリセルは、各構成物を矩形状の垂直断面を有する形状を用いて説明したが、これらの垂直断面形状は例えば台形状などの他の形状であってもよい。また、それぞれの構成要素の垂直断面が異なってもよい。

[0047] また、図1A、図1Bで示したダイナミックフラッシュメモリセルのN⁺層15、16、25、26と、P層14、24の半導体母体のそれぞれの導電型を逆にした構造においても、ダイナミックフラッシュメモリ動作がなされる。この場合、N型の半導体母体では、多数キャリアは電子になる。従

って、インパクトイオン化により生成された電子群がフローティングボディに蓄えられて、“1”状態が設定される。このことは、他の実施例でも同様である。

[0048] また、図1A、図1Bで示したダイナミックフラッシュメモリセルのN⁺層15、16、25、26と、P層14、24の半導体母体のそれぞれの導電型を同じにしたジャンクションレス構造であってもよい。このことは、他の実施例でも同様である。

[0049] 本実施形態は、下記の特徴を有する。

(特徴1)

本実施形態に係るダイナミックフラッシュメモリセルでは、図1A、図1Bに示すように、第4のゲート導体層33にシールドゲートの役割を持たせる。例えば、第4のゲート導体層33に接地電圧を印加することにより、フローティングボディである半導体母体14、20、24、27の駆動時の電位の安定化を図ることが出来る。これにより、フローティングボディの半導体母体14、20、24、27の薄膜化が可能である。このため、積層された複数のメモリセルのアスペクト比が小さくなるため、更に多数のメモリセルを積層させることができ、低コスト化が実現できる。このことは、図1C～図2Bで示したメモリセルについても同様である。

[0050] (特徴2)

メモリセルの積層に関して、シールド線を中心軸とした線対称の折り返し位置にメモリセルを積層しているため、シールド線のゲート材を重複させる必要がない。この結果、メモリ容量を半減することなく、積層メモリのアスペクト比を低減でき、更なる大容量化が実現できる。また、プロセス工程が簡略化でき、より安価なメモリ装置を提供できる。

[0051] (その他の実施形態)

なお、プレート線に繋がるゲート導体層は、単層または複数の導体材料層を組み合わせ用いてもよい。同じく、第1および第2の選択ゲート線に繋がるゲート導体層は、単層または複数の導体材料層を組み合わせ用いても

よい。また、ゲート導体層の外側が、例えばWなどの配線金属層に繋がっていてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0052] また、実施形態の説明におけるプレート線PLの電圧は、各動作モードに関わらず、例えば、0Vの固定電圧を印加しても良い。また、プレート線PLの電圧は、ダイナミックフラッシュメモリ動作ができる条件を満たす電圧であれば、固定電圧、または時間的に変化する電圧を与えてもよい。

[0053] また、図1において、第1の不純物領域N⁺層15及び／又は第2の不純物領域N⁺層16と、第1の半導体母体P層14との間に、N型、またはP型の不純物領域があってもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0054] また、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した各実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

産業上の利用可能性

[0055] 本発明に係る、半導体素子を用いたメモリ装置によれば、高密度で、かつ高性能のダイナミックフラッシュメモリが得られる。

符号の説明

[0056] 10、1 基板
111、8 ダイナミックフラッシュメモリセル
101 SOI基板のSiO₂層
SL ソース線
103、104、3a、3b N⁺層
BL ビット線
102 フローティングボディ半導体母体

109 a、4 a 第1のゲート絶縁層

110 スリット絶縁膜

109 b、4 b 第2のゲート絶縁層

PL プレート線

105 a 第1のゲート導体層

WL ワード線WL

105 b 第2のゲート導体層

110 スリット絶縁層

2 シリコン半導体柱 (Si 柱)

7 P層

7 a チャネル領域

4 c ゲート絶縁層

5 a 第1のゲート導体層

5 b 第2のゲート導体層

4 c 第3のゲート絶縁層

5 c 第3のゲート導体層

6 a 絶縁層6 a

14 P層の第1の半導体母体

22 P層の第2の半導体母体

15、16、21、22 N⁺層

20 P層の第2の半導体母体

34 第1のゲート絶縁膜

38 第2のゲート絶縁膜

35 第3のゲート絶縁膜

39 第4のゲート絶縁膜

11 第1のゲート導体層

12 第2のゲート導体層

13 第3のゲート導体層

33 第4のゲート導体層

17、S L 0 ソース線

18、B L 0 第1のビット線

19、B L 1 第2のビット線

S G 1 0、S G 1 1 第1の選択ゲート線

P L 0、P L 1 プレート線

S G 2 0、S G 2 1 第1の選択ゲート線

S H 0 1 シールド線

請求の範囲

[請求項1]

第1のメモリセル及び第2のメモリセルを含む複数の半導体メモリセルが基板上に行列状に配列された第1のブロックを有し、

前記第1のメモリセルは、前記基板に対して平行に伸延した第1の半導体母体を含み、前記第2のメモリセルは、前記第1の半導体母体と垂直方向又は水平方向に離れ、且つ平面視もしくは断面視で前記第1の半導体母体と重なった第2の半導体母体を含み、

前記第1のブロックは、

前記第1の半導体母体の両端にそれぞれ繋がる第1の不純物領域及び第2の不純物領域と、

前記第2の半導体母体の両端にそれぞれ繋がる第3の不純物領域及び第4の不純物領域と、

前記第1の半導体母体を囲む第1のゲート絶縁層と、

前記第2の半導体母体を囲む第2のゲート絶縁層と、

前記第1のゲート絶縁層と前記第2のゲート絶縁層のそれぞれの第1の側面に接し、且つ繋がって並んだ第1のゲート導体層と、第2のゲート導体層と、

前記第1のゲート絶縁層と前記第2のゲート絶縁層の前記第1の側面に対向するそれぞれの第2の側面に接した第3のゲート導体層と、を具備し、

前記1乃至第4の不純物領域と、前記1乃至第3のゲート導体層と、に印加する電圧を制御して、前記第1及び第2の半導体母体内に流す電流によるインパクトイオン化現象、またはゲート誘起ドレインリーク電流により発生させた多数キャリアである前記正孔群または前記電子群の一部または全てを、前記第1及び前記第2の半導体母体内に残存させる、データ書き込み動作と、

前記第1及び第2の不純物領域の一方もしくは両方、そして前記第3及び第4の不純物領域の一方もしくは両方から、残存する前記正孔

群または前記電子群を抜きとる、データ消去動作と、を行い、

さらに、前記第1のブロックと前記第3のゲート導体層を共有し且つ第3のメモリセルおよび第4のメモリセルを含む第2のブロックを含み、前記第2のブロックは、第3のゲート導体層に対して前記第1のブロックと鏡像対称な関係にある構造を有する、

ことを特徴とする半導体素子を用いたメモリ装置。

[請求項2] 前記第1及び第3の不純物領域はソース線に接続し、前記第2の不純物領域は第1のビット線に接続し、前記第4の不純物領域は第2のビット線に接続し、前記第1のゲート導体層と前記第2のゲート導体層との一方が選択ゲート線に接続すれば、他方がプレート線に接続し、前記第3のゲート導体層はシールド線に接続し、

前記ソース線と、前記第1および第2のビット線と、前記プレート線と、前記選択ゲート線と、前記シールド線に印加する電圧を制御して、前記データ消去動作と、前記データ書込み動作と、データ読出し動作とを行う、

ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置。

[請求項3] 前記データ消去動作と、前記データ書込み動作と、データ読出し動作において、前記シールド線には、接地電圧が印加される、

ことを特徴とする請求項2に記載の半導体素子を用いたメモリ装置。

[請求項4] 前記接地電圧は零ボルトである、

ことを特徴とする請求項3に記載の半導体素子を用いたメモリ装置。

[請求項5] 前記第1及び第2の半導体母体は、前記基板の断面視において重なり、前記プレート線と、前記選択ゲート線と、前記シールド線は、前記基板に対して、平面視において平行に配設されている、

ことを特徴とする請求項2に記載の半導体素子を用いたメモリ装置

。

[請求項6] 前記第1及び第2のビット線は、前記基板に対する垂直断面視において、前記プレート線と、前記選択ゲート線と、前記シールド線と直交し、前記ソース線は、平面視において、前記プレート線と、前記選択ゲート線と、前記シールド線と平行に配設されている、

ことを特徴とする請求項2に記載の半導体素子を用いたメモリ装置

。

[請求項7] 前記第1及び第2の半導体母体とは、前記基板の平面視において重なり、前記プレート線と、前記選択ゲート線と、前記シールド線は、前記基板に対して、断面視において平行に配設されている、

ことを特徴とする請求項2に記載の半導体素子を用いたメモリ装置

。

[請求項8] 前記第1および第2のビット線は前記基板の平面視において、前記プレート線と、前記選択ゲート線と、前記シールド線と直交して、前記ソース線は、前記基板の断面視において、前記プレート線と、前記選択ゲート線と、前記シールド線と平行に配設されている、

ことを特徴とする請求項2に記載の半導体素子を用いたメモリ装置

。

[請求項9] 前記第1のゲート絶縁層と前記第2のゲート絶縁層のそれぞれの前記第1の側面に接し、且つ前記第1及び第2のゲート導体層と並んだ第4のゲート導体層を有する、

ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置

。

[請求項10] 前記第4のゲート導体層が第2の選択ゲート線に接続している、

ことを特徴とする請求項9に記載の半導体素子を用いたメモリ装置

。

[請求項11] 前記第2のゲート導体層のチャネル長は、前記第1のゲート導体層のチャネル長と前記第3のゲート導体層のチャネル長の一方もしくはは

双方よりも長い、

ことを特徴とする請求項 2 に記載の半導体素子を用いたメモリ装置

。

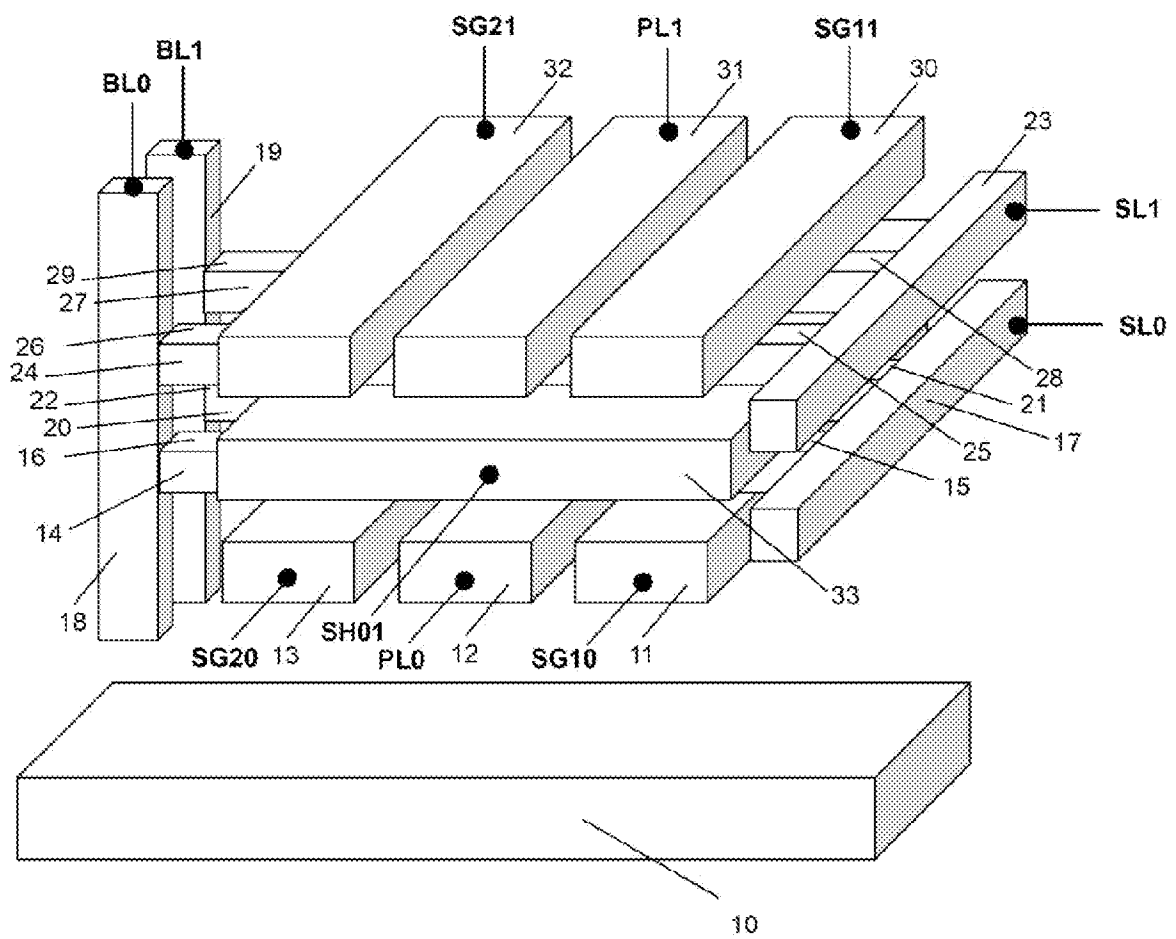
[請求項12]

前記第 3 のゲート導体層が前記第 1 のゲート導体層と、前記第 2 のゲート導体層と対面してある第 5 のゲート導体層と、第 6 のゲート導体層よりなる、

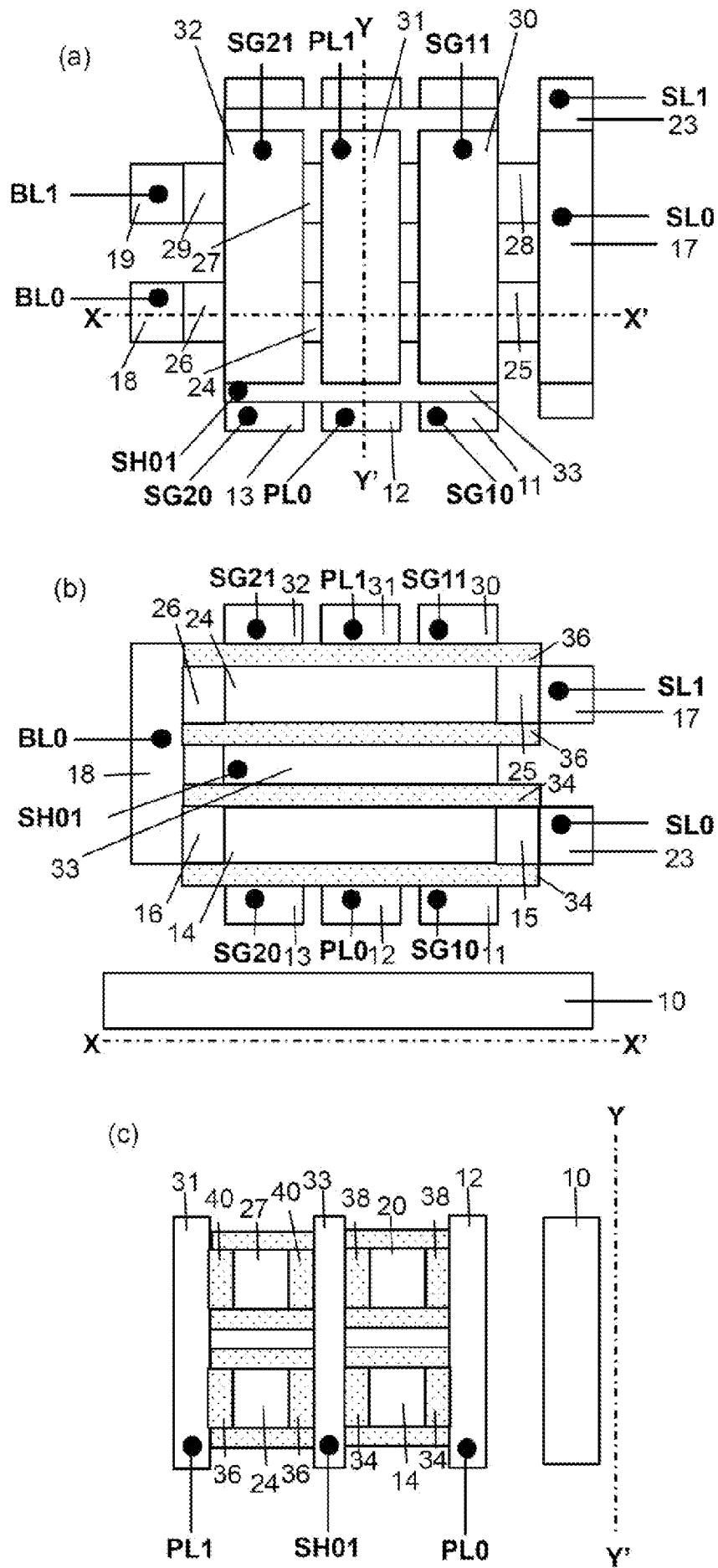
ことを特徴とする請求項 1 に記載の半導体素子を用いたメモリ装置

。

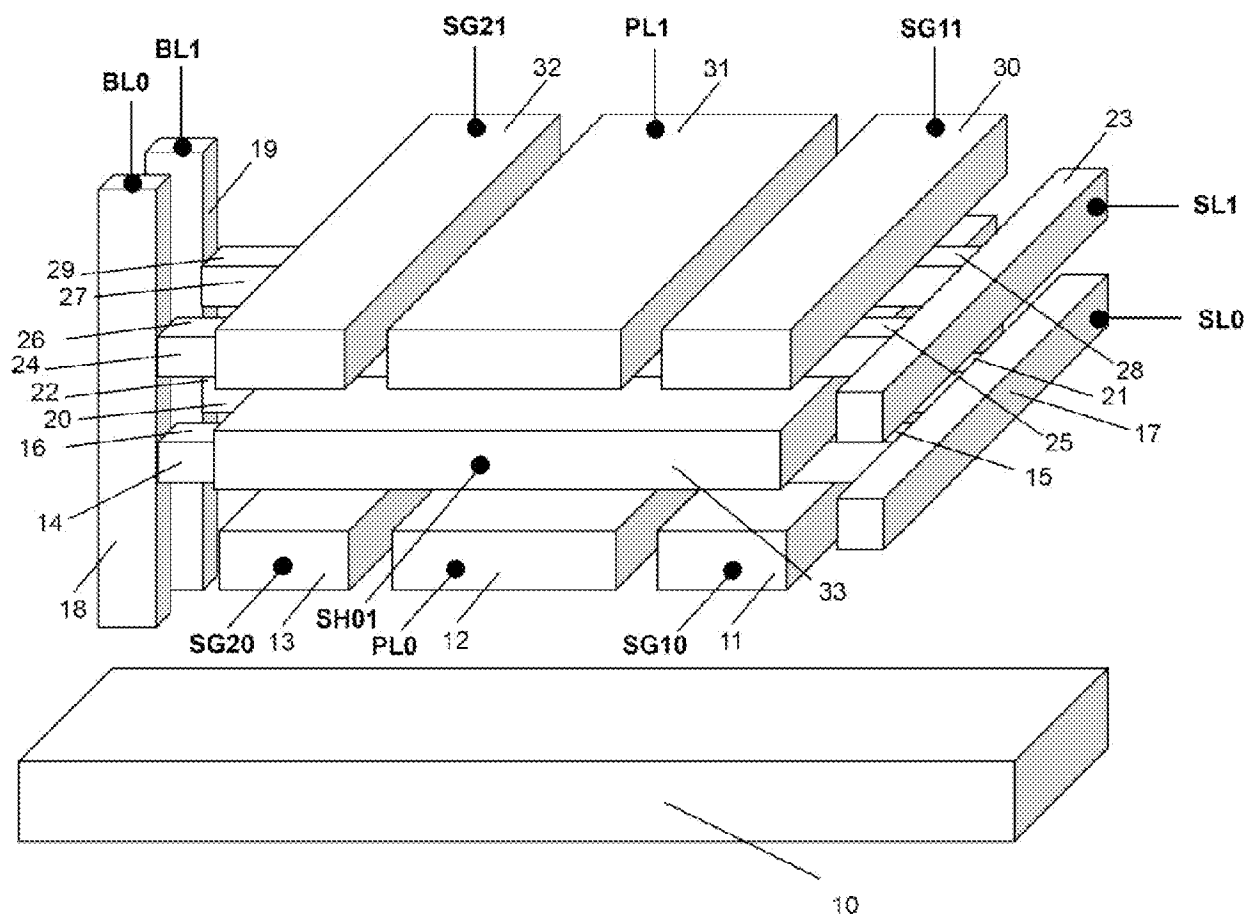
[図1A]



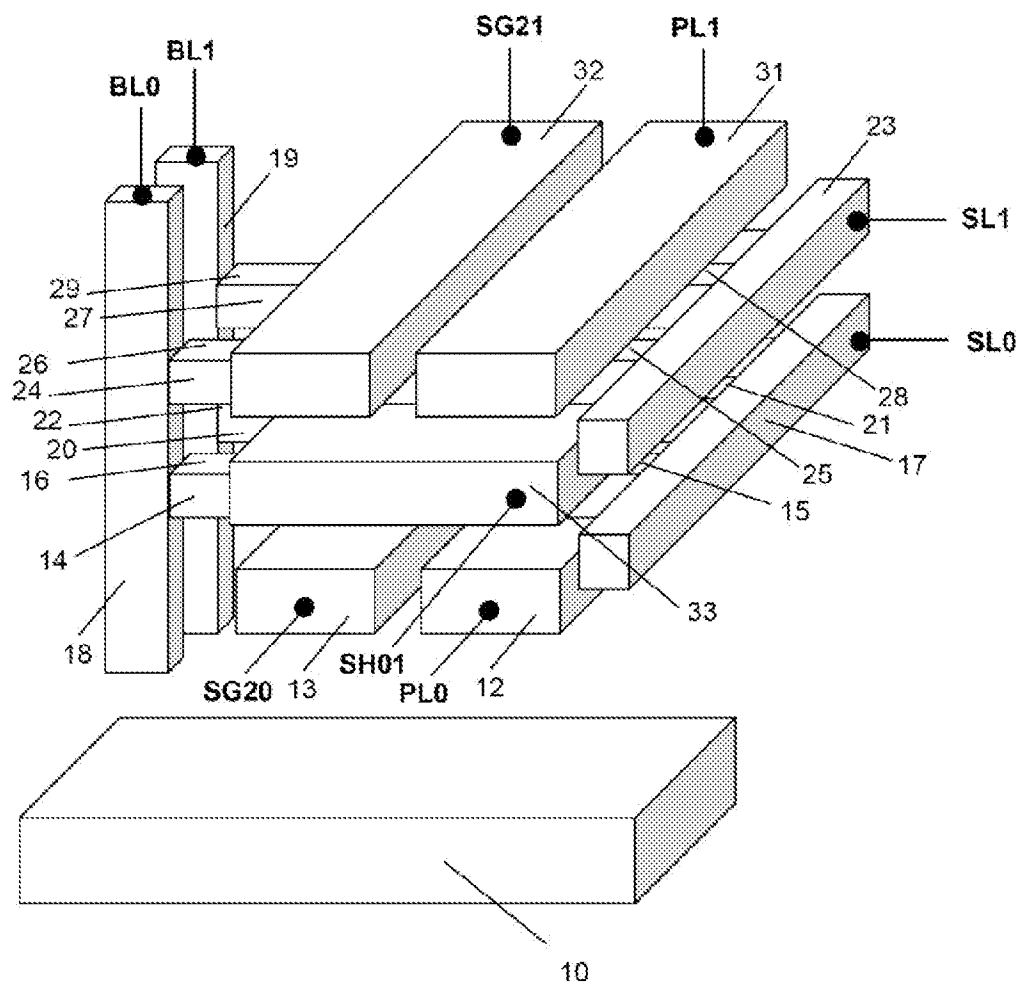
[図1B]



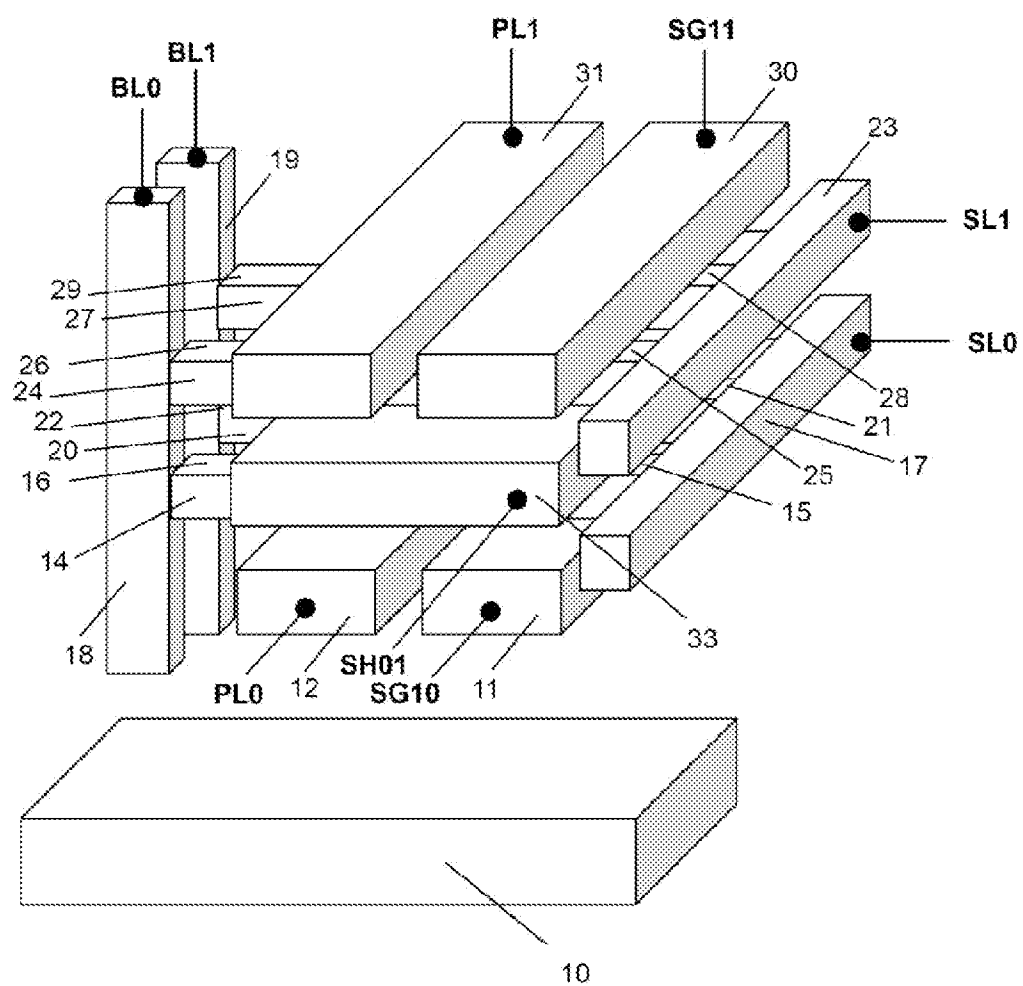
[図1C]



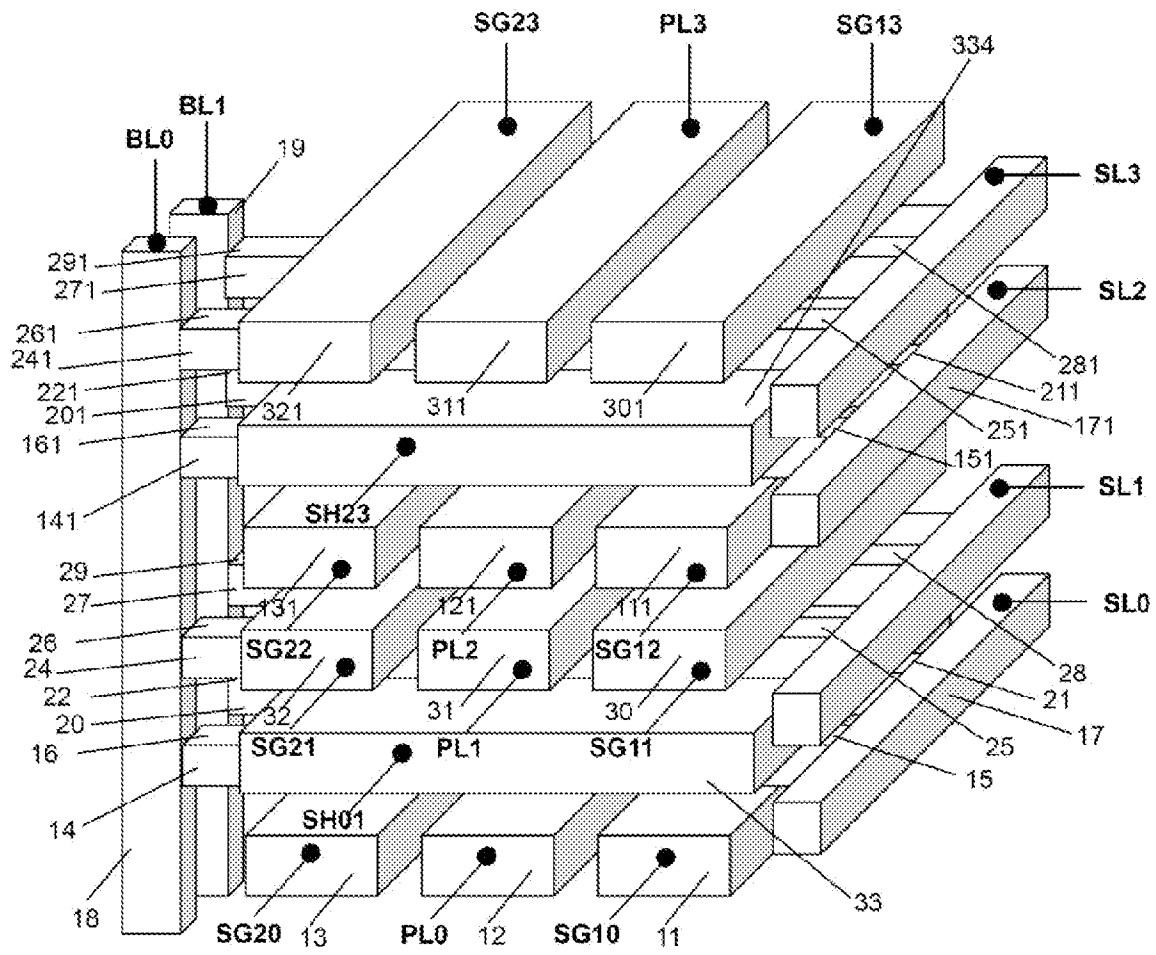
[図1D]



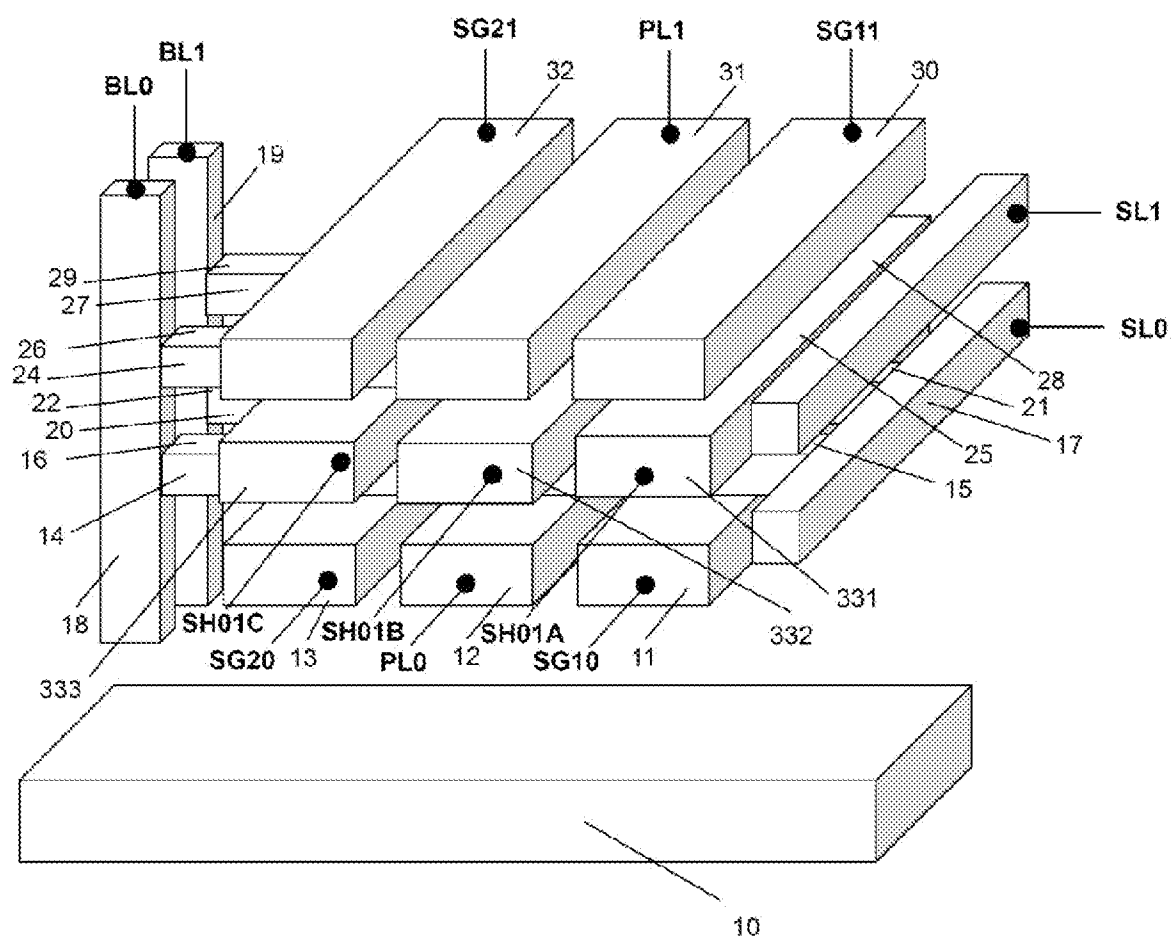
[図1E]



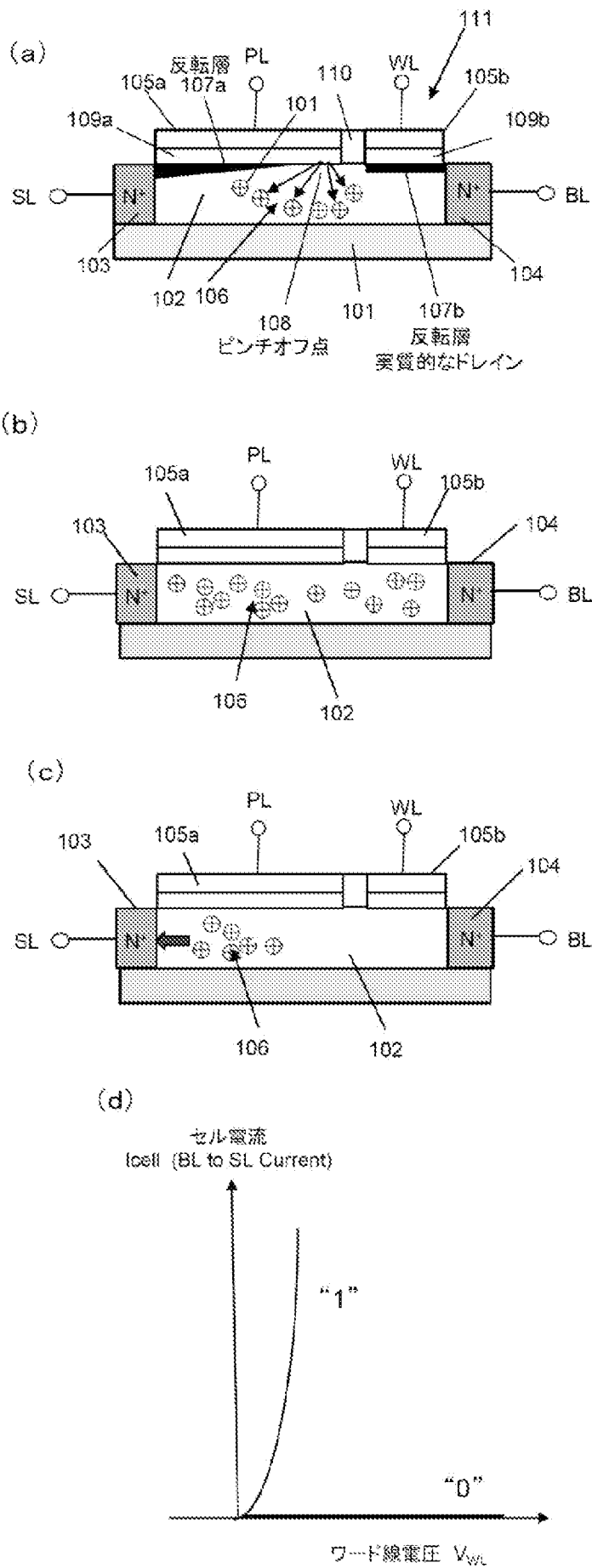
[図1F]



[図1G]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/025315

A. CLASSIFICATION OF SUBJECT MATTER**H10B 12/00**(2023.01)i

FI: H10B12/00 801

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10B12/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-157074 A (PHISON ELECTRONICS CORP.) 15 August 2013 (2013-08-15)	1, 9, 10, 12
A	paragraphs [0038]-[0047], fig. 1,2	2-8, 11
Y	JP 2003-188279 A (KABUSHIKI KAISHA TOSHIBA) 04 July 2003 (2003-07-04)	1, 9, 10, 12
A	paragraphs [0017]-[0029], fig. 1	2-8, 11
Y	JP 2008-147514 A (RENESAS TECHNOLOGY CORP.) 26 June 2008 (2008-06-26)	1, 9, 10, 12
A	paragraphs [0036]-[0037], [0269], fig. 2	2-8, 11
A	JP 2008-004765 A (KABUSHIKI KAISHA TOSHIBA) 10 January 2008 (2008-01-10)	1-12
	paragraphs [0044]-[0055], fig. 13, 14	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

13 September 2023

Date of mailing of the international search report

26 September 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/025315

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2013-157074	A	15 August 2013	US 2013/0194871 A1 paragraphs [0026]-[0035], fig. 1, 2 CN 103226973 A	
JP	2003-188279	A	04 July 2003	US 2003/0111681 A1 paragraphs [0043]-[0055], fig. 1 KR 10-2003-0051299 A CN 1427484 A	
JP	2008-147514	A	26 June 2008	US 2008/0137394 A1 paragraphs [0106]-[0107], [0345], fig. 2 CN 101266981 A	
JP	2008-004765	A	10 January 2008	US 2007/0297232 A1 paragraphs [0085]-[0097], fig. 13, 14	

A. 発明の属する分野の分類（国際特許分類（IPC）） H10B 12/00(2023.01)i FI: H10B12/00 801		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H10B12/00		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-157074 A（群聯電子股▲ふん▼有限公司）15.08.2013（2013-08-15） [0038]-[0047], 図1, 2	1, 9, 10, 12
A		2-8, 11
Y	JP 2003-188279 A（株式会社東芝）04.07.2003（2003-07-04） [0017]-[0029], 図1	1, 9, 10, 12
A		2-8, 11
Y	JP 2008-147514 A（株式会社ルネサステクノロジ）26.06.2008（2008-06-26） [0036]-[0037], [0269], 図2	1, 9, 10, 12
A		2-8, 11
A	JP 2008-004765 A（株式会社東芝）10.01.2008（2008-01-10） [0044]-[0055], 図13, 14	1-12
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 13.09.2023		国際調査報告の発送日 26.09.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 加藤 俊哉 5F 9554 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/025315

引用文献			公表日	パテントファミリー文献			公表日
JP	2013-157074	A	15.08.2013	US	2013/0194871	A1	
				[0026]-[0035], FIGS. 1, 2			
				CN	103226973	A	
JP	2003-188279	A	04.07.2003	US	2003/0111681	A1	
				[0043]-[0055], FIG. 1			
				KR	10-2003-0051299	A	
				CN	1427484	A	
JP	2008-147514	A	26.06.2008	US	2008/0137394	A1	
				[0106]-[0107],			
				[0345], FIG. 2			
				CN	101266981	A	
JP	2008-004765	A	10.01.2008	US	2007/0297232	A1	
				[0085]-[0097], FIGS. 13, 14			