

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/00

H01L 21/265 H01L 27/12



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 98119254.8

[45] 授权公告日 2004 年 6 月 9 日

[11] 授权公告号 CN 1153257C

[22] 申请日 1998.9.14 [21] 申请号 98119254.8

[30] 优先权

[32] 1998. 1. 13 [33] JP [31] 4980/1998

[71] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 吉田佳子 山口泰男 成冈英树

岩松俊明 木村泰広 平野有一

审查员 闫立刚

[74] 专利代理机构 中国专利代理(香港)有限公司

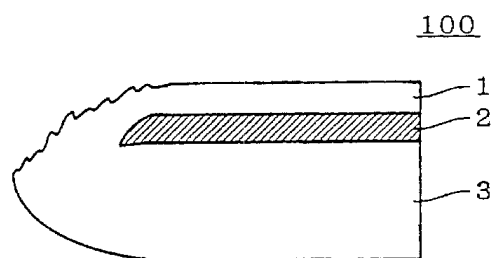
代理人 杨 凯 叶恺东

权利要求书 5 页 说明书 23 页 附图 16 页

[54] 发明名称 半导体衬底的处理方法和半导体衬底

[57] 摘要

一种半导体衬底的处理方法和半导体衬底, 提供了防止从衬底边缘部产生颗粒。通过在 SOI 衬底 10 的边缘部处相对于 SOI 衬底 10 的直径方向注入硅离子, SOI 衬底 10 的边缘部的埋入氧化膜 2 成为富硅的状态, 作成在边缘部处埋入氧化膜 2 实际上已消失的 SOI 衬底 100。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种半导体衬底的处理方法, 该半导体衬底具有: 一个主面、其相对一侧的另一个主面和侧面部, 所述一个主面中规定形成有源区的部分即中央部, 所述一个主面中规定包含所述中央部的周边区域和
5 所述侧面部的部分即边缘部, 所述半导体衬底是用 SIMOX 法形成的 SOI 衬底, 其特征在于:

具备在所述一个主面的表面内按顺序层叠形成的埋入氧化膜和 SOI 层,

10 通过在所述边缘部中注入硅离子, 使所述埋入氧化膜中的在所述边缘部内形成的部分消失。

2. 如权利要求 1 所述的半导体衬底的处理方法, 其特征在于:

所述硅离子的注入包含从所述边缘部一侧向所述 SOI 衬底的直径方向注入所述硅离子的工序。

3. 如权利要求 1 所述的半导体衬底的处理方法, 其特征在于:

15 所述硅离子的注入包含在所述一个主面的中央部中形成注入掩模, 从所述 SOI 衬底的所述边缘部一侧和所述一个主面一侧注入所述硅离子的工序。

4. 一种半导体衬底的处理方法, 该半导体衬底具有: 一个主面、其相对一侧的另一个主面和侧面部, 所述一个主面中规定形成有源区的部分即中央部, 所述一个主面中规定包含所述中央部的周边区域和
20 所述侧面部的部分即边缘部, 其特征在于:

具备:

(a) 形成绝缘膜以便覆盖所述半导体衬底的所述边缘部的工序;

25 (b) 从形成了所述绝缘膜的所述半导体衬底的所述一个主面一侧进行氧离子注入, 用 SIMOX 法在所述一个主面的表面内按顺序层叠形成埋入氧化膜和 SOI 层的工序; 以及

(c) 除去所述绝缘膜的工序,

形成 SOI 衬底, 在该 SOI 衬底中所述埋入氧化膜直到所述边缘部的最端部都与主面平行地存在。

30 5. 如权利要求 4 所述的半导体衬底的处理方法, 其特征在于:

这样来形成所述绝缘膜, 使其最大厚度部分的厚度大于所述埋入氧化膜和所述 SOI 层的厚度的总和,

所述工序(a)具有用热氧化法形成热氧化膜作为所述绝缘膜的工序。

6. 如权利要求4所述的半导体衬底的处理方法, 其特征在于:

5 这样来形成所述绝缘膜, 使其最大厚度部分的厚度大于所述埋入氧化膜和所述SOI层的厚度的总和,

所述工序(a)具有用减压CVD法形成TEOS膜作为所述绝缘膜的工序。

7. 一种半导体衬底的处理方法, 该半导体衬底具有: 一个主面、其相对一侧的另一个主面和侧面部, 所述一个主面中规定形成有源区的部分即中央部, 所述一个主面中规定包含所述中央部的周边区域和
10 所述侧面部的部分即边缘部, 其特征在于, 具备:

(a) 形成掺杂多晶硅层以便覆盖所述半导体衬底的所述边缘部的工序; 以及

15 (b) 从形成了所述掺杂多晶硅层的所述半导体衬底的所述一个主面一侧进行氧离子注入, 用SIMOX法在所述一个主面的表面内按顺序层叠形成埋入氧化膜和SOI层, 同时在所述掺杂多晶硅层的所述一个主面侧的边缘部, 从表面到内部形成保护氧化膜的工序。

8. 如权利要求7所述的半导体衬底的处理方法, 其特征在于:

20 这样来形成所述掺杂多晶硅层, 使其在所述边缘部的最大厚度部分的厚度大于所述埋入氧化膜和所述SOI层的厚度的总和,

所述工序(a)具有在所述半导体衬底的所述另一个主面上也形成所述掺杂多晶硅层的工序。

9. 一种半导体衬底的处理方法, 该半导体衬底具有: 一个主面、其相对一侧的另一个主面和侧面部, 所述一个主面中规定形成有源区的部分即中央部, 所述一个主面中规定包含所述中央部的周边区域和
25 所述侧面部的部分即边缘部, 其特征在于:

具备:

(a) 从所述半导体衬底的所述一个主面一侧进行全面的第1氧离子注入的工序;

30 (b) 从所述半导体衬底的所述一个主面一侧对所述边缘部有选择地进行第2氧离子注入的工序; 以及

(c) 通过退火处理, 使利用所述第1和第2氧离子注入而被注入

的氧离子扩散从而在所述中央部和所述边缘部分别形成埋入氧化膜和保护氧化膜，同时在所述埋入氧化膜的上部形成 SOI 层的工序，

在所述第 2 氧离子注入中将注入峰设定在比所述第 1 氧离子注入浅的位置上，

- 5 在所述边缘部的至少所述一个主面一侧，从其表面到内部形成所述保护氧化膜。

10. 如权利要求 9 所述的半导体衬底的处理方法，其特征在于：

- 所述工序 (c) 具有通过在所述工序 (b) 之前进行的第 1 退火处理形成所述埋入氧化膜和所述 SOI 层的工序以及通过在所述工序
10 (b) 之后进行的第 2 退火处理形成所述保护氧化膜的工序。

11. 一种半导体衬底的处理方法，该半导体衬底具有：一个主面、其相对一侧的另一个主面和侧面部，所述一个主面中规定形成有源区的部分即中央部，所述一个主面中规定包含所述中央部的周边区域和所述侧面部的部分即边缘部，所述半导体衬底是用 SIMOX 法形成的
15 SOI 衬底，其特征在于：

具备在所述一个主面内按顺序层叠形成的埋入氧化膜和 SOI 层，

通过在真空中从上部对所述边缘部照射激光，在所述边缘部的至少所述一个主面一侧形成所述 SOI 层和埋入氧化膜混合在一起的熔融层。

- 20 12. 一种具备在一个主面上按顺序层叠形成的衬底上氧化膜和 SOI 层的半导体衬底的处理方法，其特征在于：

通过在真空中从上部对所述衬底上氧化膜和所述 SOI 层的边缘部照射激光，在所述边缘部处形成所述 SOI 层和衬底上氧化膜混合在一起的熔融层。

- 25 13. 一种半导体衬底的处理方法，其特征在于，具备：

(a) 在第 1 半导体衬底的主面上，形成衬底上氧化膜以使其上的主面位于比所述第 1 半导体衬底的所述主面高的位置，在该衬底上氧化膜上，利用键合法使外形尺寸比所述衬底上氧化膜大的第 2 半导体衬底层叠的层叠体形成的工序；

- 30 (b) 从上部将所述第 2 半导体衬底压下，使在所述第 1 半导体衬底的主面的上部伸出的所述第 2 半导体衬底的主面密接在所述第 1 半导体衬底的主面上，利用键合法来接合所述第 1 和第 2 半导体衬底的工序；以及

(c) 将所述第 2 半导体衬底研磨到规定的厚度以形成 SOI 层的工序。

14. 一种半导体衬底, 该半导体衬底具有: 一个主面、其相对一侧的另一个主面和侧面部, 所述一个主面中规定形成有源区的部分即中央部, 所述一个主面中规定包含所述中央部的周边区域和所述侧面部的部分即边缘部, 其特征在于:

具备在所述一个主面内按顺序层叠形成的埋入氧化膜和 SOI 层,

具备在所述边缘部处为覆盖所述边缘部而形成的掺杂多晶硅层,

具备在所述掺杂多晶硅层的所述一个主面侧的边缘部, 从表面到内部形成的保护氧化膜。

15. 如权利要求 14 所述的半导体衬底, 其特征在于:

所述掺杂多晶硅层在所述边缘部的最大厚度部分的厚度大于所述埋入氧化膜和所述 SOI 层的厚度的总和,

在所述另一个主面上也形成所述掺杂多晶硅层。

16. 一种半导体衬底, 具有: 一个主面、其相对一侧的另一个主面和侧面部, 所述一个主面中规定形成有源区的部分即中央部, 所述一个主面中规定包含所述中央部的周边区域和所述侧面部的部分即边缘部, 其特征在于:

具备在所述一个主面的表面内按顺序层叠形成的埋入氧化膜和 SOI 层;

在所述边缘部中至少所述一个主面侧配备有保护氧化膜, 从该表面面向内敷设。

17. 一种半导体衬底, 具有: 一个主面、其相对一侧的另一个主面和侧面部, 所述一个主面中规定形成有源区的部分即中央部, 所述一个主面中规定包含所述中央部的周边区域和所述侧面部的部分即边缘部, 其特征在于:

具备在所述一个主面的表面内按顺序层叠形成的埋入氧化膜和 SOI 层;

在所述边缘部中至少所述一个主面侧配备有由所述 SOI 层和埋入氧化膜混合形成的熔融层。

18. 一种半导体衬底, 具备在一个主面上按顺序层叠形成的衬底上氧化膜和 SOI 层, 其特征在于:

在至少所述衬底上氧化膜和所述 SOI 层的边缘部配备有所述 SOI 层和所述衬底上氧化膜混合形成的熔融层，以覆盖住该边缘部。

19. 一种半导体衬底，具备在一个主面上按顺序层叠形成的衬底上氧化膜和 SOI 层，其特征在于：

- 5 在至少所述衬底上氧化膜和 SOI 层的边缘部配备有外延层，以覆盖住该边缘部。

半导体衬底的处理方法和半导体衬底

技术领域

5 本发明涉及半导体衬底的处理方法和半导体衬底。

背景技术

在 SOI (绝缘体上的硅 silicon on insulator) 衬底上形成了半导体元件的 SOI 器件具有结电容减少、元件间分离耐压提高等的与体 (bulk) 器件相比的优点,但也有以下说明的那种 SOI 器件固有的问题。

10 图 32 示出 SOI 衬底 10 的局部剖面图。SOI 衬底 10 在单晶硅衬底 3 的上主面内具有按顺序层叠了埋入氧化膜 2 和单晶硅层(以后称为 SOI 层) 1 的结构。

在 SOI 衬底的制造方法中,有 SIMOX (注入氧分离 separation by implanted oxygen) 法及键合 (bonding) 法等,图 32 中示出的 SOI 衬底 10 是用 SIMOX 法制造的。

SIMOX 法是在单晶硅衬底中例如以 $150 \sim 200\text{KeV}$ 的能量、 $1 \times 10^{18}/\text{cm}^2 \sim 2 \times 10^{18}/\text{cm}^2$ 的剂量注入了氧离子后,通过在约 $1300 \sim 1400^\circ\text{C}$ 的温度下进行退火来得到 SOI 结构。

20 图 32 中示出了 SOI 衬底 10 的边缘部附近的局部详细图。再有,在以后的说明中,将半导体衬底区分为上主面 (形成半导体元件的一侧)、其中央部 (包含有源区的部分)、把中央部的周边部和侧面部合在一起的边缘部以及下主面来称呼。

如图 32 所示,由于在边缘部处成为曲率大的曲面,故在从垂直方向进行的氧离子的注入时,氧离子变为倾斜地注入,有效的注入能量降低。结果,在边缘部处埋入氧化膜 2 和 SOI 层 1 的厚度变薄。此外,边缘部表面不是平滑的表面,而是成为有凹凸的粗糙的表面。这一点一般在用 CZ (Czochralski) 法形成的硅衬底中能看到,在凹凸部中,也有 SOI 层 1 变薄以致露出埋入氧化膜 2 的部分。因而,可以说 SOI 层 1 成为容易剥离的状态。

除此以外,在 SOI 器件的制造过程中进行的 SOI 层 1 的薄膜化工序助长了 SOI 层 1 的剥离。以下,就 SOI 层 1 的薄膜化工序进行说明。

在衬底制造时以适当的厚度形成了 SOI 衬底 10 中的 SOI 层 1 的厚度。将 SOI 层 1 的厚度适当地减薄以符合所希望的半导体器件的规格

的工序是 SOI 层 1 的薄膜化工序,通过对 SOI 层 1 进行氧化来调整 SOI 层 1 的厚度。

在 SOI 层上形成的氧化膜的厚度一般根据 SOI 衬底 10 的中央部、即半导体元件形成区(有源区)的 SOI 层 1 的厚度来决定。这里,成为问题的是如前面所说明的那样,在 SOI 衬底 10 的边缘部处 SOI 层 1 的厚度薄,也有在某些部位露出埋入氧化膜 2 的情况。

这里,在图 33 中示出说明图 32 中示出的区域 X 的状态的典型图。如图 33 所示,在 SOI 衬底 10 的边缘部处成为反映 SOI 层 1 的凹凸部 DP 的形状、埋入氧化膜 2 也有凹凸的结构。而且,由于从垂直方向注入氧离子,故有 SOI 层 1 的凹凸与埋入氧化膜 2 的凹凸在形成位置方面产生偏移而露出埋入氧化膜 2 的情况。

其次,在图 34 中示出为了进行 SOI 层 1 的薄膜化而在 SOI 层 1 上形成了氧化膜 OX 的状态。由于通过氧化膜 OX 的形成使 SOI 层 1 变薄,故在边缘部处有氧化膜 OX 与埋入氧化膜 2 连在一起,或 SOI 层 1 完全被氧化的情况。在这种情况下,有时产生 SOI 层 1 在局部被埋入氧化膜 2 和氧化膜 OX 包围的现象。例如,图 34 中所示的 SOI 层 1A 在其周围被氧化膜 OX 及埋入氧化膜 2 包围。

相对于处于这样的状态的 SOI 衬底 10,如果为了除去氧化膜 OX 而使用氢氟酸等的刻蚀液进行湿法刻蚀,则如图 35 所示,存在下述可能性:不仅氧化膜 OX 被刻蚀,而且埋入氧化膜 2 也被刻蚀,SOI 层 1A 被剥离(lift off)而成为颗粒,漂浮在刻蚀液中,根据情况 SOI 层 1A 再次附着于 SOI 衬底 10 的中央部。如果颗粒附着于半导体元件形成区,则成为半导体元件的形成不良的原因,成为制造成品率下降的主要原因。

此外,也有在硅衬底 3 的边缘部和下主面上形成多晶硅层来进行在晶片的制造过程或晶体管的晶片工艺中进入的重金属等的污染物质的吸取(gettering)的情况,但在这种情况下由于多晶硅层的多结晶性之故,SOI 层 1 和埋入氧化膜 2 变得不均匀,与以上所述相同,存在 SOI 层 1 在局部剥离而成为颗粒的问题。

此外,在用键合法制造的 SOI 衬底(键合衬底)中也有产生颗粒的情况。

键合衬底是通过在硅衬底 3 的上主面(形成半导体元件的主面)上形成氧化膜,在其上键合另外的硅衬底,对该另外的硅衬底进行研磨,以达到规定的厚度,来得到 SOI 结构的。在图 36 中示出这样形

成的 SOI 衬底 20 的边缘部的剖面图。

在图 36 中,构成了在硅衬底 3 的上主面上按顺序层叠了衬底上氧化膜 6 和硅层 7 的 SOI 结构。再有,衬底上氧化膜 6 相当于埋入氧化膜,硅层 7 相当于 SOI 层。

- 5 在这样的结构的 SOI 衬底 20 中,由于在边缘部处露出了衬底上氧化膜 6,故在湿法刻蚀时刻蚀液侵入,衬底上氧化膜 6 部分地被除去,如图 37 所示存在硅层 7 在局部变成漂浮状态的情况。而且,在这种状态下,硅层 7 容易剥离,变成颗粒的可能性很大。

- 10 此外,存在衬底上氧化膜 6 和硅层 7 的边缘部的斜切 (bevelling) 处理不完全、凹凸部沿周缘成为连续的那样的平面视图形状的情况,有时该凹凸部在衬底的运送中剥离而成为颗粒。

- 如以上所说明的那样,在现有的半导体衬底、特别是用 SIMSX 法制造的 SOI 衬底中,存在衬底边缘部的 SOI 层发生剥离而成为颗粒,成为制造成品率下降的主要原因的问题。此外,在用键合法制造的
- 15 SOI 衬底中,也有产生颗粒的情况。

发明内容

本发明是为了解决上述那样的问题而完成的,它提供防止从衬底边缘部产生颗粒的半导体衬底的处理方法和半导体衬底。

- 20 本发明的第 1 方面所述的半导体衬底的处理方法是下述的半导体衬底的处理方法,该半导体衬底具有:一个主面、其相对一侧的另一个主面和侧面部,所述一个主面中规定形成有源区的部分即中央部,所述一个主面中规定包含所述中央部的周边区域和所述侧面部的部分即边缘部,所述半导体衬底是用 SIMOX 法形成的 SOI 衬底,具备在所述一个主面的表面内按顺序层叠形成的埋入氧化膜和 SOI 层,通过
- 25 在所述边缘部中注入硅离子,使所述埋入氧化膜中在所述边缘部内形成的部分消失。

本发明的第 2 方面所述的半导体衬底的处理方法中,所述硅离子的注入包含从所述边缘部一侧向所述 SOI 衬底的直径方向注入所述硅离子的工序。

- 30 本发明的第 3 方面所述的半导体衬底的处理方法中,所述硅离子的注入包含在所述一个主面的中央部中形成注入掩模,从所述 SOI 衬底的所述边缘部一侧和所述一个主面一侧注入所述硅离子的工序。

本发明的第 4 方面所述的半导体衬底的处理方法是下述的半导体衬底的处理方法,该半导体衬底具有:一个主面、其相对一侧的另一

个主面和侧面部，所述一个主面中规定形成有源区的部分即中央部，所述一个主面中规定包含所述中央部的周边区域和所述侧面部的部分即边缘部，该处理方法具备：形成绝缘膜以便覆盖所述半导体衬底的所述边缘部的工序（a）；从形成了所述绝缘膜的所述半导体衬底

5 的所述一个主面一侧进行氧离子注入，用 SIMOX 法在所述一个主面的表面内按顺序层叠形成埋入氧化膜和 SOI 层的工序（b）；以及除去所述绝缘膜的工序（c），形成所述埋入氧化膜直到所述边缘部的最端部都与主面平行地存在的 SOI 衬底。

10 本发明的第 5 方面所述的半导体衬底的处理方法中，这样来形成所述绝缘膜，使其最大厚度部分的厚度大于所述埋入氧化膜和所述 SOI 层的厚度的总和，所述工序（a）具有用热氧化法形成热氧化膜作为所述绝缘膜的工序。

15 本发明的第 6 方面所述的半导体衬底的处理方法中，这样来形成所述绝缘膜，使其最大厚度部分的厚度大于所述埋入氧化膜和所述 SOI 层的厚度的总和，所述工序（a）具有用减压 CVD 法形成 TEOS 膜作为所述绝缘膜的工序。

20 本发明的第 7 方面所述的半导体衬底的处理方法是下述的半导体衬底的处理方法，该半导体衬底具有：一个主面、其相对一侧的另一个主面和侧面部，所述一个主面中规定形成有源区的部分即中央部，所述一个主面中规定包含所述中央部的周边区域和所述侧面部的部分即边缘部，该处理方法具备：形成掺杂多晶硅层以便覆盖所述半导体衬底的所述边缘部的工序（a）；以及从形成了所述掺杂多晶硅层的所述半导体衬底的所述一个主面一侧进行氧离子注入，用 SIMOX 法在所述一个主面的表面内按顺序层叠形成埋入氧化膜和 SOI 层，同

25 时在所述掺杂多晶硅层的所述一个主面侧的边缘部，从表面到内部形成保护氧化膜的工序（b）。

30 本发明的第 8 方面所述的半导体衬底的处理方法中，这样来形成所述掺杂多晶硅层，使其在所述边缘部的最大厚度部分的厚度大于所述埋入氧化膜和所述 SOI 层的厚度的总和，所述工序（a）具有在所述半导体衬底的所述另一个主面上也形成所述掺杂多晶硅层的工序。

本发明的第 9 方面所述的半导体衬底的处理方法是下述的半导体衬底的处理方法，该半导体衬底具有：一个主面、其相对一侧的另一个主面和侧面部，所述一个主面中规定形成有源区的部分即中央部，所述一个主面中规定包含所述中央部的周边区域和所述侧面部的部分即

边缘部，该处理方法具备：从所述半导体衬底的所述一个主面一侧进行全面的第1氧离子注入的工序(a)；从所述半导体衬底的所述一个主面一侧对所述边缘部有选择地进行第2氧离子注入的工序(b)；以及通过退火处理，使利用所述第1和第2氧离子注入而被注入的氧离子扩散从而在所述中央部和所述边缘部分别形成埋入氧化膜和保护氧化膜，同时在所述埋入氧化膜的上部形成SOI层的工序(c)，在所述第2氧离子注入中将注入峰设定在比所述第1氧离子注入浅的位置上，在所述边缘部的至少所述一个主面一侧，从其表面到内部形成所述保护氧化膜。

- 10 本发明的第10方面所述的半导体衬底的处理方法中，所述工序(c)具有通过在所述工序(b)之前进行的第1退火处理形成所述埋入氧化膜和所述SOI层的工序以及通过在所述工序(b)之后进行的第2退火处理形成所述保护氧化膜的工序。

15 本发明的第11方面所述的半导体衬底的处理方法是下述的半导体衬底的处理方法，该半导体衬底具有：一个主面、其相对一侧的另一个主面和侧面部，所述一个主面中规定形成有源区的部分即中央部，所述一个主面中规定包含所述中央部的周边区域和所述侧面部的部分即边缘部，所述半导体衬底是用SIMOX法形成的SOI衬底，具备在所述一个主面的表面内按顺序层叠形成的埋入氧化膜和SOI层，通过在真空中从上部对所述边缘部照射激光，在所述边缘部的至少所述一个主面一侧形成所述SOI层和埋入氧化膜混合在一起的熔融层。

20 本发明的第12方面所述的半导体衬底的处理方法是在一个主面上具备按顺序层叠形成的衬底上氧化膜和SOI层的半导体衬底的处理方法，通过在真空中在从上部对所述衬底上氧化膜和所述SOI层的边缘部照射激光，在所述边缘部处形成所述SOI层和衬底上氧化膜混合在一起的熔融层。

30 本发明的第13方面所述的半导体衬底的处理方法具备：在第1半导体衬底的主面上利用键合法形成按顺序层叠了衬底上氧化膜和外形尺寸比该衬底上氧化膜大的第2半导体衬底的层叠体的工序(a)；从上部将所述第2半导体衬底压下，使在所述第1半导体衬底的主面的上部伸出的所述第2半导体衬底的主面密接在所述第1半导体衬底的主面上，利用键合法来接合所述第1和第2半导体衬底的工序(b)；以及将所述第2半导体衬底研磨到规定的厚度以形成SOI层的工序(c)。

本发明的第 14 方面所述的半导体衬底具有：一个主面、其相对一侧的另一个主面和侧面部，所述一个主面中规定形成有源区的部分即中央部，所述一个主面中规定包含所述中央部的周边区域和所述侧面部的部分即边缘部，具备在所述一个主面内按顺序层叠形成的埋入氧化膜和 SOI 层，具备在所述边缘部处为覆盖所述边缘部而形成的掺杂多晶硅层，具备在所述掺杂多晶硅层的所述一个主面侧的边缘部，从表面到内部形成的保护氧化膜。

本发明的第 15 方面所述的半导体衬底中，这样来形成所述掺杂多晶硅层，使其在所述边缘部的最大厚度部分的厚度大于所述埋入氧化膜和所述 SOI 层的厚度的总和，也在所述另一个主面上形成所述掺杂多晶硅层。

本发明第 16 方面所述的半导体衬底具有：一个主面、其相对一侧的另一个主面和侧面部，所述一个主面中规定形成有源区的部分即中央部，所述一个主面中规定包含所述中央部的周边区域和所述侧面部的部分即边缘部，其中，具备在所述一个主面的表面内按顺序层叠形成的埋入氧化膜和 SOI 层；在所述边缘部中至少所述一个主面侧配备有保护氧化膜，从该表面向内敷设。

本发明的第 17 方面所述的半导体衬底具有：一个主面、其相对一侧的另一个主面和侧面部，所述一个主面中规定形成有源区的部分即中央部，所述一个主面中规定包含所述中央部的周边区域和所述侧面部的部分即边缘部，其中，具备在所述一个主面的表面内按顺序层叠形成的埋入氧化膜和 SOI 层；在所述边缘部中至少所述一个主面侧配备有由所述 SOI 层和埋入氧化膜混合形成的熔融层。

本发明第 18 方面所述的半导体衬底，具备在一个主面上按顺序层叠形成的衬底上氧化膜和 SOI 层，其中，在至少所述衬底上氧化膜和所述 SOI 层的边缘部配备有所述 SOI 层和所述衬底上氧化膜混合形成的熔融层，以覆盖住该边缘部。

本发明第 19 方面所述的半导体衬底，具备在一个主面上按顺序层叠形成的衬底上氧化膜和 SOI 层，其中，在至少所述衬底上氧化膜和 SOI 层的边缘部配备有外延层，以覆盖住该边缘部。

本发明的优点在于克服了现有技术中在半导体衬底制造过程中衬底边缘部的 SOI 层发生剥离而成为颗粒，从而提高了制造成品率。

附图说明

图 1 是说明与本发明有关的实施例 1 的半导体衬底的处理工序的

剖面图。

图 2 是说明与本发明有关的实施例 1 的半导体衬底结构的平面图。

图 3 是说明与本发明有关的实施例 1 的半导体衬底的处理工序的剖面图。

5 图 4 是说明与本发明有关的实施例 1 的半导体衬底的处理工序的变形例的剖面图。

图 5 是说明与本发明有关的实施例 2 的半导体衬底的处理工序的剖面图。

10 图 6 是说明与本发明有关的实施例 2 的半导体衬底的处理工序的剖面图。

图 7 是说明与本发明有关的实施例 2 的半导体衬底结构的剖面图。

图 8 是说明与本发明有关的实施例 2 的半导体衬底结构的剖面图。

图 9 是说明与本发明有关的实施例 2 的半导体衬底的变形例的结构剖面图。

15 图 10 是说明与本发明有关的实施例 2 的半导体衬底的处理工序的变形例的剖面图。

图 11 是说明与本发明有关的实施例 3 的半导体衬底的处理工序的剖面图。

20 图 12 是说明与本发明有关的实施例 3 的半导体衬底的处理工序的剖面图。

图 13 是说明与本发明有关的实施例 3 的半导体衬底结构的剖面图。

图 14 是说明与本发明有关的实施例 4 的半导体衬底的处理工序的剖面图。

25 图 15 是说明与本发明有关的实施例 4 的半导体衬底结构的剖面图。

图 16 是说明与本发明有关的实施例 4 的半导体衬底结构的剖面图。

30 图 17 是说明与本发明有关的实施例 5 的半导体衬底的处理工序的剖面图。

图 18 是说明与本发明有关的实施例 5 的半导体衬底结构的剖面图。

图 19 是说明与本发明有关的实施例 5 的半导体衬底的处理工序的剖面图。

35 图 20 是说明与本发明有关的实施例 6 的半导体衬底的处理工序的

剖面图。

图 21 是说明与本发明有关的实施例 6 的半导体衬底结构的剖面图。

5 图 22 是说明与本发明有关的实施例 7 的半导体衬底的处理工序的剖面图。

图 23 是说明与本发明有关的实施例 7 的半导体衬底结构的剖面图。

图 24 是说明与本发明有关的实施例 8 的半导体衬底的处理工序的剖面图。

10 图 25 是说明与本发明有关的实施例 8 的半导体衬底的处理工序的剖面图。

图 26 是说明与本发明有关的实施例 8 的半导体衬底的处理工序的剖面图。

图 27 是说明与本发明有关的实施例 8 的半导体衬底结构的剖面图。

15 图 28 是说明与本发明有关的实施例 9 的半导体衬底的处理工序的剖面图。

图 29 是说明与本发明有关的实施例 9 的半导体衬底结构的剖面图。

图 30 是说明与本发明有关的实施例 9 的半导体衬底的处理工序的变形例的剖面图。

20 图 31 是说明与本发明有关的实施例 9 的半导体衬底的变形例的结构剖面图。

图 32 是说明在用 CZ 法形成的半导体衬底中形成了 SOI 结构时的结构的剖面图。

图 33 是说明 SOI 衬底的边缘部的结构的剖面图。

图 34 是说明 SOI 衬底的现有的处理工序的问题的剖面图。

25 图 35 是说明 SOI 衬底的现有的处理工序的问题的剖面图。

图 36 是说明利用键合法形成的 SOI 衬底的问题的剖面图。

图 37 是说明利用键合法形成的 SOI 衬底的问题的剖面图。

具体实施方式

〈A. 实施例 1〉

30 使用图 1~图 4 说明与本发明有关的半导体衬底的处理方法和半导体衬底的实施例 1。再有，在以后的说明中，将半导体衬底区分为上主面（形成半导体元件的一侧）、其中央部（包含实际上形成半导体元件的有源区的部分）、把中央部的周边部和侧面部合在一起的边缘部以及下主面来称呼。

35 〈A-1. 处理方法〉

图 1 是表示用 SIMOX (注入氧分离 separation by implanted oxygen) 法形成的 SOI 衬底 10 的局部剖面的图。再有, SIMOX 法是以 150~200KeV 的能量、 $1 \times 10^{18}/\text{cm}^2 \sim 2 \times 10^{18}/\text{cm}^2$ 的剂量注入了氧离子后, 通过在约 1300~1400℃ 的温度下进行退火来得到 SOI 结构的方法, SOI 衬底 10 具有在单晶硅衬底 3 的上主面内按顺序层叠了埋入氧化膜 2 和单晶硅层 (以后称为 SOI 层) 1 的结构。在此, 埋入氧化膜 2 的厚度是 0.05~0.5 μm 左右, SOI 层 1 的厚度是 0.05~0.3 μm 左右。

如图 1 所示, 由于在边缘部处成为曲率大的曲面, 故在为了形成埋入氧化膜 2 相对于主面从垂直方向进行的氧离子的注入时, 氧离子变为倾斜地注入, 有效的注入能量降低。其结果, 在边缘部处埋入氧化膜 2 和 SOI 层 1 的厚度变薄。此外, 边缘部表面不是平滑的表面, 而是成为有凹凸的粗糙的表面。

在这样的 SOI 衬底 10 的边缘部注入硅 (Si) 离子。相对于 SOI 衬底 10 的直径方向, 在以 300~400KeV 的能量、 $1 \times 10^{15}/\text{cm}^2 \sim 5 \times 10^{15}/\text{cm}^2$ 的剂量的条件下注入硅离子, 从衬底表面到 1 μm 左右的深度进行注入。

在此, 在限定于只对边缘部进行硅离子的注入的情况下, 在 SOI 衬底 10 的上下主面上形成注入掩模即可。此外, 在离子注入时, 如果一边使 SOI 衬底 10 围绕中心旋转一边进行注入, 则能在 SOI 衬底 10 的整个周边上进行注入。

其结果, SOI 衬底 10 的边缘部的埋入氧化膜 2 成为富硅 (silicon rich) 的状态, 如图 2 所述, 可得到埋入氧化膜 2 实际上已消失的 SOI 衬底 100。

再有, 埋入氧化膜 2 在从 SOI 衬底 10 的边缘部表面起的 1 μm 左右的区域内消失, 其结果, 就不存在从 SOI 衬底 10 露出的埋入氧化膜 2。

〈A-2. 特征的作用和效果〉

如按照以上已说明的本发明的实施例 1, 则不发生下述问题: 例如伴随 SOI 层 1 的薄膜化工序, 边缘部的 SOI 层 1 部分地被埋入氧化膜 2 和为了薄膜化而形成的氧化膜所包围, 在除去该氧化膜时部分地被剥离而成为颗粒, 漂浮在刻蚀液中。可防止因颗粒的存在而引起的半

导体元件的形成不良，进而可提高制造成品率。

再有，本实施例对于为了吸取（getting）重金属等的污染物质而在硅衬底 3 的边缘部和下主面上形成多晶硅层的结构当然也是有效的。

5 〈A-3. 变形例 1〉

再有，在以上的说明中，以对一片 SOI 衬底 10 进行离子注入的例子进行了说明，但也可将多个 SOI 衬底 10 重叠起来，用一次离子注入工序来处理多个 SOI 衬底 10。

10 即，如图 3 所示，将多个 SOI 衬底 10 重叠起来，在最上部和最下部的 SOI 衬底 10 的主面上的中央部分上分别形成注入掩模 MS，从边缘部一侧注入硅离子即可。

通过采用这样的方法，可提高 SOI 衬底 100 的制造效率，同时在除最上部和最下部的 SOI 衬底 10 以外的 SOI 衬底 10 上没有必要形成注入掩模 MS，故可降低制造成本。

15 此外，由于通常离子束的尺寸比 SOI 衬底 10 的厚度大很多，故只对一片 SOI 衬底 10 进行注入其效率很低，但通过对多个 SOI 衬底 10 进行注入，可提高离子束的效率。

 〈A-4. 变形例 2〉

20 此外，在以上的说明中，示出了从 SOI 衬底 10 的直径方向进行离子束的注入的例子，但不仅可从直径方向进行注入，也可从上主面方向进行注入。

即，如图 4 所示，在 SOI 衬底 10 的上主面中，在不注入硅离子的部分上形成注入掩模，从直径方向和上主面方向注入硅离子。

25 通过采用这样的方法，不仅可使 SOI 衬底 10 的边缘部的埋入氧化膜 2 消失，也可使中央部中的所希望的区域中的埋入氧化膜 2 消失。例如，可使从边缘部的最前端部算起的 1mm 左右的内侧的区域中的埋入氧化膜 2 消失。

30 再有，如果硅离子的注入深度比埋入氧化膜 2 的厚度（0.05～0.5μm 左右）和 SOI 层 1 的厚度（0.05～0.3μm 左右）的总和深，则可使埋入氧化膜 2 消失。

因而，例如在只通过从 SOI 衬底 10 的直径方向的硅离子注入不能使所希望的区域中的埋入氧化膜 2 消失的情况下，本方法是有效的。

〈B. 实施例 2〉

使用图 5~图 10 说明与本发明有关的半导体衬底的处理方法和半导体衬底的实施例 2。

〈B-1. 处理方法〉

5 首先, 如图 5 所示, 在用 CZ (Czochralski) 法形成的硅衬底 3 的边缘部处形成氧化膜 8。在图 5 中, 形成了氧化膜 8, 使其覆盖硅衬底 3 的边缘部, 在硅衬底 3 的上下主面的中央部形成了防止氧化的掩模 MS1, 未形成氧化膜 8。

10 这里, 这样来形成氧化膜 8, 使其最大厚度部分的厚度大于以后在硅衬底 3 内形成的埋入氧化膜和 SOI 层的厚度的总和。这里, 因为埋入氧化膜的厚度是 $0.05 \sim 0.5\mu\text{m}$ 左右, SOI 层 1 的厚度是 $0.05 \sim 0.3\mu\text{m}$ 左右, 所以氧化膜 8 的最大厚度部分的厚度为 $0.1 \sim 0.8\mu\text{m}$ 左右。再有, 氧化膜 8 是在 $900 \sim 1200^\circ\text{C}$ 左右的温度条件下利用热氧化法形成的。

15 其次, 在除去了防止氧化的掩模 MS1 之后, 如图 6 所示, 从硅衬底 3 的上主面一侧进行氧离子的注入, 利用 SIMOX 法在硅衬底 3 的内部和氧化膜 8 的内部形成埋入氧化膜 2。再有, 由于氧离子的注入条件和注入后的退火条件与实施例 1 中已说明的条件相同, 故省略其说明。

20 再有, 在氧化膜 8 内埋入氧化膜 2 与氧化膜 8 的区别不明确, 不过是通过氧离子注入将埋入氧化膜 2 形成一些富氧的区域, 但在图 6 中为了使结构变得明确, 用虚线示出了埋入氧化膜 2。

最后, 通过使用氢氟酸等刻蚀液用湿法刻蚀除去氧化膜 8, 可得到图 7 中示出的那种埋入氧化膜 2 直到边缘部的最端部都与主面平行地存在的 SOI 衬底 200。

〈B-2. 特征的作用和效果〉

如按照以上已说明的本发明的实施例 2, 则由于成为埋入氧化膜 2 直到边缘部的最端部都与主面平行地存在的结构, 故不存在在埋入氧化膜 2 的上部形成薄的 SOI 层 1 的部分, 不发生下述问题: 例如伴随 SOI 层 1 的薄膜化工序, 薄的 SOI 层 1 部分地被埋入氧化膜 2 和为了薄膜化而形成的氧化膜所包围, 在除去该氧化膜时部分地被剥离而成为颗粒, 漂浮在刻蚀液中。可防止因颗粒的存在而引起的半导体元件

的形成不良，进而可提高制造成品率。

此外，在图 7 中示出的 SOI 衬底 200 的边缘部处改善了表面状态，消除了凹凸部。这是因为，在硅衬底 3 的边缘部处形成氧化膜 8 时，硅衬底 3 的表面被氧化，变为氧化膜 8，由于除去该氧化膜 8，故最终 5 的 SOI 衬底 200 的边缘部变得平滑。

再有，本实施例对于为了吸取重金属等的污染物质而在硅衬底 3 的边缘部和下主面上形成多晶硅层的结构当然也是有效的。在图 8 中示出具有用于吸杂（getting）的多晶硅层 4 的 SOI 衬底 200A。

在形成 SOI 结构之前的硅衬底 3 的边缘部和下主面上形成多晶硅层 4，从多晶硅层 4 的上部形成氧化膜 8。因而，虽然随着氧化膜 8 10 的形成，多晶硅层 4 的厚度也有一些减少，但由于在形成 SOI 结构之后并在除去了氧化膜 8 之后仍留下多晶硅层，故可得到图 8 中示出的 SOI 衬底 200A。

〈B-3. 变形例〉

再有，在以上的说明中，以在硅衬底 3 的边缘部处用热氧化法形成氧化膜 8 的例子进行了说明，但也可如图 9 中所示，形成 TEOS（四乙基原硅酸盐）的氧化膜（以后称为 TEOS 膜）9。 15

图 9 是对应于图 6 的图，示出了在硅衬底 3 的边缘部处形成了 TEOS 膜 9 后，从硅衬底 3 的上主面一侧进行氧离子的注入，利用 SIMOX 20 法在硅衬底 3 的内部和 TEOS 膜 9 的内部形成埋入氧化膜 2 的工序。

如图 9 中所示，在 TEOS 膜 9 的内部埋入氧化膜 2 是弯曲的，但由于在硅衬底 3 内埋入氧化膜 2 与主面平行地存在，故如果除去 TEOS 膜 9，则可得到与图 7 中示出的 SOI 衬底 200 相同的结构。

再有，TEOS 膜 9 是使用 TEOS 通过减压 CVD 法在 650~750℃ 的温 25 度条件下形成的氧化膜，是针孔少的优良的氧化膜。

此外，在形成 TEOS 膜 9 时，如图 10 所示，如果将多个硅衬底 3 重叠起来，设置在减压 CVD 装置内，则由于只在最上部和最下部的硅衬底 3 的主面上分别形成防止氧化的掩模 MS1 即可，故与一片一片地形成防止氧化的掩模 MS1 的情况相比，可提高制造效率。

此外，通过形成氮化膜来代替 TEOS 膜 9 也可得到同样的作用和效果。即，只要是下述那样的绝缘膜，则什么样的绝缘膜都可以，该绝缘膜能使硅衬底的边缘部延长，实际上在其内部形成埋入氧化膜 2 的 30

弯曲部分,由此防止在硅衬底3的边缘部处形成埋入氧化膜2的弯曲部分。

〈C. 实施例3〉

使用图11~图13说明与本发明有关的半导体衬底的处理方法和
5 半导体衬底的实施例3。

〈C-1. 处理方法〉

首先,如图11所示,在用CZ法形成的硅衬底3的边缘部和下主面上形成掺杂多晶硅层11。再有,在图11中,在硅衬底3的上主面的中央部上形成防止形成多晶硅的掩模MS2,未形成掺杂多晶硅层
10 11。在此,这样来形成掺杂多晶硅层11,使其最大厚度部分的厚度大于以后在硅衬底3内形成的埋入氧化膜和SOI层的厚度的总和。在此,埋入氧化膜的厚度是 $0.05 \sim 0.5\mu\text{m}$ 左右,SOI层1的厚度是 $0.05 \sim 0.3\mu\text{m}$ 左右,掺杂多晶硅层11的最大厚度部分的厚度为 $0.1 \sim 0.8\mu\text{m}$ 左右。

15 在用CVD法形成多晶硅层时,通过合并使用多晶硅层的材料气体和含有杂质、例如磷或硼的气体,利用在形成多晶硅层的同时导入杂质的in-situ(就地)掺杂来形成掺杂多晶硅层11即可。

其次,在除去了防止形成多晶硅的掩模MS2之后,如图12所示,从硅衬底3的上主面一侧进行氧离子注入,利用SIMOX法在硅衬底3
20 的内部和掺杂多晶硅层11的内部形成氧注入区2A。再有,图12示出了退火前的状态。

其次,通过对形成了氧注入区2A的硅衬底3进行退火,使氧注入区2A的氧扩散,通过扩展氧化区域来形成埋入氧化膜2,同时使硅衬底3的结晶性复原,形成SOI层1。此时,由于掺杂多晶硅层11
25 的氧化速率和硅衬底3的氧化速率的不同,在掺杂多晶硅层11内快速地进行氧化,如图13所示,就能得到形成了到达掺杂多晶硅层11的边缘部表面的厚的氧化膜12(保护氧化膜)的SOI衬底300。再有,掺杂多晶硅层与单晶硅的氧化速率是2比1左右。此外,由于氧离子注入的条件和注入后的退火条件与实施例1中已说明的条件相同,故
30 省略其说明。

〈C-2. 特征的作用和效果〉

如按照以上已说明的本发明的实施例3,如图13所示,由于用氧

化膜 12 来构成掺杂多晶硅层 11 的至少衬底的上主面一侧的边缘部，故不存在在埋入氧化膜 2 的上部形成薄的 SOI 层 1 的部分，不发生下述问题：例如伴随 SOI 层 1 的薄膜化工序，薄的 SOI 层 1 部分地被埋入氧化膜 2 和为了薄膜化而形成的氧化膜所包围，在除去该氧化膜时部分地被剥离而成为颗粒，漂浮在刻蚀液中。可防止因颗粒的存在而引起的半导体元件的形成不良，进而可提高制造成品率。

此外，在图 13 中示出的 SOI 衬底 300 的边缘部处改善了硅衬底 3 的表面状态，消除了凹凸部。这是因为，在对掺杂多晶硅层 11 进行氧化时，硅衬底 3 的表面被氧化，变为氧化膜 12。

再有，由于在硅衬底 3 的边缘部和下主面上留下掺杂多晶硅层 11，也可作为吸取重金属等的污染物质的吸杂层来使用。

〈D. 实施例 4〉

使用图 14~图 16 说明与本发明有关的半导体衬底的处理方法和半导体衬底的实施例 4。

15 〈D-1. 处理方法〉

首先，从用 CZ 法形成的硅衬底 3 的上主面一侧进行氧离子注入（第 1 次注入），形成第 1 氧注入区。其后，通过进行退火处理，在硅衬底 3 的内部形成埋入氧化膜 2。再有，由于氧离子注入的条件和注入后的退火条件与实施例 1 中已说明的条件相同，故省略其说明。

20 其后，如图 14 所示，在硅衬底 3 的上主面的中央部形成注入掩模 MS，从硅衬底 3 的上主面一侧注入氧离子（第 2 次注入），在边缘部的埋入氧化膜 2 的上部形成氧注入区。在此，氧离子的注入条件是，能量为 50KeV、剂量为 $1 \times 10^{18}/\text{cm}^2 \sim 2 \times 10^{18}/\text{cm}^2$ 。

其后，通过进行退火处理来促进氧化，通过从边缘部的埋入氧化膜 2 的上部形成到达硅衬底 3 的表面的氧化膜 13（保护氧化膜），能得到图 15 中示出的 SOI 衬底 400。

再有，由于在形成埋入氧化膜 2 时和形成氧化膜 13 时的退火条件大致相同，故也可在进行了第 1 次和第 2 次氧离子注入后进行退火处理，同时形成埋入氧化膜 2 和氧化膜 13。

30 〈D-2. 特征的作用和效果〉

如按照以上已说明的本发明的实施例 4，如图 15 所示，由于用氧化膜 13 来构成 SOI 衬底 400 的上主面一侧的边缘部，故不存在在埋

入氧化膜 2 的上部形成薄的 SOI 层 1 的部分, 不发生下述问题: 例如伴随 SOI 层 1 的薄膜化工序, 薄的 SOI 层 1 部分地被埋入氧化膜 2 和为了薄膜化而形成的氧化膜所包围, 在除去该氧化膜时部分地被剥离而成为颗粒, 漂浮在刻蚀液中。可防止因颗粒的存在而引起的半导体元件的形成不良, 进而可提高制造成品率。

此外, 在形成氧化膜 13 时, 由于与形成埋入氧化膜 2 的情况相同, 使用离子注入法, 用退火来进行氧化膜的生长, 故没有必要为了形成氧化膜 13 而使用特别的装置, 或附加特别的工序, 可抑制制造成本的增加。

此外, 在对埋入氧化膜 2 和氧化膜 13 分别进行不同的退火处理的情况下, 各个氧化膜的厚度的控制性变得良好。

再有。本实施例对于为了吸取重金属等的污染物质而在硅衬底 3 的边缘部和下主面上形成了多晶硅层的结构当然也是有效的。在图 16 中示出具有用于吸杂的多晶硅层 4 的 SOI 衬底 400A。

〈E. 实施例 5〉

使用图 17~图 19 说明与本发明有关的半导体衬底的处理方法和半导体衬底的实施例 5。

〈E-1. 处理方法〉

首先, 从用 CZ 法形成的硅衬底 3 的上主面一侧进行氧离子注入(第 1 次注入), 利用 SIMOX 法在硅衬底 3 的内部形成埋入氧化膜 2。再有, 由于氧离子注入的条件和注入后的退火条件与实施例 1 中已说明的条件相同, 故省略其说明。

其后, 如图 17 所示, 在真空中从上部对硅衬底 3 的边缘部照射激光 LB。在此, 作为激光光源, 例如使用 Nd-YAG 激光(波长 $1.06\mu\text{m}$), 激光输出定为 3~5W(瓦)左右。此外, 激光 LB 的光点直径约为 2~ $3\mu\text{m}$ 。

如果照射上述那种条件的激光 LB, 则照射部分被熔融, SOI 层 1 与埋入氧化膜 2 混合在一起, 如图 18 所示, 可得到至少在衬底上主面一侧的边缘部处形成了熔融层 14 的 SOI 衬底 500。

已判明该熔融层 14 的组成是比 SiO_2 富硅的氧化膜, 但由于关于由激光产生的硅与氧化硅膜的熔融现象仍属于未知的领域, 发明者的研究也尚未达到了了解熔融层 14 的组成的程度, 故将熔融层 14 的组成设

为 SiO_x 。

在此，为了使激光 LB 均匀地照射到硅衬底 3 的所有的边缘部上，例如如图 19 所示，将激光 LB 固定于边缘部的一点，使硅衬底 3 沿箭头 A 方向旋转，在硅衬底 3 旋转一周后，使激光 LB 的位置在箭头 B 或 C 的方向上移动并使其固定，进行硅衬底 3 的旋转。通过重复该动作，可使激光 LB 均匀地照射到硅衬底 3 的所有的边缘部上。

再有，根据激光 LB 的强度及光点直径的大小的不同，硅衬底 3 的旋转次数不同，故对于每一点的照射时间也不同，但在上述的激光 LB 的照射条件下，已判明了，硅衬底 3 的熔融几乎在一瞬间就完成。

10 〈E-2. 特征的作用和效果〉

如按照以上已说明的本发明的实施例 5，如图 18 所示，由于用熔融层 14 来构成 SOI 衬底 500 的上主面一侧的边缘部，故硅衬底 3 的边缘部的凹凸消失，同时不存在在埋入氧化膜 2 的上部形成薄的 SOI 层 1 的部分，不发生下述问题：例如伴随 SOI 层 1 的薄膜化工序，薄的 SOI 层 1 部分地被埋入氧化膜 2 和为了薄膜化而形成的氧化膜所包围，在除去该氧化膜时部分地被剥离而成为颗粒，漂浮在刻蚀液中。可防止因颗粒的存在而引起的半导体元件的形成不良，进而可提高制造成品率。

再有，一般都知道由激光进行的硅衬底的标记 (marking) (为了区别硅衬底的印字)，但那不过是作为标记方法来进行识别，一般来说，对标记部分的组成的研究也是不充分的，况且，没有存在利用激光来防止 SOI 衬底的颗粒的技术思想。

发明者等着眼于由激光进行的硅衬底的标记工序中的硅的蒸发和熔融现象，发现了通过对由硅层和氧化硅膜构成的 2 层结构照射激光，将硅层和氧化硅膜混合在一起，可形成比通常的氧化硅膜富硅的氧化膜。而且，根据该发现，获得了使用由熔融得到的富硅的氧化膜来防止 SOI 衬底的颗粒那样的技术思想。

再有，在本实施例中，就对 SOI 衬底照射激光来使埋入氧化膜 2 和 SOI 层 1 熔融的例子进行了说明，但由于只要是由硅层和氧化硅膜构成的 2 层结构，通过激光熔融都可得到富硅的氧化膜，故即使是在硅层上形成了氧化硅膜的结构，当然也可得到富硅的氧化膜。

在以上已说明的实施例 1~5 中，示出了有关防止由 SIMOX 法形成

的 SOI 衬底中的颗粒产生的发明，而在以下示出的与本发明有关的实施例 6~8 中，示出有关防止由键合法形成的 SOI 衬底（键合 SOI 衬底）中的颗粒产生的发明。

〈F. 实施例 6〉

- 5 使用图 20~图 21 说明与本发明有关的半导体衬底的处理方法和半导体衬底的实施例 6。

〈F-1. 处理方法〉

- 首先，如图 20 所示，准备在硅衬底 3 的上主面上按顺序层叠了衬底上氧化膜 6 和硅层 7 构成 SOI 结构的键合 SOI 衬底 20。再有，键合衬底 SOI 衬底 20 是通过在硅衬底 3 的上主面上形成氧化膜，在其上键合另外的硅衬底，对该另外的硅衬底进行研磨，以达到规定的厚度，来得到 SOI 结构的。再有，衬底上氧化膜 6 的厚度为 $0.1 \sim 1.0 \mu\text{m}$ 左右，硅层 7 的厚度为 $0.1 \sim 0.3 \mu\text{m}$ 左右。在此，衬底上氧化膜 6 相当于埋入氧化膜，硅层 7 相当于 SOI 层。

- 15 然后，形成外延层 15，使其覆盖 SOI 衬底 20 的上主面一侧的边缘部、衬底上氧化膜 6 和硅层 7。外延层 15 的形成，例如在 $1150 \sim 1200^\circ\text{C}$ 的温度条件下，通过将 SOI 衬底 20 置于三氯硅烷（ SiHCl_3 ）气体的气氛中进行。再有，预先在不希望形成外延层 15 的衬底下主面及衬底下主面一侧的边缘部处形成掩模。

- 20 在此，由于外延层 15 的生长速度为 $0.5 \sim 3.0 \mu\text{m}/\text{min}$ ，故达到覆盖衬底上氧化膜 6 和硅层 7 的厚度所需要的时间为 1 分钟左右。

其次，如图 21 所示，通过研磨外延层 15，使其在硅层 7 上实现平坦化，可得到用外延层 15 覆盖了衬底上氧化膜 6 和硅层 7 的 SOI 衬底 600。

- 25 〈F-2. 特征的作用和效果〉

- 如按照以上已说明的本发明的实施例 6，如图 21 所示，由于用外延层 15 覆盖了衬底上氧化膜 6 和硅层 7 的边缘部，例如可防止在 SOI 层（硅层 7）的薄膜化中的湿法刻蚀时衬底上氧化膜 6 部分地被除去以及其上部的硅层 7 部分地成为漂浮状态，故可防止硅层 7 剥离而成为颗粒。

此外，即使在衬底上氧化膜 6 和硅层 7 的边缘部的斜切处理不完全、变成凹凸部沿周缘为连续的那样的平面视图形状的情况下，由于

该凹凸部被外延层 15 所覆盖，故可防止衬底上氧化膜 6 和硅层 7 在衬底的运送中剥离而成为颗粒的情况。

再有，在以上的说明中，示出了由于外延层 15 是结晶性良好的膜，故使其在硅层 7 的上部留下作为 SOI 层来利用的例子，但如果衬底上氧化膜 6 和硅层 7 已被覆盖，则也可将其从硅层 7 的上部除去。

〈G. 实施例 7〉

使用图 22~图 23 说明与本发明有关的半导体衬底的处理方法和半导体衬底的实施例 7。

〈G-1. 处理方法〉

10 首先，准备在硅衬底 3 的上主面上按顺序层叠了衬底上氧化膜 6 和硅层 7 以构成 SOI 结构的键合 SOI 衬底 20。

其后，如图 22 所示，从上部对衬底上氧化膜 6 和硅层 7 的边缘部照射激光 LB。在此，作为激光光源，例如使用 Nd-YAG 激光（波长 $1.06\mu\text{m}$ ），激光输出定为 3~5W（瓦）左右。此外，激光 LB 的光点
15 直径约为 $2\sim 3\mu\text{m}$ 。

如果照射上述那种条件的激光 LB，则照射部分被熔融，硅层 7 与衬底上氧化膜 6 混合在一起，如图 23 所示，可得到衬底上氧化膜 6 和硅层 7 的边缘部被熔融层 16 覆盖的 SOI 衬底 700。

再有，关于衬底上氧化膜 6 和硅层 7 的熔融现象，由于与实施例 5
20 中已说明的硅层和氧化硅膜的熔融现象相同，故省略其说明。

〈G-2. 特征的作用和效果〉

如按照以上已说明的本发明的实施例，如图 23 所示，由于用熔融层 16 来覆盖 SOI 衬底 700 的衬底上氧化膜 6 和硅层 7 的边缘部，例如可防止在 SOI 层（硅层 7）的薄膜化中的湿法刻蚀时衬底上氧化膜
25 6 部分地被除去以及其上部的硅层 7 部分地成为漂浮状态，故可防止硅层 7 剥离而成为颗粒。

此外，即使在衬底上氧化膜 6 和硅层 7 的边缘部的斜切处理不完全、变成凹凸部沿周缘为连续的那样的平面视图形状的情况下，由于该凹凸部被熔融层 16 所覆盖，故可防止衬底上氧化膜 6 和硅层 7 在
30 衬底的运送中剥离而成为颗粒的情况。

〈H. 实施例 8〉

使用图 24~图 27 说明与本发明有关的半导体衬底的处理方法和

半导体衬底的实施例 8。

〈H-1. 处理方法〉

首先,如图 24 所示,在硅衬底 3 的上主面上形成衬底上氧化膜 61,在其上键合硅衬底 31。此时,使用比衬底上氧化膜 61 的平面方向的尺寸大的硅衬底 31。因而,成为硅衬底 31 的边缘部从衬底上氧化膜 61 的边缘部以帽沿状伸出的结构。再有,也可将衬底上氧化膜 61 和硅衬底 31 的平面方向的尺寸作成相同,在使两者键合后,通过利用氢氟酸等湿法刻蚀来刻蚀衬底上氧化膜 61 的边缘部,得到图 24 中示出的结构。

其次,如图 25 中箭头所示,从硅衬底 31 的上部施加压力,将硅衬底 31 的边缘部折弯并使其与硅衬底 3 的表面接触后,通过进行硅衬底 31 与硅衬底 3 的键合,如图 26 所示,可得到用硅衬底 31 覆盖衬底上氧化膜 61 的结构。再有,关于键合,由于使用加热法等一般的技术,故省略其说明。

最后,通过将硅衬底 31 研磨到规定的厚度而作成硅层 7,如图 27 所示,可得到用硅层 7 覆盖衬底上氧化膜 61 的 SOI 衬底 800。

〈H-2. 特征的作用和效果〉

如按照以上已说明的本发明的实施例,如图 27 所示,由于用硅层 7 来覆盖衬底上氧化膜 61,例如可防止在 SOI 层(硅层 7)的薄膜化中的湿法刻蚀时衬底上氧化膜 61 部分地被除去以及其上部的硅层 7 部分地成为漂浮状态,故可防止硅层 7 剥离而成为颗粒。

〈I. 实施例 9〉

使用图 28~图 31 说明与本发明有关的半导体衬底的处理方法和半导体衬底的实施例 9。

〈I-1. 处理方法〉

对于用 CZ 法形成的、在边缘部具有凹凸的硅衬底 3,如图 28 所示,用滚轮研磨来研磨边缘部的表面。所谓滚轮研磨,是通过一边使在圆柱面上备有研磨材料的滚轮旋转一边使其与被加工物接触来研磨该被加工物的方法,在本实施例中,通过使滚轮 R0 与硅衬底 3 的边缘部接触,来研磨该边缘部。

关于研磨的程度,最好作成与硅衬底 3 的上主面相同的镜面状态,表面粗糙度定为 5~10 埃左右。

其次,如图 29 所示,通过从硅衬底 3 的上主面一侧进行氧离子注入,利用 SIMOX 法在硅衬底 3 的内部形成埋入氧化膜 2,可得到边缘部平滑的 SOI 衬底 900。再有,由于氧离子注入的条件和注入后的退火条件与实施例 1 中已说明的条件相同,故省略其说明。

5 〈I-2. 特征的作用和效果〉

如按照以上已说明的本发明的实施例 9,由于在将硅衬底 3 的边缘部作成镜面状态后,利用 SIMOX 法在硅衬底 3 的内部形成埋入氧化膜 2,虽然存在在埋入氧化膜 2 的上部形成薄的 SOI 层 1 的部分,但因该部分的 SOI 层 1 的表面状态是平滑的,故不发生下述问题:例如伴随 SOI 层 1 的薄膜化工序,薄的 SOI 层 1 部分地被埋入氧化膜 2 和为了薄膜化而形成的氧化膜所包围,在除去该氧化膜时部分地被剥离而成为颗粒,漂浮在刻蚀液中。可防止因颗粒的存在而引起的半导体元件的形成不良,进而可提高制造成品率。

10 〈I-3. 变形例〉

15 在以上的说明中,示出了在形成埋入氧化膜 2 之前研磨硅衬底 3 的边缘部的例子,但在形成了埋入氧化膜 2 之后研磨硅衬底 3 的边缘部也能得到同样的作用和效果。

即,如图 30 所示,在边缘部具有凹凸的硅衬底 3 内形成了埋入氧化膜 2 后,通过用滚轮研磨除去硅衬底 3 的边缘部,可得到图 31 中示出的那种埋入氧化膜 2 直到边缘部的最端部都与主面平行地存在的 SOI 衬底 900A。因而,不存在在埋入氧化膜 2 的上部形成薄的 SOI 层 1 的部分,不发生下述问题:薄的 SOI 层 1 部分地被埋入氧化膜 2 和为了薄膜化而形成的氧化膜所包围,在除去该氧化膜时部分地被剥离而成为颗粒,漂浮在刻蚀液中。可防止因颗粒的存在而引起的半导体元件的形成不良,进而可提高制造成品率。

25 在以上已说明的与本发明有关的实施例 1~9 中,就在 SOI 衬底的边缘部处具有凹凸的情况,或具有用于吸杂的多晶硅层的情况进行了说明,但本发明的适用范围不限于 SOI 衬底,在体硅(bulk silicon)衬底中,在其边缘部具有凹凸的情况,或具有用于吸杂的多晶硅层的情况下,如果来自边缘部的颗粒成为问题,则通过应用本发明可防止产生颗粒。此外,即使是在边缘部处没有凹凸的 SOI 衬底,在因边缘部的薄的 SOI 层或埋入氧化膜的存在而产生颗粒的问题的情况下,本

发明也是有效的。

此外，虽然在以上已说明的与本发明有关的实施例 1~9 中省略了说明，但由本发明得到的 SOI 衬底不是在特定的半导体装置的制造中使用的，通过在 SOI 层中制成 MOS 晶体管或双极型晶体管等的半导体元件，当然可制造 DRAM、SRAM、逻辑电路等所有的半导体装置。

按照本发明的第 1 方面所述的半导体衬底的处理方法，由于在埋入氧化膜中的在边缘部内形成的部分消失，故不发生下述问题：例如伴随 SOI 层的薄膜化工序，边缘部的 SOI 层部分地被埋入氧化膜和为了薄膜化而形成的氧化膜所包围，在除去该氧化膜时部分地被剥离而成为颗粒，漂浮在刻蚀液中。可防止因颗粒的存在而引起的半导体元件的形成不良，进而可提高制造成品率。

按照本发明的第 2 方面所述的半导体衬底的处理方法，由于只通过来自 1 个方向的离子注入就使在边缘部内形成的埋入氧化膜消失，故是高效率的，可抑制伴随本发明的实施而导致的制造成本的增加。

按照本发明的第 3 方面所述的半导体衬底的处理方法，由于不仅能使在边缘部内形成的埋入氧化膜消失，而且也能使在中央部中所希望的区域中的埋入氧化膜消失，故可得到在宽的范围内不存在埋入氧化膜的区域。

按照本发明的第 4 方面所述的半导体衬底的处理方法，由于成为埋入氧化膜直到边缘部的最端部都与主面平行地存在的结构，故在边缘部处不存在在埋入氧化膜的上部形成薄的 SOI 层的部分，不发生下述问题：例如伴随 SOI 层的薄膜化工序，薄的 SOI 层 1 部分地被埋入氧化膜和为了薄膜化而形成的氧化膜所包围，在除去该氧化膜时部分地被剥离而成为颗粒，漂浮在刻蚀液中。可防止因颗粒的存在而引起的半导体元件的形成不良，进而可提高制造成品率。

按照本发明的第 5 方面所述的半导体衬底的处理方法，由于使所形成绝缘膜的最大厚度部分的厚度大于埋入氧化膜和 SOI 层的厚度的总和，故在绝缘膜内部形成埋入氧化膜的弯曲部，可防止在半导体衬底的边缘部处形成埋入氧化膜的弯曲部。此外，由于该绝缘膜用热氧化膜构成，故可简便地得到绝缘膜，可抑制伴随本发明的实施的制造成本的增加。

按照本发明的第 6 方面所述的半导体衬底的处理方法, 由于使所形成绝缘膜的最大厚度部分的厚度大于埋入氧化膜和 SOI 层的厚度的总和, 故在绝缘膜内部形成埋入氧化膜的弯曲部, 可防止在半导体衬底的边缘部处形成埋入氧化膜的弯曲部。此外, 由于该绝缘膜用

5 TEOS 膜构成, 故可得到针孔少的优良的绝缘膜。

按照本发明的第 7 方面所述的半导体衬底的处理方法, 由于掺杂多晶硅层的氧化速率比半导体衬底的氧化速率大, 故由保护氧化膜构成掺杂多晶硅层的至少一个主面一侧的边缘部, 故在边缘部处不存在在埋入氧化膜的上部形成薄的 SOI 层的部分, 不发生下述问题: 例如

10 伴随 SOI 层的薄膜化工序, 薄的 SOI 层部分地被埋入氧化膜和为了薄膜化而形成的氧化膜所包围, 在除去该氧化膜时部分地被剥离而成为颗粒, 漂浮在刻蚀液中。可防止因颗粒的存在而引起的半导体元件的形成不良, 进而可提高制造成品率。

按照本发明的第 8 方面所述的半导体衬底的处理方法, 由于使掺杂多晶硅层的边缘部处的最大厚度部分的厚度大于埋入氧化膜和 SOI 层的厚度的总和, 故在掺杂多晶硅层内部形成埋入氧化膜的弯曲部, 用该弯曲部的氧对掺杂多晶硅层进行氧化, 用保护氧化膜构成掺杂多晶硅层的至少一个主面一侧的边缘部。此外, 通过在另一个主面上也形成掺杂多晶硅层, 可起到吸杂层的功能。

15

按照本发明的第 9 方面所述的半导体衬底的处理方法, 由于在边缘部的至少一个主面一侧, 从其表面到内部形成保护氧化膜, 故在边缘部处不存在在埋入氧化膜的上部形成薄的 SOI 层的部分, 不发生下述问题: 例如伴随 SOI 层的薄膜化工序, 薄的 SOI 层部分地被埋入氧化膜和为了薄膜化而形成的氧化膜所包围, 在除去该氧化膜时部分地

20 被剥离而成为颗粒, 漂浮在刻蚀液中。可防止因颗粒的存在而引起的半导体元件的形成不良, 进而可提高制造成品率。此外, 在保护氧化膜的

25 形成时, 由于与埋入氧化膜的形成同样地使用离子注入法, 利用退火进行氧化膜的生长, 故没有必要为了形成保护氧化膜而使用特别的装置, 或附加特别的工序, 可抑制因本发明的实施而引起的制造成本

30 的增加。

按照本发明的第 10 方面所述的半导体衬底的处理方法, 由于通过不同的退火处理来形成埋入氧化膜和保护氧化膜, 故各自的氧化膜的

厚度的控制性变得良好。

按照本发明的第 11 方面所述的半导体衬底的处理方法，由于在边缘部中的至少一个主面一侧形成 SOI 层和埋入氧化膜混合在一起的熔融层，故边缘部的凹凸消失，同时在边缘部处不存在在埋入氧化膜的上部形成薄的 SOI 层的部分，不发生下述问题：例如伴随 SOI 层的薄膜化工序，薄的 SOI 层部分地被埋入氧化膜和为了薄膜化而形成的氧化膜所包围，在除去该氧化膜时部分地被剥离而成为颗粒，漂浮在刻蚀液中。可防止因颗粒的存在而引起的半导体元件的形成不良，进而可提高制造成品率。

10 按照本发明的第 12 方面所述的半导体衬底的处理方法，由于在衬底上氧化膜和 SOI 层的边缘部处形成 SOI 层和衬底上氧化膜混合在一起的熔融层，例如可防止在 SOI 层的薄膜化中的湿法刻蚀时，衬底上氧化膜部分地被除去以及其上部的硅层部分地成为漂浮状态，故可防止 SOI 层剥离而成为颗粒。此外，即使在衬底上氧化膜和 SOI 层的边缘部的斜切处理不完全、变成凹凸部沿周缘为连续的那样的平面视图形状的情况下，由于该凹凸部被熔融层所覆盖，故可防止衬底上氧化膜和 SOI 层在衬底的运送中剥离而成为颗粒的情况。

20 按照本发明的第 13 方面所述的半导体衬底的处理方法，由于可得到用 SOI 层覆盖衬底上氧化膜的、通过键合法形成的半导体衬底，例如可防止在 SOI 层的薄膜化中的湿法刻蚀时，衬底上氧化膜部分地被除去以及其上部的 SOI 层部分地成为漂浮状态，故可防止 SOI 层剥离而成为颗粒。

25 按照本发明的第 14 方面所述的半导体衬底，由于在掺杂多晶硅层中的至少一个主面一侧的边缘部处用保护氧化膜来构成，故在边缘部处不存在在埋入氧化膜的上部形成薄的 SOI 层的部分，不发生下述问题：例如伴随 SOI 层的薄膜化工序，薄的 SOI 层部分地被埋入氧化膜和为了薄膜化而形成的氧化膜所包围，在除去该氧化膜时部分地被剥离而成为颗粒，漂浮在刻蚀液中。

30 按照本发明的第 15 方面所述的半导体衬底，可得到用于将在掺杂多晶硅层中的至少一个主面一侧的边缘部作成保护氧化膜的具体结构，此外，通过在另一个主面上也形成掺杂多晶硅层，可使其起到吸杂层的功能。

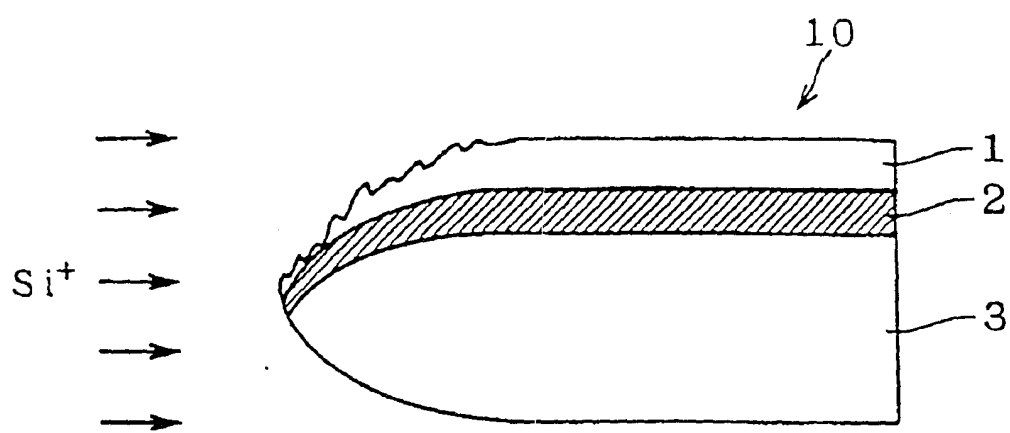


图 1

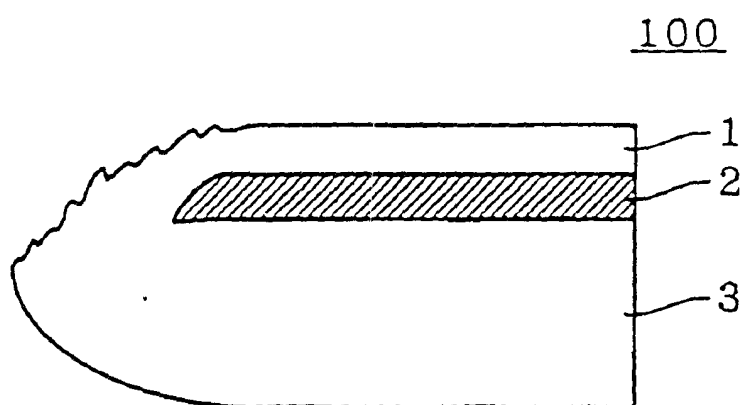


图 2

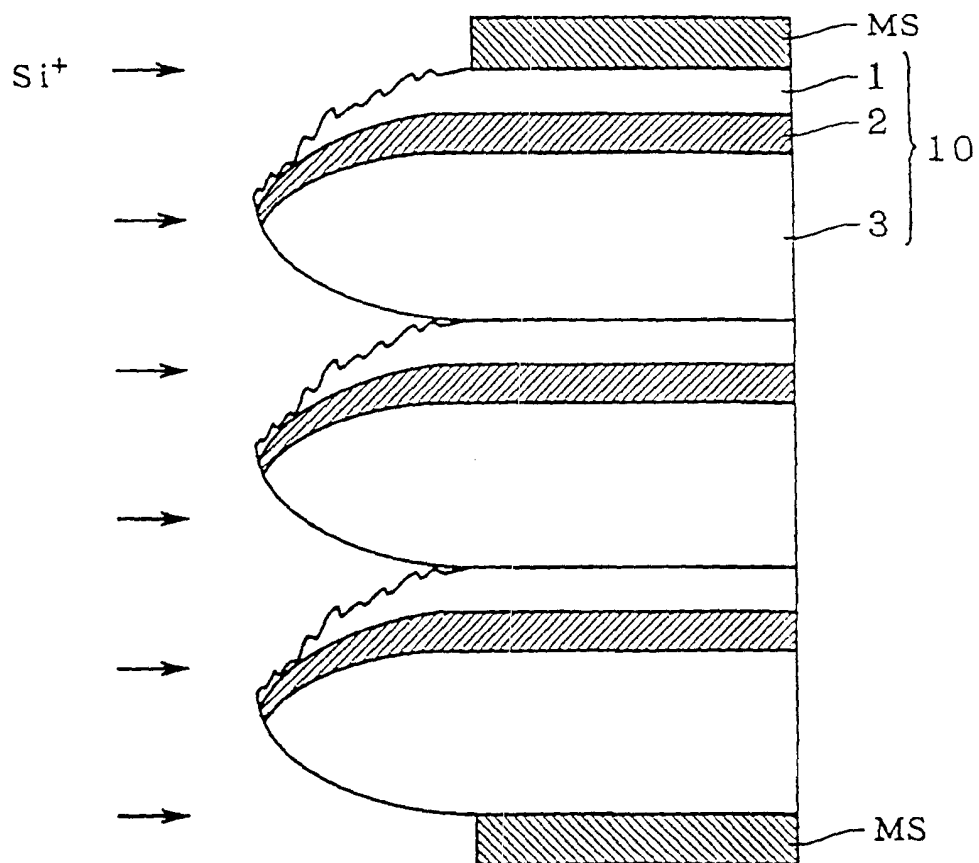


图 3

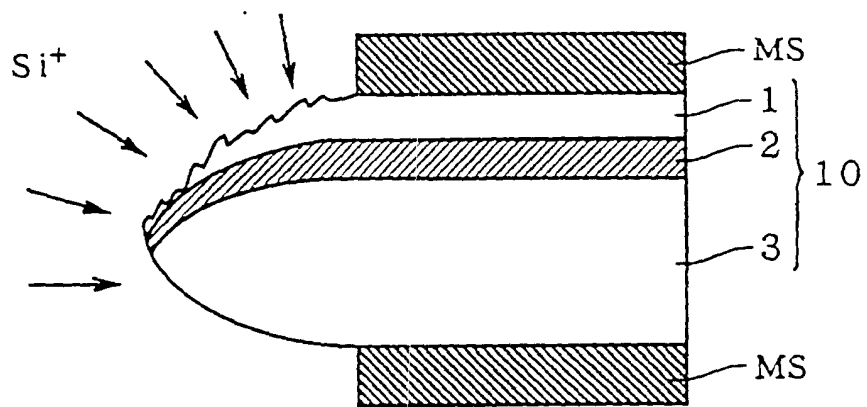


图 4

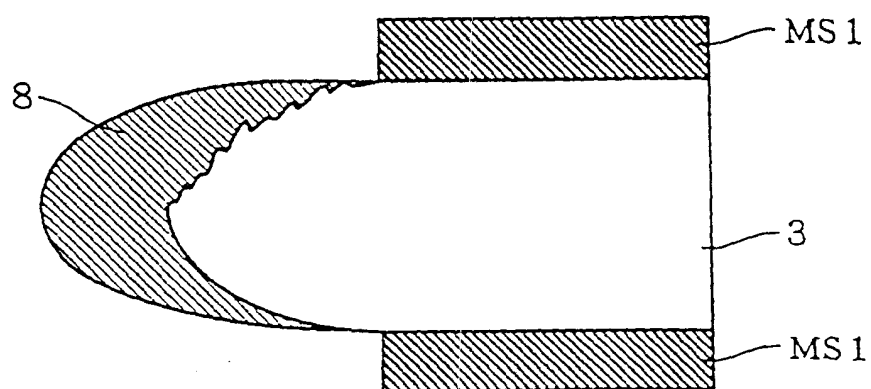


图 5

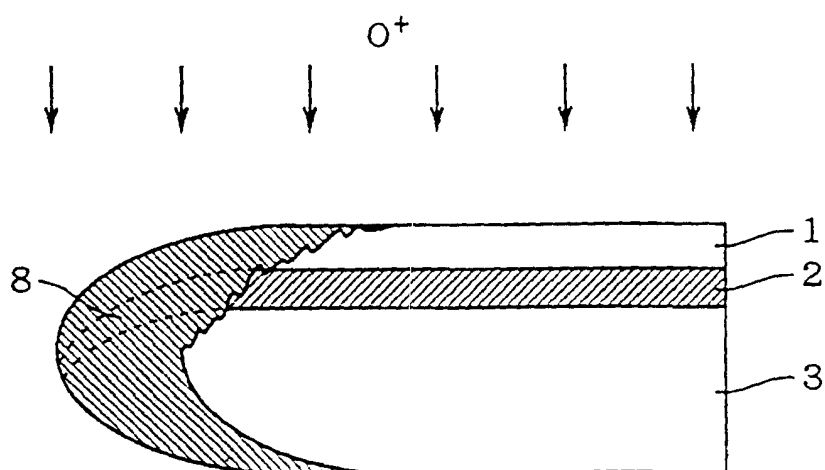


图 6

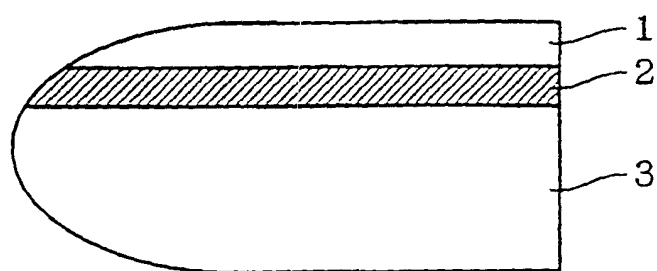
200

图 7

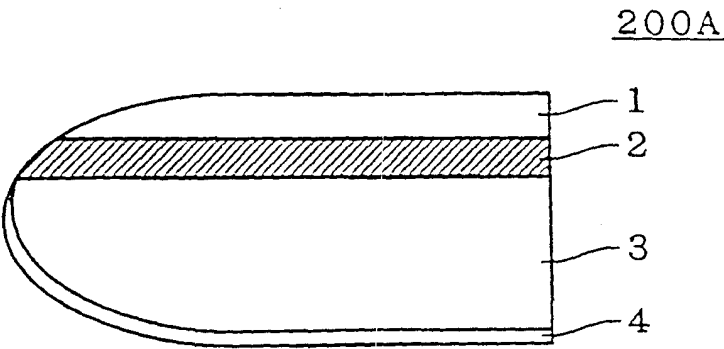


图 8

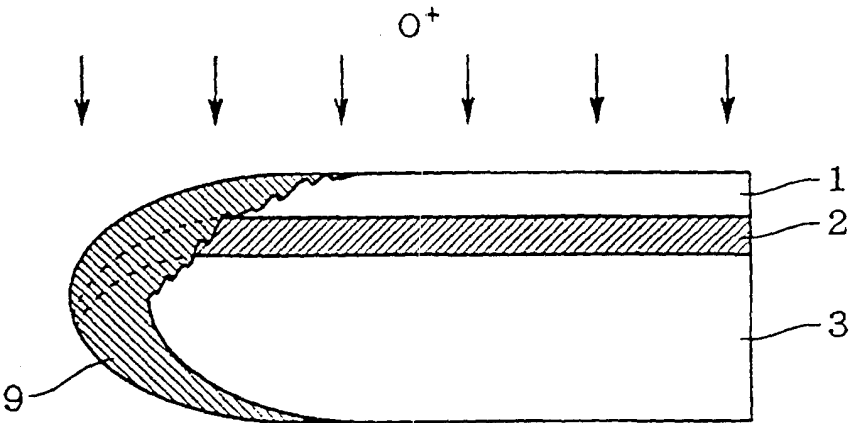


图 9

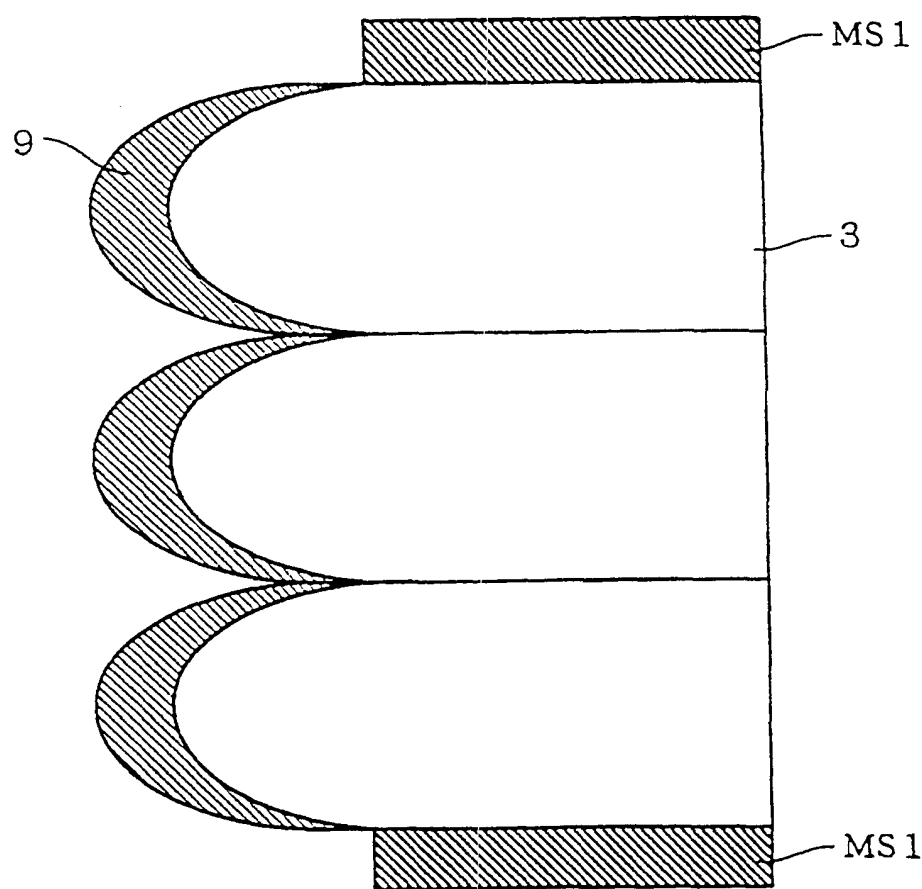


图 10

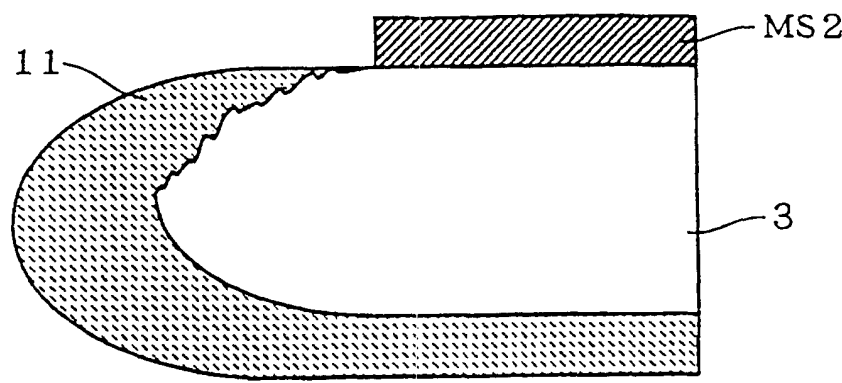


图 11

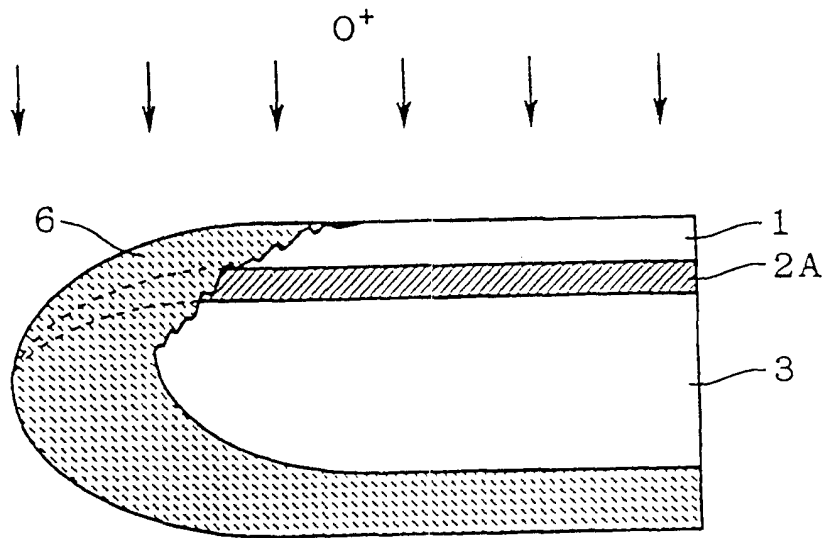


图 12

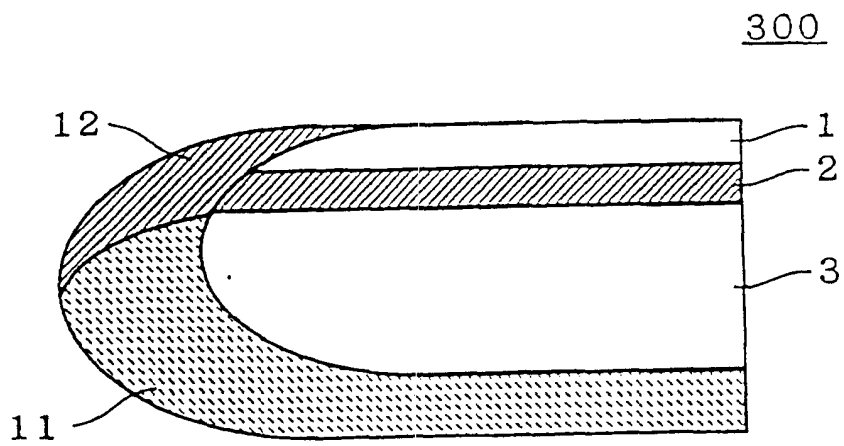


图 13

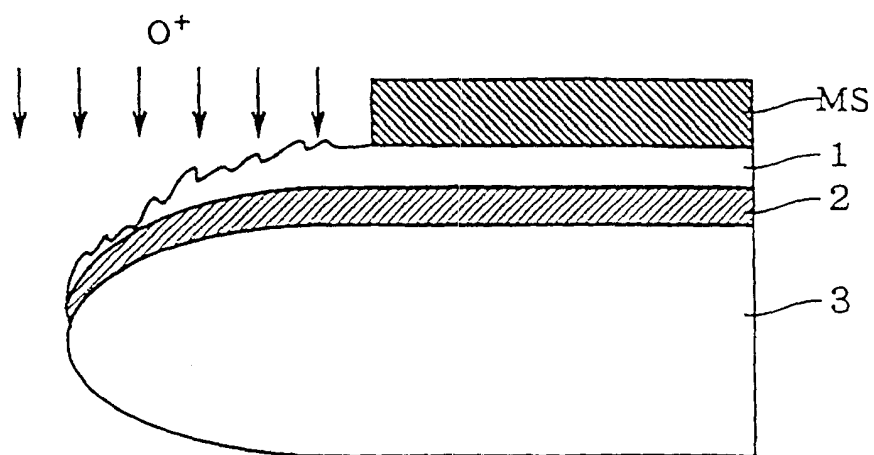


图 14

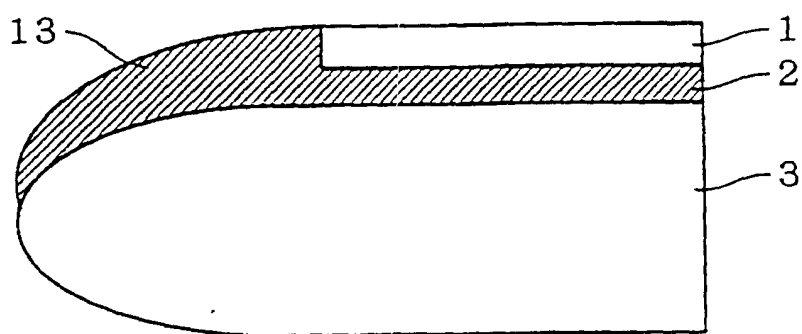
400

图 15

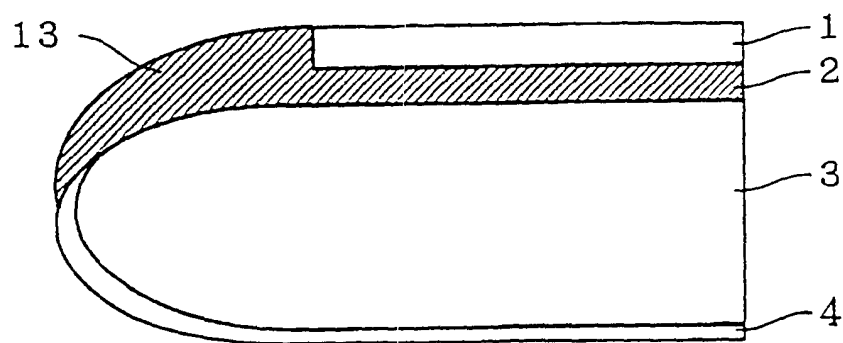
400A

图 16

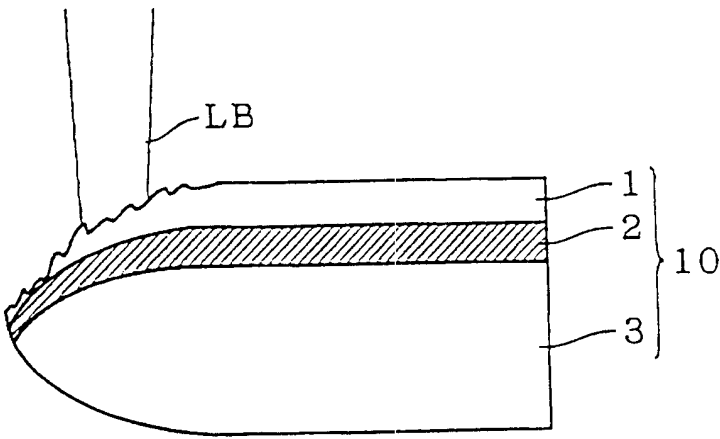


图 17

500

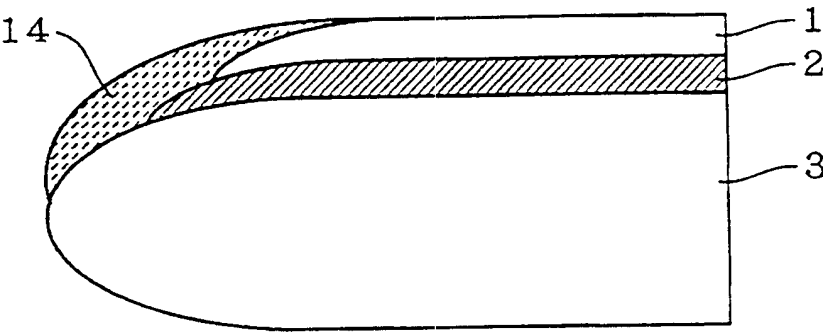


图 18

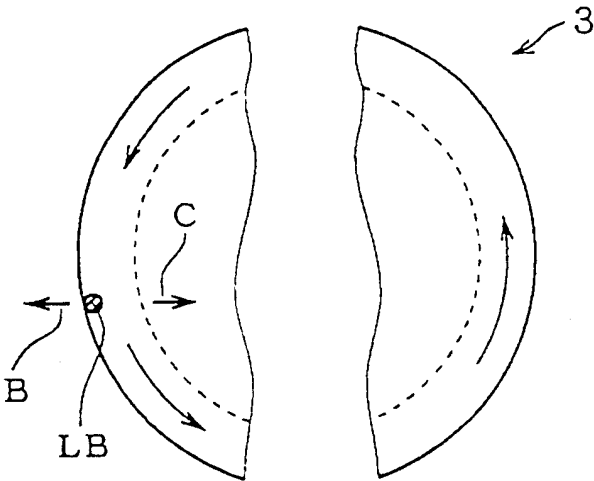


图 19

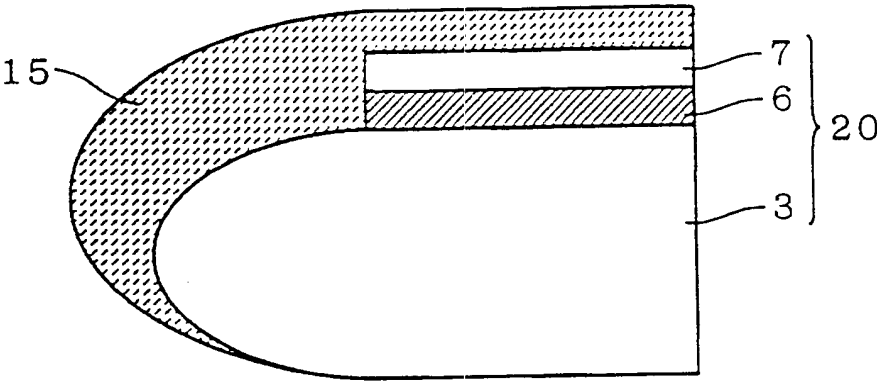


图 20

600

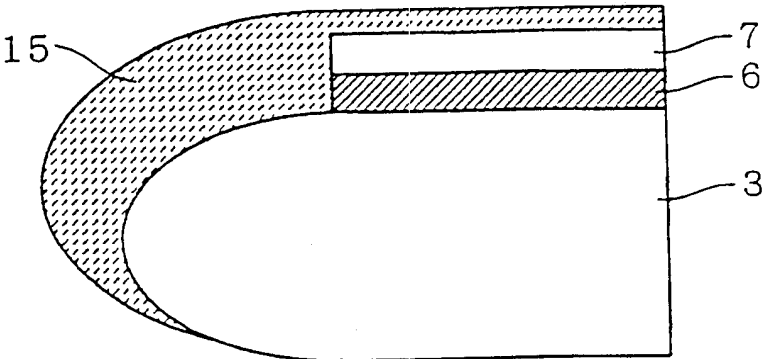


图 21

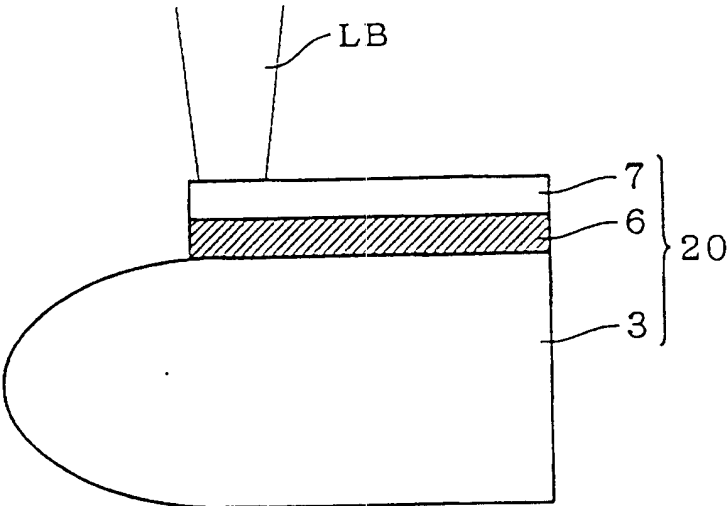


图 22

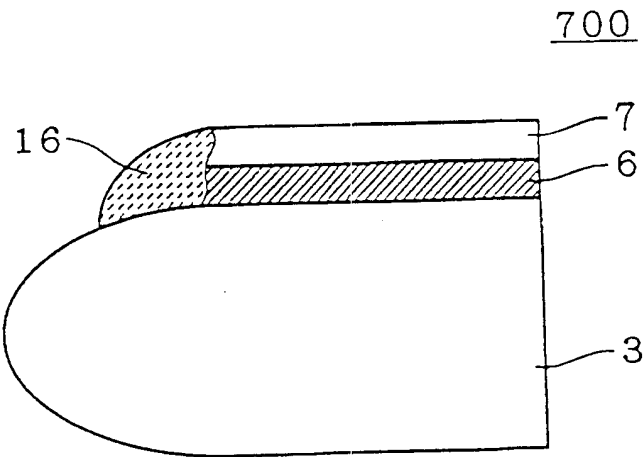


图 23

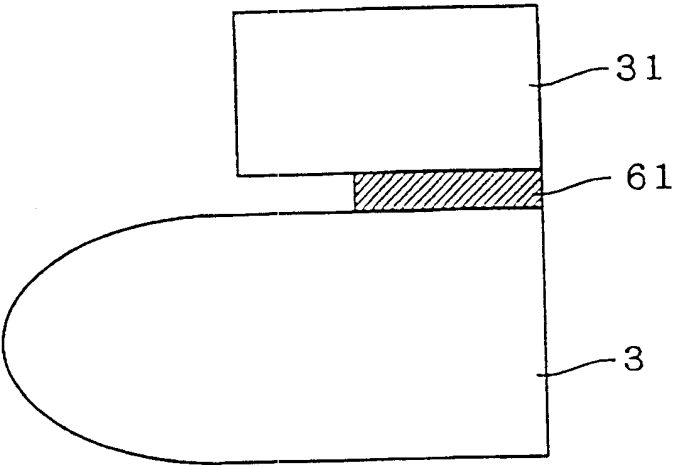


图 24

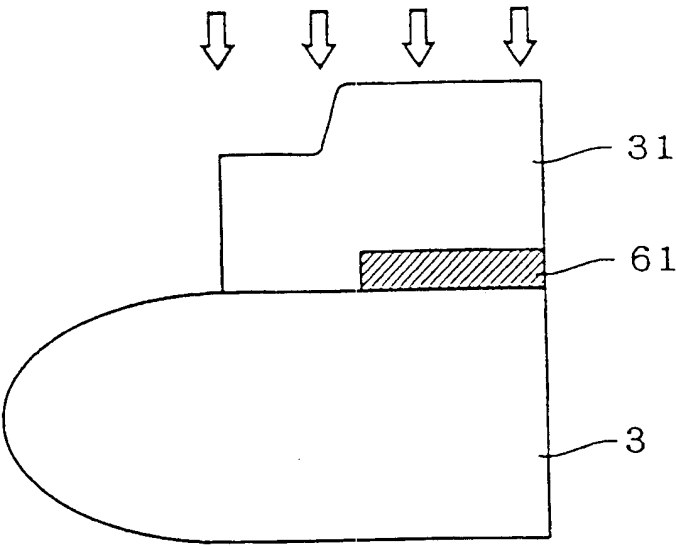


图 25

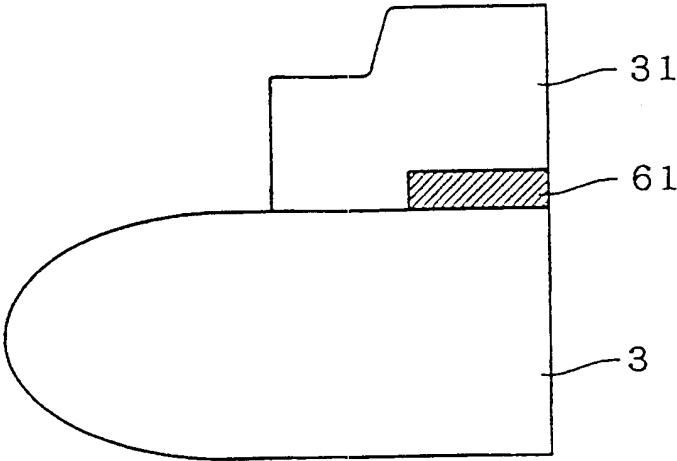


图 26

800

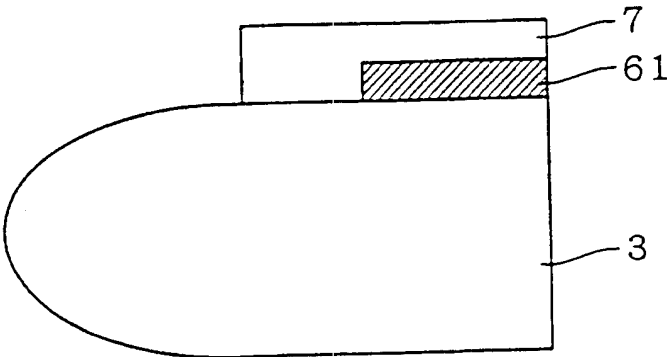


图 27

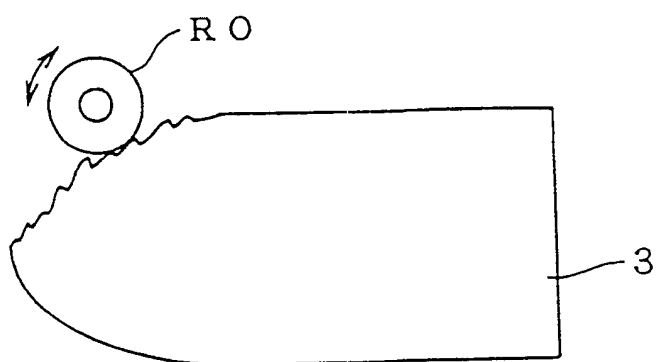


图 28

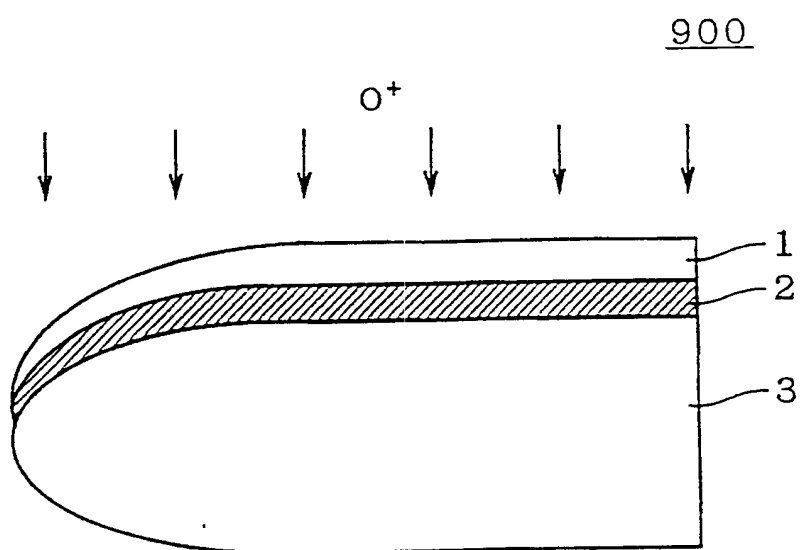


图 29

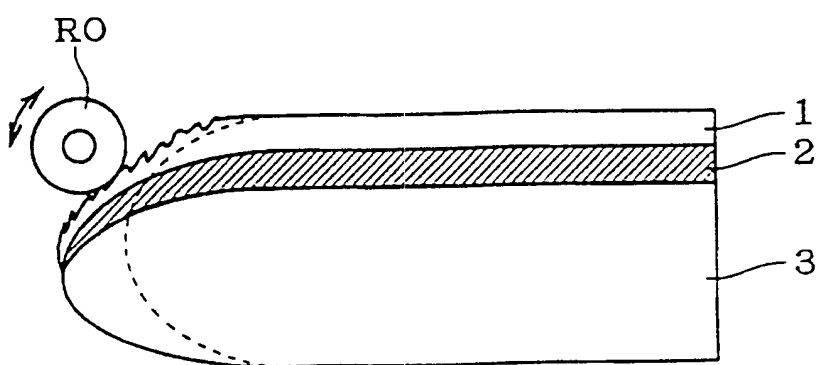


图 30

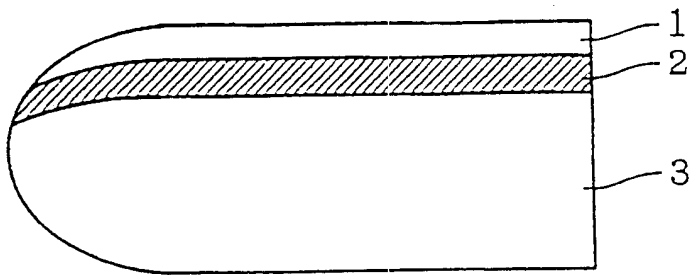
900A

图 31

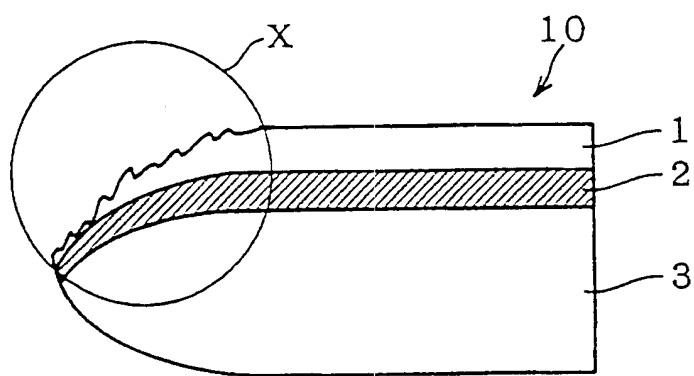


图 32

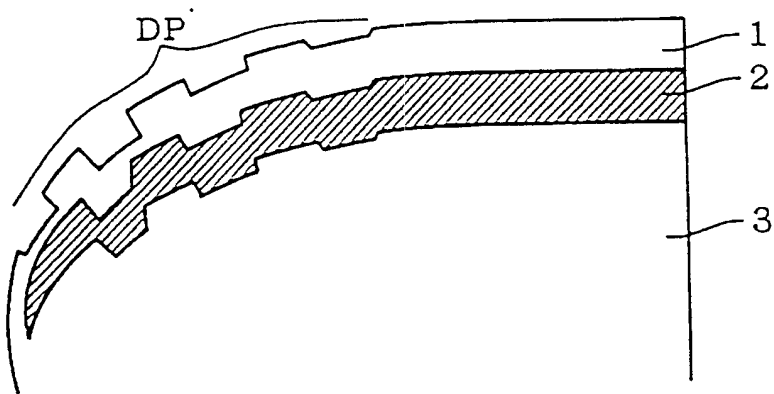


图 33

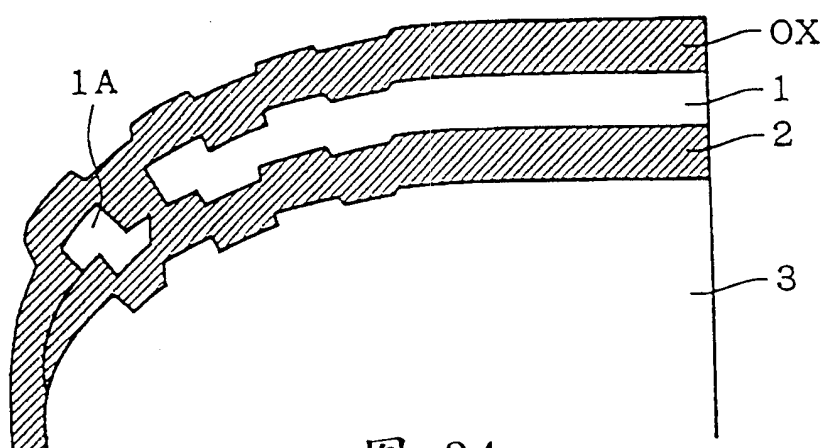


图 34

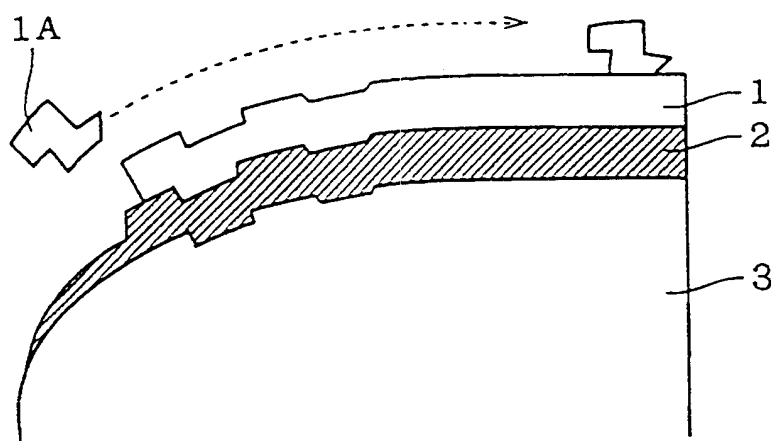


图 35

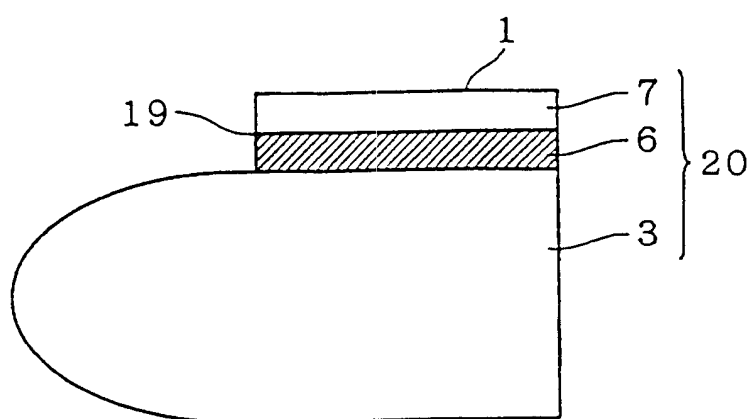


图 36

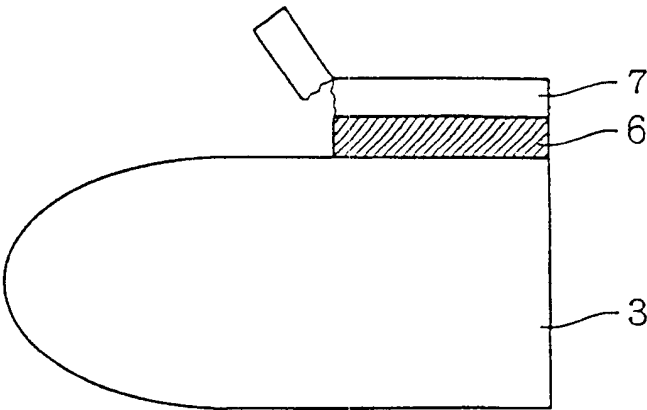


图 37