

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-51372

(P2010-51372A)

(43) 公開日 平成22年3月11日(2010.3.11)

(51) Int.Cl.			F I			テーマコード (参考)	
A 6 1 B	1/04	(2006.01)	A 6 1 B	1/04	3 7 0	2 H 0 4 0	
G 0 6 T	3/00	(2006.01)	G 0 6 T	3/00	3 0 0	4 C 0 6 1	
G 0 2 B	23/24	(2006.01)	G 0 6 T	3/00	4 0 0 A	5 B 0 5 7	
			G 0 2 B	23/24	B		

審査請求 未請求 請求項の数 8 O L (全 25 頁)

(21) 出願番号 特願2008-216815 (P2008-216815)
 (22) 出願日 平成20年8月26日 (2008. 8. 26)

(71) 出願人 306037311
 富士フイルム株式会社
 東京都港区西麻布2丁目26番30号
 (74) 代理人 100075281
 弁理士 小林 和憲
 (74) 代理人 100095234
 弁理士 飯嶋 茂
 (72) 発明者 檜谷 康太郎
 神奈川県足柄上郡開成町宮台798番地
 富士フイルム株式会社内
 Fターム(参考) 2H040 CA09 CA11 CA23 GA02 GA06
 GA10 GA11
 4C061 CC06 JJ17 NN05 SS21 WW03
 WW04 WW10 YY12
 5B057 AA07 BA02 CA12 CA16 CB12
 CB16 CE08 CE09

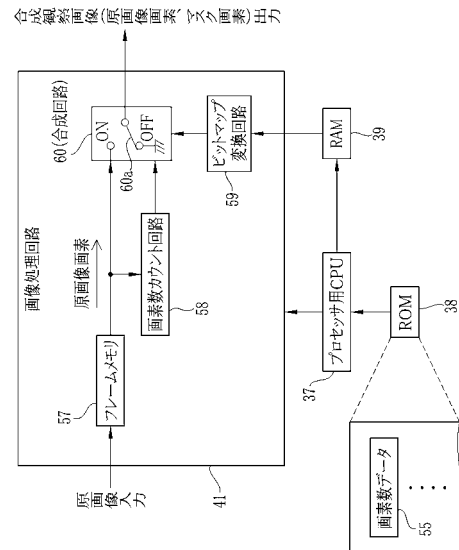
(54) 【発明の名称】 内視鏡のプロセッサ装置及び内視鏡画像のマスク処理方法

(57) 【要約】

【課題】データサイズの大きいマスク画像のビットマップデータをメモリに格納することなく、内視鏡画像にマスク処理を施す。

【解決手段】プロセッサ装置12のROM38に、マスク画像46のマスク部46a及び露呈部52のそれぞれの画素数を、マスク画像46の水平ライン毎に所定の基準位置からカウントして求めた画素数データ55を記憶しておく。プロセッサ装置12の電源がONされた時に、ROM38から画素数データ55を読み出し、この画素数データ55をマスク画像46のビットマップデータ54に変換する。ビットマップデータ54に基づき、電子内視鏡11で得られた原画像44にマスク画像46を合成してモニター27へ出力する。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

電子内視鏡で得た内視鏡画像と、その無効領域を覆って有効領域のみを露呈させるマスク画像とを合成する合成手段と、

前記無効領域に対応するマスク部と前記有効領域に対応する露呈部のそれぞれの画面内の位置、形状、大きさを含む前記マスク画像のプロファイルを表し、データサイズが前記内視鏡画像の画素数よりも少ないビット数であるプロファイルデータを、データ格納手段から取得するデータ取得手段と、

前記プロファイルデータを、画素毎に前記露呈部か前記マスク部かを識別するための 1 ビットの識別情報を持ち、データサイズが内視鏡画像の画素数と同数のビット数であるビットマップ形式のビットマップデータに変換するビットマップ変換手段とを備えたことを特徴とする内視鏡のプロセッサ装置。

10

【請求項 2】

前記プロファイルデータは、前記マスク部及び前記露呈部の画素数を、前記マスク画像の水平ライン毎に所定の基準位置からカウントして求めた画素数データであることを特徴とする請求項 1 記載の内視鏡のプロセッサ装置。

【請求項 3】

前記マスク画像が左右対称または上下対称な場合には、前記マスク部の画素数データは、前記マスク画像の片側分だけ持つことを特徴とする請求項 2 記載の内視鏡のプロセッサ装置。

20

【請求項 4】

前記マスク画像が上下左右対称な場合には、前記マスク部の画素数データは、前記マスク画像の 1 / 4 分だけ持つことを特徴とする請求項 2 記載の内視鏡のプロセッサ装置。

【請求項 5】

前記プロファイルデータは、前記マスク部と前記露呈部の境界位置を表す境界位置データを前記マスク画像の水平ライン毎に持つことを特徴とする請求項 1 記載の内視鏡のプロセッサ装置。

【請求項 6】

前記内視鏡画像の拡大 / 縮小に応じて前記マスク画像を拡大 / 縮小するための演算処理を前記プロファイルデータに施す演算処理手段を備えており、

30

前記ビットマップ変換手段は、演算処理済みのプロファイルデータに対してビットマップ変換を行って、拡大 / 縮小された前記内視鏡画像の画像サイズに対応するビットマップデータを生成することを特徴とする請求項 1 ~ 5 いずれか記載の内視鏡のプロセッサ装置。

【請求項 7】

前記ビットマップ変換手段によって生成されたビットマップデータに基づいて、親画面内に子画面を挿入する PinP 処理を施す PinP 処理手段を備えていることを特徴とする請求項 6 記載の内視鏡のプロセッサ装置。

【請求項 8】

電子内視鏡で得た内視鏡画像と、その無効領域を覆って有効領域のみを露呈させるマスク画像とを合成する合成処理を施すためのプロファイルデータであり、無効領域に対応するマスク部と有効領域に対応する露呈部のそれぞれの画面内の位置、形状、大きさを含む前記マスク画像のプロファイルを表し、データサイズが前記内視鏡画像の画素数よりも少ないビット数であるプロファイルデータを、データ格納手段から取得するデータ取得ステップと、

40

前記プロファイルデータを、画素毎に露呈部かマスク部かを識別するための 1 ビットの識別情報を持ち、データサイズが内視鏡画像の画素数と同数のビット数であるビットマップ形式のビットマップデータに変換するビットマップ変換ステップと、

前記ビットマップデータに基づいて前記合成処理を実行する合成処理ステップとを備えたことを特徴とする内視鏡画像のマスク処理方法。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子内視鏡で得られた内視鏡画像にマスク処理を施す内視鏡のプロセッサ装置、及び内視鏡画像のマスク処理方法に関するものである。

【背景技術】

【0002】

医療分野において、電子内視鏡システムを利用した医療診断が盛んに行われている。電子内視鏡システムは、体腔内に挿入される挿入部を有する電子内視鏡と、この電子内視鏡に接続されたプロセッサ装置とから構成される。プロセッサ装置は、電子内視鏡の挿入部先端部に取り付けられた撮像素子から画像信号を受信し、この画像信号に基づき生成した内視鏡画像にマスク処理等の各種画像処理を施してモニタに出力する。

10

【0003】

マスク処理は、電子内視鏡で得られた内視鏡画像（原画像）にマスク画像を合成して、この内視鏡画像内における、被写体像が結像しない或いは結像するものの像の歪みが大きく観察に適さない周縁部分（いわゆるケラレによる無効領域）を隠して画像を見易くする処理である。マスク画像には、内視鏡画像の無効領域を隠して有効領域（中央部）のみを露呈させる露呈部が設けられている。

【0004】

プロセッサ装置は、マスク画像をビットマップデータとしてメモリに記憶している（特許文献1及び2参照）。また、内視鏡画像中に生じる無効領域の位置や大きさは、電子内視鏡の種類により異なるので、前述のメモリには、露呈部の大きさや形状が異なる複数のマスク画像のビットマップデータが記憶されている。プロセッサ装置は、電子内視鏡から入力される識別情報等に基づいて、メモリから適切なビットマップデータを読み出し、このビットマップデータに基づき、内視鏡画像にマスク処理を施す。

20

【特許文献1】特開2001-169276号公報

【特許文献2】特開2003-265411号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

近年、プロセッサ装置用のモニタとして、高解像度表示可能なモニタが使用されている。このように高解像度表示可能なモニタに対応したマスク画像は画素数が増加するため、マスク画像のビットマップデータのデータ量が増加してしまう。このため、電子内視鏡の種類に応じた複数のマスク画像のビットマップデータを持つ場合にはデータ量の増加が特に顕著となるので、メモリの容量を増加させる必要があり、プロセッサ装置の製造コストが増加してしまう。

30

【0006】

また、ビットマップデータのデータ量が増加すると、プロセッサ装置のCPUが、メモリからビットマップデータを読み出し、このビットマップデータをマスク処理用の画像処理回路へ出力するのに時間が掛かってしまう。その結果、プロセッサ装置の電源がONされてから、内視鏡検査が可能となるまでの起動時間が長くなってしまふという問題も発生する。

40

【0007】

本発明は上記問題を解決するためのものであり、データサイズの大きいマスク画像のビットマップデータをメモリに格納することなく、内視鏡画像にマスク処理を施すことができる内視鏡のプロセッサ装置、及び内視鏡画像のマスク処理方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するため、本発明のプロセッサ装置は、電子内視鏡で得た内視鏡画像と

50

、その無効領域を覆って有効領域のみを露呈させるマスク画像とを合成する合成手段と、前記無効領域に対応するマスク部と前記有効領域に対応する露呈部のそれぞれの画面内の位置、形状、大きさを含む前記マスク画像のプロファイルを表し、データサイズが前記内視鏡画像の画素数よりも少ないビット数であるプロファイルデータを、データ格納手段から取得するデータ取得手段と、前記プロファイルデータを、画素毎に前記露呈部か前記マスク部かを識別するための1ビットの識別情報を持ち、データサイズが内視鏡画像の画素数と同数のビット数であるビットマップ形式のビットマップデータに変換するビットマップ変換手段とを備えたことを特徴とする。

【0009】

前記プロファイルデータは、前記マスク部及び前記露呈部の画素数を、前記マスク画像の水平ライン毎に所定の基準位置からカウントして求めた画素数データであることが好ましい。

10

【0010】

前記マスク画像が左右対称または上下対称な場合には、前記マスク部の画素数データは、前記マスク画像の片側分だけ持つことが好ましい。これにより、データ格納手段に格納するプロファイルデータ(マスク画像)のデータ量をより減らすことができる。

【0011】

前記マスク画像が上下左右対称な場合には、前記マスク部の画素数データは、前記マスク画像の1/4分だけ持つことが好ましい。これにより、データ格納手段に格納するプロファイルデータのデータ量をより更に減らすことができる。

20

【0012】

前記プロファイルデータは、前記マスク部と前記露呈部の境界位置を表す境界位置データを前記マスク画像の水平ライン毎に持つことが好ましい。

【0013】

前記内視鏡画像の拡大/縮小に応じて前記マスク画像を拡大/縮小するための演算処理を前記プロファイルデータに施す演算処理手段を備えており、前記ビットマップ変換手段は、演算処理済みのプロファイルデータに対してビットマップ変換を行って、拡大/縮小された前記内視鏡画像の画像サイズに対応するビットマップデータを生成することが好ましい。

【0014】

前記ビットマップ変換手段によって生成されたビットマップデータに基づいて、親画面内に子画面を挿入するPinP処理を施すPinP処理手段を備えていることが好ましい。

30

【0015】

また、本発明の電子内視鏡で得た内視鏡画像と、その無効領域を覆って有効領域のみを露呈させるマスク画像とを合成する合成処理を施すためのプロファイルデータであり、無効領域に対応するマスク部と有効領域に対応する露呈部のそれぞれの画面内の位置、形状、大きさを含む前記マスク画像のプロファイルを表し、データサイズが前記内視鏡画像の画素数よりも少ないビット数であるプロファイルデータを、データ格納手段から取得するデータ取得ステップと、前記プロファイルデータを、画素毎に露呈部かマスク部かを識別するための1ビットの識別情報を持ち、データサイズが内視鏡画像の画素数と同数のビット数であるビットマップ形式のビットマップデータに変換するビットマップ変換ステップと、前記ビットマップデータに基づいて前記合成処理を実行する合成処理ステップとを備えたことを特徴とする。

40

【発明の効果】

【0016】

本発明のプロセッサ装置及び内視鏡画像のマスク処理方法は、マスク画像のプロファイルデータをデータ格納手段から取得し、このプロファイルデータをビットマップデータに変換して、このビットマップデータに基づいて内視鏡画像にマスク画像を合成するようになったので、従来のように、データ格納手段にビットマップデータを格納する必要がなくな

50

る。プロファイルデータはビットマップデータよりもデータ量が減少するため、複数種類の電子内視鏡に対応するプロファイルデータをデータ格納手段に記憶する場合でも、記憶容量の小さいデータ格納手段を用いることができる。その結果、装置の製造コストを下げることができる。

【0017】

また、ビットマップデータよりもデータ量が少ないプロファイルデータをデータ格納手段に格納しておくことで、プロセッサ装置のCPUが、データ格納手段からプロファイルデータを読み出してマスク処理用の画像処理回路へ出力するのに掛かる時間を従来よりも短くすることができる。これにより、CPUに他の処理を実行させることができる。

【発明を実施するための最良の形態】

【0018】

図1に示すように、電子内視鏡システム10は、電子内視鏡11、プロセッサ装置12、光源装置13などから構成される。電子内視鏡11は、体腔内に挿入される挿入部14と、電子内視鏡11の把持及び挿入部14の操作に用いられる操作部15と、プロセッサ装置12及び光源装置13に接続するユニバーサルコード16とを備えている。

【0019】

挿入部14は、可撓性を有する棒状体であり、根元側から可撓管14a、湾曲部14b、挿入部先端部14cを備えている。可撓管14aは、挿入部14の大半を占める長さを有している。湾曲部14bは、操作部15の操作と連動して湾曲し、これにより挿入部先端部14cの向きが自在に変えられる。

【0020】

挿入部先端部14cには、観察窓18(図2参照)、照明窓19(図2参照)、及び空気や水等を管腔内及び観察窓18に供給するための送気・送水用ノズル(図示せず)等が設けられている。観察窓18の後方には、CCD型固体撮像素子(以下、CCDという、図2参照)20が配置されている。なお、CCD20の代わりにCMOS型固体撮像素子を用いてもよい。照明窓19の後方には、ライトガイド21(図2参照)が設けられている。

【0021】

操作部15は、アングルノブ23、操作ボタン24、フリーズボタン25等を備えている。アングルノブ23は、湾曲部14bの湾曲方向及び湾曲量を調整する際に回転操作される。操作ボタン24は、送気・送水や吸引等の各種の操作に用いられる。フリーズボタン25は、モニタ27に動画表示される観察画像の静止をプロセッサ装置12に指示するためのものである。内視鏡検査をする術者は、例えば、患部を詳細に観察したい場合などにフリーズボタン25を押下し、観察画像を静止表示させる。また、操作部15には、ユニバーサルコード16が接続されている。

【0022】

ユニバーサルコード16には、送気・送水チャンネルと、撮像信号出力用配線及びライトガイド21(図2参照)とが組み込まれている。このユニバーサルコード16の先端部には、コネクタ部29aが設けられている。このコネクタ部29aは、ライトガイド21に照明光を導光する光源を有する光源装置13に接続する。また、コネクタ部29aからは、コネクタ部29bが分岐しており、このコネクタ部29bはプロセッサ装置12に接続する。

【0023】

プロセッサ装置12は、電子内視鏡11(CCD20)から入力される画像信号から原画像を生成し、生成した原画像に前述のマスク処理を含む各種画像処理を施す。画像処理済みの画像は、プロセッサ装置12にケーブル接続されたモニタ27に表示される。モニタ27は、1920画素×1080ラインのサイズの画像が表示可能である。

【0024】

図2に示すように、電子内視鏡11の挿入部先端部14cには、前述したようにCCD20が内蔵されており、このCCD20は、観察窓18の後方に設けられた対物レンズ3

10

20

30

40

50

1の結像位置に配設されている。CCD20は、1920×1080画素の有効画素を有するものが用いられる。また、電子内視鏡11には、内視鏡用CPU32、ROM33、TG34、アナログ信号処理回路(AFE)35等が設けられている。

【0025】

内視鏡用CPU32は、プロセッサ装置12のプロセッサ用CPU37と通信を行って、電子内視鏡11の各部の動作を制御する。ROM33は、電子内視鏡11の種類を識別するための識別情報を記憶している。内視鏡用CPU32は、プロセッサ用CPU37からの情報配信要求に基づき、ROM33に格納されている識別情報を読み出して、プロセッサ用CPU37に送る。また、内視鏡用CPU32は、フリーズボタン25が押下された時に、フリーズ操作情報をプロセッサ用CPU37に送る(図11参照)。

10

【0026】

TG34は、内視鏡用CPU32の制御に基づき、CCD20の駆動パルス(垂直/水平走査パルス、リセットパルス等)とAFE35用の同期パルスとを発生する。CCD20は、TG34から入力される駆動パルスにより駆動され、対物レンズ31を介して結像された光学像を光電変換し、画像信号として出力する。

【0027】

AFE35は、相関二重サンプリング(CDS)回路、プログラマブルゲインアンプ(PGA)、及びA/D変換器により構成されている。CDS回路は、CCD20から出力された画像信号に対して相関二重サンプリング処理を施し、CCD20で生じるリセット雑音及びアンプ雑音の除去を行う。PGAは、CDS回路によりノイズ除去が行われた画像信号を、内視鏡用CPU32から指定された所定の増幅率で増幅する。A/D変換器は、PGAにより増幅された画像信号を、所定のビット数のデジタル信号に変換する。AFE35から出力されたデジタル形式の画像信号は、前述のコネクタ部29bを介してプロセッサ装置12に入力される。

20

【0028】

プロセッサ装置12は、プロセッサ用CPU37(データ取得手段)、ROM38(データ格納手段)、RAM39、デジタル信号処理回路(DSP)40、画像処理回路41、D/A変換器42等から構成されている。プロセッサ用CPU37は、ROM38から必要なプログラムやデータを読み出してRAM39に展開し、読み出したプログラムを逐次処理することで、プロセッサ装置12の各部を制御するとともに、電子内視鏡システム10の全体を統括的に制御する。

30

【0029】

DSP40は、プロセッサ用CPU37の制御に基づき、電子内視鏡11のAFE35から入力された1フレーム分の画像信号に対し、色補間、色分離、色バランス調整、ガンマ補正、画像強調処理等を行い、原画像(内視鏡画像、図3(A)参照)44を生成する。DSP40は、生成した原画像44を画像処理回路41に出力する。

【0030】

画像処理回路41は、プロセッサ用CPU37の制御に基づき、DSP40から入力される原画像44にマスク処理を施す。このマスク処理により、原画像44にマスク画像46(図3(B)参照)を合成した合成観察画像47(図3(C)参照)がモニタ27に表示される。

40

【0031】

図3(A)に示すように、原画像44は、1920画素(H:水平方向画素数)×1080ライン(V:垂直方向ライン数)のサイズの矩形画像である。この原画像44は、体腔内の観察画像の有効領域48が、前述の対物レンズ31を保持する鏡胴枠(図示せず)と共に映し出されたものとなる。有効領域48の周囲には、鏡胴枠による凹凸部分49が略円状に生じるとともに、凹凸部分49の外側にケラレによる無効領域50が生じている。

【0032】

図3(B)に示すように、マスク画像46は、原画像44と同一サイズの矩形画像であ

50

る。マスク画像 4 6 は、有効領域 4 8 のみを露呈する露呈部 5 2 を有している。露呈部 5 2 は、凹凸部分 4 9 の内接円であり、その直径は凹凸部分 4 9 を隠す大きさである。なお、符号 4 6 a は、無効領域 5 0 (凹凸部分 4 9 を含む) に対応するマスク画像 4 6 のマスク部である。図 3 (C) に示すように、合成観察画像 4 7 は、マスク画像 4 6 により原画像 4 4 の凹凸部分 4 9 及び無効領域 5 0 が隠され、且つ露呈部 5 2 から有効領域 4 8 のみが映し出されたものとなる。

【 0 0 3 3 】

マスク処理は、画像処理回路 4 1 内で原画像 4 4 を 1 画素ずつ流しながら、マスク画像 4 6 のマスクビットマップデータ (図 4 参照) 5 4 に基づき、有効領域 4 8 の原画像画素はそのまま D / A 変換器 4 2 に出力するとともに、無効領域 5 0 (凹凸部分 4 9 を含む) の原画像画素は破棄して、その代わりにマスク画像 4 6 のマスク画素を D / A 変換器 4 2 (図 2 参照) に出力する方法で行われる。マスク画素は、マスク画像 4 6 の色に対応するビデオ信号である。

10

【 0 0 3 4 】

D / A 変換器 4 2 は、画像処理回路 4 1 から 1 画素ずつ逐次入力される原画像画素・マスク画素を逐次アナログ信号に変換してモニタ 2 7 に表示する。すなわち、モニタ 2 7 には、合成観察画像 4 7 が周知のように水平周期信号、及び垂直周期信号に基づいて走査表示される。

【 0 0 3 5 】

図 4 に示すように、マスクビットマップデータ 5 4 は、1 9 2 0 画素 × 1 0 8 0 ライン = 2 0 7 3 6 0 0 画素のそれぞれに対応して設けられたマスクデータ (1 ビットの識別情報: 「0」 or 「1」) からなるビットマップ形式のデータである。各マスクデータには、それぞれアドレス (A x , A y) が与えられている。アドレス A x は水平方向の画素位置を示し、アドレス A y は垂直方向のライン位置を示している。例えばアドレス (1 , 1) は左上隅 (左から数えて 1 番目、上から数えて 1 ライン目) に位置する画素に対応し、アドレス (3 , 4) は左から数えて 3 番目、上から数えて 4 ライン目の画素に対応する。

20

【 0 0 3 6 】

各マスクデータは、「1」 or 「0」のいずれかで表される。マスクデータ「1」は、露呈部 5 2 内の画素 (以下、露呈部画素という) であることを示し、マスクデータ「0」の場合は、マスク画像 4 6 のマスク領域内の画素、すなわち、前述のマスク画素であることを示す。従って、画像処理回路 4 1 は、マスクデータが「1」の場合に、そのアドレスに対応する原画像画素を D / A 変換器 4 2 に出力する。また、マスクデータが「0」の場合は、そのアドレスに対応する原画像画素を破棄してマスク画素を D / A 変換器 4 2 に出力する。

30

【 0 0 3 7 】

このようなマスクビットマップデータ 5 4 は、マスク画像 4 6 の画素数が増加するのに従ってデータ量が大きくなり、前述したように ROM 3 8 の容量増加、ROM 3 8 からの読出し時間の増加等の問題が発生する。そこで、本発明では、マスクビットマップデータ 5 4 よりもデータ量を大幅に減らすことができる記憶形式でマスク画像 4 6 を ROM 3 8 に記憶している。

40

【 0 0 3 8 】

図 5 に示すように、ROM 3 8 には、マスク画像 4 6 として画素数データ (プロフィールデータ) 5 5 が格納されている。画素数データ 5 5 は、マスク画像 4 6 のプロフィールを表したデータである。このプロフィールは、無効領域 5 0 に対応するマスク画像 4 6 のマスク部 4 6 a、及び有効領域 4 8 に対応するマスク画像 4 6 の露呈部 5 2 のそれぞれの画面内の位置、形状、大きさを含むものである。なお、ROM 3 8 には、複数種類の電子内視鏡 1 1 に対応する画素数データ 5 5 がそれぞれ格納されている。

【 0 0 3 9 】

図 6 及び図 7 に示すように、画素数データ 5 5 は、マスク画像 4 6 のマスク部 4 6 a 及び露呈部 5 2 のそれぞれの画素数を、マスク画像 4 6 の水平ライン毎に所定の基準位置か

50

らカウントして求めたデータであり、より具体的には、各水平ラインに含まれるマスク画素の画素数を示すマスク画素数 A , C と、露呈部画素の画素数を示す露呈部画素数 B とを求めたデータである。

【 0 0 4 0 】

図 6 において、符号 P 1 , P 2 は、それぞれマスク画像 4 6 内の任意の水平ラインにおけるマスク部 4 6 a と露呈部 5 2 との境界を示している。境界 P 1 , P 2 は、それぞれ各ラインの垂直 2 等分線 L (図中 1 点鎖線) の左側、右側に位置している。なお、露呈部 5 2 の最上点、最下点を通る水平ラインでは、水平ライン画素数が奇数の場合は境界 P 1 , P 2 は一致する。

【 0 0 4 1 】

マスク画素数 A は、垂直 2 等分線 L または境界 P 1 よりも左側のマスク画素数である。このマスク画素数 A は、各水平ラインの左端側を基準位置として、この位置から境界 P 1 又は垂直 2 等分線 L までのマスク画素数をカウントして求められる。露呈部画素数 B は、境界 P 1 , P 2 間の画素数である。この露呈部画素数 B は、境界 P 1 を基準位置として、この位置から境界 P 2 までの露呈部画素数をカウントして求められる。マスク画素数 C は、垂直 2 等分線 L または境界 P 2 よりも右側のマスク画素数である。このマスク画素数 C は、各水平ラインの右端側を基準位置として、この位置から境界 P 2 又は垂直 2 等分線 L までのマスク画素数をカウントして求められる。

【 0 0 4 2 】

画素数データ 5 5 の一例を示す図 7 において、画素数データ 5 5 は、マスク画像 4 6 の各水平ラインにおけるマスク画素数 A , C、及び露呈部画素数 B の数値データからなる。各数値データには、それぞれアドレス A y が与えられている。アドレス A y は各水平ラインの垂直方向位置を示している。例えばアドレス A y = 1 は、上から数えて 1 ライン目に対応し、アドレス A y = 1 0 8 0 は上から数えて 1 0 8 0 ライン目に対応する。

【 0 0 4 3 】

また、マスク画像 4 6 は、前述の垂直 2 等分線 L (図 6 参照) に対して左右対称な形状を有しているので、各水平ラインにおけるマスク画素数 A とマスク画素数 C は共通の値になる。このため、画素数データ 5 5 には、マスク画素数 A の値だけを記憶している。なお、図 7 では、露呈部画素数 B として、各水平ラインに含まれる全ての露呈部画素の数を記憶しているが、露呈部 5 2 の片側の露呈部画素の数だけを記憶してもよい。

【 0 0 4 4 】

画素数データ 5 5 のアドレス A y = 1 の数値データは、マスク画素数 A (= C) = 9 6 0、露呈部画素数 B = 0 であるため、マスク画像 4 6 の上から 1 ライン目は、1 9 2 0 個のマスク画素が配列されていることが分かる。また、アドレス A y = 5 の数値データは、マスク画素数 A (= C) = 7 0 0、露呈部画素数 B = 5 2 0 であるため、マスク画像 4 6 の上から 5 ライン目は、左から順に 7 0 0 個のマスク画素、5 2 0 個の露呈部画素、7 0 0 個のマスク画素が配列されていることが分かる。

【 0 0 4 5 】

このように画素数データ 5 5 は、マスク画像 4 6 の各水平ラインの画素配列、すなわち、前述のマスク画像 4 6 のプロファイルを A , B の数値で表すことができる。A , B の数値 (画素数) は、最大でも 1 9 2 0 (ただし、本実施形態では A は最大 9 6 0) であるので、両者は 1 1 ビット ($2^{11} = 2 0 4 8$) の情報で表すことができる。このため、画素数データ 5 5 のデータ量は、下記式 (1) に示す値となる。

$$\begin{aligned} \text{式 (1)} &= 1 1 \text{ (ビット)} \times 2 \text{ (A , B)} \times 1 0 8 0 \text{ (ライン)} \\ &= 2 3 7 6 0 \text{ (ビット)} \quad 3 \text{ (キロバイト)} \end{aligned}$$

【 0 0 4 6 】

なお、マスク画像 4 6 が、前述の垂直 2 等分線 L に対して対称な形状を有していない場合には、画素数データ 5 5 のデータ量は、下記式 (2) に示す値となる。

$$\begin{aligned} \text{式 (2)} &= 1 1 \text{ (ビット)} \times 3 \text{ (A , B , C)} \times 1 0 8 0 \text{ (ライン)} \\ &= 3 5 6 4 0 \text{ (ビット)} \quad 4 . 5 \text{ (キロバイト)} \end{aligned}$$

10

20

30

40

50

【 0 0 4 7 】

これに対して、前述のマスクビットマップデータ 5 4 のデータ量は、下記式 (3) に示す値となる。

$$\begin{aligned} \text{式 (3)} &= 1 9 2 0 \text{ (画素)} \times 1 0 8 0 \text{ (ライン)} \\ &= 2 0 7 3 6 0 0 \text{ (ビット)} \quad 2 6 0 \text{ (キロバイト)} \end{aligned}$$

【 0 0 4 8 】

式 (1) 及び式 (2) と、式 (3) とを比較すると、画素数データ 5 5 は、マスクビットマップデータ 5 4 と比較してデータ量が大幅に減少する。このため、ROM 3 8 に、電子内視鏡 1 1 の種類に応じて複数の画素数データ 5 5 を記憶する場合でも、この ROM 3 8 の容量を増加させる必要はなくなる。

10

【 0 0 4 9 】

なお、マスク画像 4 6 が左右対称でなく上下対称の場合には、画素数データ 5 5 は、マスク画像 4 6 の例えば上半分だけ (1 ライン目 ~ 5 4 0 ライン目の数値データ (A , B , C)) だけ持てばよい。この場合も画素数データ 5 5 のデータ量をより減らすことができる。更に、マスク画像 4 6 が上下左右対称の場合には、画素数データ 5 5 は、マスク画像 4 6 の 1 / 4 分だけ、例えば 1 ライン目 ~ 5 4 0 ライン目の数値データ (A , B) だけ持てばよい。これにより、画素数データ 5 5 のデータ量をより更に減らすことができる (データ量は上記式 (1) の 1 / 2 の値) 。

【 0 0 5 0 】

図 5 に戻って、プロセッサ用 CPU 3 7 は、プロセッサ装置 1 2 の電源が ON された時に、ROM 3 8 に格納されている全ての画素数データ 5 5 を読み出して、RAM 3 9 に格納する。次いで、プロセッサ用 CPU 3 7 は、電子内視鏡 1 1 (内視鏡用 CPU 3 2) から入力される識別情報に基づき、RAM 3 9 内から適切な画素数データ 5 5 を選択して、画像処理回路 4 1 に供給する。

20

【 0 0 5 1 】

画像処理回路 4 1 は、フレームメモリ 5 7、画素数カウント回路 5 8、ビットマップ変換回路 (ビットマップ変換手段) 5 9、合成回路 (合成手段) 6 0 などから構成される。

【 0 0 5 2 】

フレームメモリ 5 7 は、DSP 4 0 から逐次入力される原画像 4 4 を一旦格納する。プロセッサ用 CPU 3 7 は、フレームメモリ 5 7 に格納された原画像 4 4 を 1 画素ずつ合成回路 6 0 に出力する。具体的には、モニタ 2 7 の表示方式に合わせて、原画像 4 4 の原画像画素を左上隅 ~ 右上隅、... 左下隅 ~ 右下隅の順番で出力する。原画像 4 4 の左上隅の原画像画素が第 1 番目に出力され、右下隅の原画像画素が第 2 0 7 3 6 0 0 (= 1 9 2 0 × 1 0 8 0) 番目に出力される。

30

【 0 0 5 3 】

画素数カウント回路 5 8 は、プロセッサ用 CPU 3 7 の制御に基づき、フレームメモリ 5 7 から出力される原画像画素の数をカウントし、このカウント結果を合成回路 6 0 へ逐次出力する。フレームメモリ 5 7 から出力される原画像画素の出力と、画素数カウント回路 5 8 によるカウント結果の出力とは、同期して行われる。これにより、合成回路 6 0 は、フレームメモリ 5 7 から入力された原画像画素のアドレス (A x , A y : 前述のマスク画像 4 6 のアドレスと同じ) を判別することができる。例えば、カウント結果が 1、... 1 9 2 0、1 9 2 1、... 2 0 7 3 6 0 0 の場合は、アドレス (A x , A y) は、それぞれ (1 , 1)、... (1 9 2 0 , 1)、(1 , 2)、... (1 9 2 0 , 1 0 8 0) になる。

40

【 0 0 5 4 】

ビットマップ変換回路 5 9 は、プロセッサ用 CPU 3 7 の制御に基づき、RAM 3 9 から入力される画素数データ 5 5 (図 7 参照) をマスクビットマップデータ 5 4 (図 4 参照) に変換する。前述したように、画素数データ 5 5 の各数値データ (マスク画素数 A、露呈部画素数 B) から、マスク画像 4 6 の各水平ラインの画素配列 (プロファイル) が分かるので、マスクビットマップデータ 5 4 への変換処理も容易に行うことができる。ビット

50

マップ変換回路 59 は、変換したマスクビットマップデータ 54 を合成回路 60 へ出力する。

【0055】

合成回路 60 は、プロセッサ用 CPU 37 の制御により、画素数カウント回路 58 からのカウント結果に基づき、ビットマップ変換回路 59 からのマスクビットマップデータ 54 を参照して、フレームメモリ 57 から 1 画素ずつ入力される原画像画素のうち、有効領域 48 の原画像画素を D/A 変換器 42 へ出力するとともに、無効領域 50 (凹凸部分 49 を含む) の原画像画素を破棄してマスク画素を D/A 変換器 42 に出力する。この合成回路 60 は、原画像画素及びマスク画素のいずれか一方を選択的に出力するためのセレクトア(スイッチ)部 60a を有している。

10

【0056】

なお、図示は省略するが、合成回路 60 は、ビットマップ変換回路 59 からのマスクビットマップデータ 54 を記憶するキャッシュメモリを有している。このキャッシュメモリからのデータの読み出し速度は、ROM 38 や RAM 39 からの読み出し速度よりも十分に速くなっている。

【0057】

セレクトア部 60a は、フレームメモリ 57 からの入力線と D/A 変換器 42 とを電氣的に接続する「ON」状態と、両者の接続を解除した「OFF」状態とに切替可能である。合成回路 60 は、フレームメモリ 57 から原画像画素が入力された時に、前述のカウント結果に基づき、キャッシュメモリから読み出したマスクビットマップデータ 54 を参照して、この原画像画素のアドレス Ax, Ay を判別する。次いで、合成回路 60 は、判別した原画像画素のアドレス Ax, Ay に基づき、マスクビットマップデータ 54 から、原画像画素と同じアドレス Ax, Ay のマスクデータを読み出す。

20

【0058】

マスクデータが「1」の場合には、そのアドレスの画素は露呈部画素になるので、合成回路 60 は、フレームメモリ 57 から入力された原画像画素が有効領域 48 内(露呈部 52 内)の画素と判定する。合成回路 60 は、セレクトア部 60a を ON 状態に切り替えて、入力された原画像画素をそのまま D/A 変換器 42 に出力する。

【0059】

逆にマスクデータが「0」の場合には、そのアドレスの画素はマスク画素になるので、合成回路 60 は、フレームメモリ 57 から入力された原画像画素が無効領域 50 内(露呈部 52 外)の画素と判定する。この場合には、合成回路 60 は、セレクトア部 60a を OFF 状態に切り替えて、合成回路 60 に入力された原画像画素を破棄する。これと同時に、合成回路 60 は、図示しない内部メモリ等に記憶されているマスク画素(マスク画素に対応するビデオ信号)を D/A 変換器 42 に出力する。

30

【0060】

以下同様にして、合成回路 60 は、フレームメモリ 57 から原画像画素が入力される度に、入力された原画像画素が有効領域 48 或いは無効領域 50 内の画素であるかを判定し、この判定結果に基づき、セレクトア部 60a を ON・OFF 状態に切り替えて、原画像画素或いはマスク画素を D/A 変換器 42 へ出力する。

40

【0061】

図 2 に戻って、光源装置 13 は、光源用 CPU 63、光源 64、光源ドライバ 65、絞り機構 66、集光レンズ 67 から構成されている。光源用 CPU 63 は、プロセッサ用 CPU 37 と通信し、光源ドライバ 65 及び絞り機構 66 の制御を行う。光源 64 は、キセノンランプやハロゲンランプなどからなり、光源ドライバ 65 により駆動制御される。絞り機構 66 は、光源 64 の光射出側に配置され、集光レンズ 67 に入射される光量を増減させる。集光レンズ 67 は、絞り機構 66 を通過した光を集光して、光源装置 13 に接続された電子内視鏡 11 のライトガイド 21 の入射端に導く。ライトガイド 21 は、電子内視鏡 11 の基端から挿入部先端部 14c まで挿通され、出射端が前述の照明窓 19 に接続されている。

50

【 0 0 6 2 】

次に、図 8 及び図 9 に示すフローチャートを用いて、上記構成の内視鏡システム 1 0 (プロセッサ装置 1 2) の作用について説明する。図 8 において、術者は、電子内視鏡 1 1 をプロセッサ装置 1 2 及び光源装置 1 3 に接続して、プロセッサ装置 1 2、光源装置 1 3 の電源を順番に ON する。プロセッサ装置 1 2 のプロセッサ用 CPU 3 7 は、電源が ON されると、ROM 3 8 に記憶されている全画素数データ 5 5 を読み出し、RAM 3 9 に格納する。

【 0 0 6 3 】

また、プロセッサ用 CPU 3 7 は、電子内視鏡 1 1 の内視鏡用 CPU 3 2 に対して識別情報の配信要求を行う。内視鏡用 CPU 3 2 は、プロセッサ用 CPU 3 7 からの配信要求に応じて ROM 3 3 から識別情報を読み出し、これをプロセッサ用 CPU 3 7 へ出力する。プロセッサ用 CPU 3 7 は、内視鏡用 CPU 3 2 からの識別情報に基づき、RAM 3 9 内から適切な画素数データ 5 5 を選択して、画像処理回路 4 1 のビットマップ変換回路 5 9 に出力する。ビットマップ変換回路 5 9 は、入力された画素数データ 5 5 をマスクビットマップデータ 5 4 に変換して合成回路 6 0 に出力する。合成回路 6 0 は、ROM 3 8 や RAM 3 9 よりも高速読み出し可能な前述のキャッシュメモリにマスクビットマップデータ 5 4 を格納する。

10

【 0 0 6 4 】

電子内視鏡 1 1 の挿入部 1 4 を患者の体腔内に挿入し、光源装置 1 3 からの照明光で体腔内を照明しながら、この体腔内を CCD 2 0 により撮像する。CCD 2 0 から出力された画像信号は、AFE 3 5 でデジタル信号に変換された後、プロセッサ装置 1 2 に入力される。

20

【 0 0 6 5 】

プロセッサ装置 1 2 の DSP 4 0 は、電子内視鏡 1 1 の AFE 3 5 から入力された 1 フレーム分の画像信号から原画像 4 4 を生成し、生成した原画像 4 4 を画像処理回路 4 1 に出力する。DSP 4 0 から画像処理回路 4 1 に入力された原画像 4 4 は、フレームメモリ 5 7 に一旦格納される。

【 0 0 6 6 】

図 9 において、プロセッサ用 CPU 3 7 は、フレームメモリ 5 7 に格納された原画像 4 4 の各原画像画素を左上隅～右下隅の順番で 1 画素ずつ合成回路 6 0 へ出力する。また、プロセッサ用 CPU 3 7 は、原画像画素の出力前に画素数カウント回路 5 8 を作動させ、フレームメモリ 5 7 から逐次出力される原画像画素をカウントさせる。これにより、フレームメモリ 5 7 から第 1 番目の原画像画素が合成回路 6 0 に出力された時に、画素数カウント回路 5 8 からカウント結果「1」が合成回路 6 0 に出力される。

30

【 0 0 6 7 】

合成回路 6 0 は、画素数カウント回路 5 8 から入力されるカウント結果に基づき、フレームメモリ 5 7 から入力される第 1 番目の原画像画素のアドレスを判別する。この場合は、カウント結果が「1」であるので、アドレス $(A_x, A_y) = (1, 1)$ となる。次いで、合成回路 6 0 は、キャッシュメモリから読み出したマスクビットマップデータ 5 4 から、アドレス $(1, 1)$ のマスクデータを読み出す。

40

【 0 0 6 8 】

合成回路 6 0 は、マスクデータが「1」の場合に、フレームメモリ 5 7 から入力された第 1 番目の原画像画素を有効領域 4 8 内の画素と判定し、セクタ部 6 0 a を ON 状態に切り替えて、第 1 番目の原画像画素を D/A 変換器 4 2 に出力する。

【 0 0 6 9 】

逆に、合成回路 6 0 は、マスクデータが「0」の場合に、フレームメモリ 5 7 から入力された第 1 番目の原画像画素を無効領域 5 0 内の画素と判定し、セクタ部 6 0 a を OFF 状態に切り替えて第 1 番目の原画像画素を破棄するとともに、マスク画素を D/A 変換器 4 2 に出力する。

【 0 0 7 0 】

50

合成回路60は、フレームメモリ57より第N番目(2番目、・・・第1920番目、第1921番目、・・・第2073600番目)の原画像画素が順次入力された時も同様に、マスクビットマップデータ54から、アドレス[(2,1)、・・・(1920,1)、(1,2)、・・・(1920,1080)]のマスクデータを逐次読み出す。次いで、合成回路60は、マスクデータから第N番目の原画像画素が有効領域48内の画素であるか否かが判定するとともに、この判定結果に基づき、セクタ部60aをON状態・OFF状態に切替制御して、第N番目の原画像画素或いはマスク画素をD/A変換器42に出力する。

【0071】

画像処理回路41は、DSP40から新たな原画像44が入力される度に、上述の処理を繰り返し実行する。D/A変換器42は、画像処理回路41から逐次入力される原画像画素・マスク画素を逐次アナログ信号に変換してモニター27に出力する。モニター27は、アナログ信号に基づいて、合成観察画像47を走査表示する。以下、内視鏡検査が終了するまで、上述の合成観察画像47の走査表示処理が継続する。

10

【0072】

なお、電子内視鏡11のフリーズボタン25が押下された場合には、この押下時にフレームメモリ57に格納されている原画像44を静止画像69(図11参照)として、この静止画像69の各画素(静止画像画素という)の出力を繰り返し実行(第1番目、・・・第2073600番目、第1番目、・・・)するとともに、前述したように、有効領域48外の静止画像画素は破棄してマスク画素を出力する。これにより、静止画像69にマスク画像46を合成した静止合成観察画像70(図10(A)参照)がモニター27に走査表示される。

20

【0073】

以上のように本発明の電子内視鏡システム10(プロセッサ装置12)では、マスク画像46のマスクビットマップデータ54をROM38に記憶する代わりに、画素数データ55を記憶することにより、複数種類の電子内視鏡11に対応する画素数データをROM38に記憶する場合でも、記憶容量の小さいROM38を用いることができる。その結果、プロセッサ装置12の製造コストを下げることができる。

【0074】

また、本実施形態では、プロセッサ装置12の電源ON時にROM38に記憶されている全画素数データ55を読み出してRAM39に格納しているが、各画素数データ55のデータ量は小さいので、プロセッサ用CPU37が、各画素数データをROM38から読み出してRAM39に格納するのに要する時間を短縮することができる。これにより、例えばプロセッサ用CPU37に他の処理を実行させることができる。また、プロセッサ装置12の電源がONされてから、内視鏡検査が可能となるまでに要する起動時間を短くすることができる。なお、画素数データ55のビットマップ変換処理は、本実施形態のようにハードウェア(ビットマップ変換回路59)で行うようにすると、プロセッサ用CPU37によるソフトウェア処理でビットマップ変換処理を行う場合よりも高速に行うことができる。

30

【0075】

また、画素数データ55を、モニター27の表示方式(左上隅の画素~右下隅の画素の順に1画素ずつ表示する走査表示)に沿ったデータ(図7参照)にすることで、画素数カウント値のうちライン数を扱う個所をそのままキャッシュメモリアドレス(不要な場合はRAM39アドレス)に対応付けることが可能、モニター27出力に同期して処理させることが容易、など、ビットマップ変換処理及び周辺回路を簡素化することができる。これにより、ビットマップ変換回路59として安価なものをを用いることができる。

40

【0076】

次に、本発明の第2実施形態の電子内視鏡システム(プロセッサ装置)について説明を行う。第2実施形態のプロセッサ装置71(図11参照)は、静止合成観察画像70(図10(A)参照)の中にリアルタイムの合成観察画像47を縮小処理した縮小合成観察画

50

像 7 2 (図 1 0 (B) 参照) を表示する、所謂 Picture in Picture (以下、PinP と称す) 機能を有している。

【 0 0 7 7 】

図 1 0 (A) に示すように、静止合成観察画像 7 0 は、体腔内のリアルタイムの画像が映し出されないという点を除けば、前述の合成観察画像 4 7 と同じ (サイズ) であり、原画像 4 4 と同一のものについて同一符号を付してその説明は省略する。この静止合成観察画像 7 0 の左下隅の領域は、縮小合成観察画像 7 2 が表示される縮小表示領域 7 3 (2 点鎖線表示) である。

【 0 0 7 8 】

図 1 0 (B) に示すように、縮小合成観察画像 7 2 は、リアルタイムの原画像 4 4 を $1/n$ (n は正の実数) 倍縮小処理して生成した縮小原画像 7 5 に、この縮小原画像 7 5 と同じ縮小倍率 ($1/n$ 倍) でマスク画像 4 6 を縮小処理した縮小マスク画像 7 6 を合成した画像である。このため、縮小合成観察画像 7 2 は、静止合成観察画像 7 0 (合成観察画像 4 7) の $1/n$ 倍のサイズの画像、すなわち、 H/n 画素 \times V/n ラインの矩形画像になる。

10

【 0 0 7 9 】

なお、縮小マスク画像 7 6 は、マスク画像 4 6 と同形状である。また、符号 7 5 a , 7 5 b はそれぞれ縮小原画像 7 5 の有効領域、無効領域であり、符号 7 6 a は縮小マスク画像 7 6 の露呈部である。

【 0 0 8 0 】

図 1 0 (C) に示すように、PinP 画像 7 7 は、静止合成観察画像 7 0 の縮小表示領域 7 3 (図 1 0 (A) 参照) にリアルタイムの縮小合成観察画像 7 2 が映し出された画像である。この PinP 画像 7 7 は、プロセッサ装置 7 1 (図 1 1 参照) により、前述の合成観察画像 4 7 と同様にモニタ 2 7 に走査表示される。

20

【 0 0 8 1 】

図 1 1 において、プロセッサ装置 7 1 は、基本的には上記第 1 実施形態のプロセッサ装置 1 2 と同じ構成である。ただし、プロセッサ装置 7 1 には、PinP 画像 7 7 をモニタ 2 7 に走査表示するための画像処理回路 (PinP 処理手段) 7 9 が設けられている。なお、画像処理回路 7 9 以外の回路等については、第 1 実施形態の画像処理回路 4 1 と同じ構成であるため、その構成については前述の図 5 を参照されたい。プロセッサ用 CPU 3 7 は、内視鏡用 CPU 3 2 からフリーズボタン 2 5 が押下操作されたことを示すフリーズ操作情報が入力された時に、プロセッサ装置 7 1 を通常表示モードから PinP 表示モードに切り替える。

30

【 0 0 8 2 】

画像処理回路 7 9 は、PinP 表示モード時に下記 (1)、(2) の処理を行う。
 (1) 縮小表示領域 7 3 以外の領域については、前述の合成観察画像 4 7 の走査表示と同様に静止画像 6 9 を 1 画素ずつ流しながら、その有効領域 4 8 の静止画像画素を D / A 変換器 4 2 に出力するとともに、無効領域 5 0 内の静止画像画素を破棄してマスク画素を D / A 変換器 4 2 に出力する。

(2) 上記 (1) の処理において、縮小表示領域 7 3 内については、縮小原画像 7 5 を 1 画素ずつ流しながら、その有効領域 7 5 a 内の縮小原画像画素を D / A 変換器 4 2 に出力するとともに、無効領域 7 5 b 内の縮小原画像画素は破棄してマスク画素を D / A 変換器 4 2 に出力する。

40

【 0 0 8 3 】

画像処理回路 7 9 は、大別して、第 1 画像処理回路 8 0 と、第 2 画像処理回路 8 1 と、画素出力切替回路 8 2 とから構成される。第 1 画像処理回路 8 0 は、通常表示モード時には、前述の第 1 実施形態の画像処理回路 4 1 と同じ処理を行って、原画像画素またはマスク画素を画素出力切替回路 8 2 へ出力する。また、第 1 画像処理回路 8 0 は、PinP 表示モード時には上記 (2) の縮小原画像画素またはマスク画素を画素出力切替回路 8 2 へ出力する。

50

【0084】

第1画像処理回路80は、第1フレームメモリ84と、第1画素数カウント回路85と、第1ビットマップ変換回路86と、第1合成回路87と、画像縮小回路89と、演算処理回路(演算処理手段)90とを備えている。これらのうち、第1フレームメモリ84、第1画素数カウント回路85、第1ビットマップ変換回路86、第1合成回路87は、前述の画像処理回路41のメモリ・回路と同じものである。

【0085】

画像縮小回路89及び演算処理回路90は、通常表示モード時には作動を停止している。演算処理回路90は、通常表示モード時には演算処理を行わず、RAMから入力された画素数データ55をそのまま第1ビットマップ変換回路86へ出力する。なお、PinP表示モード時における第1画像処理回路80の各部の動作については、第2画像処理回路81について説明した後に説明する。

10

【0086】

第2画像処理回路81は、PinP表示モード時に作動し、上記(1)の処理(静止画像画素またはマスク画素の出力)を行う。この第2画像処理回路81は、原画像44の代わりに静止画像69を扱う以外は、上記第1実施形態の画像処理回路41と同じ処理を行う。従って、第2画像処理回路81は、上記第1実施形態の画像処理回路41と同じ構成であり、第2フレームメモリ92と、第2画素数カウント回路93と、第2ビットマップ変換回路94と、第2合成回路95とで構成される。

【0087】

第2フレームメモリ92は、第1フレームメモリ84と接続している。プロセッサ用CPU37は、通常表示モード時において内視鏡用CPU32からフリーズ操作情報が入力された時に、第1フレームメモリ84に格納されている原画像44を静止画像69として第2フレームメモリ92に格納する。次いで、プロセッサ用CPU37は、前述の第1実施形態で説明したように、静止画像69の各静止画像画素を左上隅～右下隅、左上隅～右下隅、・・・の順番で1画素ずつ第2合成回路95へ出力する。

20

【0088】

第2画素数カウント回路93は、第2フレームメモリ92から逐次出力される静止画像画素の数をカウントし、このカウント結果をプロセッサ用CPU37、第2合成回路95、及び画素出力切替回路82へ逐次出力する。これにより、プロセッサ用CPU37、第2合成回路95、及び画素出力切替回路82は、第2フレームメモリ92から出力された静止画像画素が有効領域48内の画素か否か、及び縮小表示領域73内の画素か否かを判別することができる。

30

【0089】

第2ビットマップ変換回路94は、RAM39から入力される画素数データ55をマスクビットマップデータ54に変換し、このマスクビットマップデータ54を第2合成回路95へ出力する。

【0090】

第2合成回路95はセレクタ部95aを備えている。このセレクタ部95aの出力線は、画素出力切替回路82に接続されている。第2合成回路95は、上記第1実施形態の合成回路60と同様に、第2画素数カウント回路93からのカウント結果に基づき、第2ビットマップ変換回路94からのマスクビットマップデータ54を参照して、セレクタ部95aをON状態・OFF状態に切替制御する。これにより、第2フレームメモリ92から入力される静止画像画素のうち、有効領域48内の静止画像画素はそのまま画素出力切替回路82へ出力され、無効領域50の静止画像画素は破棄されてマスク画素が画素出力切替回路82へ出力される。

40

【0091】

次に、PinP表示モード時における第1画像処理回路80の各部の動作について説明する。画像縮小回路89は、プロセッサ用CPU37からの制御に基づき、プロセッサ装置71がPinP表示モードに切り替えられた時に作動する。画像縮小回路89は、第1

50

フレームメモリ 84 に新たな原画像 44 が格納される度に、この原画像 44 を第 1 フレームメモリ 84 から読み出すとともに、所定の縮小倍率 ($1/n$ 倍) に縮小する縮小処理を施して、縮小原画像 75 を生成する。次いで、画像縮小回路 89 は、生成した縮小原画像 75 を第 1 フレームメモリ 84 に格納する。

【0092】

プロセッサ用 CPU 37 は、第 2 画素数カウント回路 93 から逐次入力されるカウント結果に基づき、第 2 フレームメモリ 92 から出力された静止画像画素が縮小表示領域 73 内の画素であると判別する度に、第 1 フレームメモリ 84 から縮小原画像 75 の各縮小原画像画素を左上隅～右下隅の順番で 1 画素ずつ第 1 合成回路 87 へ出力する。これにより、例えば、第 2 フレームメモリ 92 から縮小表示領域 73 の左上隅、・・・右上隅、・・・左下隅、・・・右下隅の静止画像画素がそれぞれ第 2 合成回路 95 へ出力された時に、第 1 フレームメモリ 84 から縮小原画像 75 の左上隅、・・・右上隅、・・・左下隅、・・・右下隅の縮小原画像画素がそれぞれ第 1 合成回路 87 へ出力される。

10

【0093】

第 1 画素数カウント回路 85 は、第 1 フレームメモリ 84 から出力される縮小原画像画素の数をカウントし、このカウント結果を第 1 合成回路 87 へ逐次出力する。これにより、第 1 合成回路 87 は、第 1 フレームメモリ 84 から入力された縮小原画像画素のアドレス (A_x, A_y) を判別することができる。

【0094】

演算処理回路 90 は、プロセッサ用 CPU 37 からの制御に基づき、プロセッサ装置 71 が Pin P 表示モードに切り替えられた時に作動する。演算処理回路 90 は、RAM 39 に接続されており、この RAM 39 から電子内視鏡 11 の種類に対応した画素数データ 55 が入力される。演算処理回路 90 は、画素数データ 55 を、縮小原画像 75 の縮小倍率に応じて $1/n$ 倍する縮小演算処理を行って縮小画素数データ 97 (図 12 参照) を生成し、この縮小画素数データ 97 を第 1 ビットマップ変換回路 86 へ出力する。

20

【0095】

縮小画素数データ 97 は、第 1 ビットマップ変換回路 86 において、縮小マスク画像 76 (図 10 (B) 参照) の縮小マスクビットマップデータ 98 (図 12 参照) を生成するための数値データである。

【0096】

図 12 に示すように、演算処理回路 90 は、縮小原画像 75 の縮小倍率が例えば $1/5$ 倍に設定された時に、画素数データ 55 を $1/5$ 倍する縮小演算処理 (イ) を行う。具体的には、縮小マスク画像 76 のライン数は、マスク画像 46 のライン数の $1/5$ 、すなわち、216 ラインになる。このため、演算処理回路 90 は、画素数データ 55 からアドレス $A_y = 1, 5, \dots, 5$ (h は 2 以上且つ 215 以下の自然数)、・・・1080 にそれぞれ対応する数値データを順番に読み出すとともに、この読み出し順に新たなアドレス $A_y = 1, 2, \dots, 216$ を割り当てる。つまり、ラインの間引き処理を行うことで、画素数データ 55 のライン数を $1/5$ に減らす。

30

【0097】

また、演算処理回路 90 は、画素数データ 55 から読み出した各数値データ (マスク画素数 $A (= C)$ 、露呈部画素数 B) をそれぞれ $1/5$ 倍する。これにより、各アドレス $A_y (1 \sim 216)$ のそれぞれの画素数の総計は、1920 (画素) の $1/5$ である 384 (画素) となる。これら間引き処理及び数値データの割り算処理により、縮小画素数データ 97 が生成される。

40

【0098】

第 1 ビットマップ変換回路 86 は、縮小画素数データ 97 をビットマップ変換処理 (ロ) して、縮小マスクビットマップデータ 98 を生成する。縮小マスクビットマップデータ 98 は、384 画素 \times 216 ライン = 82944 (画素) のそれぞれに対応して設けられたマスクデータ (「0」or「1」) からなり、各マスクデータにはそれぞれアドレスが割り当てられている。第 1 ビットマップ変換回路 86 は、生成した縮小マスクビットマッ

50

ブデータ 98 を第 1 合成回路 87 へ出力する。

【0099】

図 11 に戻って、第 1 合成回路 87 はセクタ部 87a を備えており、このセクタ部 87a の出力線は、画素出力切替回路 82 に接続されている。第 2 合成回路 95 は、上記合成回路 60 及び第 2 合成回路 95 と同様に、第 1 画素数カウント回路 85 からのカウント結果に基づき、第 1 ビットマップ変換回路 86 からの縮小マスクビットマップデータ 98 を参照して、セクタ部 87a を ON 状態・OFF 状態に切替制御する。これにより、第 1 フレームメモリ 84 から入力される縮小原画像画素のうち、有効領域 75a の縮小原画像画素はそのまま画素出力切替回路 82 へ出力され、無効領域 75b の縮小原画像画素は破棄されて代わりにマスク画素が画素出力切替回路 82 へ出力される。

10

【0100】

画素出力切替回路 82 は、セクタ部 82a を備えている。セクタ部 82a は、第 1 合成回路 87 の出力線と D/A 変換器 42 とを電氣的に接続する「ON」状態、及び第 2 合成回路 95 の出力線と D/A 変換器 42 とを電氣的に接続する「OFF」状態に切替可能である。画素出力切替回路 82 は、通常表示モード時には、セクタ部 82a を常時 ON 状態に設定する。これにより、第 1 合成回路 87 から出力される原画像画素・マスク画素がそのまま D/A 変換器 42 へ出力される。

【0101】

PinP 表示モード時に、画素出力切替回路 82 は、第 2 画素数カウント回路 93 から入力されるカウント結果に基づき、第 2 フレームメモリ 92 から出力された静止画像画素が縮小表示領域 73 内の画素か否かを判別する。画素出力切替回路 82 は、縮小表示領域 73 外の画素であると判別した時は、セクタ部 82a を OFF 状態に設定する。これにより、第 2 合成回路 95 で選択・出力した静止画像画素・マスク画素が D/A 変換器 42 へ出力される。

20

【0102】

また、画素出力切替回路 82 は、縮小表示領域 73 内の画素であると判別した時は、セクタ部 82a を ON 状態に設定する。この時には、前述したように、第 1 フレームメモリ 84 からの縮小原画像画素の出力が開始されるため、第 1 合成回路 87 で選択・出力した縮小原画像画素・マスク画素が D/A 変換器 42 へ出力される。なお、この場合には第 2 合成回路 95 で選択・出力した静止画像画素・マスク画素は破棄される。

30

【0103】

このように、第 2 フレームメモリ 92 から出力された静止画像画素が縮小表示領域 73 内の画素であるか否かに基づいて、セクタ部 82a を ON 状態・OFF 状態に切り替えることで、モニタ 27 に PinP 画像 77 が走査表示される。

【0104】

PinP 表示モードは、術者が電子内視鏡 11 の操作部 15 で所定の終了操作（例えば、フリーズボタン 25 の再押下）を行った時に終了する。この終了後、プロセッサ装置 71 は通常表示モードに切り替わる。

【0105】

次に、図 13 及び図 14 に示すフローチャートを用いて、第 2 実施形態の内視鏡システム（プロセッサ装置 71）の作用について説明する。なお、図 13 において、通常表示モードのプロセッサ装置 71 により合成観察画像 47 がモニタ 27 に走査表示されるまでの処理は、上記第 1 実施形態の図 8 及び図 9 で説明した処理と基本的に同じであるため、説明は省略する。

40

【0106】

術者は、モニタ 27 に表示される合成観察画像 47 を観察し、患部を詳細に観察したい場合にはフリーズボタン 25 を押下操作する。この押下操作がなされると、電子内視鏡 11 の内視鏡用 CPU 32 からプロセッサ用 CPU 37 へフリーズ操作情報が入力される。

【0107】

プロセッサ用 CPU 37 は、内視鏡用 CPU 32 からフリーズ操作情報が入力された時

50

に、プロセッサ装置 71 を通常表示モードから P i n P 表示モードへ切り替える。これと同時に、プロセッサ用 C P U 37 は、第 1 フレームメモリ 84 に格納されている原画像 44 を静止画像 69 として、第 2 フレームメモリ 92 に格納する。また、第 2 ビットマップ変換回路 94 は、R A M 39 からの画素数データ 55 をビットマップ変換して生成したマスクビットマップデータ 54 を第 2 合成回路 95 へ出力する。

【 0 1 0 8 】

プロセッサ装置 71 が P i n P 表示モードに切り替えられると、プロセッサ用 C P U 37 は、第 1 画像処理回路 80 の演算処理回路 90 を作動させる。演算処理回路 90 は、前述の図 12 を用いて説明したように、R A M 39 から入力された画素数データ 55 に対して $1/n$ 倍縮小演算処理を行って縮小画素数データ 97 を生成し、この縮小画素数データ 97 を第 1 ビットマップ変換回路 86 へ出力する。第 1 ビットマップ変換回路 86 は、縮小画素数データ 97 を縮小マスクビットマップデータ 98 に変換して第 1 合成回路 87 へ出力する。

10

【 0 1 0 9 】

また、P i n P 表示モードへの切替時に、プロセッサ用 C P U 37 は、第 1 画像処理回路 80 の画像縮小回路 89 も作動させる。画像縮小回路 89 は、第 1 フレームメモリ 84 に新たな原画像 44 が格納される度に、この原画像 44 を所定の縮小倍率 ($1/n$) に縮小処理した縮小原画像 75 を生成し、この縮小原画像 75 を第 1 フレームメモリ 84 に格納 (縮小処理前の原画像 44 に上書き) する。

【 0 1 1 0 】

図 14 において、プロセッサ用 C P U 37 は、第 2 フレームメモリ 92 に格納された静止画像 69 の各静止画像画素を左上隅 ~ 右下隅、左上隅 . . . の順番で 1 画素ずつ第 2 合成回路 95 へ出力する。そして、第 2 画素数カウント回路 93 は、静止画像画素のカウント結果をプロセッサ用 C P U 37、第 2 合成回路 95、及び画素出力切替回路 82 へ逐次出力する。なお、カウント結果が 2073600 に達した時は、このカウント結果の出力後にカウンタを 0 にリセットする。

20

【 0 1 1 1 】

第 2 合成回路 95 は、前述したように、第 2 フレームメモリ 92 から入力した静止画像画素が有効領域 48 内の画素であればそのまま画素出力切替回路 82 へ出力し、無効領域 50 内の画素であれば代わりにマスク画素を画素出力切替回路 82 へ出力する。以下同様にして、P i n P 表示モードが終了するまで、第 2 画像処理回路 81 から静止画像画素またはマスク画素が画素出力切替回路 82 へ出力される。

30

【 0 1 1 2 】

これと同時に、プロセッサ用 C P U 37 は、第 2 画素数カウント回路 93 から逐次入力されるカウント結果に基づき、第 2 フレームメモリ 92 から出力された静止画像画素が縮小表示領域 73 内の画素であると判定する度に、第 1 フレームメモリ 84 から縮小原画像 75 の各縮小画像画素を左上隅 ~ 右下隅の順番で 1 画素ずつ第 1 合成回路 87 へ出力する。そして、第 1 画素数カウント回路 85 は、第 1 フレームメモリ 84 から出力される縮小原画像画素のカウント結果を第 1 合成回路 87 へ逐次出力する。

【 0 1 1 3 】

第 1 合成回路 87 は、前述したように、第 1 フレームメモリ 84 から入力した縮小原画像画素が有効領域 75 a 内の画素であればそのまま画素出力切替回路 82 へ出力し、無効領域 75 b 内の画素であれば代わりにマスク画素を画素出力切替回路 82 へ出力する。以下同様にして、P i n P 表示モードが終了するまで、第 1 画像処理回路 80 から縮小原画像画素またはマスク画素が 1 画素ずつ画素出力切替回路 82 へ出力される。

40

【 0 1 1 4 】

画素出力切替回路 82 は、第 2 画素数カウント回路 93 から入力されるカウント結果に基づき、第 2 フレームメモリ 92 から出力された静止画像画素が縮小表示領域 73 外の画素であると判別した場合には、第 2 合成回路 95 で選択・出力した静止画像画素・マスク画素を D/A 変換器 42 へ出力する。逆に、画素出力切替回路 82 は、縮小表示領域 73

50

内の画素であると判別した場合には、第1合成回路87で選択・出力した縮小原画像画素・マスク画素をD/A変換器42へ出力する。

【0115】

D/A変換器42は、画素出力切替回路82から逐次出力される静止画像画素、縮小原画像画素、マスク画素を逐次アナログ信号に変換してモニター27へ出力する。これにより、モニター27にPinP画像77が走査表示される。以下、術者が電子内視鏡11の操作部15で所定の終了操作を行うまで、上述のPinP画像77の走査表示処理が継続する。そして、この終了操作が行われると、プロセッサ用CPU37は、プロセッサ装置71を通常表示モードに切り替える。以下、内視鏡検査が終了するまで、上記第1実施形態で説明した合成観察画像47の走査表示が行われる。

10

【0116】

以上のように本発明のプロセッサ装置71では、マスク画像46をその形状を変えないで1/nに縮小処理する際に、画素数データ55に対して1/n倍演算処理(ライン間引き処理、数値データの割り算処理)するので、画素数データ55に対してデータサイズが大きいマスクビットマップデータ54に対して演算処理を行うのに比べて、取り扱うデータ量が減る分、プロセッサ用CPU37や画像処理回路79の負荷を低減することができる。

【0117】

また、縮小画面用のマスク画像数データを別途必要としないため、ROM38やRAM39の容量を減らすことができ、なおかつ、取り扱うデータ量が減る分、プロセッサ用CPU37や画像処理回路79の負荷を低減することができる。

20

【0118】

上記第1実施形態(第2実施形態も同様)では、画素数データ55をビットマップ変換処理して生成したマスクビットマップデータ54を参照して、フレームメモリ57から入力される原画像画素が有効領域48内の画素であるか否かを判別しているが、本発明はこれに限定されるものではない。前述したように、画素数データ55の各数値データ(マスク画素数A、露呈部画素数B)から、マスク画像46の各水平ラインの画素配列情報が分かるので、直接画素数データ55から原画像画素が有効領域48内の画素であるか否かを判別するようにしてもよく、その場合は合成回路60内のキャッシュメモリが不要となる。

30

【0119】

上記各実施形態では、プロセッサ用CPU37が、ROM38から全画素数データ55を読み出してRAM39に格納しているが、本発明はこれに限定されるものではなく、電子内視鏡11の識別情報に対応する画素数データのみをROM38から読み出して、RAM39に格納してもよい。

【0120】

上記第1実施形態(第2実施形態も同様)では、モニター27への画素毎の出力タイミングに同期して原画像44とマスク画像46の合成を行っているが、予め原画像44とマスク画像46とを合成して合成観察画像47を生成した後に、ビデオ信号の出力を開始してもよい。

40

【0121】

上記第2実施形態では、マスク画像46を1/nに縮小処理する際に、画素数データ55を1/n倍演算処理する場合を例に挙げて説明を行ったが、これとは逆にマスク画像46をその形状を変えないでn倍に拡大する際には、前述の演算処理回路90で画素数データ55をn倍演算処理すればよい。このn倍演算処理は、前述の1/n倍演算処理とは逆の処理、すなわち、ライン数の増加処理(ライン数n倍)と数値データの掛け算処理(A、B×n)とを行えばよい。

【0122】

上記各実施形態では、マスク画像46として画素数データ55をROM38に格納しているが、本発明はこれに限定されるものではなく、前述のマスク画像46のプロファイル

50

(位置、大きさ、形状)を表した各種のプロファイルデータを用いることができる。

【0123】

例えば、図15に示すプロファイルデータ100は、マスク画像46の水平ライン毎に求められ、前述の図6で説明した境界P1, P2の位置を数値化した境界位置データと、マスク画像46の各水平ラインの画素数を示すライン画素数データ(すなわち、1920)とから構成される。

【0124】

各境界位置データには、垂直方向のライン位置を示すアドレスAyが与えられている。そして、各水平ラインにおける境界位置データは、例えば、境界P1, P2がそれぞれラインの左側から何番目の画素であるかを示す境界位置 A_{P1} , B_{P1} からなる。境界位置 A_{P1} , B_{P1} は、1番目~1920番目のうちのいずれかの数値で表される。なお、水平ライン中に境界P1, P2が存在しない場合には、境界位置データは「-」となる。また、露呈部52の最上点、最下点を通るラインでは、境界P1, P2は一致するので、境界位置 A_{P1} , B_{P1} は同じ値になる。

10

【0125】

例えば、プロファイルデータ100のアドレスAy=3の境界位置データは、境界位置 $A_{P1}=950$ 、境界位置 $B_{P2}=970$ であるため、マスク画像46の上から3ライン目は、左側から順に950個のマスク画素、20個の露呈部画素、950個のマスク画素が配列された構成になる。このように、プロファイルデータ100からも、マスク画像46の各水平ラインの画素配列情報が分かる。このため、前述の画素数データ55と同様に、マスクビットマップデータ54への変換処理も容易に行うことができる。

20

【0126】

上記各実施形態では、マスク画像46(縮小マスク画像76)が矩形画像であり、露呈部52(76a)が円状である場合を例に挙げて説明を行ったが、本発明はこれに限定されるものではなく、これは別の形状であってもよい。

【0127】

上記各実施形態では、画素数データ55がプロセッサ装置12, 71のROM38に格納されている場合を例に挙げて説明を行ったが、本発明はこれに限定されるものではなく、画素数データ55が電子内視鏡11のROM33や、プロセッサ装置12, 71に接続された各種外部記憶装置に格納されていてもよい。プロセッサ用CPU37は、電源ON時にこれらから画素数データ55を読み出す。

30

【0128】

上記各実施形態では、前述のマスク画像46のプロファイルデータとして、画素数データ55やプロファイルデータ100を例に挙げて説明を行ったが、本発明はこれに限定されるものではなく、例えば演算式等を用いてもよい。

【0129】

上記各実施形態では、CCD20の有効画素、原画像44のサイズ、マスクビットマップデータ54、を1920x1080画素としているが、本発明はこれに限定されるものではなく、どんな画素数であってもよい。記載はないが当然モニタ27の表示画素についても同様である。

40

【0130】

上記各実施形態では、マスクデータ「1」は露呈部画素、マスクデータ「0」はマスク画素としているが、本発明はこれに限定されるものではなく、論理は問わない。

【0131】

上記各実施形態では、フレームメモリ57からの原画像画素の出力順、RAM39からのプロファイルデータの出力順、合成回路60内キャッシュメモリからのマスクビットマップデータ54の出力順はプログレッシブ処理を想定して連続としているが、本発明はこれに限定されるものではなく、例としてインターレース処理を施す場合はAyは1, 3, 5, ... 1079, 2, 4, ... 1080, となる。

【0132】

50

上記第2実施形態では、第2フレームメモリ92と第1フレームメモリ84は接続しているが、本発明はこれに限定されるものではなく、各画像を該当フレームメモリへ格納する際の格納先を切替えて実施してもよい。

【0133】

上記第2実施形態では、PinP表示モードに切替えた時に原画像44を第1フレームメモリ84から読み出して縮小処理を施して縮小原画像75を生成して再度同一フレームメモリに格納するが、本発明はこれに限定されるものではなく、原画像44をそのまま縮小処理を施しながら縮小原画像75のみを第1フレームメモリ84に格納してもよいし、また、原画像44を第1フレームメモリ84から読み出しながら縮小処理を施して縮小原画像75を生成して後段処理に送ってもよい。

10

【0134】

上記実施形態では、電子内視鏡での事例としているが、本発明はこれに限定されるものではなく、工業用内視鏡、デジタルスチルカメラ、ビデオカメラ、車載用カメラ、監視用カメラ、携帯電話カメラ、に適用してもよい。

【図面の簡単な説明】

【0135】

【図1】第1実施形態の内視鏡システムの概略図である。

【図2】電子内視鏡システムの電氣的構成を示すブロック図である。

【図3】(A)は原画像、(B)はマスク画像、(C)は原画像にマスク画像を合成した合成観察画像を説明するための説明図である。

20

【図4】マスクビットマップデータの一例を示した説明図である。

【図5】プロセッサ装置の画像処理回路のブロック図である。

【図6】マスク画素数A(=C)、露呈部画素数Bを説明するための説明図である。

【図7】画素数データの一例を示した説明図である。

【図8】内視鏡検査時におけるプロセッサ装置の動作を説明するためのフローチャートである。

【図9】合成観察画像の走査表示処理の流れを説明するためのフローチャートである。

【図10】(A)は静止合成観察画像、(B)は縮小合成観察画像、(C)はPinP画像を説明するための説明図である。

【図11】第2実施形態のプロセッサ装置の画像処理回路のブロック図である。

30

【図12】(イ)画素数データの縮小演算処理、(ロ)縮小画素数データのビットマップ変換処理を説明するための説明図である。

【図13】内視鏡検査時における第2実施形態のプロセッサ装置の動作を説明するためのフローチャートである。

【図14】PinP画像の走査表示処理の流れを説明するためのフローチャートである。

【図15】プロファイルデータの他の例を説明するための説明図である。

【符号の説明】

【0136】

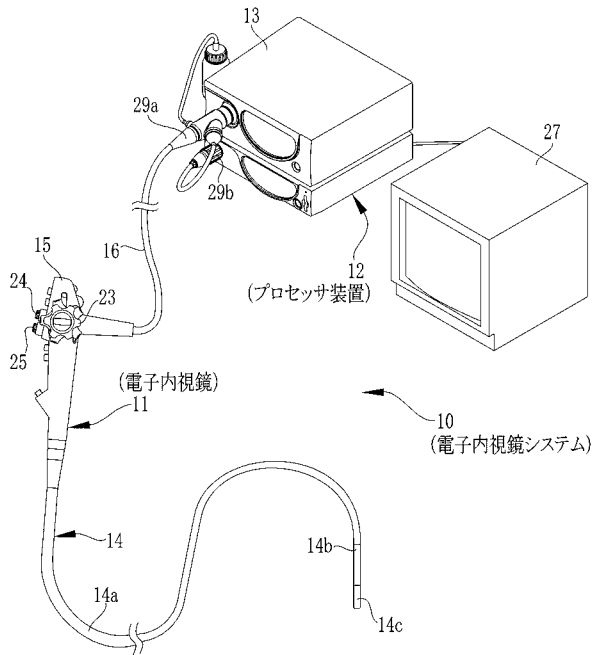
- 10 内視鏡システム
- 11 電子内視鏡
- 12, 71 プロセッサ装置
- 25 フリーズボタン
- 27 モニタ
- 32 内視鏡用CPU
- 37 プロセッサ用CPU
- 38 ROM
- 41, 79 画像処理回路
- 44 原画像
- 46 マスク画像
- 47 合成観察画像

40

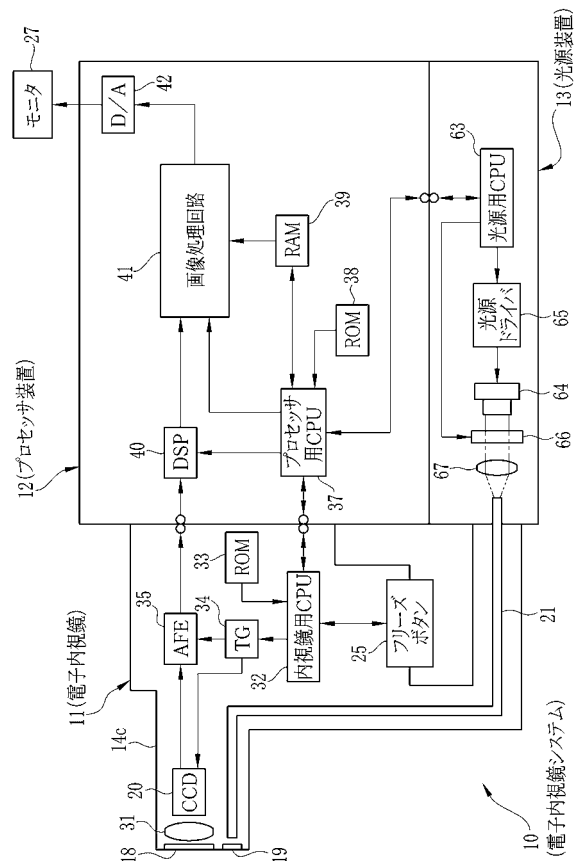
50

- 4 8 有効領域
- 5 0 無効領域
- 5 2 露呈部
- 5 4 マスクビットマップデータ
- 5 5 画素数データ
- 7 5 縮小原画像
- 7 6 縮小マスク画像
- 7 7 PinP画像
- 9 7 縮小画素数データ
- 9 8 縮小マスクビットマップデータ
- 1 0 0 プロファイルデータ

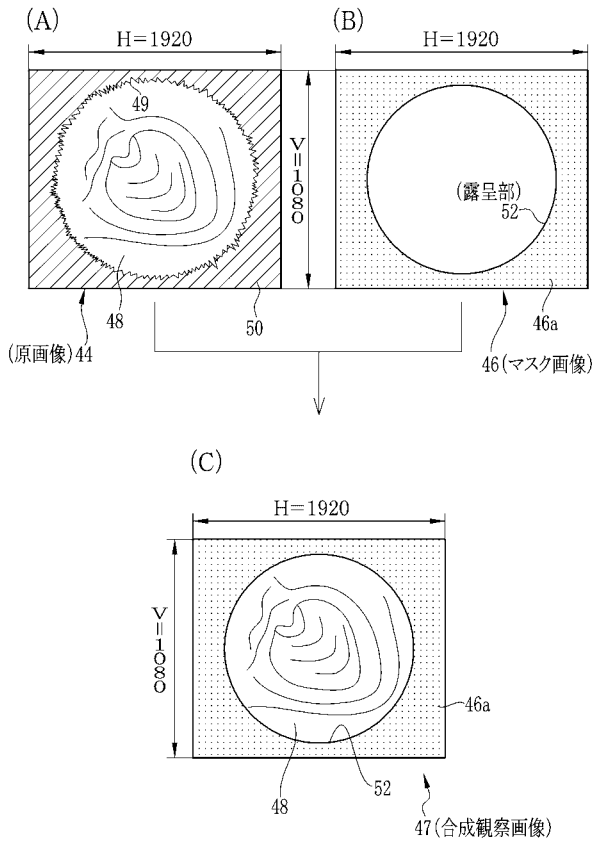
【 図 1 】



【 図 2 】



【図3】



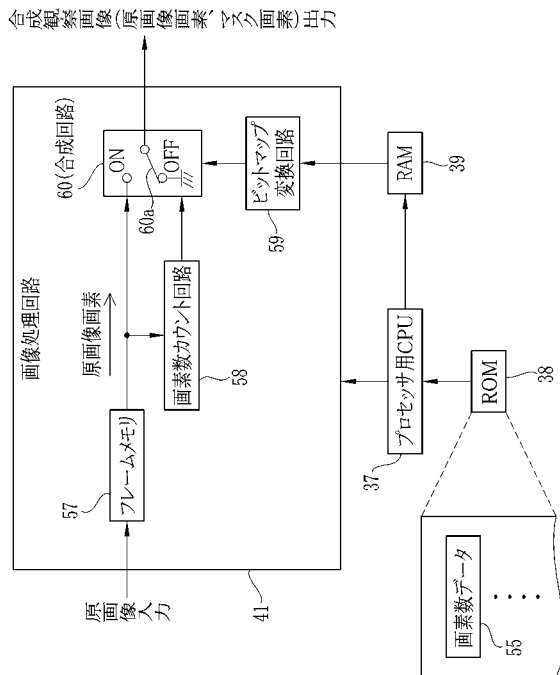
【図4】

54

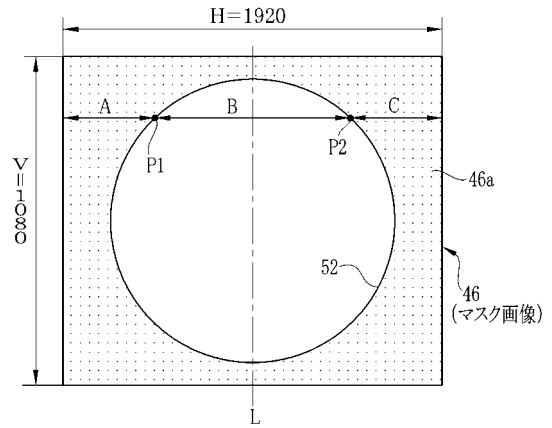
マスクビットマップデータ

Ay \ Ax	1	2	3	4	5	...	1919	1920
1	0	0	0	0	0	...	0	0
2	0	0	0	0	1	...	0	0
3	0	0	0	1	1	...	0	0
4	0	0	1	1	1	...	0	0
5	0	1	1	1	1	...	1	0
⋮
1079	0	0	0	0	1	...	0	0
1080	0	0	0	0	0	...	0	0

【図5】



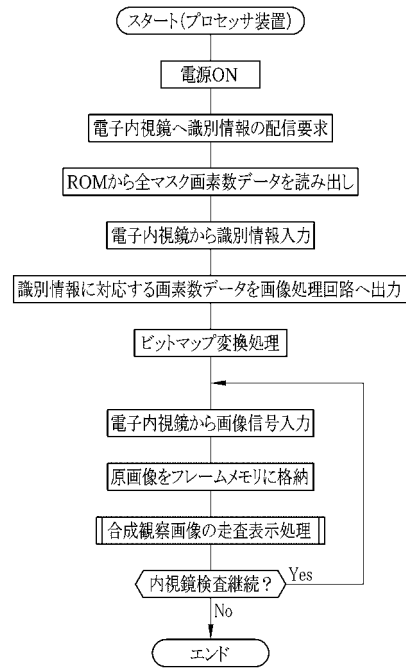
【図6】



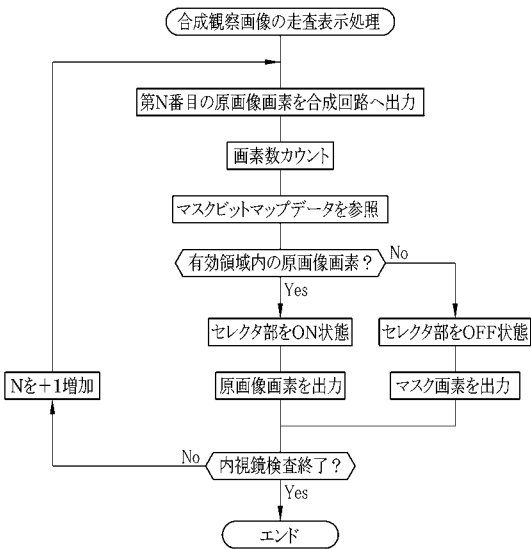
【 図 7 】

画素数データ	
Ay	数値データ
1	A(=C)=960、B=0
2	A(=C)=950、B=20
3	A(=C)=900、B=120
4	A(=C)=800、B=320
5	A(=C)=700、B=520
⋮	⋮
1079	A(=C)=950、B=20
1080	A(=C)=960、B=0

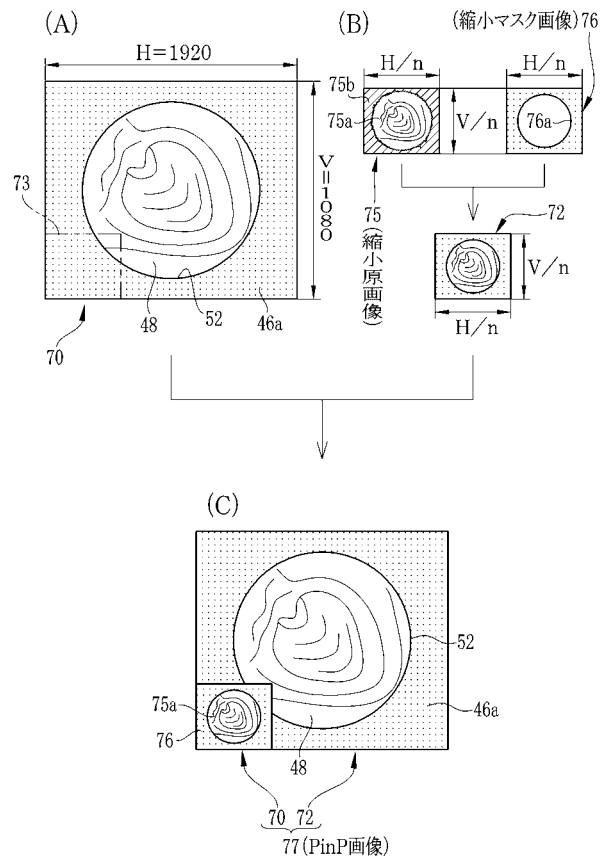
【 図 8 】



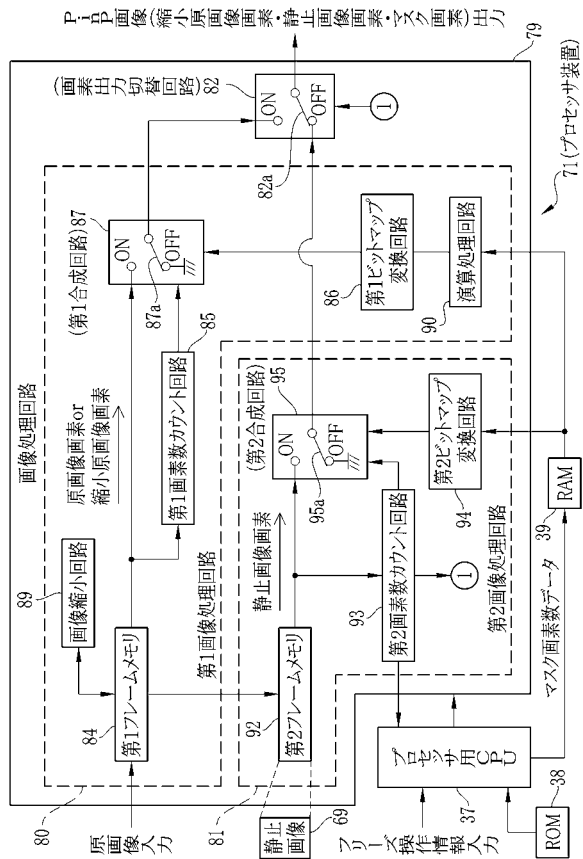
【 図 9 】



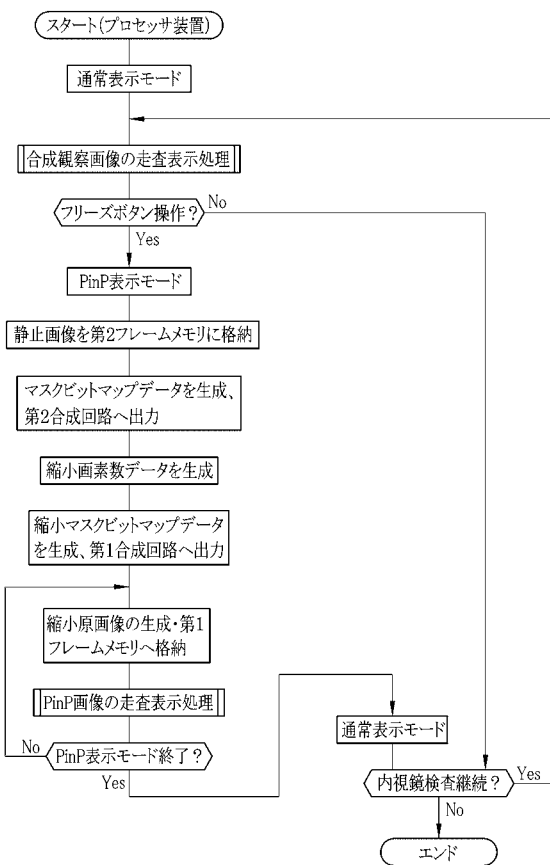
【 図 10 】



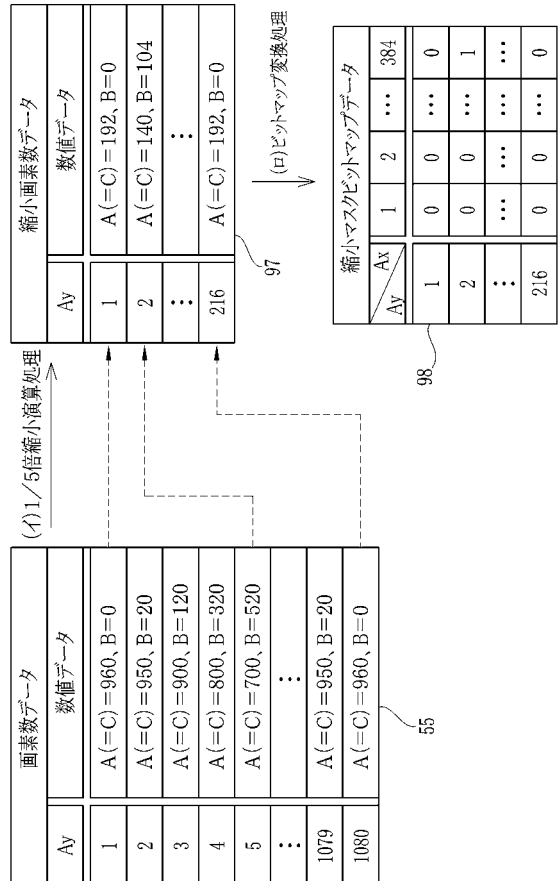
【図 1 1】



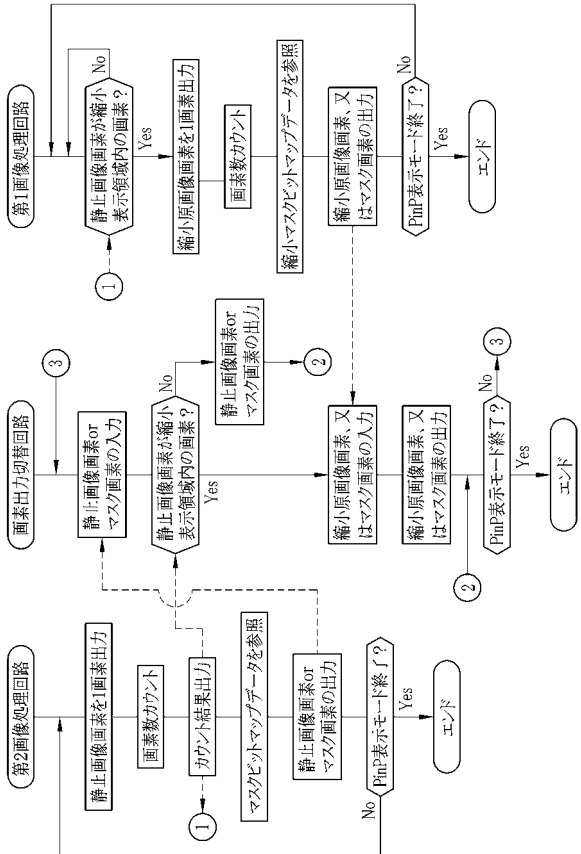
【図 1 3】



【図 1 2】



【図 1 4】



【 図 1 5 】

100

プロファイルデータ		
Ay	境界位置データ	ライン画素数データ
1	—	1920
2	$A_{p1}=B_{p2}=960$	
3	$A_{p1}=950, B_{p2}=970$	
4	$A_{p1}=940, B_{p2}=980$	
5	$A_{p1}=930, B_{p2}=990$	
⋮	⋮	
1079	$A_{p1}=B_{p2}=960$	
1080	—	