(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3846796号

(P3846796)

(45)発行日　平成18年11月15日(2006.11.15)　(24)登録日　平成18年9月1日(2006.9.1)

(51)Int.Cl.		F I		
H01L 21/822	(2006.01)	H01L	27/04	Z
H01L 27/04	(2006.01)	H01L	27/08	102D
H01L 21/8234	(2006.01)	H01L	21/88	S
H01L 27/088	(2006.01)	H01L	27/08	321F
H01L 23/52	(2006.01)	H01L	29/06	301Z

請求項の数 13　(全 19 頁)　最終頁に続く

(21)出願番号　特願2002-345724(P2002-345724)
(22)出願日　平成14年11月28日(2002.11.28)
(65)公開番号　特開2004-179496(P2004-179496A)
(43)公開日　平成16年6月24日(2004.6.24)
審査請求日　平成16年11月24日(2004.11.24)

前置審査

(73)特許権者　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目７番３号
(74)代理人　100089233
弁理士　吉田　茂明
(74)代理人　100088672
弁理士　吉竹　英俊
(74)代理人　100088845
弁理士　有田　貴弘
(72)発明者　清水　和宏
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内

審査官　北島　健次

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】

【請求項１】

半導体基板と、

前記半導体基板上に設けられた絶縁層と、

前記絶縁層上で延在し、第１電位が印加される第１電極と、

周囲から絶縁されて設けられる第２電極と、

前記第１電位よりも低い第２電位が印加され、前記第２電極と静電結合する第３電極と、

前記半導体基板と反対側で前記第２電極を覆うモールド樹脂と、

前記絶縁層に対して前記第２電極と反対側に配置され、前記モールド樹脂に覆われ、前記第１電位が与えられて動作するＭＯＳトランジスタと、

前記絶縁層に対して前記第２電極と反対側に配置され、前記ＭＯＳトランジスタを分離するＲＥＳＵＲＦ分離領域と

を備え、

前記第１電極が延在する方向に垂直で、前記第２電極が前記第１電極に対して前記半導体基板と反対側に位置する断面が存在する半導体装置。

【請求項２】

前記第３電極は前記第１電極と同じ層に配置される、請求項１記載の半導体装置。

【請求項３】

前記第３電極は前記第２電極と同じ層に配置される、請求項１記載の半導体装置。

【請求項４】
前記断面において前記第２電極に対して前記第１電極と反対側に位置し、前記第３電極と接続される第４電極を更に備える、請求項３記載の半導体装置。
【請求項５】
周囲から絶縁されて設けられる第４電極を更に備え、
前記第３電極は前記第４電極を介して前記第２電極と静電結合する、請求項１記載の半導体装置。
【請求項６】
前記第１電極と同じ層に配置され、前記第２電極と接続される第４電極を更に備える、請求項１記載の半導体装置。
【請求項７】
前記断面において前記第１電極に対して前記第２電極と反対側に位置し、前記第３電極と静電結合する第４電極を更に備える、請求項１記載の半導体装置。
【請求項８】
前記第２電位が印加され、前記第４電極と同じ層に配置される第５電極を更に備える、請求項７記載の半導体装置。
【請求項９】
周囲から絶縁されて設けられる第５電極を更に備え、
前記第３電極は前記第５電極を介して前記第４電極と静電結合する、請求項７記載の半導体装置。
【請求項１０】
前記断面において前記第１電極に対して前記第２電極と反対側に位置し、前記第２電極と接続される第４電極を更に備える、請求項１記載の半導体装置。
【請求項１１】
前記絶縁層が拡がる方向に沿って前記第１電極と離れて配置され、前記モールド樹脂に覆われ、前記第１電位よりも低い電位で動作するＣＭＯＳトランジスタを含む、請求項１乃至請求項１０のいずれか一つに記載の半導体装置。
【請求項１２】
前記第１電極が延在する方向に、前記第２電極が複数の空隙を有する、請求項１乃至１１のいずれか一つに記載の半導体装置。
【請求項１３】
前記第１電極が延在する方向に、前記第２電極が相互に静電結合する複数の電極に区分される、請求項１２記載の半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は電界を遮蔽する技術に関する。
【０００２】
【従来の技術】
半導体チップ上に固形やゲル状の樹脂を被覆する半導体装置では、印加電圧により樹脂中にある不純物となるイオンが移動し、分極した状態になる。この場合、イオンにより発生する電圧で集積回路を構成する素子のしきい値を超えてしまうことが起こり、またとなり合う素子間でリーク電流となるチャネルが発生することが起こるため、素子としての機能が果たせなくなるという問題があった。かかる問題は例えば特許文献１において指摘されている。
【０００３】
また、配線層から放出されて他の回路部に飛び込む電磁波ノイズを低減するための技術が例えば特許文献２や特許文献３において指摘されている。
【０００４】
【特許文献１】

特開平１１－２０４７３３号公報
【特許文献２】
特開平５－４７７６７号公報
【特許文献３】
特開平８－２７４１６７号公報
【０００５】
【発明が解決しようとする課題】
しかしながら、固定電位が与えられて断面視上で連続する導電材料で配線層を囲んだ場合、配線層に印加される電圧が高くなれば、配線層と導電材料との間の絶縁材にかかる電圧も高くなり、当該絶縁材における絶縁破壊が生じ易くなる傾向を招来する。
【０００６】
そこで本発明は、配線層からの電界を遮蔽しつつ、絶縁破壊を生じにくくする技術を提供することを目的とする。
【０００７】
【課題を解決するための手段】
この発明にかかる半導体装置は、半導体基板と、前記半導体基板上に設けられた絶縁層と、前記絶縁層上で延在し、第１電位が印加される第１電極と、周囲から絶縁されて設けられる第２電極と、前記第１電位よりも低い第２電位が印加され、前記第２電極と静電結合する第３電極と、前記半導体基板と反対側で前記第２電極を覆うモールド樹脂と、前記絶縁層に対して前記第２電極と反対側に配置され、前記モールド樹脂に覆われ、前記第１電位が与えられて動作するＭＯＳトランジスタと、前記絶縁層に対して前記第２電極と反対側に配置され、前記ＭＯＳトランジスタを分離するＲＥＳＵＲＦ分離領域とを備える。そして、前記第１電極が延在する方向に垂直で、前記第２電極が前記第１電極に対して前記半導体基板と反対側に位置する断面が存在する。
【０００８】
【発明の実施の形態】
実施の形態１．
図１は本発明の実施の形態１にかかる半導体装置を示す断面図である。半導体基板５００上に絶縁層１０１，１０２，１０３がこの順に積層されている。以下では半導体基板５００から絶縁層１０１，１０２，１０３側を見た方向を上方、その反対方向を下方とする。絶縁層１０１，１０２の境界近傍には同じ層に電極２００，２０２，２０３が設けられ、絶縁層１０２，１０３の境界近傍には電極２０１が設けられている。かかる構造は、例えば半導体基板５００上に絶縁層１０１、電極２００，２０２，２０３、絶縁層１０２、電極２０１、絶縁層１０３を順次に形成することによって得ることができる。これらの電極２００～２０２は相互に絶縁されており、電極２０２，２０３は相互に接続されている。
【０００９】
電極２００は紙面に垂直な方向に沿って延在しており、高電位ＨＶが印加される。一方、電極２０２，２０３には低電位ＧＮＤが印加される。例えば高電位ＨＶは３０ボルト以上であり、低電位ＧＮＤは接地電位である。電極２０１は周囲から絶縁されており、その電位は周囲との静電結合によって決定される。このように周囲から絶縁されてその電位が静電結合によって決定される電極を、本発明において「浮遊電極」と仮称する。
【００１０】
高電位ＨＶが印加される電極２００が延在する方向に垂直な断面（以下「高電位配線断面」と仮称す）において、浮遊電極２０１は電極２００の上方を覆っている。後述するように、必ずしも延在する電極２００の全ての位置における高電位配線断面において、浮遊電極２０１が電極２００の上方を覆う必要はない。換言すれば、浮遊電極２０１が電極２００に対して半導体基板５００と反対側に現れる高電位配線断面が、延在する電極２００のいずれかの位置において存在するのである。もちろん、延在する電極２００の全ての位置における高電位配線断面において浮遊電極２０１が電極２００に対して半導体基板５００と反対側に現れてもよい。

【００１１】
浮遊電極２０１と電極２０２とは静電容量Ｃ１で静電結合し，浮遊電極２０１と電極２０３とは静電容量Ｃ２で静電結合し、電極２００と浮遊電極２０１とが静電容量Ｃ３で静電結合し、浮遊電極２０１には電荷ＱＦが蓄えられて電位ＶＦが生じるとすると、式（１）が成立する。
【００１２】
【数１】

$$(C1+C2)(VF-0)+C3(VF-HV)+QF=0 \quad \cdots(1)$$

【００１３】
但し浮遊電極２０１に対する電荷の供給源がなく、電荷ＱＦの値は零であるので、式（２）として電位ＶＦが求められ、ＶＦ＜ＨＶが成立する。
【００１４】
【数２】

$$VF=C3\cdot HV/(C1+C2+C3) \quad \cdots(2)$$

【００１５】
よって電極２００から周囲の低電位の部位へと発生する電界の強さと比較して、電極２００を覆う浮遊電極２０１から周囲の低電位の部位へと発生する電界の強さを小さくすることができる。つまり電極２００から発生する電界を遮蔽できる。
【００１６】
しかも電極２００と浮遊電極２０１との間において絶縁層１０２にかかる電圧は（ＨＶ－ＶＦ）／ＨＶであり、断面視上で連続する導電材料で囲んで当該導電材料に電位ＧＮＤを供給した場合と比較すると低い。よって絶縁層１０２において絶縁破壊が生じ難くすることができる。
【００１７】
遮蔽を効果的に行うためには静電容量Ｃ１，Ｃ２を静電容量Ｃ３よりも大きくして電位ＶＦを下げることが望ましい一方、絶縁層１０２において絶縁破壊が生じにくくする観点からは、静電容量Ｃ１，Ｃ２は静電容量Ｃ３よりも小さいことが望ましい。換言すれば、浮遊電極２０１及びこれと絶縁された電極２０２，２０３を採用することにより、静電容量Ｃ１，Ｃ２，Ｃ３というパラメータを制御して遮蔽効果と耐圧とを適切に設定することが可能となる。
【００１８】
もちろん、本実施の形態において電極２０３の存在は必須ではなく、これを省略することができる。その場合には上記の説明において静電容量Ｃ２を零として取り扱うことになる。
【００１９】
浮遊電極２０１は高電位ＨＶが印加される電極２００の上方を覆うことが望ましい。更に電界の遮蔽という観点からは、断面視上、電極２００の幅方向の縁から、これに近い方の浮遊電極２０１の幅方向の縁を見た仰角α，βが４５度以下であることが望ましい。
【００２０】
上記のような高電位ＨＶが印加される電極を遮蔽する効果は、周辺に高電位ＨＶよりも低電位で駆動される半導体素子が存在する場合に特に望まれる効果である。
【００２１】
図２乃至図４は本実施の形態の効果を説明する断面図である。図２及び図３では本実施の形態を適用しない場合について例示し、図４では本実施の形態を適用した場合について例

示している。

【００２２】

図２において、半導体基板５００にはＮウェル５０１及びＰウェル５１１が形成され、それぞれにはＰＭＯＳトランジスタＱＰ及びＮＭＯＳトランジスタＱＮが形成されている。ＰＭＯＳトランジスタＱＰ及びＮＭＯＳトランジスタＱＮはＣＭＯＳトランジスタを構成している。

【００２３】

具体的にはＮウェル５０１上に一対のＰ$^+$層５０２が離れて設けられ、両者の間の上方にはゲート５０３が設けられる。また一方のＰ$^+$層５０２には隣接してＮ$^+$層５０４が設けられ、これらはそれぞれソース及びバックゲートとして機能する。他方のＰ$^+$層５０２はドレインとして機能する。Ｐウェル５１１上に一対のＮ$^+$層５１２が離れて設けられ、両者の間の上方にはゲート５１３が設けられる。Ｎ$^+$層５１２はソース又はドレインとして機能する。トランジスタＱＮ，ＱＰは絶縁層１０１で分離され、また絶縁層１０２、モールド樹脂１２０によってこの順に覆われている。図面の簡単のため、ゲート５０３，５１３の下方のゲート酸化膜も絶縁層１０２に含めて描かれている。

【００２４】

トランジスタＱＮ，ＱＰから、絶縁層１０１が拡がる方向に離れて、絶縁層１０１上には電極２００が設けられ、これは絶縁層１０２、モールド樹脂１２０によってこの順に覆われている。トランジスタＱＮ，ＱＰに適用される電位Ｖｃｃは例えば５ボルト程度であり、これよりも大きな電位ＨＶが印加される電極２００は通常は最上層の配線として配置される。これは高電位が印加される配線を層間絶縁膜を用いて絶縁することが困難であること、またかかる配線に流れる電流は数十から数百ｍＡレベルになることが多く１μｍ以上の厚い配線を採用することに因る。

【００２５】

モールド樹脂１２０はガラス転移温度の高温、例えば１５０℃付近では、内部の構成物質から硼素などがイオン化する。そのため、モールド樹脂１２０を加熱して用いるモールド処理の後、電極２００から周囲の低電位の部位へ向かって発生した電界７０１が、モールド樹脂１２０を分極する。図２において円で囲まれた＋記号は正電荷を、円で囲まれた－記号は負電荷を、それぞれ示している。電極２００よりもトランジスタＱＮ，ＱＰの近傍の方が電位が低いので、電極２００の近傍には負電荷が集まり、トランジスタＱＮ，ＱＰの近傍には正電荷が集まる。

【００２６】

図３は上述のようにモールド樹脂１２０が分極した状態で、トランジスタＱＮ，ＱＰのソース、ドレインにそれぞれ適切な電位を供給した場合を示す。ここではトランジスタＱＮ，ＱＰがインバータを構成する場合を例示しており、ゲート５０３，５１３に共通して入力電位Ｖｉｎが与えられ、いずれもドレインとして機能する方のＰ$^+$層５０２及びＮ$^+$層５１２が接続される。更にソースとして機能する方のＰ$^+$層５０２及びバックゲートとして機能するＮ$^+$層５０４には電位Ｖｃｃが、ソースとして機能する方のＮ$^+$層５１２には電位ＧＮＤが、それぞれ印加されている。

【００２７】

分極によって正電荷が多く集まると、Ｎウェル５０１近傍のＰウェル５１１の上方にバンド構造が変化した領域６０１が形成される。そしてＮ$^+$層５０４からＮ$^+$層６０１へと矢印６０２に示された方向にリーク電流が流れてしまう。かかる問題を解決するためには、電界の影響が及ばない程度に十分に電極２００をトランジスタＱＮ，ＱＰから遠くに配置することも考えられるが、それでは回路の集積度を低くしてしまう。また分極しにくい材料でモールド樹脂１２０を形成することや、分極したイオンを半絶縁性のガラスコート膜を用いて遮蔽することも考えられるが、いずれもコストを上昇させ、新たな製造装置を導入しなければならない。よって導電材料を用いて電極２００から発生する電界を遮蔽することが望ましい。

【００２８】

図４は図２、図３に示された電極２００の周囲に、図１に示された浮遊電極２０１、電極２０２，２０３を配置した構成を示している。浮遊電極２０１を設けるため、絶縁層１０２とモールド樹脂１２０の間には絶縁層１０３が介挿されている。図１で説明したようにして電極２００が遮蔽される。例えば電極２００から発生する電界７０２は浮遊電極２０１によって効果的に遮蔽される。

【００２９】

以下に述べられる実施の形態２乃至実施の形態６において例示される半導体装置も、実施の形態１に例示された半導体装置と同様にして、周辺に高電位ＨＶよりも低電位で駆動される半導体素子が存在する場合に適用し、モールド樹脂の分極を防止することができる。

【００３０】

実施の形態２．

図５は本発明の実施の形態２にかかる半導体装置を示す断面図である。基板５００上に絶縁層１０１，１０２，１０３がこの順に積層されている。絶縁層１０１，１０２の境界近傍には高電位ＨＶが印加される電極２００が設けられ、絶縁層１０２，１０３の境界近傍には浮遊電極２０１及び、低電位ＧＮＤが印加される電極２０２，２０３が同じ層に設けられている。かかる構造は、例えば半導体基板５００上に絶縁層１０１、電極２００、絶縁層１０２、浮遊電極２０１及び電極２０２，２０３、絶縁層１０３を順次に形成することによって得ることができる。

【００３１】

電極２００は紙面に垂直な方向に沿って延在しており、高電位配線断面において浮遊電極２０１は電極２００の上方を覆っている。浮遊電極２０１が電極２００に対して半導体基板５００と反対側に現れる高電位配線断面が、延在する電極２００のいずれかの位置において存在する。もちろん、延在する電極２００の全ての位置における高電位配線断面において浮遊電極２０１が電極２００に対して半導体基板５００と反対側に現れてもよい。

【００３２】

本実施の形態においても浮遊電極２０１と電極２０２との間に静電容量Ｃ１が、浮遊電極２０１と電極２０３との間に静電容量Ｃ２が、電極２００と浮遊電極２０１との間に静電容量Ｃ３が生じ、式（２）が成立する。よって実施の形態１と同様の効果を得ることができる。

【００３３】

図６は本実施の形態の変形を示す断面図である。絶縁層１０３上に更に絶縁層１０４が設けられ、絶縁層１０３，１０４の境界には電極２０７が設けられている。電極２０７は電極２０１に対して電極２００と反対側に配置される。かかる構造は例えば絶縁層１０３、電極２０７、絶縁層１０４を順次に形成することによって得ることができる。

【００３４】

電極２０７，２０２及び電極２０７，２０３はそれぞれ導電性プラグ２０５，２０６で相互に接続されている。導電性プラグ２０５，２０６は絶縁層１０３を厚さ方向に貫通して設けられる。つまり電極２０７を介して電極２０２，２０３を相互に接続することができる。

【００３５】

もちろん、本実施の形態及びその変形においても電極２０３の存在は必須ではなく、これを省略することができる。また電極２００の幅方向の縁から、これに近い方の浮遊電極２０１の幅方向の縁を見た仰角が４５度以下であることが望ましい。

【００３６】

実施の形態３．

図７は本発明の実施の形態３にかかる半導体装置を示す断面図である。基板５００上に絶縁層１０１，１０２，１０３がこの順に積層されている。絶縁層１０１，１０２の境界近傍には高電位ＨＶが印加される電極２００及び浮遊電極２０２ｂ，２０３並びに低電位ＧＮＤが印加される電極２０２ａが設けられ、絶縁層１０２，１０３の境界近傍には浮遊電極２０１が設けられている。但し電極２０２ｂ，２０３は相互に接続されており、電極２

００と同じ層に配置されている。かかる構造は、例えば半導体基板５００上に絶縁層１０１、電極２００，２０２ａ及び浮遊電極２０２ｂ，２０３、絶縁層１０２、浮遊電極２０１、絶縁層１０３を順次に形成することによって得ることができる。

【００３７】

電極２００は紙面に垂直な方向に沿って延在しており、高電位配線断面において浮遊電極２０１は電極２００の上方を覆っている。浮遊電極２０１が電極２００に対して半導体基板５００と反対側に現れる高電位配線断面が、延在する電極２００のいずれかの位置において存在する。もちろん、延在する電極２００の全ての位置における高電位配線断面において浮遊電極２０１が電極２００に対して半導体基板５００と反対側に現れてもよい。

【００３８】

本実施の形態において浮遊電極２０１と浮遊電極２０２ｂとは静電容量Ｃ１で、浮遊電極２０１と浮遊電極２０３とは静電容量Ｃ２で、電極２００と浮遊電極２０１とは静電容量Ｃ３で、電極２０２ａと浮遊電極２０２ｂとの間は静電容量Ｃ４で、それぞれ静電結合する。換言すれば図１で示された電極２０２を電極２０２ａ及び浮遊電極２０２ｂに分離し、電極２０２ａに低電位ＧＮＤを印加した構成が図７において示されている。よって実施の形態１の場合と比較して静電容量Ｃ４において支持する電位差が存在するので、静電容量Ｃ１～Ｃ３が支持する電位差を小さくすることができ、絶縁耐性を高めることができる。

【００３９】

図８は本実施の形態の変形を示す断面図である。浮遊電極２０１，２０２ｂ及び浮遊電極２０１，２０３はそれぞれ導電性プラグ２０５，２０６で相互に接続されている。導電性プラグ２０５，２０６は絶縁層１０２を厚さ方向に貫通して設けられる。

【００４０】

この変形においては図７に示された構造に対して静電容量Ｃ１，Ｃ２を零として取り扱うことになる。電位差（ＨＶ－ＧＮＤ）は直列に接続された静電容量Ｃ３，Ｃ４で按分されることになり、電極２００を断面視上で連続する導電材料で囲む場合と比較して、絶縁耐圧を高めることができる。

【００４１】

もちろん、本実施の形態においても電極２０３の存在は必須ではなく、これを省略することができる。また電極２００の幅方向の縁から、これに近い方の浮遊電極２０１の幅方向の縁を見た仰角が４５度以下であることが望ましい。

【００４２】

実施の形態４.

図９は本発明の実施の形態４にかかる半導体装置を示す断面図である。絶縁層１０１，１０２の境界よりも上方では、図９に示された構造と図１に示された構造とは同じである。しかし絶縁層１０１から下方では、図９に示された構造は図１に示された構造と異なっている。

【００４３】

半導体基板５００と絶縁層１０１の間には絶縁層１０５が設けられ、絶縁層１０１，１０５の境界には浮遊電極２１１が設けられている。つまり浮遊電極２１１は電極２００に対して浮遊電極２０１と反対側に配置されている。かかる構造は例えば半導体基板５００上に絶縁層１０５、浮遊電極２１１、絶縁層１０１を順次に形成することによって得ることができる。

【００４４】

浮遊電極２０１が電極２００に対して半導体基板５００と反対側に現れる高電位配線断面が、延在する電極２００のいずれかの位置において存在する。もちろん、延在する電極２００の全ての位置における高電位配線断面において浮遊電極２０１が電極２００に対して半導体基板５００と反対側に現れてもよい。また浮遊電極２１１が電極２００に対して半導体基板５００側に現れる高電位配線断面が、延在する電極２００のいずれかの位置において存在する。もちろん、延在する電極２００の全ての位置における高電位配線断面に

おいて浮遊電極２１１が電極２００に対して半導体基板５００側に現れてもよい。更に、浮遊電極２０１，２１１及び電極２００が全て現れる高電位配線断面が存在する必要はない。但し、図９に示されるように、これらの電極が全て現れる高電位配線断面が存在してもよい。

【００４５】

本実施の形態において電極２０２と浮遊電極２１１とは静電容量Ｃ１１で、電極２０３と浮遊電極２１１とは静電容量Ｃ１２で、電極２００と浮遊電極２１１とは静電容量Ｃ１３で、それぞれ静電結合する。よって浮遊電極２１１及び電極２０２，２０３は、浮遊電極２０１及び電極２０２，２０３と同様に、絶縁耐性を高めつつ電極２００から発生する電界を遮蔽することができる。しかもかかる機能は浮遊電極２０１及び電極２０２，２０３によっても果たされることから、実施の形態１の効果を一層顕著にすることができる。

【００４６】

もちろん、本実施の形態において電極２０３の存在は必須ではなく、これを省略することができる。その場合には上記の説明において静電容量Ｃ２，Ｃ１２を零として取り扱うことになる。また電極２００の幅方向の縁から、これに近い方の浮遊電極２０１の幅方向の縁を見た仰角が４５度以下であることが望ましい。これと同様に電極２００の幅方向の縁から、これに近い方の浮遊電極２１１の幅方向の縁を見た俯角が４５度以下であることが望ましい。

【００４７】

実施の形態５．

図１０は本発明の実施の形態５にかかる半導体装置を示す断面図である。絶縁層１０１，１０２の境界よりも上方では、図１０に示された構造と図５に示された構造とは同じである。しかし絶縁層１０１から下方では、図１０に示された構造は図５に示された構造と異なっている。

【００４８】

半導体基板５００と絶縁層１０１の間には絶縁層１０５が設けられ、絶縁層１０１，１０５の境界には浮遊電極２１１及び電極２１２，２１３が同じ層に配置されている。かかる構造は例えば半導体基板５００上に絶縁層１０５、浮遊電極２１１及び電極２１２，２１３、絶縁層１０１を順次に形成することによって得ることができる。

【００４９】

電極２１２，２１３には低電位ＧＮＤが印加される。浮遊電極２０１が電極２００に対して半導体基板５００と反対側に現れる高電位配線断面が、延在する電極２００のいずれかの位置において存在する。もちろん、延在する電極２００の全ての位置における高電位配線断面において浮遊電極２０１が電極２００に対して半導体基板５００と反対側に現れてもよい。また浮遊電極２１１が電極２００に対して半導体基板５００側に現れる高電位配線断面が、延在する電極２００のいずれかの位置において存在する。もちろん、延在する電極２００の全ての位置における高電位配線断面において浮遊電極２１１が電極２００に対して半導体基板５００側に現れてもよい。更に、浮遊電極２０１，２１１及び電極２００が全て現れる高電位配線断面が存在する必要はない。但し、図１０に示されるように、これらの電極が全て現れる高電位配線断面が存在してもよい。

【００５０】

本実施の形態において電極２１２と浮遊電極２１１とは静電容量Ｃ１１で、電極２１３と浮遊電極２１１とは静電容量Ｃ１２で、電極２００と浮遊電極２１１とは静電容量Ｃ１３で、それぞれ静電結合する。よって浮遊電極２１１及び電極２１２，２１３は、浮遊電極２０１及び電極２０２，２０３と同様に、絶縁耐性を高めつつ電極２００から発生する電界を遮蔽することができる。しかもかかる機能は浮遊電極２０１及び電極２０２，２０３によっても果たされることから、実施の形態１の効果を一層顕著にすることができる。

【００５１】

もちろん、本実施の形態において電極２０３，２１３の存在は必須ではなく、これを省略することができる。その場合には上記の説明において静電容量Ｃ２，Ｃ１２を零として取

り扱うことになる。また電極２００の幅方向の縁から、これに近い方の浮遊電極２０１の幅方向の縁を見た仰角が４５度以下であることが望ましい。これと同様に電極２００の幅方向の縁から、これに近い方の浮遊電極２１１の幅方向の縁を見た俯角が４５度以下であることが望ましい。

【００５２】

実施の形態６．

図１１は本発明の実施の形態６にかかる半導体装置を示す断面図である。図１１に示された構造は、図９に示された電極２０２を電極２０２ａ及び浮遊電極２０２ｂに分離し、電極２０２ａに低電位ＧＮＤを印加した構成が図１１において示されている。よって実施の形態３及び実施の形態４と同じ効果を得ることができる。

【００５３】

図１２は本実施の形態の変形を示す断面図である。浮遊電極電極２０１，２０２ｂ及び浮遊電極２０１，２０３はそれぞれ導電性プラグ２０５，２０６で相互に接続されている。導電性プラグ２０５，２０６は絶縁層１０２を厚さ方向に貫通して設けられる。浮遊電極２１１，２０２ｂ及び浮遊電極２１１，２０３はそれぞれ導電性プラグ２０８，２０９で相互に接続されている。導電性プラグ２０８，２０９は絶縁層１０１を厚さ方向に貫通して設けられる。

【００５４】

本変形は図８に示された構造の変形として把握することもできる。図８に示された構造に対して、半導体基板５００と絶縁層１０１との間に絶縁層１０５を介挿し、上述の浮遊電極２１１及び導電性プラグ２０８，２０９を追加した構造が図１２に示される構造となる。

【００５５】

本変形では電極２００を囲んで連続する導電材料が現れる高電位配線断面が存在する。しかしながら上述の特許文献３のように当該導電材料には電位ＧＮＤが供給されるのではなく、電位ＧＮＤが供給される電極２０２ａと静電容量Ｃ４を介して接続される。よって既述の通り、絶縁耐性を高めることができるという点で本実施の形態にかかる半導体装置は有利である。

【００５６】

実施の形態７．

図１３は本発明の実施の形態７にかかる半導体装置の構造を例示する平面図である。また図１４は図１３の矢視Ｆ－Ｆにおける断面図である。図１３では図面の煩雑さを避けるために、図１４での層間絶縁膜８よりも上方の構造を省略し、層間絶縁膜１８上に形成されている各電極のうち、高耐圧ＮＭＯＳトランジスタＡのドレイン電極１５、ソース電極１６及びこれに接続される金属配線１４のみを記載している。

【００５７】

図１４に示すように、p^-半導体基板１上にn^-半導体層３が形成されている。そしてn^-半導体層３の表面には分離絶縁膜１２ａ～１２ｅが形成されている。分離絶縁膜１２ａは高耐圧ＮＭＯＳトランジスタＡと低電位で動作するロジック回路Ｅとを分離する。なお図１３に示されるように、ＲＥＳＵＲＦ（REduced SURface Field）分離領域Ｂは他のロジック回路Ｃを囲んで設けられており、両者は高電位島Ｄを形成している。ＲＥＳＵＲＦ分離の技術は例えば米国特許第４２９２６４２号に紹介されている。

【００５８】

図１４ではロジック回路Ｅのうち、ＣＯＭＳトランジスタを構成するＰＭＯＳトランジスタＱＰ、ＮＭＯＳトランジスタＱＮが現れている。これらは層間絶縁膜８，１８が拡がる方向に沿って金属配線１４から離れており、また相互に分離絶縁膜１２ｃによって分離されている。

【００５９】

ロジック回路Ｅにおいて、分離絶縁膜１２ａの下方にはn^-半導体層３を貫通してp^-半導体基板１に至るp^+不純物領域４が設けられている。p^+不純物領域４と分離絶縁膜１２ａ

とは耐圧ＮＭＯＳトランジスタＡにおけるｎ⁻半導体層３とロジック回路Ｅにおけるｎ⁻半導体層３とを分離している。ロジック回路Ｅのｎ⁻半導体層３において、ｐ⁻半導体基板１とｎ⁻半導体層３の境界には選択的にｎ⁺埋め込み不純物領域２が設けられている。ｎ⁺埋め込み不純物領域２の上方のｎ⁻半導体層３の表面には、ｎ⁺埋め込み不純物領域２と離れてｐウェル４３が設けられている。

【００６０】

ｐウェル４３においてはトランジスタＱＮが形成されている。ｐウェル４３の表面にはそれぞれドレイン、ソースとして機能するｎ⁺不純物領域４１，４２が離れて設けられている。ｎ⁺不純物領域４１，４２に挟まれたｐウェル４３の上方にはゲート電極４６が設けられている。分離絶縁膜１２ｃに対してｐウェル４３と反対側のｎ⁻半導体層３の表面にはトランジスタＱＰが設けられている。この位置でのｎ⁻半導体層３の表面には、それぞれドレイン、ソースとして機能するｐ⁺不純物領域３１，３２が離れて設けられている。ｐ⁺不純物領域３１，３２に挟まれたｎ⁻半導体層３の上方にはゲート電極３６が設けられている。そしてトランジスタＱＮ，ＱＰは層間絶縁膜１８によって覆われている。なおｎ⁻半導体層３とゲート電極３６との間に存在するゲート絶縁膜、ｐウェル４３とゲート電極４６との間に存在するゲート絶縁膜は、層間絶縁膜１８に含めて示されている。

【００６１】

高耐圧ＮＭＯＳトランジスタＡとＲＥＳＵＲＦ分離領域Ｂとはいずれも層間絶縁膜８，１８に対して電極２０１とは反対側に配置され、分離絶縁膜１２ｂによって相互に分離されている。より正確には、図１４では分離絶縁膜１２ａ，１２ｂは別個のものとして現れているが、これらは相互に連結しており、図１３において高耐圧ＮＭＯＳトランジスタＡを取り囲むように配置される。分離絶縁膜１２ｂの下方にもｎ⁻半導体層３を貫通してｐ⁻半導体基板１に至るｐ⁺不純物領域４が設けられている。

【００６２】

高耐圧ＮＭＯＳトランジスタＡは平面視上の中央において、ｐ⁻半導体基板１とｎ⁻半導体層３の境界に選択的にｎ⁺埋め込み不純物領域２８ａが設けられている。ｎ⁺埋め込み不純物領域２８ａの上方のｎ⁻半導体層３の表面には、ｎ⁺不純物領域４５ａが設けられている。ｎ⁺不純物領域４５ａと埋め込み不純物領域２８ａとの間には、ｎ⁻半導体層３を貫通してｎ⁺不純物領域４５ａと埋め込み不純物領域２８ａとを連結するｎ⁺不純物領域４５ｂが設けられている。ｎ⁺不純物領域４５ａ，４５ｂは両者合わせてｎ⁺不純物領域４５１を形成しており、これは高耐圧ＮＭＯＳトランジスタＡのドレインとして機能する。

【００６３】

ｎ⁺不純物領域４５１の周囲は分離絶縁膜１２ｄが平面視上で取り囲んでおり、更にｐ不純物領域６１が分離絶縁膜１２ｄを平面視上で取り囲んでｎ⁻半導体層３の表面上に形成されている。ｐ不純物領域６１の表面には選択的にｎ⁺不純物領域６２が形成される。ｐ不純物領域６１及びｎ⁺不純物領域６２は、それぞれ高耐圧ＮＭＯＳトランジスタＡのバックゲート及びソースとして機能する。但し、金属配線１４の下方に位置するｐ不純物領域６１の表面にはｎ⁺不純物領域６２は形成しないことが望ましく、図１４においてもかかる位置のｐ不純物領域６１の表面にはｎ⁺不純物領域６２は形成していない。金属配線１４はドレイン電極１５に接続されているために高電位が印加され、その下方にｎ⁺不純物領域６２が存在すると寄生トランジスタが発生し易いからである。

【００６４】

ソース電極１６はｐ不純物領域６１とｎ⁺不純物領域６２の両方に接続して設けられる。ドレイン電極１５はｎ⁺不純物領域４５ａに接続して設けられる。

【００６５】

分離絶縁膜１２ｄ上にはゲート電極群１９ａが設けられる。ゲート電極群１９ａは、ｐ不純物領域６１からｎ⁺不純物領域４５１へと向かう方向に沿って順に配置されたゲート電極３１９ａ，４１９ａ，５１９ａ，６１９ａを有している。ゲート電極３１９ａはｐ不純物領域６１の端部を接触することなく覆っており、ゲート電位が印加される。ゲート電極６１９ａはｎ⁺不純物領域４５ａの端部に接触している。ゲート電極４１９ａ，５１９ａ

は浮遊電極であり、ゲート電極３１９ａ，６１９ａの間に介在してこれらと静電結合することにより、ソース／ドレイン間の電位差に基づく分離絶縁膜１２ｄの表面での電界を緩和する機能を果たす。かかる電界の緩和は例えば米国特許第５４５５４３９号において紹介されている。

【００６６】

n^+不純物領域４５ａ、ｐ不純物領域６１、n^+不純物領域６２、ゲート電極群１９ａは層間絶縁膜１８によって覆われている。但し、ソース電極１６及びドレイン電極１５は層間絶縁膜１８を貫通して設けられる。またゲート電極３１９ａとｐ不純物領域６１、n^+不純物領域６２との間のゲート絶縁膜は層間絶縁膜１８に含めて示されている。

【００６７】

なお、ゲート電極群１９ａの上方で層間絶縁膜１８上に配置された浮遊電極群５０は、ソース／ドレイン間の電位差に基づく層間絶縁膜１８の表面での電界を緩和する機能を果たす。

【００６８】

ＲＥＳＵＲＦ分離領域Ｂでは、分離絶縁膜１２ｂの下方に設けられたp^+不純物領域４と接触して、n^-半導体層３の表面に選択的にp^+不純物領域７が形成されている。またＲＥＳＵＲＦ分離領域Ｂに対して高耐圧ＮＭＯＳトランジスタＡとは反対側にn^+不純物領域４５２が形成されている。p^+不純物領域７とn^+不純物領域４５２とは分離絶縁膜１２ｅで分離されている。n^+不純物領域４５２は、n^-半導体層３の表面に形成されたn^+不純物領域４５ｃと、n^-半導体層３を貫通するn^+不純物領域４５ｄとで形成されている。n^+不純物領域４５ｄの下方において、p^-半導体基板１とn^-半導体層３の境界には選択的にn^+埋め込み不純物領域２８ｂが設けられている。n^+不純物領域４５ｄはn^+不純物領域４５ｃとn^+埋め込み不純物領域２８ｂとを連結する。

【００６９】

分離絶縁膜１２ｅ上にはゲート電極群１９ｂが設けられる。ゲート電極群１９ｂは、p^+不純物領域７からn^+不純物領域４５２へと向かう方向に沿って順に配置されたゲート電極３１９ｂ，４１９ｂ，５１９ｂ，６１９ｂを有している。ゲート電極３１９ｂはp^+不純物領域７の端部に接触しており、ゲート電極６１９ｂはn^+不純物領域４５ｃの端部に接触している。ゲート電極４１９ｂ，５１９ｂは浮遊電極であり、ゲート電極３１９ｂ，６１９ｂの間に介在してこれらと静電結合することにより、ソース／ドレイン間の電位差に基づく分離絶縁膜１２ｅの表面での電界を緩和する機能を果たす。

【００７０】

n^+不純物領域４５ｃ、p^+不純物領域７、ゲート電極群１９ｂは層間絶縁膜１８によって覆われている。但し、n^+不純物領域４５ｃは層間絶縁膜１８を貫通するプラグ５９によって配線１４と接続されている。

【００７１】

金属配線１４、ドレイン電極１５、ソース電極１６、層間絶縁膜１８は層間絶縁膜８で覆われる。層間絶縁膜８上には浮遊電極２０１及び電極２０２が設けられる。電極２０２は層間絶縁膜８を貫通してソース電極１６に接続される。また浮遊電極２０１は電極２０２と静電結合する。層間絶縁膜８、浮遊電極２０１及び電極２０２は絶縁層１１０で覆われる。

【００７２】

図１５乃至図１７は本実施の形態の効果を説明する断面図である。図１５及び図１６は本発明を適用しない場合を例示し、図１７は本発明を適用した場合を例示する。図１５においては図１４に示された構造に対して浮遊電極２０１、電極２０２、絶縁層１１０を採用せず、層間絶縁膜８上をモールド樹脂１２０で覆った構造を採っている。そのため、ドレイン電極１５や浮遊電極５０からトランジスタＱＮ，ＱＰへと向かって発生する電界７０３により、モールド樹脂１２０には分極が生じる。図１６はかかる分極が招来する問題を示している。図３で説明したのと同様にバンド構造の変化した領域６０１が発生する。更には分離絶縁膜１２ｄに近い側での空乏層Ｊの端がドレイン電極１５から遠のくように

押し出され、n^-半導体層３における空乏層Ｊの伸びを阻む。これは分離絶縁膜１２ｄの下方での電界集中を、ひいては高耐圧ＮＭＯＳトランジスタＡの耐圧低下を招来する。

【００７３】

図１４に対して絶縁層１１０上をモールド樹脂１２０で覆って得られる図１７の構造について見れば、ドレイン電極１６や浮遊電極５０から発生する電界は浮遊電極２０１によって遮蔽される。よって領域６０１の発生や、空乏層Ｊの伸びの阻止を回避することができる。

【００７４】

実施の形態８．

図１８は本実施の形態の基本的な概念を示す斜視図である。半導体基板５００，絶縁層１０１，１０２，１０３がこの順に下から積層され、絶縁層１０１上には電極２０２と、方向Ｙに沿って延在する電極２００とが設けられ、これらはいずれも絶縁層１０２によって覆われている。また絶縁層１０２上に方向Ｘに沿って延在する浮遊電極２０１ａ，２０１ｂ，２０１ｃが設けられ、これらは方向Ｙに沿って配置されている。また浮遊電極２０１ａ，２０１ｂ，２０１ｃはいずれも絶縁層１０３によって覆われている。電極２０２には電位ＧＮＤが、電極２００には電位ＨＶが印加される。方向Ｘ，Ｙはいずれも方向Ｚに垂直であって異なる方向である。方向Ｚは上方に向かう方向である。図１８においては各電極の配置を把握し易くするため、半導体基板５００，絶縁層１０１，１０２，１０３を透明であると仮定して描いている。

【００７５】

図１８に示された構造では高電位配線断面は方向Ｙに垂直であり、全ての高電位配線断面において電極２００の上方に位置する浮遊電極が現れるわけではない。しかし例えば浮遊電極２０１ａ，２０１ｂ，２０１ｃのいずれかが現れる高電位配線断面においては、必ず電極２００の上方に位置する浮遊電極が現れる。よって実施の形態１で説明された効果を得ることができる。

【００７６】

このように高電位が印加される電極の延在する方向に沿って複数の浮遊電極を設けることは、実施の形態７で説明されたＲＥＳＵＲＦ分離領域Ｂに本発明を適用する上で望ましい態様である。図１９は本実施の形態にかかる半導体装置の構造を示す断面図である。図１４に示された構造の浮遊電極２０１が、配線１４の延在する方向に沿って配置される複数の浮遊電極２０１ａ，２０１ｂ，２０１ｃに分割された構造を有している。浮遊電極２０１ａは電極２０２と、浮遊電極２０１ｂは浮遊電極２０１ａと、浮遊電極２０１ｃは浮遊電極２０１ｂと、それぞれ静電結合している。電極２０２及びゲート電極３１９ｂには電位ＧＮＤが印加されている。このように複数の浮遊電極が、低電位が印加された電極に直接又は間接に静電結合し、高電位が印加された電極を覆う場合も、実施の形態６で説明されたように絶縁耐圧を高めつつ電界を遮蔽できる。

【００７７】

図２０はゲート電極群１９ｂの近傍を示す斜視図である。図２０においても各電極の配置を把握し易くするため、層間絶縁膜１８及び絶縁層１１０を透明であると仮定して描いている。例えば浮遊電極２０１ａ，２０１ｂ，２０１ｃがゲート電極４１９ｂ，５１９ｂ，６１９ｂの上方に配置される。これにより、金属配線１４についての高電位配線断面として、浮遊電極２０１ａ、金属配線１４、ゲート電極４１９ｂが現れる断面を選ぶことができる。その場合、当該断面に現れる浮遊電極２０１ａ、ゲート電極４１９ｂ、金属配線１４は、それぞれ図１０で示された浮遊電極２０１、浮遊電極２１１、電極２００に相当する。また図２０での電極２０２及びゲート電極３１９ｂはそれぞれ図１０での電極２０２及び電極２１２に相当する。

【００７８】

更に、浮遊電極５０は、その端部が浮遊電極２０１ａとゲート電極４１９ｂの間に位置するように設けることができる。この場合、金属配線１４についての高電位配線断面として、浮遊電極２０１ａ、金属配線１４、ゲート電極４１９ｂに加えて浮遊電極５０もが現れ

る断面を選ぶことができる。その場合、当該断面に現れる浮遊電極２０１ａ、ゲート電極４１９ｂ、金属配線１４は、それぞれ図１１で示された浮遊電極２０１、浮遊電極２１１、電極２００に相当し、浮遊電極５０は図１１で示された浮遊電極２０２ｂ、２０３に相当する。

【００７９】

本実施の形態のように遮蔽のための浮遊電極が、高電位が印加される金属配線１４の上方を、その延在する方向において全て覆わないことは、特に金属配線１４の下方に寄生トランジスタを形成しないという点で望ましい。同様の観点からは、図１９に示されるように分離絶縁膜１２ｄの上方においても、遮蔽のための電極は所々で不連続となって空隙を有していることが望ましい。

【００８０】

但し、必ずしも浮遊電極２０１ａ，２０１ｂ，２０１ｃは相互に静電結合している必要はなく、図１９に現れない箇所で相互に接続されていてもよい。また電極２０２と接続されていてもよい。

【００８１】

図２１は本実施の形態の変形を示す斜視図である。図２１に示された構造は、図２０に示された構造における電極２０２が、電極２０２ａと浮遊電極２０２ｂ，２０２ｃに分割された構造を呈している。電極２０２ａ及びゲート電極３１９ｂには電位ＧＮＤが印加されており、浮遊電極２０２ｂは電極２０２ａと、浮遊電極２０２ｃは浮遊電極２０２ｂと、それぞれ静電結合している。低電位ＧＮＤが印加された電極２０２ａと直接又は間接に静電結合する浮遊電極２０１ａ，２０１ｂ，２０１ｃ，２０２ｂ，２０２ｃが、高電位が印加された金属配線１４の上方を覆うので、絶縁耐圧を高めつつ電界を遮蔽できる。

【００８２】

上記の各実施の形態において、各電極、各浮遊電極は金属で形成することができる。

【００８３】

【発明の効果】

本発明にかかる半導体装置によれば、第１電極から発生する電界の強さと比較して、第２電極から発生する電界の強さを小さくできる。しかも断面視上で連続する導電材料で囲み、当該導電材料に低電位を供給した場合と比較すると、第１電極と第２電極との間にかかる電圧が減少する。よって両者間の絶縁層において絶縁破壊を生じにくくする。第１電極と第２電極との間の静電容量、第１電極と第３電極との間の静電容量を制御することができ、遮蔽効果と耐圧とを適切に設定できる。当該遮蔽効果により、モールド樹脂の分極が防止される。

【図面の簡単な説明】

【図１】　本発明の実施の形態１にかかる半導体装置を示す断面図である。

【図２】　本発明の実施の形態１の効果を説明する断面図である。

【図３】　本発明の実施の形態１の効果を説明する断面図である。

【図４】　本発明の実施の形態１の効果を説明する断面図である。

【図５】　本発明の実施の形態２にかかる半導体装置を示す断面図である。

【図６】　本発明の実施の形態２の変形を示す断面図である。

【図７】　本発明の実施の形態３にかかる半導体装置を示す断面図である。

【図８】　本発明の実施の形態３の変形を示す断面図である。

【図９】　本発明の実施の形態４にかかる半導体装置を示す断面図である。

【図１０】　本発明の実施の形態５にかかる半導体装置を示す断面図である。

【図１１】　本発明の実施の形態６にかかる半導体装置を示す断面図である。

【図１２】　本発明の実施の形態６の変形を示す断面図である。

【図１３】　本発明の実施の形態７にかかる半導体装置の構造を示す平面図である。

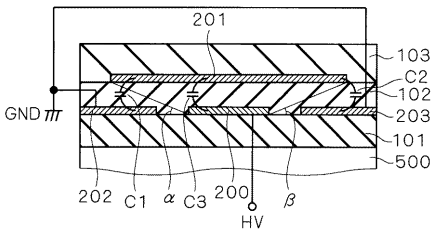
【図１４】　本発明の実施の形態７にかかる半導体装置の構造を示す断面図である。

【図１５】　本発明の実施の形態７の効果を説明する断面図である。

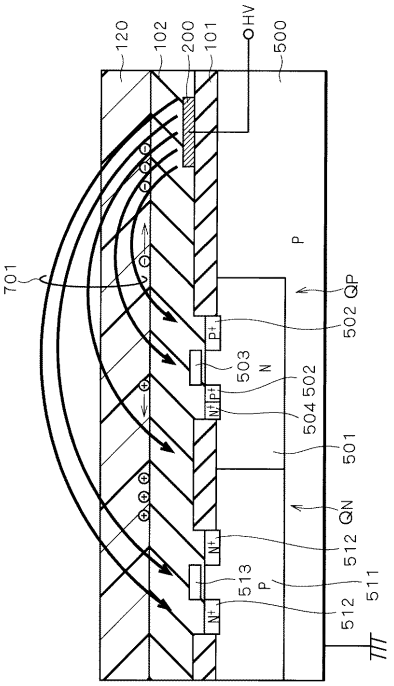
【図１６】　本発明の実施の形態７の効果を説明する断面図である。

【図１７】　本発明の実施の形態７の効果を説明する断面図である。
【図１８】　本発明の実施の形態８の基本的な概念を示す斜視図である。
【図１９】　本発明の実施の形態８にかかる半導体装置の構造を示す断面図である。
【図２０】　本発明の実施の形態８にかかる半導体装置の構造を示す斜視図である。
【図２１】　本発明の実施の形態８の変形を示す斜視図である。
【符号の説明】
１　p⁻半導体基板、８，１８　層間絶縁膜、１０１　絶縁層、２００～２１１　電極（浮遊電極を含む）、５００　半導体基板、Ａ　ＭＯＳトランジスタ、Ｂ　ＲＥＳＵＲＦ分離領域、ＱＮ，ＱＰ　ＭＯＳトランジスタ。

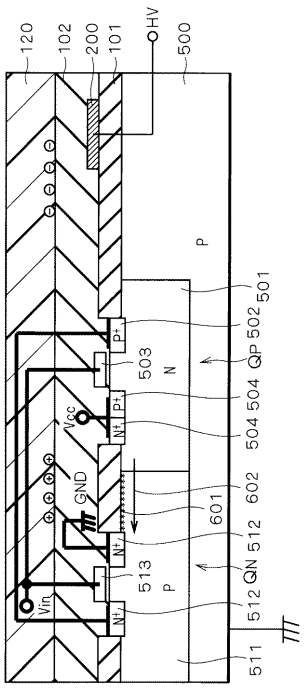
【図１】



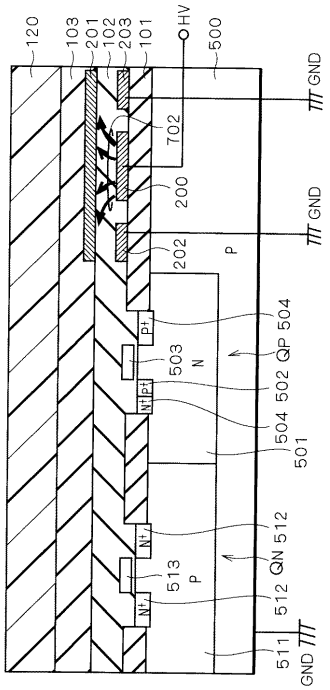
【図２】



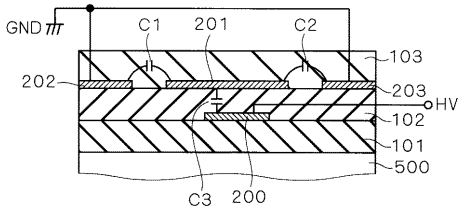
【図３】



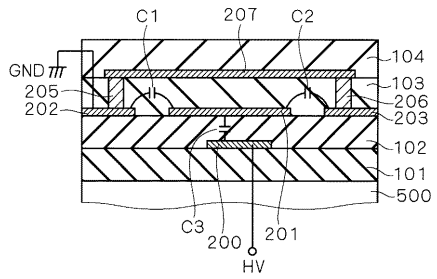
【図４】



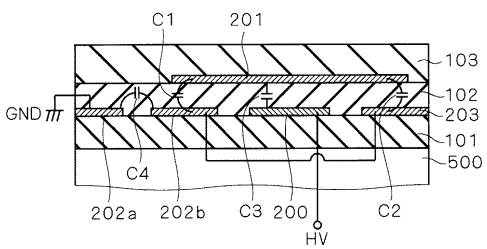
【図５】



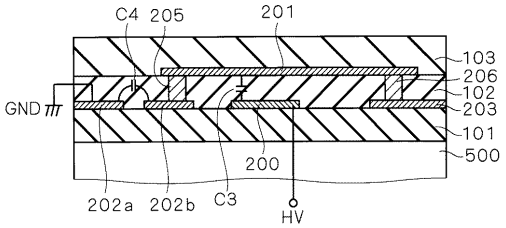
【図６】



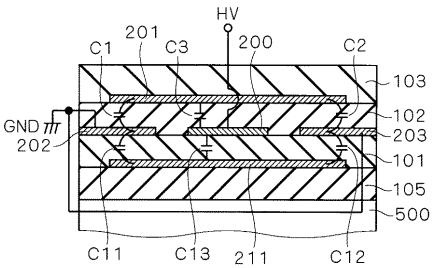
【図７】



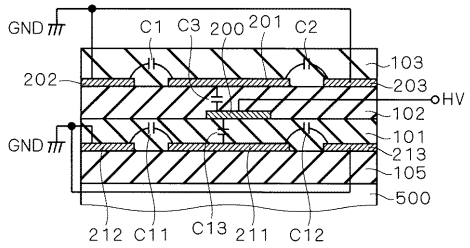
【図８】



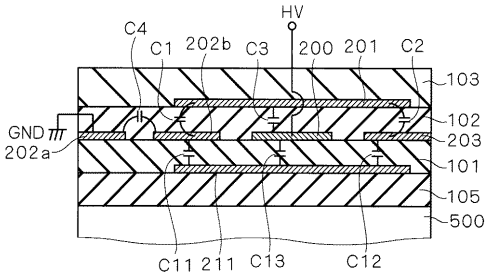
【図９】



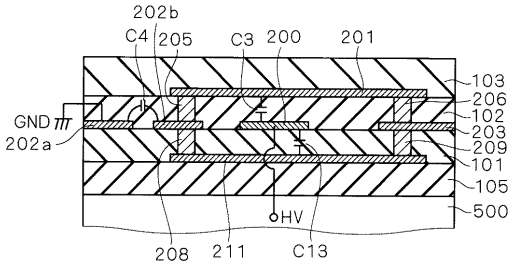
【図１０】



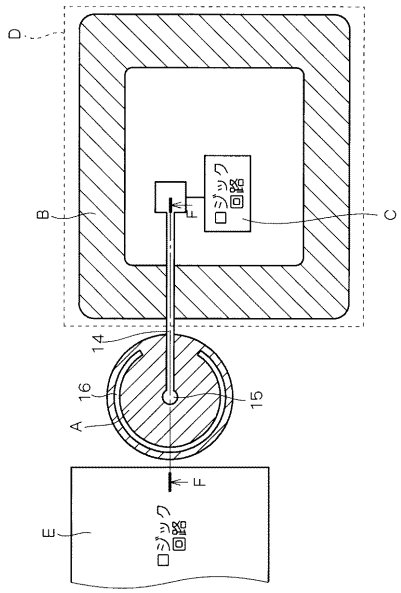
【図１１】



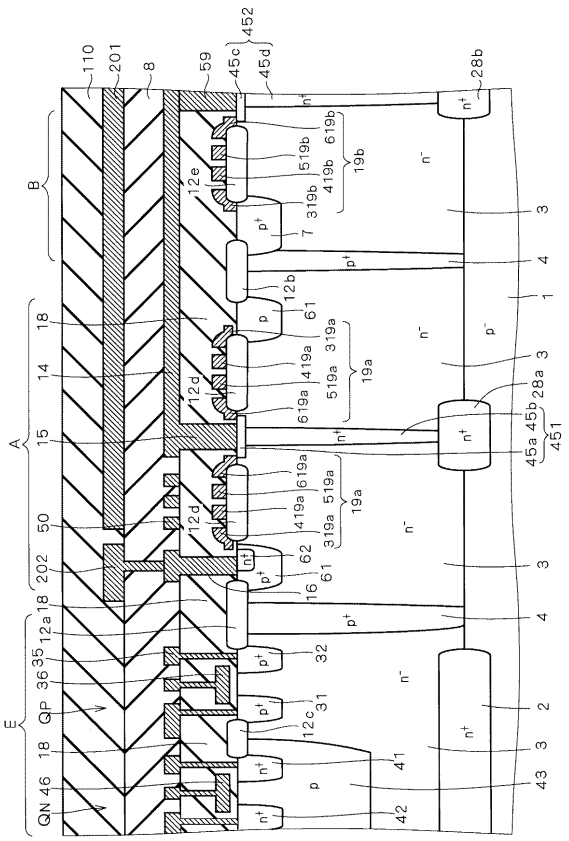
【図１２】



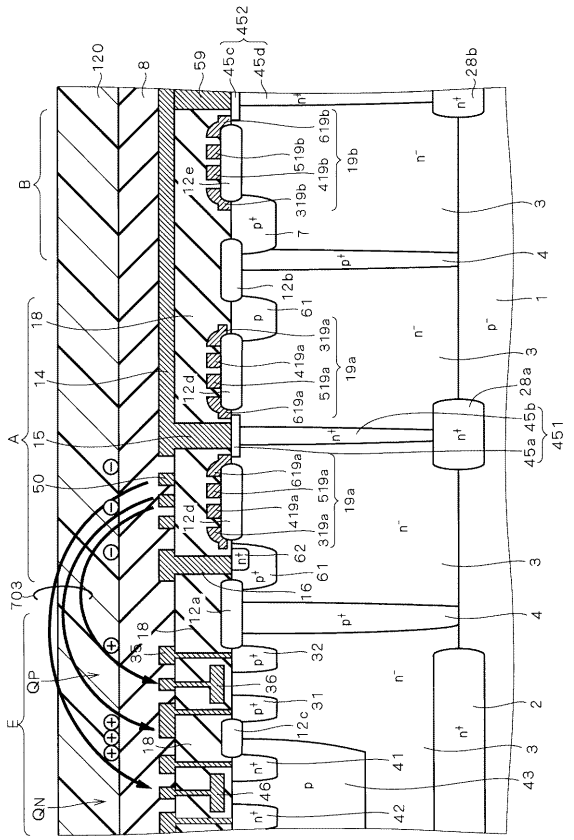
【図１３】



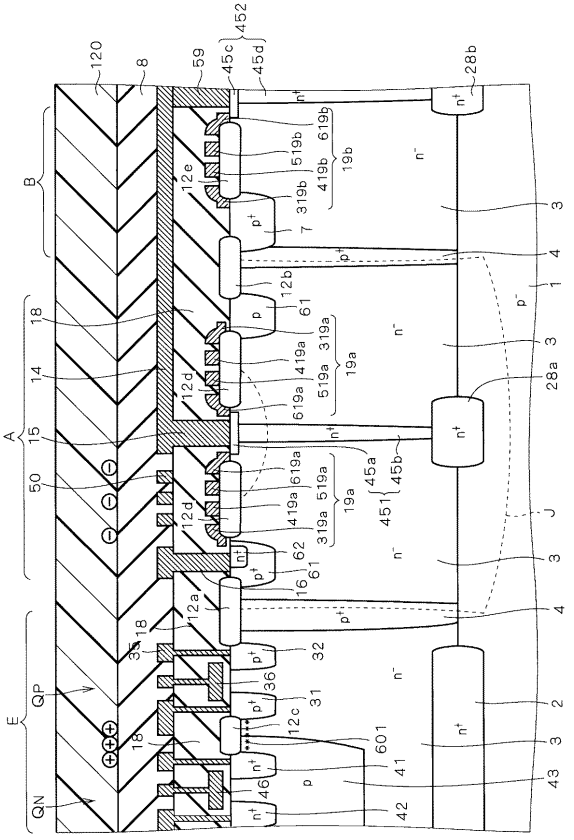
【図１４】



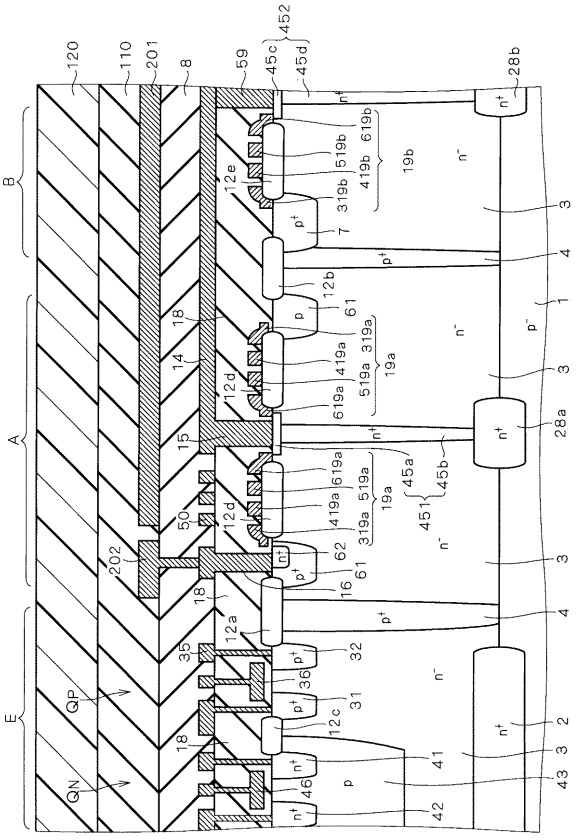
【図１５】



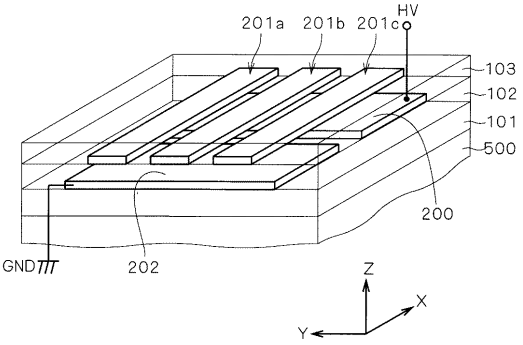
【図１６】



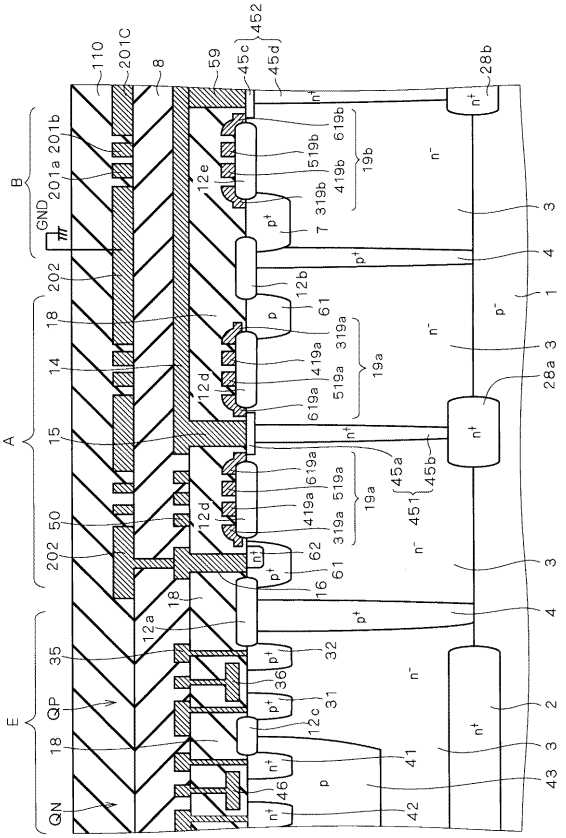
【図１７】



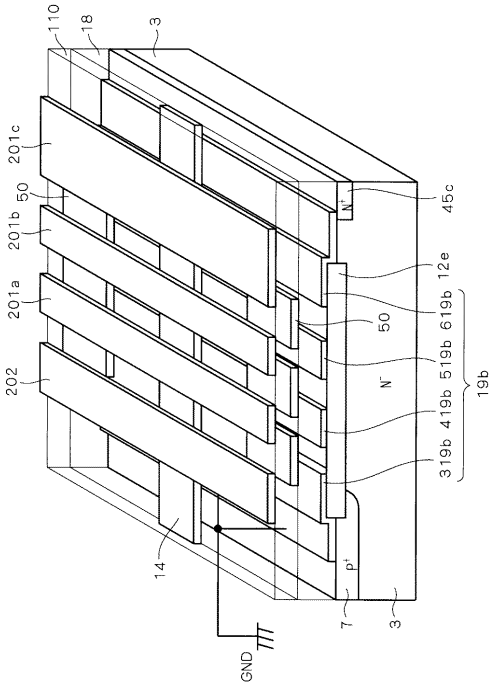
【図１８】



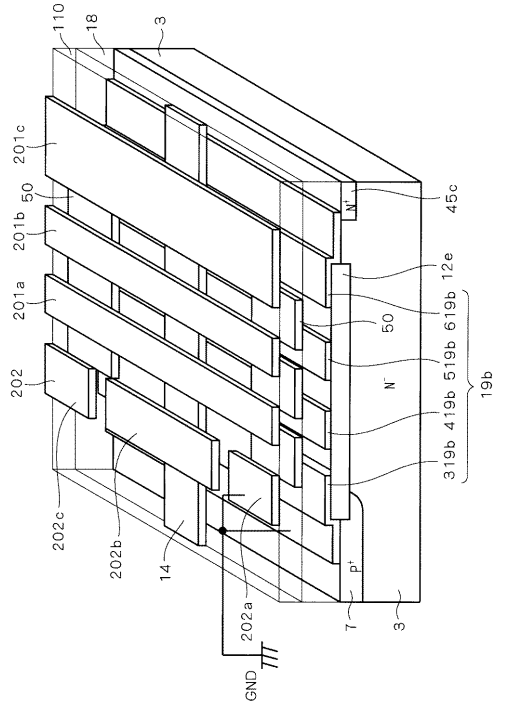
【図１９】


110
201C
8
59
45c
45d
452
28b
201b
201a
GND
202
18
14
15
50
35
QP
QN
12e
12d
12b
12a
619b
519b
419b
319b
19b
619a
519a
419a
319a
19a
61
62
16
32
36
31
12c
41
42
43
45a
45b
451
28a
n+
p+
p
n-
p-
A
B
E

【図２０】


110
18
3
201c
201b
50
201a
202
45c
12e
619b
519b
419b
319b
19b
N+
N-
p+
14
7
GND

【図２１】


110
18
3
201c
50
201b
201a
202
45c
12e
619b
519b
419b
319b
19b
N+
N-
p+
202c
202b
202a
14
7
GND

フロントページの続き

(51)Int.Cl. ＦＩ

Ｈ０１Ｌ 21/3205 (2006.01)
Ｈ０１Ｌ 21/8238 (2006.01)
Ｈ０１Ｌ 27/092 (2006.01)
Ｈ０１Ｌ 29/06 (2006.01)

(56)参考文献 特開２０００－１０１２０４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl., ＤＢ名)

H01L 21/822
H01L 27/04
H01L 21/8234
H01L 27/088
H01L 21/8238
H01L 27/092
H01L 21/3205
H01L 23/52
H01L 29/06