



(12) 发明专利申请

(10) 申请公布号 CN 117396032 A

(43) 申请公布日 2024. 01. 12

(21) 申请号 202311582539.8

H10K 59/131 (2023.01)

(22) 申请日 2020.06.04

(62) 分案原申请数据

202010498518.8 2020.06.04

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

申请人 成都京东方光电科技有限公司

(72) 发明人 黄耀 黄炜赟 龙跃 王彬艳

杨国波 王本莲

(74) 专利代理机构 北京市柳沈律师事务所

11105

专利代理师 王小会

(51) Int. Cl.

H10K 59/122 (2023.01)

H10K 59/123 (2023.01)

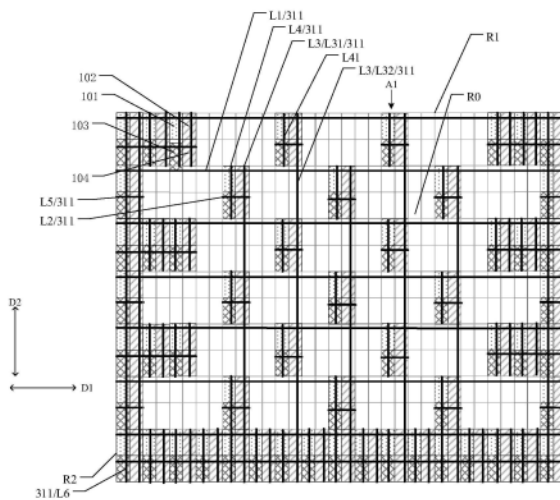
权利要求书2页 说明书15页 附图25页

(54) 发明名称

显示面板和显示装置

(57) 摘要

一种显示面板和显示装置,显示面板包括:第一显示区域;第二显示区域,至少位于第一显示区域的一侧;多个像素单元,第一显示区域的像素单元的密度小于第二显示区域的像素单元的密度,像素单元包括像素电路;以及第一电源线,被配置为向像素电路提供第一电压信号;第一电源线包括多条第一导线、多条第二导线和多条第三导线,第一导线从第二显示区域延伸至第一显示区域,多条第二导线位于第一显示区域,并且位于相邻第一导线之间,第二导线沿第一方向延伸,第三导线沿第二方向延伸,第一方向与第二方向相交,第三导线从第二显示区域延伸至第一显示区域,并且相邻第二导线沿第一方向彼此间隔,第二导线通过第三导线与第一导线相连。



1. 一种显示面板,包括:

衬底基板,包括第一显示区域和至少位于所述第一显示区域一侧的第二显示区域;

多个像素单元,位于所述第一显示区域和所述第二显示区域,所述第一显示区域的像素单元的密度小于所述第二显示区域的像素单元的密度,所述像素单元包括像素电路,位于所述第一显示区域的像素单元构成多个像素岛,相邻像素岛之间具有透光区域,所述像素岛包括至少两个像素单元;以及

多条第一电源线,被配置为向所述像素电路提供第一电压信号,

其中,所述第一电源线包括第一导线、第二导线和第三导线,所述第一导线从所述第二显示区域延伸至所述第一显示区域,所述第二导线位于所述第一显示区域,所述第二导线沿第一方向延伸,所述第三导线沿第二方向延伸,所述第一方向与所述第二方向相交,并且

相邻第二导线沿所述第一方向彼此间隔,所述第二导线与所述第三导线相连,所述第二导线在所述衬底基板上的正投影与所述像素岛中的至少两个像素单元在所述衬底基板上的正投影交叠。

2. 根据权利要求1所述的显示面板,其中,多条所述第二导线沿所述第一方向依次排列且相邻第二导线不直接相连。

3. 根据权利要求1所述的显示面板,其中,所述第一导线包括位于不同层的部分,所述位于不同层的部分通过贯穿绝缘层的过孔相连。

4. 根据权利要求1所述的显示面板,其中,所述第一导线的一部分与所述第三导线位于同一层。

5. 根据权利要求1所述的显示面板,还包括数据线,其中,所述数据线被配置为向所述像素电路提供数据信号,所述数据线包括多条第一数据线,所述多条第一数据线从所述第二显示区域延伸至所述第一显示区域,穿过所述多个像素岛,且与所述多个像素岛上的像素电路电连接,所述多条第一数据线位于相邻像素岛之间的部分为第一部分,相邻两条第一数据线的第一部分之间具有缝隙,所述第三导线在所述衬底基板上的正投影覆盖所述缝隙在所述衬底基板上的正投影。

6. 根据权利要求5所述的显示面板,其中,所述第三导线在所述衬底基板上的正投影与所述第一部分在所述衬底基板上的正投影交叠。

7. 根据权利要求6所述的显示面板,其中,所述第三导线在所述衬底基板上的正投影覆盖所述第一数据线的所述第一部分在所述衬底基板上的正投影。

8. 根据权利要求6所述的显示面板,其中,沿所述第二方向,所述第三导线的相对的两侧边界超出其所对应的两条第一数据线的第一部分边界。

9. 根据权利要求5-8任一项所述的显示面板,其中,所述第一数据线包括第二部分,所述第一数据线的第二部分与所述第三导线不交叠,所述第一数据线的第一部分和所述第一数据线的第二部分分别位于不同的层。

10. 根据权利要求5-8任一项所述的显示面板,其中,所述多条第一数据线中的两条第一数据线分别与同一个像素岛上的相邻两个像素单元相连,所述两条第一数据线与同一条第三导线在所述衬底基板上的正投影部分交叠。

11. 根据权利要求1-8任一项所述的显示面板,其中,所述第一电源线还包括位于所述第二显示区域的第五导线,所述第五导线位于相邻第一导线之间,所述第五导线和与其相

邻的第二导线沿所述第一方向彼此间隔。

12. 根据权利要求1-8任一项所述的显示面板,其中,所述第一导线包括第一部分和第二部分,所述第一部分具有沿所述第一方向延伸的第一子部和沿所述第二方向延伸的第二子部,所述第二子部具有分支,所述分支沿所述第一方向延伸。

13. 根据权利要求1-8任一项所述的显示面板,还包括栅线,其中,所述栅线被配置为向一行像素单元提供扫描信号,所述栅线包括第一栅线,所述第一栅线从所述第二显示区域延伸至所述第一显示区域,所述透光区域由两条相邻第一栅线以及两条相邻第一数据线围设而成。

14. 一种显示装置,包括权利要求1-13任一项所述的显示面板和传感器,所述传感器位于所述第一显示区域。

15. 根据权利要求14所述的显示装置,其中,所述传感器为摄像头。

## 显示面板和显示装置

[0001] 本申请是2020年06月04日递交的中国专利申请第202010498518.8号的分案申请。

### 技术领域

[0002] 本公开至少一实施例涉及一种显示面板和显示装置。

### 背景技术

[0003] 基于屏下摄像头的设计,显示面板通常包括高像素密度(Pixels Per Inch,PPI)区域和低PPI区域,然而,通常的显示面板在低PPI区域的光透过率较低,不利于提高摄像头在成像区域的显示效果。

### 发明内容

[0004] 本公开的至少一实施例涉及一种显示面板和显示装置。

[0005] 本公开的至少一实施例提供一种显示面板,包括:第一显示区域;第二显示区域,至少位于所述第一显示区域的一侧;

[0006] 多个像素单元,位于所述第一显示区域和所述第二显示区域,所述第一显示区域的像素单元的密度小于所述第二显示区域的像素单元的密度,所述像素单元包括像素电路;以及第一电源线,被配置为向所述像素电路提供第一电压信号;所述第一电源线包括多条第一导线、多条第二导线和多条第三导线,所述第一导线从所述第二显示区域延伸至所述第一显示区域,所述多条第二导线位于所述第一显示区域,并且位于相邻第一导线之间,所述第二导线沿第一方向延伸,所述第三导线沿第二方向延伸,所述第一方向与所述第二方向相交,所述第三导线从所述第二显示区域延伸至所述第一显示区域,并且相邻第二导线沿所述第一方向彼此间隔,所述第二导线通过所述第三导线与所述第一导线相连。

[0007] 根据本公开的一些实施例提供的显示面板,所述多条第二导线沿所述第一方向依次排列。

[0008] 根据本公开的一些实施例提供的显示面板,所述相邻第二导线不直接相连。

[0009] 根据本公开的一些实施例提供的显示面板,所述第一导线的位于所述第一显示区域的部分在所述第一方向上的长度大于所述第二导线在所述第一方向上的长度。

[0010] 根据本公开的一些实施例提供的显示面板,所述第一导线包括位于不同层的部分,所述位于不同层的部分通过贯穿绝缘层的过孔相连。

[0011] 根据本公开的一些实施例提供的显示面板,所述第一电源线还包括第四导线,所述第四导线沿所述第二方向延伸,所述第二导线通过所述第四导线连接至所述第一导线,所述第四导线在所述第二方向上的长度小于或等于所述第三导线在所述第二方向上的长度。

[0012] 根据本公开的一些实施例提供的显示面板,包括多条第四导线,所述多条第四导线位于相邻第三导线之间,所述多条第四导线沿所述第二方向依次排列,相邻第四导线在所述第二方向上彼此间隔。

[0013] 根据本公开的一些实施例提供的显示面板,所述第一导线的一部分与所述第三导线位于同一层,所述第四导线与所述第三导线位于同一层。

[0014] 根据本公开的一些实施例提供的显示面板,位于所述第一显示区域的像素单元构成多个像素岛,所述像素岛至少包括位于相邻两行的两个像素单元,所述第一导线和所述第二导线分别与位于所述相邻两行的两个像素单元交叠。

[0015] 根据本公开的一些实施例提供的显示面板,所述像素单元还包括发光元件,所述像素电路包括第一晶体管和第二晶体管,所述第一晶体管与所述第二晶体管相连,所述第二晶体管与所述发光元件相连,所述第一晶体管包括第一沟道和第二沟道,所述第一沟道和所述第二沟道通过导电部相连,所述第二导线还包括连接臂,所述连接臂与所述像素岛中的与所述第二导线交叠的一个像素单元的所述导电部在第三方向上彼此间隔,且在所述第三方向上部分重叠,所述第三方向垂直于所述第一方向,并且垂直于所述第二方向。

[0016] 根据本公开的一些实施例提供的显示面板,所述连接臂的形状包括C型。

[0017] 根据本公开的一些实施例提供的显示面板,所述第一导线具有分支,所述分支与所述像素岛中的与所述第一导线交叠的一个像素单元的所述导电部在所述第三方向上彼此间隔,且在所述第三方向上部分重叠。

[0018] 根据本公开的一些实施例提供的显示面板,所述第一方向垂直于所述第二方向。

[0019] 根据本公开的一些实施例提供的显示面板,所述第一电源线还包括第五导线,所述第五导线沿所述第一方向延伸,所述第五导线位于所述第二显示区域,所述第五导线位于相邻第一导线之间,所述第五导线和与其相邻的第二导线沿所述第一方向彼此间隔。

[0020] 根据本公开的一些实施例提供的显示面板,显示面板还包括初始化信号线,所述初始化信号线被配置为向所述像素电路提供初始化信号,所述第二导线被所述初始化信号线的一部分环绕。

[0021] 根据本公开的一些实施例提供的显示面板,所述第一导线包括第一部分和第二部分,所述第一导线的第一部分与所述第二导线位于同一层,所述第一导线的第二部分不与所述第二导线位于同一层,所述第一导线的所述第一部分被所述初始化信号线的一部分环绕。

[0022] 根据本公开的一些实施例提供的显示面板,所述第一导线的所述第一部分具有沿所述第一方向延伸的第一子部和沿所述第二方向延伸的第二子部,所述第二子部具有分支,所述分支沿所述第一方向延伸。

[0023] 根据本公开的一些实施例提供的显示面板,所述分支在所述第一方向上的长度小于所述第一子部在所述第一方向上的长度。

[0024] 根据本公开的一些实施例提供的显示面板,所述像素单元还包括发光元件,所述像素电路包括第一晶体管和第二晶体管,所述第一晶体管与所述第二晶体管相连,所述第二晶体管与所述发光元件相连,所述第一晶体管包括第一沟道和第二沟道,所述第一沟道和所述第二沟道通过导电部相连,所述分支与所述像素岛中的与所述第一导线交叠的一个像素单元的所述导电部在所述第三方向上彼此间隔,且在所述第三方向上部分重叠,所述第三方向垂直于所述第一方向,并且垂直于所述第二方向。

[0025] 根据本公开的一些实施例提供的显示面板,所述第二导线还包括连接臂,所述连接臂与所述像素岛中的与所述第二导线交叠的一个像素单元的所述导电部在第三方向上

彼此间隔,且在所述第三方向上部分重叠。

[0026] 根据本公开的一些实施例提供的显示面板,显示面板还包括衬底基板和数据线,所述数据线被配置为向所述像素电路提供数据信号,所述数据线包括第一数据线,其中,所述第一数据线从所述第一显示区域延伸至所述第二显示区域,所述第一数据线与所述第三导线在所述衬底基板上的正投影部分交叠。

[0027] 根据本公开的一些实施例提供的显示面板,所述第一数据线包括第一部分和第二部分,所述第一数据线的所述第一部分与所述第三导线部分交叠,所述第一数据线的所述第二部分与所述第三导线不交叠,所述第一数据线的所述第一部分和所述第一数据线的所述第二部分分别位于不同的层。

[0028] 根据本公开的一些实施例提供的显示面板,相邻像素岛之间具有透光区域,所述第一数据线的所述第一部分位于相邻像素岛之间。

[0029] 根据本公开的一些实施例提供的显示面板,提供两条第一数据线,所述两条第一数据线分别与相邻两列像素单元相连,所述两条第一数据线与同一条第三导线在所述衬底基板上的正投影部分交叠。

[0030] 根据本公开的一些实施例提供的显示面板,显示面板还包括栅线,所述栅线被配置为向一行像素单元提供扫描信号,所述栅线包括第一栅线,所述第一栅线从所述第二显示区域延伸至所述第一显示区域,所述透光区域由两条相邻第一栅线以及两条相邻第一数据线围设而成。

[0031] 本公开的一些实施例还提供一种显示装置,包括上述任一显示面板。

## 附图说明

[0032] 为了更清楚地说明本公开实施例的技术方案,下面将对实施例的附图作简单地介绍,显而易见地,下面描述中的附图仅仅涉及本公开的一些实施例,而非对本公开的限制。

[0033] 图1A至图1C为本公开的一些实施例提供的显示面板的示意图;

[0034] 图2为本公开一实施例提供的显示面板的第二显示区域的示意图;

[0035] 图3为本公开一实施例提供的显示面板的第一显示区域的示意图;

[0036] 图4为本公开一实施例提供的一种显示面板中的像素单元以及为像素单元提供信号的信号线的示意图;

[0037] 图5为一种显示面板的示意图;

[0038] 图6A至图6E为本公开一些实施例提供的显示面板的示意图;

[0039] 图7A为本公开一实施例提供的显示面板的示意图;

[0040] 图7B为本公开一实施例提供的显示面板的示意图;

[0041] 图8为本公开一实施例提供的一种显示面板的像素电路的原理图;

[0042] 图9为本公开一实施例提供的一种显示面板中的半导体图形的平面图;

[0043] 图10为本公开一实施例提供的一种显示面板中的第一导电图案层的平面图;

[0044] 图11为本公开一实施例提供的一种显示面板中的第二导电图案层的平面图;

[0045] 图12为本公开一实施例提供的一种显示面板中的第一绝缘层的平面图;

[0046] 图13为本公开一实施例提供的一种显示面板中的第三导电图案层的平面图;

[0047] 图14为本公开一实施例提供的一种显示面板中的第二绝缘层的平面图;

- [0048] 图15为本公开一实施例提供的一种显示面板中的像素电极层的平面图；
- [0049] 图16为本公开一实施例提供的一种显示面板中的像素定义层的平面图；
- [0050] 图17为本公开一实施例提供的一种显示面板中形成薄膜晶体管的有源层的示意图；
- [0051] 图18为本公开一实施例提供的一种显示面板中形成第二导电图案层以及第一绝缘层后的平面示意图；
- [0052] 图19为本公开一实施例提供的一种显示面板中形成第三导电图案层后的平面示意图；
- [0053] 图20为本公开一实施例提供的一种显示面板中的形成第二绝缘层后的平面示意图；
- [0054] 图21为本公开一实施例提供的一种显示面板中在形成像素电极层后的平面示意图；
- [0055] 图22为本公开一实施例提供的一种显示面板中在形成像素定义后的平面示意图；
- [0056] 图23为本公开一实施例提供的一种显示面板中第一显示区域内的在第二方向上相邻像素岛的平面示意图；
- [0057] 图24为本公开一实施例提供的一种显示面板的剖视示意图；以及
- [0058] 图25为本公开一实施例提供的一种显示面板的剖视示意图。

### 具体实施方式

[0059] 为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

[0060] 除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

[0061] 通常的显示面板中，不论是在高PPI区域还是在低PPI区域，第一电源线都是采用网状结构。为了提高低PPI区域的光透过率，提高摄像头在成像区域的显示效果，本公开的实施例提供的显示面板对低PPI区域的信号线进行优化，以达到更高的透过率，例如，本公开的实施例通过对网状的第一电源线的横纵排列的导线进行优化。

[0062] 图1A至图1C为本公开的一些实施例提供的显示面板的示意图。如图1A至图1C所示，显示面板包括第一显示区域R1和第二显示区域R2。第一显示区域R1为高像素密度(Pixels Per Inch, PPI)区域，第二显示区域R2为低PPI区域。第二显示区域R2为局部透光区域。如图1A至图1C所示，第二显示区域R2至少位于第一显示区域R1的一侧。图1A和图1B所

示的显示面板还包括第三区域R3。传感器例如摄像头可以设置在第一显示区域R1(如图1C所示),或者设置在第一显示区域R1和第三区域R3(如图1A和图1B所示)。图1A和图1B所示的第三区域R3可为挖孔区域,即,第三区域R3所对应的位置的材料被去除,形成通孔。传感器可接收环境光。以传感器为摄像头为例,实现屏下摄像头,使得在正常使用屏幕时,传感器对应的第一显示区域能够正常显示画面,而在进行摄像头拍摄时,第一显示区域能够透过环境光,支持正常的使用。例如,传感器设置在显示面板的非显示侧。传感器也可称作屏下器件。

[0063] 图1A还示出了多条栅线113和多条数据线313。多条栅线113包括第一栅线GL1,多条数据线313包括第一数据线DL1。第一栅线GL1从第二显示区域R2延伸至第一显示区域R1。第一数据线DL1从第一显示区域R1延伸至第二显示区域R2。本公开的实施例中,某一元件从第一显示区域R1延伸至第二显示区域R2可以理解为该元件位于第一显示区域R1和第二显示区域R2,也可以说成某一元件从第二显示区域R2延伸至第一显示区域R1。为了图示清晰,图1A示意性的示出了几条栅线113和几条数据线313,栅线113和数据线313的个数可根据需要而定。多条栅线113和多条数据线313相互交叉且彼此绝缘。

[0064] 图2为本公开一实施例提供的显示面板的第二显示区域的示意图。图3为本公开一实施例提供的显示面板的第一显示区域的示意图。如图2和图3所示,显示面板包括多个像素单元P0,多个像素单元P0包括第一像素单元101、第二像素单元102、第三像素单元103和第四像素单元104。一个第一像素单元101、一个第二像素单元102、一个第三像素单元103和一个第四像素单元104构成像素组P1。例如,一个像素组P1包括两个像素,在像素组P1中,一个第一像素单元101和一个第二像素单元102构成一个像素,一个第三像素单元103和一个第四像素单元104构成一个像素。一个像素组P1形成两个虚拟像素,以提高显示效果。例如,一个像素组P1为一个重复单元,在第二显示区域R2阵列排布。如图3所示,在第一显示区域R1中,一个像素组P1称作一个像素岛A1。第一显示区域R1包括多个透光区域R0;透光区域R0位于相邻像素岛A1之间。透光区域R0可透过环境光。例如,透光区域R0可包括衬底基板以及位于衬底基板上的透明绝缘层,透光区域R0不具有光遮挡结构,例如,不具有金属走线。例如,透光区域R0位于四个相邻像素岛A1围设的区域内,但不限于此。例如,如图3所示,相邻像素岛A1间隔设置。

[0065] 本公开的实施例以第一像素单元101为红色像素单元,第二像素单元102为绿色像素单元,第三像素单元103为蓝色像素单元,第四像素单元104为绿色像素单元为例,在其他的实施例中,像素组也可以采用其他颜色的像素单元。当然,在其他的实施例中,显示面板中多个像素单元P0的排列方式也不限于图2和图3所示。

[0066] 参考图2和图3,多个像素单元P0位于第一显示区域R1和第二显示区域R2,第一显示区域R1的像素单元的密度小于第二显示区域R2的像素单元的密度。或者说,第一显示区域R1的像素的密度小于第二显示区域R2的像素的密度。图3所示的第一显示区域R1中的像素单元的密度为第二显示区域R2中的像素单元的密度的四分之一。即,图3所示的第一显示区域R1中的像素的密度为第二显示区域R2中的像素的密度的四分之一。第一显示区域R1内的透光区域R0和像素单元的排布方式不限于图3所示,可根据需要进行设置。例如,在其他的实施例中,第一显示区域R1中的像素单元的密度为第二显示区域R2中的像素单元的密度的二分之一、三分之一、六分之一或者八分之一等不同于四分之一的其他的数值。

[0067] 例如,如图1A和图3所示,显示面板还包括栅线113和数据线313。栅线113和数据线313彼此绝缘。每条栅线113连接一行像素单元,每条数据线313连接一列像素单元。例如,栅线113被配置为向一行像素单元提供扫描信号。

[0068] 例如,如图1A和图3所示,数据线313包括第一数据线DL1。第一数据线DL1至少位于第一显示区域R1。例如,第一数据线DL1从第一显示区域R1延伸至第二显示区域R2。

[0069] 例如,如图1A和图3所示,栅线包括第一栅线GL1,第一栅线GL1从第二显示区域R2延伸至第一显示区域R1。如图3所示,透光区域R0由两条相邻第一栅线GL1、两条相邻第一数据线DL1围设而成,但不限于此。

[0070] 图4为本公开一实施例提供的一种显示面板中的像素单元以及为像素单元提供信号的信号线的示意图。如图4所示,显示面板包括:多个像素单元P0,每个像素单元P0包括发光元件EMC和为发光元件EMC提供驱动电流的像素电路10,发光元件EMC可为电致发光元件,例如,有机电致发光元件,例如可为有机发光二极管(OLED)。

[0071] 如图4所示,显示面板还包括初始化信号线210、发光控制信号线110、数据线313、第一电源线311以及第二电源线312。例如,栅线113被配置为向像素电路10提供扫描信号SCAN。发光控制信号线110被配置为向像素单元P0提供发光控制信号EM。数据线313被配置为向像素电路10提供数据信号DATA,第一电源线311被配置为向像素电路10提供恒定的第一电压信号ELVDD,第二电源线312被配置为向像素电路10提供恒定的第二电压信号ELVSS,并且第一电压信号ELVDD大于第二电压信号ELVSS。初始化信号线210被配置为向像素电路10提供初始化信号Vint。初始化信号Vint为恒定的电压信号,其大小例如可以介于第一电压信号ELVDD和第二电压信号ELVSS之间,但不限于此,例如,初始化信号Vint可小于或等于第二电压信号ELVSS。例如,像素电路10在扫描信号SCAN、数据信号DATA、初始化信号Vint、第一电压信号ELVDD、第二电压信号ELVSS、发光控制信号EM等信号的控制下输出驱动电流以驱动发光元件EMC发光。如图4所示,发光元件EMC包括像素电极E1和公共电极E2。像素电极E1与像素电路10相连,公共电极E2与第二电源线312相连。

[0072] 图5为一种显示面板的示意图。如图5所示,不论是在第一显示区域R1还是在第二显示区域R2,第一电源线311均采用网状结构,第一电源线3110的横向的部分直接相连,第一电源线3110的竖向的部分直接相连。然而,这种网状结构的第一电源线的布线方式使得第一显示区域R1的光透过率较低。

[0073] 图6A至图6E为本公开一些实施例提供的显示面板的示意图。如图6A至图6E所示,第一电源线311包括多条第一导线L1、多条第二导线L2和多条第三导线L3,第一导线L1从第二显示区域R2延伸至第一显示区域R1,多条第二导线L2位于第一显示区域R1,并且位于相邻第一导线L1之间,每条第二导线L2沿第一方向D1延伸,第三导线L3至少位于第一显示区域R1,例如,第三导线L3从第二显示区域R2延伸至第一显示区域R1,第三导线L3沿第二方向D2延伸,第一方向D1与第二方向D2相交,并且相邻第二导线L2沿第一方向D1彼此间隔,第二导线L2通过第三导线L3与第一导线L1相连。例如,第一方向D1垂直于第二方向D2,但不限于此。例如,第一导线L1沿第一方向D1延伸。例如,在本公开的实施例中,第二导线L2仅位于第一显示区域R1。本公开的实施例中,沿着某一方向延伸的元件不一定为直线,也可以具有曲线或者折线的部分,例如,某一元件的延伸方向是指该元件的大体延伸趋势,例如,该元件的每个部分不一定都沿该方向延伸。

[0074] 本公开的实施例提供的显示面板,调整第一显示区域的第一电源线的构造,相当于去除通常的显示面板中部分沿第二方向设置的第一电源线,简化了第一显示区域的第一电源线,提高了第一显示区域的光透过率。

[0075] 例如,如图6A至图6E所示,第一导线L1和第二导线L2分别连接一个像素岛A1中的相邻两行像素单元,但不限于此,在其他的实施例中,像素岛A1还可以包括两行以上的像素单元。例如,如图6A至图6E所示,像素岛A1至少包括位于相邻两行的两个像素单元,第一导线L1和第二导线L2分别与位于相邻两行的两个像素单元交叠。例如,如图6A至图6E所示,第一导线L1与第一像素单元101交叠,第二导线L2与第三像素单元103交叠。例如,如图6A至图6E所示,第一导线L1还与第二像素单元102交叠,第二导线L2还与第四像素单元104交叠。

[0076] 例如,如图6A至图6E所示,多条第二导线L2沿第一方向D1依次排列。例如,如图6A至图6E所示,相邻第二导线L2不直接相连,通过去除部分沿第一方向设置的第一电源线,来形成不直接相连的多条第二导线L2。

[0077] 例如,如图6A至图6E所示,为了提高第一显示区域的光透过率,第一导线L1的位于第一显示区域R1的部分在第一方向D1上的长度大于第二导线L2在第一方向D1上的长度。

[0078] 例如,如图6A至图6E所示,第一电源线311还包括第四导线L4,第四导线L4沿第二方向D2延伸,第二导线L2通过第四导线L4连接至第一导线L1,第四导线L4在第二方向D2上的长度小于或等于第三导线L3在第二方向D2上的长度。在图6A、图6B和图6E所示的显示面板中,第四导线L4在第二方向D2上的长度小于第三导线L3在第二方向D2上的长度。在图6C所示的显示面板中,第四导线L4在第二方向D2上的长度等于第三导线L3在第二方向D2上的长度。

[0079] 例如,如图6A至图6E所示,为了进一步提高第一显示区域的光透过率,提供多条第四导线L4,多条第四导线L4沿第二方向D2依次排列,相邻第四导线L4在第二方向D2上彼此间隔。例如,如图6A所示,多条第四导线L41位于第三导线L31和第三导线L32之间,第三导线L31和第三导线L32为相邻的第三导线L3。图6A示出了三条第四导线L41,但位于相邻第三导线L3之间的第四导线L4的个数不限于图中所示,可根据需要而定。因为多条第四导线L4在第二方向D2上彼此间隔,相当于去除了通常的显示面板中的部分第一电源线的沿第二方向设置的部分,从而减少布线,优化走线空间,提高光的透过率。

[0080] 例如,如图6A至图6E所示,第一电源线311还包括第五导线L5,第五导线L5沿第一方向D1延伸,第五导线L5位于第二显示区域R2,第五导线L5位于相邻第一导线L1之间,第五导线L5和与其相邻的第二导线L2沿第一方向D1彼此间隔。从而,在第一显示区域和第二显示区域的交界位置处,减小布线,提高光的透过率。

[0081] 图6E所示的显示面板中,每个像素岛包括两行三列像素单元。本公开的实施例中,对每个像素岛包括的像素单元的个数以及像素单元的排列方式不做限定,只要是每个像素岛包括的像素单元的个数大于等于两行即可采用本公开的实施例提供的第一电源线的排布方式。

[0082] 如图6A和图6B所示,在显示面板中,第一电源线311还包括多条第六导线L6,第六导线L6位于第二显示区域R2,第六导线L6沿第二方向D2延伸。在第二显示区域R2,多条第五导线L5和多条第六导线L6交叉设置。在本公开的实施例中,第五导线L5和第六导线L6均位于第二显示区域R2。

[0083] 图7A为本公开一实施例提供的显示面板的示意图。如图7A所示,同一条栅线113连接位于第一显示区域R1的两侧的第二显示区域内的像素单元以及位于第一显示区域R1内的像素单元,构成一行像素单元。本公开的实施例对于第一导线的形态不做限定,只要其可以从第二显示区域R2延伸至第一显示区域R1即可。图7A中的第一电源线也可以替换为本公开的其他实施例中的第一电源线。并且,栅线113的延伸方式也不限于图7A所示,只要栅线113的排布方式可以使得第二显示区域R2中的像素和第一显示区域R1中的像素相连即可。

[0084] 图7B为本公开一实施例提供的显示面板的示意图。与图7A所示的显示面板相比,图7B所示的显示面板调整了位于第一显示区域的部分栅线的设置位置。即,在图7B所示的显示面板中,像素岛的上方和下方分别设置一条栅线。而在图7A所示的显示面板中,在像素岛的下方设置了两条栅线。

[0085] 图6A至图6E、图7A和图7B以第二导线与相邻两条第一导线中的一条相连,而与另一条不直接相连为例。图6A至图6E、图7A和图7B所示的显示面板中,第四导线与两条相邻第一导线中的一条相接触,例如通过贯穿绝缘层的过孔接触。

[0086] 例如,在本公开的实施例中,一行像素单元为连接至同一条栅线113的像素单元,而一列像素单元为连接至同一条数据线313的像素单元。在本公开的实施例中,以第一导线L1、第二导线L2、以及第五导线L5均沿行方向延伸,第三导线L3、第四导线L4和第六导线L6沿列方向延伸为例进行说明,但不限于此。在其他的实施例中,还可以第一导线L1、第二导线L2、以及第五导线L5均沿列方向延伸,第三导线L3、第四导线L4和第六导线L6沿行方向延伸,相应地,第二方向D2和第一方向D1也相互替换。

[0087] 图6A至图6E以像素岛包括两行像素单元为例,在其他的实施例中,像素岛还可以包括三行或者三行以上的像素单元,该情况下,上述的多个第二导线可以理解为与同一行像素单元相连的第二导线。在第一导线L1、第二导线L2、以及第五导线L5均沿列方向延伸,第三导线L3、第四导线L4和第六导线L6沿行方向延伸的情况下,上述的多个第二导线可以理解为与同一列像素单元相连的第二导线。

[0088] 以下结合图8至图25对本公开的一些实施例进行描述。图8至图24以7T1C的像素电路为例进行说明。

[0089] 图8为本公开一实施例提供的一种显示面板的像素电路的原理图。图9为本公开一实施例提供的一种显示面板中的半导体图形的平面图。图10为本公开一实施例提供的一种显示面板中的第一导电图案层的平面图。图11为本公开一实施例提供的一种显示面板中的第二导电图案层的平面图。图12为本公开一实施例提供的一种显示面板中的第一绝缘层的平面图。图13为本公开一实施例提供的一种显示面板中的第三导电图案层的平面图。图14为本公开一实施例提供的一种显示面板中的第二绝缘层的平面图。图15为本公开一实施例提供的一种显示面板中的像素电极层的平面图。图16为本公开一实施例提供的一种显示面板中的像素定义层的平面图。图17为本公开一实施例提供的一种显示面板中形成薄膜晶体管的有源层的示意图。图18为本公开一实施例提供的一种显示面板中形成第二导电图案层以及第一绝缘层后的平面示意图。图19为本公开一实施例提供的一种显示面板中形成第三导电图案层后的平面示意图。图20为本公开一实施例提供的一种显示面板中的形成第二绝缘层后的平面示意图。图21为本公开一实施例提供的一种显示面板中在形成像素电极层后的平面示意图。图22为本公开一实施例提供的一种显示面板中在形成像素定义后的平面示

意图。图23为本公开一实施例提供的一种显示面板中第一显示区域内的在第二方向上相邻像素岛的平面示意图。图24为本公开一实施例提供的一种显示面板的剖视示意图。图25为本公开一实施例提供的一种显示面板的剖视示意图。本公开的实施例中,为了图示清晰,平面图中,绝缘层以过孔的形式示出,绝缘层本身采用了透明化处理。

[0090] 例如,参考图8,栅线113被配置为向像素电路10提供扫描信号SCAN。发光控制信号线110被配置为向像素单元P0提供发光控制信号EM。数据线313被配置为向像素电路10提供数据信号DATA,第一电源线311被配置为向像素电路10提供恒定的第一电压信号ELVDD,第二电源线312被配置为向像素电路10提供恒定的第二电压信号ELVSS,并且第一电压信号ELVDD大于第二电压信号ELVSS。初始化信号线210被配置为向像素电路10提供初始化信号Vint。初始化信号Vint为恒定的电压信号,其大小例如可以介于第一电压信号ELVDD和第二电压信号ELVSS之间,但不限于此,例如,初始化信号Vint可小于或等于第二电压信号ELVSS。例如,像素电路在扫描信号SCAN、数据信号DATA、初始化信号Vint、第一电压信号ELVDD、第二电压信号ELVSS、发光控制信号EM等信号的控制下输出驱动电流以驱动发光元件20发光。发光元件20在其对应的像素电路10的驱动下发出红光、绿光、蓝光,或者白光等。

[0091] 如图8所示,该像素电路10包括驱动晶体管T1、数据写入晶体管T2、阈值补偿晶体管T3、第一发光控制晶体管T4、第二发光控制晶体管T5、第一复位晶体管T6、第二复位晶体管T7以及存储电容C1。驱动晶体管T1与发光元件20电连接,并在扫描信号SCAN、数据信号DATA、第一电压信号ELVDD、第二电压信号ELVSS等信号的控制下输出驱动电流以驱动发光元件20发光。

[0092] 例如,本公开实施例提供的显示面板还包括:数据驱动电路和扫描驱动电路。数据驱动电路被配置为根据控制电路的指令向像素单元P0提供数据信号DATA;扫描驱动电路被配置为根据控制电路的指令向像素单元P0提供发光控制信号EM、扫描信号SCAN以及复位控制信号RESET等信号。例如,控制电路包括外部集成电路(IC),但不限于此。例如,扫描驱动电路为安装于该显示面板上的GOA(Gate driver On Array)结构,或者为与该显示面板进行绑定(Bonding)的驱动芯片(IC)结构。例如,还可以采用不同的驱动电路分别提供发光控制信号EM和扫描信号SCAN。例如,显示面板还包括电源(图中未示出)以提供上述电压信号,根据需要可以为电压源或电流源,所述电源被配置为分别通过第一电源线311、第二电源线312、以及初始化信号线210向像素单元P0提供第一电压信号ELVDD、第二电源电压ELVSS、以及初始化信号Vint等。

[0093] 如图8所示,存储电容C1的第二极C12与第一电源线311电连接,存储电容C1的第一极C11与阈值补偿晶体管T3的第二极T32电连接。数据写入晶体管T2的栅极T20与栅线113电连接,数据写入晶体管T2的第一极T21与第二极T22分别与数据线313、驱动晶体管T1的第一极T11电连接。阈值补偿晶体管T3的栅极T30与栅线113电连接,阈值补偿晶体管T3的第一极T31与驱动晶体管T1的第二极T12电连接,阈值补偿晶体管T3的第二极T32与驱动晶体管T1的栅极T10电连接。

[0094] 例如,如图8所示,第一发光控制晶体管T4的栅极T40和第二发光控制晶体管T5的栅极T50均与发光控制信号线110相连。

[0095] 例如,如图8所示,第一发光控制晶体管T4的第一极T41与第二极T42分别与第一电源线311和驱动晶体管T1的第一极T11电连接。第二发光控制晶体管T5的第一极T51与第二

极T52分别与驱动晶体管T1的第二极T12、发光元件20的像素电极E1(可为OLED的阳极)电连接。发光元件20的公共电极E2(可为OLED的公共电极,例如阴极)与第二电源线312电连接。

[0096] 例如,如图8所示,第一复位晶体管T6的栅极T60与第一复位控制信号线111电连接,第一复位晶体管T6的第一极T61与初始化信号线210(第一初始化信号线211)电连接,第一复位晶体管T6的第二极T62与驱动晶体管T1的栅极T10电连接。第二复位晶体管T7的栅极T70与第二复位控制信号线112电连接,第二复位晶体管T7的第一极T71与初始化信号线210(第二初始化信号线212)电连接,第二复位晶体管T7的第二极T72与发光元件20的像素电极E1电连接。

[0097] 图9示出了半导体图形SCP,图10示出了第一导电图案层LY1,第一导电图案层LY1和半导体图形SCP之间设置有第一栅绝缘层。以第一导电图案层LY1为掩模版对半导体图形SCP进行掺杂,使得半导体图形SCP的未被第一导电图案层LY1覆盖的区域保留半导体特性,形成薄膜晶体管的沟道,而半导体图形SCP的被第一导电图案层LY1覆盖的区域被导体化,形成薄膜晶体管的源极或者漏极。如17示出了半导体图形SCP被部分导体化之后形成的有源层ALT。

[0098] 如图10所示,第一导电图案层LY1包括第一复位控制信号线111、第二复位控制信号线112、发光控制信号线110、栅线113和存储电容C1的第一极C11。图10还示出了第一数据线DL1的第一部分DL11(导线114)。图10还示出了栅线GL0,栅线GL0为从第二显示区域延伸至第一显示区域的栅线的一部分。例如,参考图19,在本公开的实施例中,第一复位控制信号线111和第二复位控制信号线112相连。

[0099] 图11示出了第二导电图案层LY2,第二导电图案层LY2和第一导电图案层LY1之间设置有第二栅极绝缘层。第二导电图案层LY2包括挡块BK0、挡块BK1、初始化信号线210和存储电容C1的第二极C12。存储电容C1的第二极C12具有开口OPN。初始化信号线210包括第一初始化信号线211和第二初始化信号线212。如图11所示,第二导电图案层LY2包括第一导线L1的第一部分L11和第三部分L13。如图11所示,挡块BK0从第一导线L1延伸而出。图12示出了第一绝缘层ISL1的图形,图中的点状物为第一绝缘层ISL1中的过孔,第一绝缘层ISL1包括第一栅绝缘层、第二栅绝缘层和层间绝缘层至少之一。层间绝缘层位于第二导电图案层LY2和第三导电图案层LY3之间。有关于第一栅绝缘层、第二栅绝缘层和层间绝缘层、第一导电图案层LY1、第二导电图案层LY2和第三导电图案层LY3可参照图24和图25所示。图18示出了形成第一绝缘层ISL1后的平面示意图。

[0100] 图13示出了第三导电图案层LY3,第三导电图案层LY3包括第三导线L3(第一电源线311的一部分)、数据线的第二部分DL12(数据线313的一部分),第一连接电极31a、第二连接电极31b、第三连接电极31c和第四连接电极31d。如图13所示,第三导电图案层LY3还包括第一导线L1的第二部分L12。第一导线L1的第一部分L11和第三部分L13通过第二部分L12相连。

[0101] 参考图13、图17、图18、图19,数据线313通过过孔V4与数据写入晶体管T2的第一极T21电连接,第一电源线311通过过孔V3与第一发光控制晶体管T4的第一极T41电连接,第一电源线311通过过孔V6与存储电容C1的第二极C12电连接,第一电源线311通过过孔V5与导电块BK1电连接。第一连接电极31a的一端通过过孔V11与第一初始化信号线211电连接,第一连接电极31a的另一端通过过孔V12与第一复位晶体管T6的第一极T61相连,进而使得第

一复位晶体管T6的第一极T61与第一初始化信号线211电连接。第二连接电极31b的一端通过过孔V21与第一复位晶体管T6的第二极T62电连接,第二连接电极31b的另一端通过过孔V22与驱动晶体管T1的栅极T10(也即存储电容C1的第一极C11)电连接,从而使得第一复位晶体管T6的第二极T62与驱动晶体管T1的栅极T10(也即存储电容C1的第一极C11)电连接。第三连接电极31c的一端通过过孔V31与第二初始化信号线212电连接,第三连接电极31c的另一端通过过孔V32与第二复位晶体管T7的第一极T71相连,进而使得第二复位晶体管T7的第一极T71与第一初始化信号线211电连接。第四连接电极31d通过过孔V1与第二发光控制晶体管T5的第二极T52电连接。第四连接电极31d可用来与后续形成的发光元件20的像素电极E1(参照图8)电连接。

[0102] 图14示出了第二绝缘层ISL2,图14中的点状物为第二绝缘层ISL2中的过孔V1。如图14所示,过孔V1包括过孔V10、过孔V20、过孔V30和过孔V40。图20为形成第二绝缘层后的平面图。

[0103] 图15示出了电极层ETL。电极层ETL包括多个像素电极E1。电极层ETL包括第一像素单元101的像素电极E11、第二像素单元102的像素电极E12、第三像素单元103的像素电极E13和第四像素单元104的像素电极E14。第一像素单元101的像素电极E11通过过孔V10与对应的第四连接电极31d相连,第二像素单元102的像素电极E12通过过孔V20与对应的第四连接电极31d相连,第三像素单元103的像素电极E13通过过孔V30与对应的第四连接电极31d相连,第四像素单元104的像素电极E14通过过孔V40与对应的第四连接电极31d相连。图21为形成电极层后的显示面板的平面图。

[0104] 参考图15和图22,第四像素单元104的像素电极E14包括增补部E0,增补部E0在衬底基板上的正投影可以覆盖数据写入晶体管T2和第一发光控制晶体管T4的共用电极(数据写入晶体管T2的第二极T22和第一发光控制晶体管T4的第二极T42)在衬底基板上的正投影,以提高数据写入晶体管T2和第一发光控制晶体管T4的稳定性和寿命,从而可提高该显示面板的长期发光稳定性和寿命。

[0105] 图16示出了像素定义层的平面图。如图16所示,像素定义层PDL包括多个开口,多个开口包括开口OPN1、开口OPN2、开口OPN3和开口OPN4。图22示出了形成像素定义层后的显示面板的示意图。如图22所示,开口OPN1暴露像素电极E11的一部分,开口OPN2暴露像素电极E12的一部分,开口OPN3暴露像素电极E13的一部分,开口OPN4暴露像素电极E14的一部分。在后续的工艺中,形成发光功能层和公共电极,进而形成发光元件EMC。

[0106] 需要说明的是,本公开一实施例中采用的晶体管均可以为薄膜晶体管或场效应晶体管或其他特性相同的开关器件。这里采用的晶体管的源极、漏极在结构上可以是对称的,所以其源极、漏极在结构上可以是没有区别的。在本公开一实施例中,为了区分晶体管除栅极之外的两极,直接描述了其中一极为第一极,另一极为第二极,所以本公开实施例中全部或部分晶体管的第一极和第二极根据需要是可以互换的。例如,本公开实施例所述的晶体管的第一极可以为源极,第二极可以为漏极;或者,晶体管的第一极为漏极,第二极为源极。

[0107] 此外,按照晶体管的特性区分可以将晶体管分为N型和P型晶体管。本公开实施例以晶体管均采用P型晶体管为例进行说明。基于本公开对该实现方式的描述和教导,本领域普通技术人员在无需做出创造性劳动前提下,能够容易想到将本公开实施例的像素电路中至少部分晶体管采用N型晶体管,即采用N型晶体管或N型晶体管和P型晶体管组合的实现方

式,因此,这些实现方式也是在本公开的保护范围内的。

[0108] 图8至图25以7T1C的像素电路为例进行说明,本公开的实施例包括但不限于此。需要说明的是,本公开的实施例对像素电路包括的薄膜晶体管的个数以及电容的个数不做限定。例如,在另外的一些实施例中,显示基面板的像素电路还可以为包括其他数量的晶体管的结构,如7T2C结构、6T1C结构、6T2C结构或者9T2C结构,本公开实施例对此不作限定。

[0109] 图25为本公开一实施例提供的显示面板的剖视示意图。例如,如图25所示,显示面板包括薄膜晶体管50和存储电容C1。薄膜晶体管50包括位于衬底基板BS上的有源层ATL1,位于有源层ATL1远离衬底基板BS一侧的第一栅绝缘层GI1,位于第一栅绝缘层GI1远离衬底基板BS一侧的栅极GE。显示面板还包括位于栅极GE远离衬底基板BS一侧的第二栅绝缘层GI2,位于第二栅绝缘层GI2远离衬底基板BS一侧的层间绝缘层ILD,以及位于层间绝缘层ILD远离衬底基板BS一侧的连接电极CNE1。有源层ATL1包括沟道CN11以及分别位于沟道CN11两侧的第一极ET1和第二极ET2,连接电极CNE1通过贯穿的第一栅绝缘层GI1、第二栅绝缘层GI2以及层间绝缘层ILD的过孔与第二极ET2相连。存储电容C1包括第一极C11和第二极C12,第一极C11和栅极GE位于同一层,均位于第一导电图案层LY1,第二极C12位于第二栅绝缘层GI2和层间绝缘层ILD之间,位于第二导电图案层LY2。第一极ET1和第二极ET2之一为源极,第一极ET1和第二极ET2之另一为漏极。连接电极CNE1位于第三导电图案层LY3。显示面板还包括钝化层PVX和平坦化层PLN。例如,连接电极CNE1为上述第四连接电极31d,薄膜晶体管50可为上述第二发光控制晶体管T5。

[0110] 如图25所示,显示面板还包括发光元件EMC,发光元件EMC包括像素电极E1、发光功能层EML和公共电极E2,像素电极E1通过贯穿钝化层PVX和平坦化层PLN的过孔与连接电极CNE1相连。显示面板还包括封装层CPS,封装层CPS包括第一封装层CPS1、第二封装层CPS2以及第三封装层CPS3。例如,第一封装层CPS1和第三封装层CPS3为无机材料层,第二封装层CPS2为有机材料层。例如,像素电极E1为阳极,公共电极E2为阴极,但不限于此。

[0111] 例如,发光元件EMC包括有机发光二极管。发光功能层位于公共电极E2和像素电极E1之间。发光功能层EML至少包括发光层,还可以包括空穴传输层、空穴注入层,电子传输层、电子注入层至少之一。

[0112] 如图25所示,显示面板还包括像素定义层PDL和隔垫物PS。像素定义层PDL具有开口,开口被配置为限定像素单元的发光面积(出光区域,有效发光面积),隔垫物PS被配置为在形成发光功能层EML时支撑精细金属掩膜。图25示出了发光元件相对的两侧均设置隔垫物PS,但不限于此。

[0113] 例如,数据线被配置为向像素单元输入数据信号,第一电源信号线被配置为向驱动晶体管输入第一电源电压。第二电源信号线被配置为向像素单元输入第二电源电压。第一电源电压为恒定电压,第二电源电压为恒定电压,例如,第一电源电压为正电压,第二电源电压为负电压,但不限于此。例如,在一些实施例中,第一电源电压为正电压,第二电源信号线接地。

[0114] 参考图25,本公开的实施例中,第一绝缘层ISL1包括第一栅极绝缘层GI1、第二栅极绝缘层GI2和层间绝缘层ILD至少之一,第二绝缘层ISL2包括平坦化层PLN。

[0115] 例如,第一栅极绝缘层GI1、第二栅极绝缘层GI2、层间绝缘层ILD、钝化层PVX、平坦化层PLN、像素定义层PDL和隔垫物PS均采用绝缘材料制作。例如,第一栅极绝缘层GI1、第二

栅极绝缘层GI2、层间绝缘层ILD和钝化层PVX的材料包括SiO<sub>x</sub>和SiN<sub>x</sub>至少之一,但不限于此。例如,平坦化层PLN、像素定义层PDL和隔垫物PS可采用有机绝缘材料制作,例如,可采用树脂,但不限于此。

[0116] 参考图17,阈值补偿晶体管T3包括第一沟道CN1和第二沟道CN2,第一沟道CN1和第二沟道CN2通过导电部CP相连。参考图18,第二导线L2还包括连接臂L21。阈值补偿晶体管T3为双栅晶体管,导电部CP在阈值补偿晶体管T3关闭时处于浮接(floating)状态,易受周围线路电压的影响而跳变,导电部CP的电压跳变会影响阈值补偿晶体管T3的漏电流,进而影响像素单元的发光亮度,从而,需要保持导电部CP的电压稳定,可以设计挡块与导电部CP形成电容,挡块可具有恒定的电压信号,以使得处于浮接状态的导电部CP的电压亦保持稳定。本公开的实施例中提及的挡块BK0、挡块BK以及连接臂L21都起到稳定导电部CP的电压的作用。

[0117] 参考图24,连接臂L21与阈值补偿晶体管T3的导电部CP部分重叠以形成电容C0,连接臂L21与导电部CP之间设置有第一栅绝缘层GI1和第二栅绝缘层GI2。图24还示出了第二沟道CN2。电容C0可称作稳定电容,连接臂L21与导电部CP为电容C0的两个极板。如图24所示,栅极GE2与第二沟道CN2在垂直于衬底基板BS的方向上重叠。栅极GE2为阈值补偿晶体管T3的一个栅极。如图24所示,第二连接电极31b与阈值补偿晶体管T3的第二极T32相连。

[0118] 参考图19,第二导线L2还包括连接臂L21,连接臂L21与导电部CP在第三方向D3上彼此间隔,且在第三方向D3上部分重叠(参照图24)。例如,连接臂L21的形状包括C型。需要说明的是,连接臂L21大体呈C型即可,当然,连接臂L21也可以采用其他形状,只要能够起到稳定阈值补偿晶体管T3的作用即可。

[0119] 例如,第三方向D3垂直于第一方向D1,并且垂直于第二方向D2,第三方向D3为垂直于衬底基板BS的方向,连接臂L21与导电部CP之间设置有第一栅绝缘层GI1和第二栅绝缘层GI2。例如,第一方向D1和第二方向D2为平行于衬底基板BS的主表面的方向,第三方向D3为垂直于衬底基板BS的主表面的方向。在衬底基板BS的主表面上制作各种元件。

[0120] 参考图11、图19和图24,第一部分L11包括沿第一方向D1延伸的第一子部La和沿第二方向延伸的第二子部Lb,第二子部Lb具有分支,分支沿第一方向D1延伸,挡块BK0即为第二子部Lb的分支。参考图17、图19和图24,第二子部Lb的分支(挡块BK0)与像素岛中的与第一导线L1交叠的一个像素单元的导电部在第三方向D3上彼此间隔,且在第三方向D3上部分重叠。参考图17、图19和图24,第二子部Lb的分支(挡块BK0)与像素岛中的与第一导线L1交叠的一个像素单元(图24中左上角的像素单元)的导电部CP在第三方向D3上彼此间隔,且在第三方向D3上部分重叠。例如,分支(挡块BK0)在第一方向D1上的长度小于第一子部La在第一方向D1上的长度。

[0121] 例如,参考图8、图17、图19和图24,像素电路10包括第一晶体管和第二晶体管,第一晶体管与第二晶体管相连,第二晶体管与发光元件相连,第一晶体管包括第一沟道CN1和第二沟道CN2,第一沟道CN1和第二沟道CN2通过导电部CP相连,第二导线L2还包括连接臂L21,连接臂L21与像素岛中的与第二导线L2交叠的一个像素单元(图19中位于左下角的像素单元)的导电部CP在第三方向D3上彼此间隔,且在第三方向D3上部分重叠。例如,上述的第一晶体管和第二晶体管分别为像素电路10中的阈值补偿晶体管T3和与发光元件相连的发光控制晶体管。例如,与发光元件相连的发光控制晶体管为上述的第二发光控制晶体管

T5。当然,在本公开的其他实施例中,与像素岛中的第一晶体管中的导电部CP形成电容的挡块或者连接臂也可以采用其他的形式,在此不做限定。

[0122] 例如,参考图19,在本公开的实施例中,挡块BK0(第二子部Lb的分支)和连接臂L21均连接至本列像素单元的第三导线L3,而挡块BK连接至其所遮挡的导电部所在的像素单元列的相邻列的第三导线。即,如图19所示,挡块BK0(第二子部Lb的分支)、连接臂L21和挡块BK均连接至同一第三导线L3。

[0123] 例如,如图11所示,初始化信号线210包括多个镂空区域HP,第二导线L2位于一个镂空区域HP内,并被初始化信号线的围成该镂空区域HP的部分包围,第二导线L2与初始化信号线的围成该镂空区域的部分不交叠。即,第二导线L2被初始化信号线的围成该镂空区域HP的部分完全包围。在本公开的实施例中,镂空区域HP为在制作初始化信号线210时,去除的薄膜的部分对应的位置。

[0124] 例如,参考图11、图13和图19,第一导线L1包括第一部分L11和第二部分L12,第一导线L1的第一部分L11与第二导线L2位于同一层,第一导线L1的第二部分L12不与第二导线L2位于同一层,第一导线L1的第二部分L12与初始化信号线210至少部分交叠。参考图11、图13和图19,第一导线L1的第一部分L11与第二导线L2位于均位于第二导电图案层LY2,第一导线L1的第二部分L12位于第三导电图案层LY3。

[0125] 例如,参考图11、图13和图19,第二导线L2被初始化信号线210的一部分环绕,第一导线L1的第一部分L11被初始化信号线210的一部分环绕。参考图11、图13和图19,第二导线L2被初始化信号线210的位于下侧的部分210a环绕,第一导线L1的第一部分L11被初始化信号线210的位于上侧的部分210b环绕。

[0126] 例如,参考图3和图19,数据线313包括第一数据线DL1,第一数据线DL1从第一显示区域R1延伸至第二显示区域R2,第一数据线DL1与第三导线L3在衬底基板BS上的正投影部分交叠。该种设置方式利于减少布线面积,提高光的透过率。

[0127] 例如,参考图13、图18、图19,第一数据线DL1包括第一部分DL11和第二部分DL12,第一数据线DL1的第一部分DL11与第三导线L3部分交叠,第一数据线DL1的第二部分DL12与第三导线L4不交叠,第一数据线DL1的第一部分DL11和第一数据线DL1的第二部分DL12分别位于不同的层。例如,图19中左侧的第一数据线DL1的第一部分DL11(导线214)位于第二导电图案层,左侧的第一数据线DL1的第二部分DL12位于第三导电图案层,图19中右侧的第一数据线DL1的第一部分DL11(导线114)位于第一导电图案层,右侧的第一数据线DL1的第二部分DL12位于第三导电图案层。例如,参考图3、图19和图23,第一数据线DL1的第一部分DL11位于相邻像素岛A1之间。

[0128] 例如,参考图13和图19,提供两条第一数据线DL1,两条第一数据线DL1分别与相邻两列像素单元相连,两条第一数据线DL1与同一条第三导线L3在衬底基板BS上的正投影部分交叠。该种设置方式使得相邻两列像素单元中位于像素岛之间的数据线可以藏在第三导线之下,从而,减小布线面积,提高光的透过率。

[0129] 例如,第一导线L1包括位于不同层的部分,位于不同层的部分通过贯穿绝缘层的过孔相连。参考图19,第一导线L1包括第一部分L11、第二部分L12和第三部分L13。第一部分L11和第三部分L13位于第二导电图案层LY2,第二部分L12位于第三导电图案层LY3。第一部分L11和第二部分L12通过贯穿绝缘层的过孔V41相连,第三部分L13和第二部分L12通过贯

穿绝缘层的过孔V42相连。参考图24和图25,第二导电图案层LY2和第三导电图案层LY3之间设置有层间介电层ILD,即过孔V41贯穿层间介电层ILD,过孔V42贯穿层间介电层ILD。

[0130] 例如,参考图19,第一导线L1的一部分(第二部分L12)与第三导线L3位于同一层,均位于第三导电图案层LY3。第四导线L4与第三导线L3位于同一层,均位于第三导电图案层LY3。

[0131] 本公开至少一实施例还提供一种显示装置,包括上述任一显示面板。例如,显示装置可以为有机发光二极管(Organic Light-Emitting Diode, OLED)显示器等显示器件以及包括这些显示器件的电视、数码相机、手机、手表、平板电脑、笔记本电脑、导航仪等任何具有显示功能的产品或者部件。

[0132] 例如,在本公开的实施例中,第一导线L1可包括位于第一导电图案层的部分和位于第二导电图案层的部分,第二导线L2仅由位于第二导电图案层的部分构成,第三导线L3仅由位于第三导电图案层的部分构成,第四导线L4仅由位于第三导电图案层的部分构成,第五导线L5可包括位于第一导电图案层的部分和位于第二导电图案层的部分构成,但不限于此,可根据需要进行设置。

[0133] 例如,参考图11和图19,在本公开的实施例中,像素单元P0的存储电容C1的第二极C12为第二导线L2的一部分或者为第一导线L1的一部分。

[0134] 有以下几点需要说明:

[0135] (1) 除非另作定义,本公开实施例以及附图中,同一附图标记代表同一含义。

[0136] (2) 本公开实施例附图中,只涉及到与本公开实施例涉及到的结构,其他结构可参考通常设计。

[0137] (3) 为了清晰起见,在用于描述本公开的实施例的附图中,层或区域的厚度被放大。可以理解,当诸如层、膜、区域或基板之类的元件被称作位于另一元件“上”或“下”时,该元件可以“直接”位于另一元件“上”或“下”,或者可以存在中间元件。

[0138] (4) 在不冲突的情况下,本公开同一实施例及不同实施例中的特征可以相互组合。

[0139] 以上所述,仅为本公开的具体实施方式,但本公开的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本公开揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本公开的保护范围之内。因此,本公开的保护范围应以所述权利要求的保护范围为准。

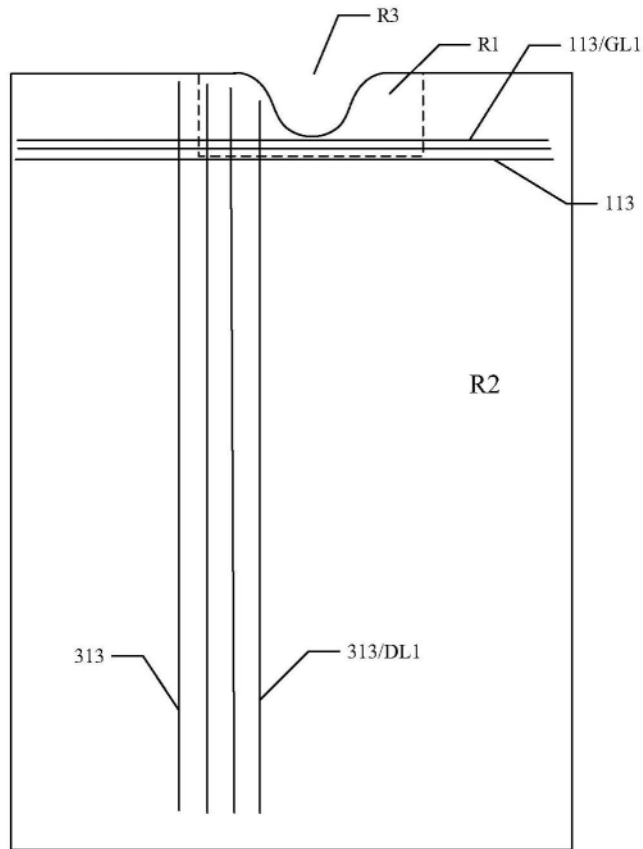


图1A

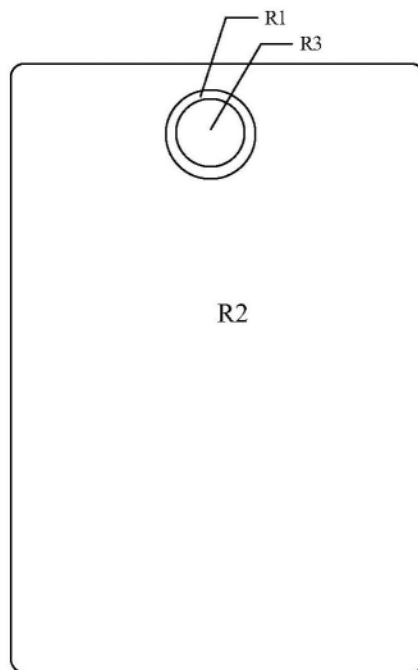


图1B

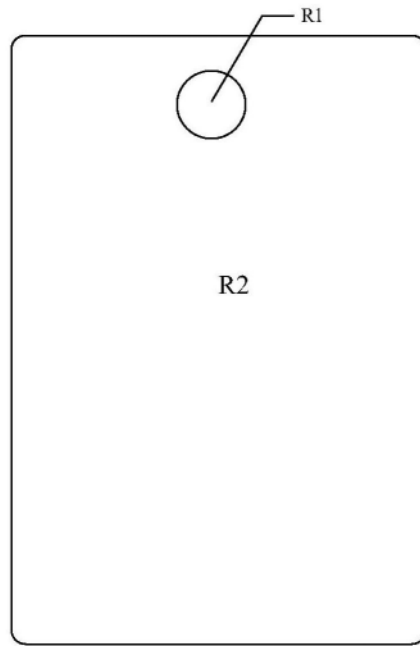


图1C

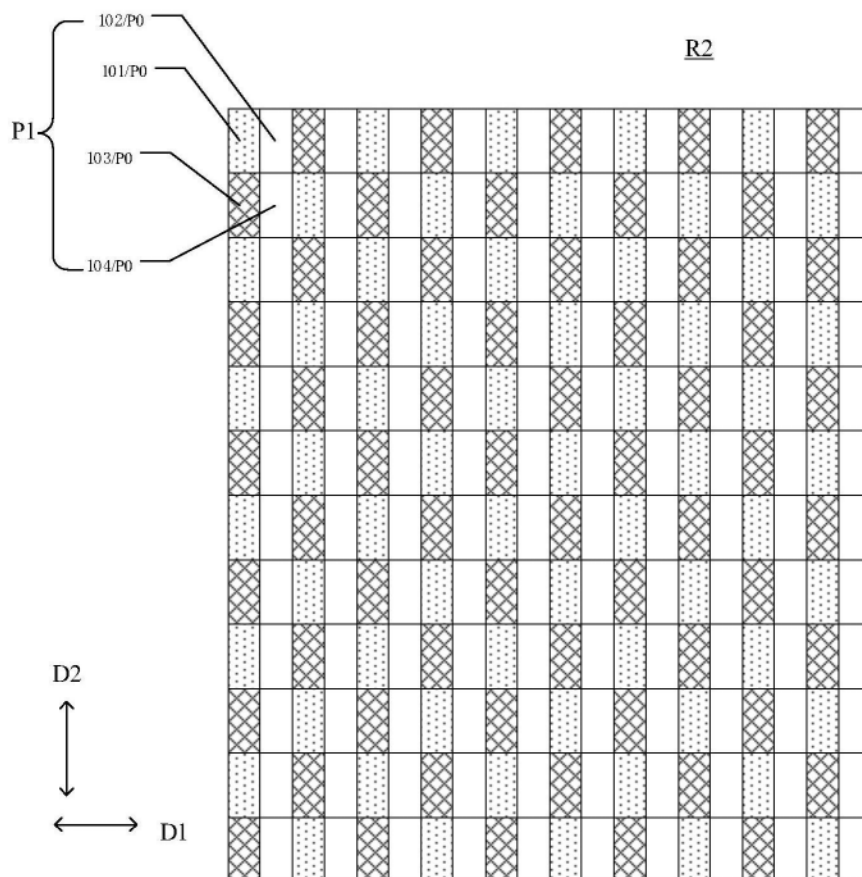


图2

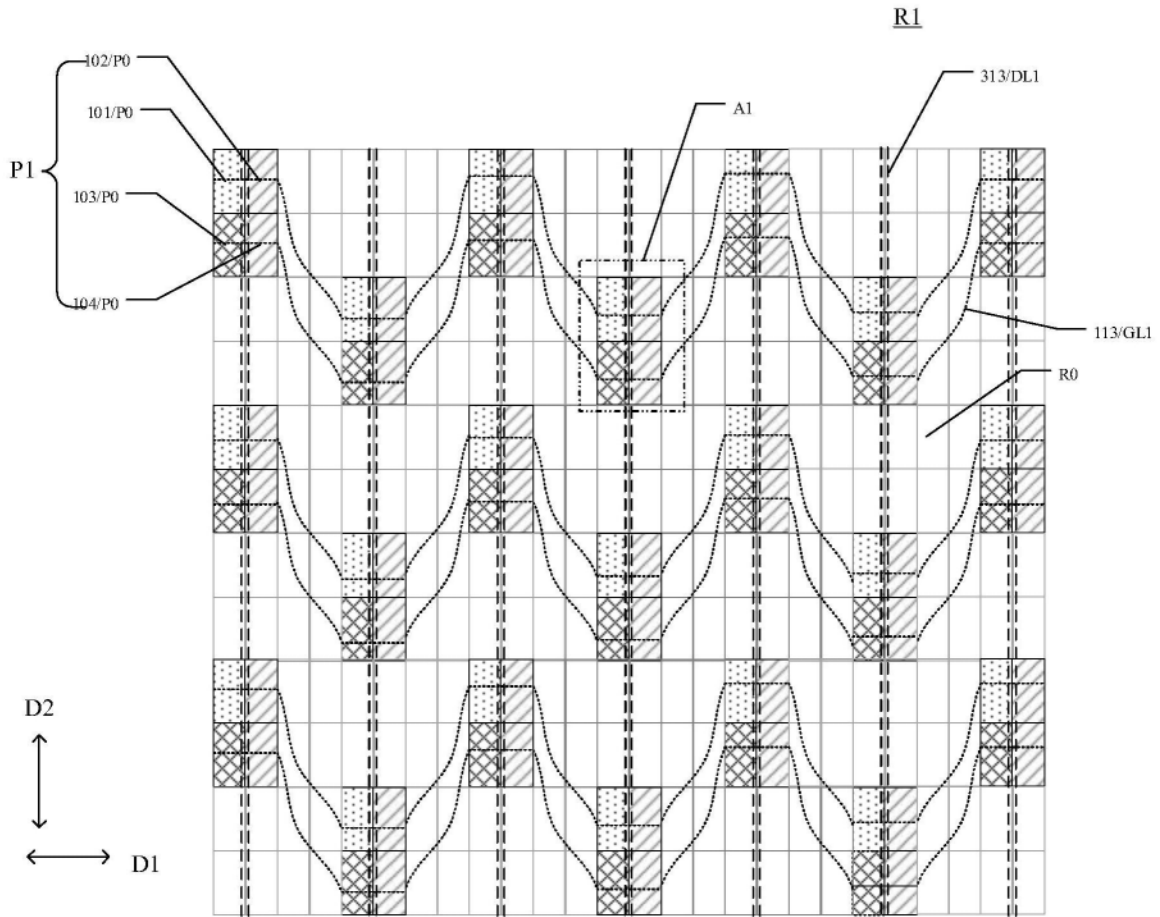


图3

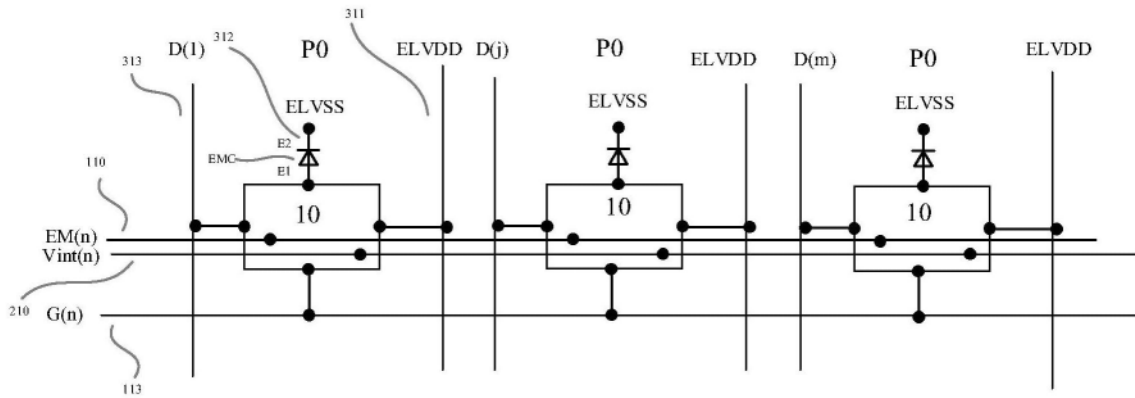


图4

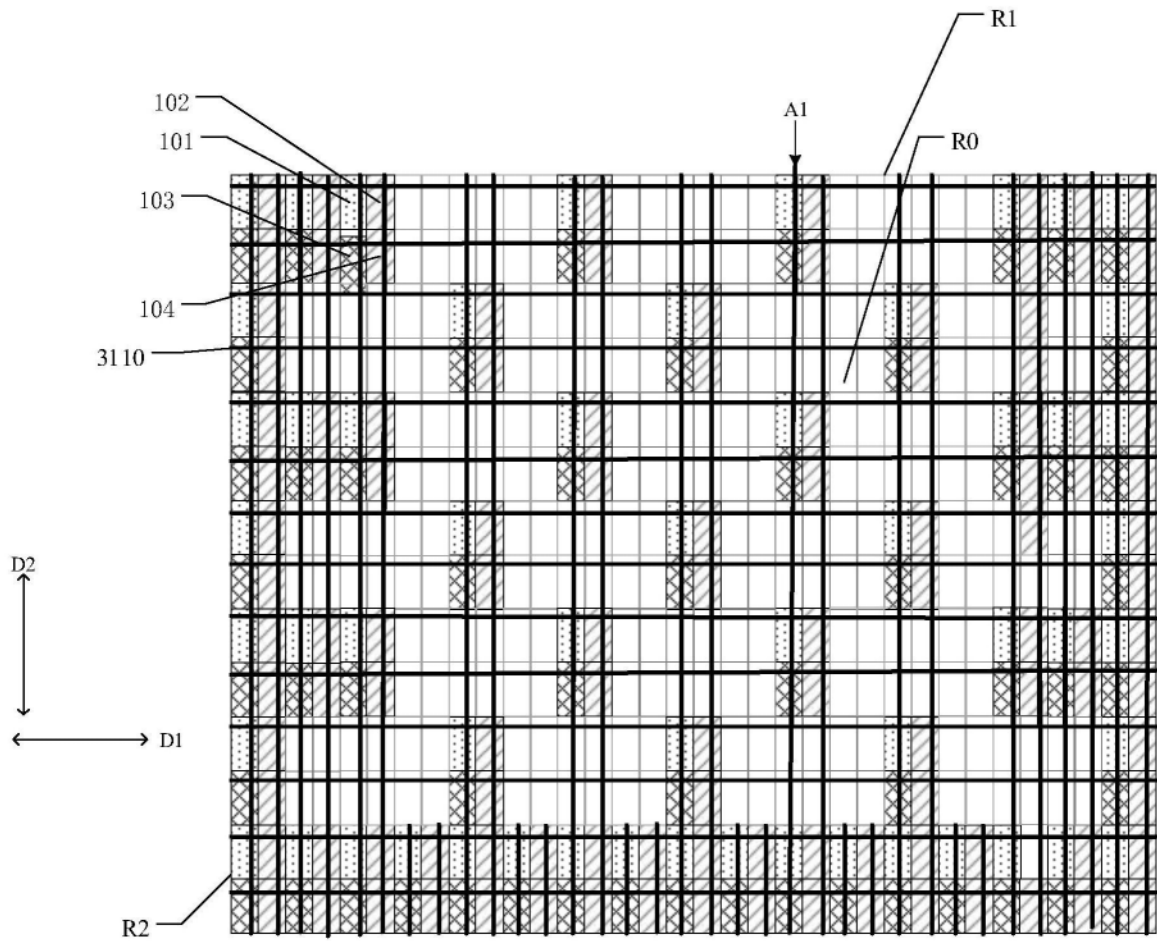


图5

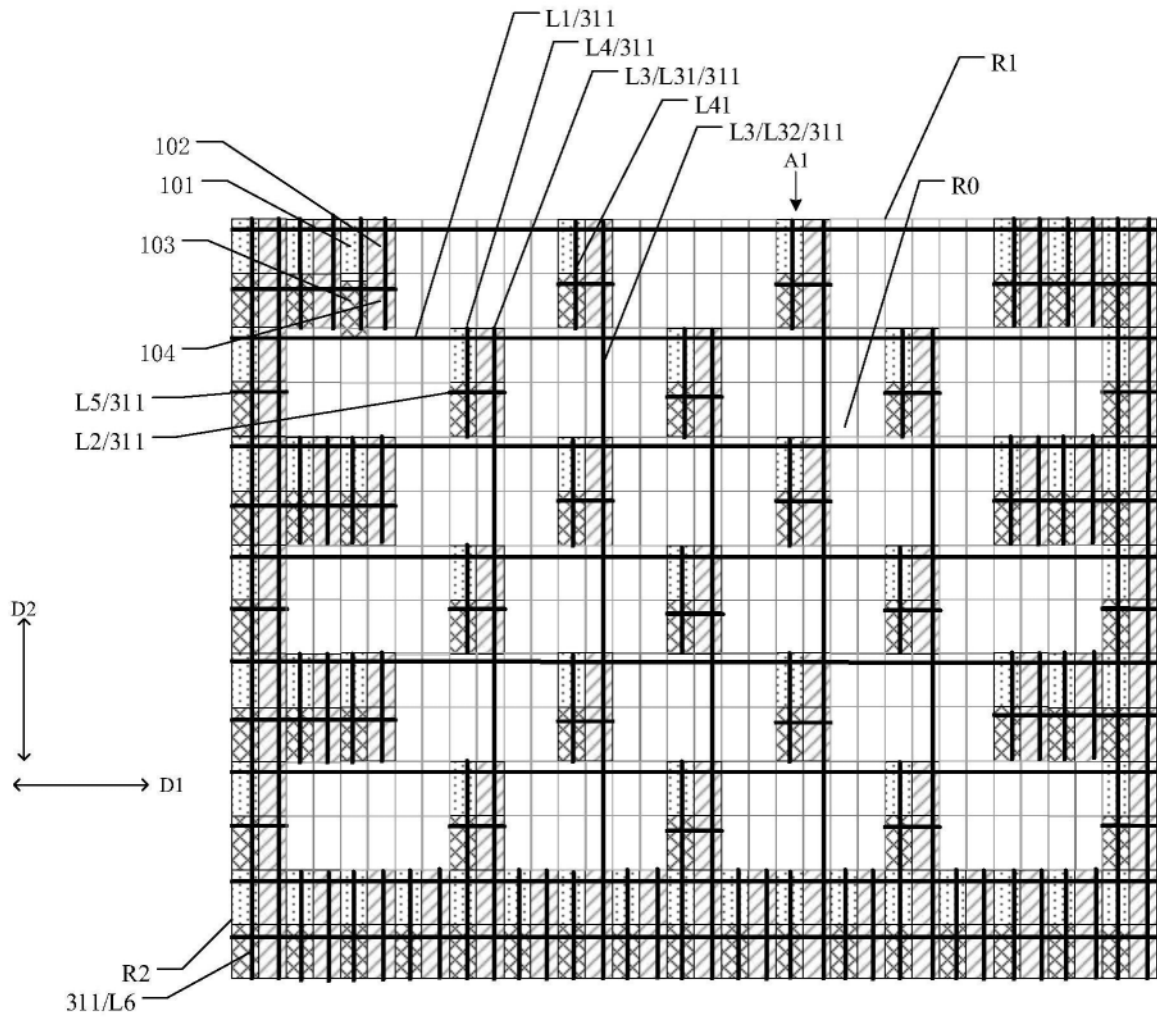


图6A

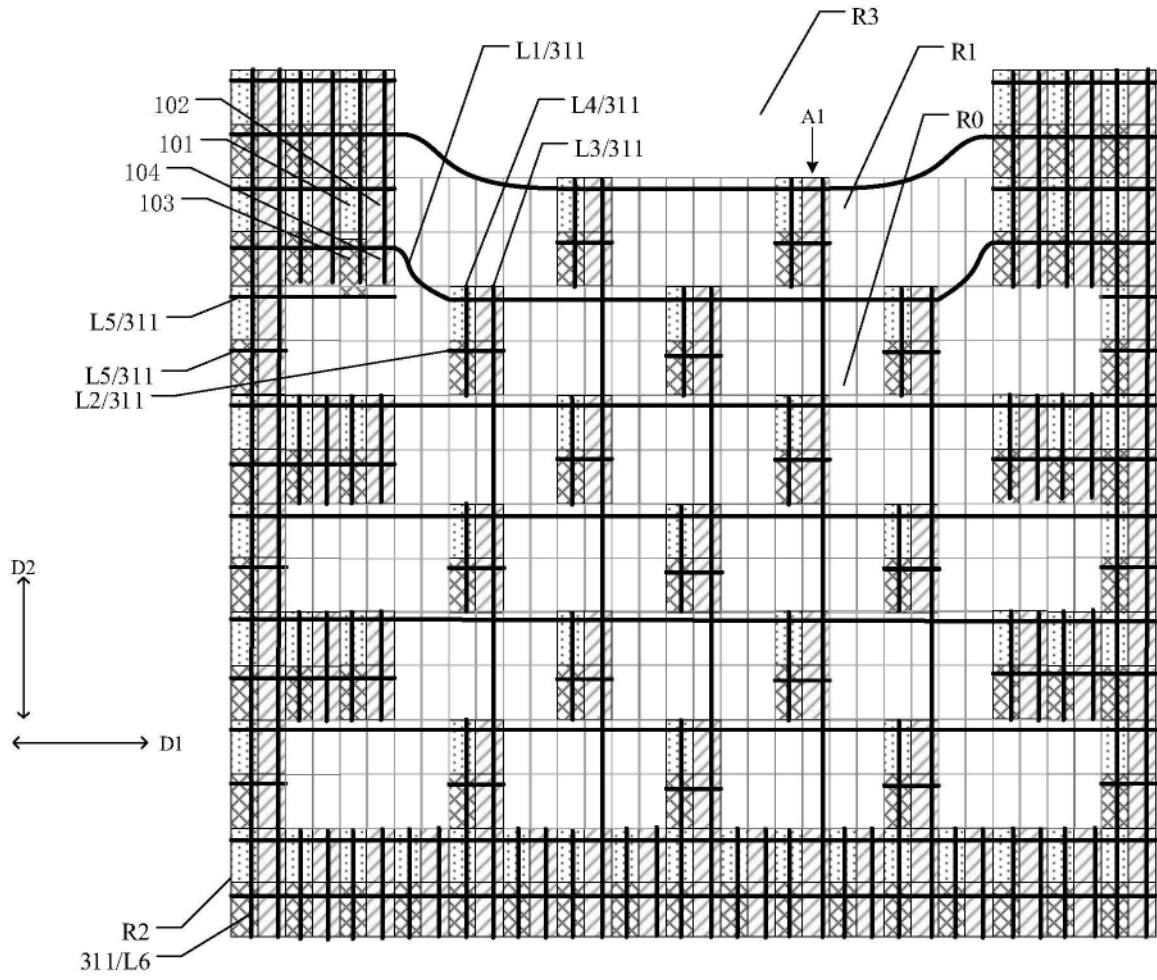


图6B

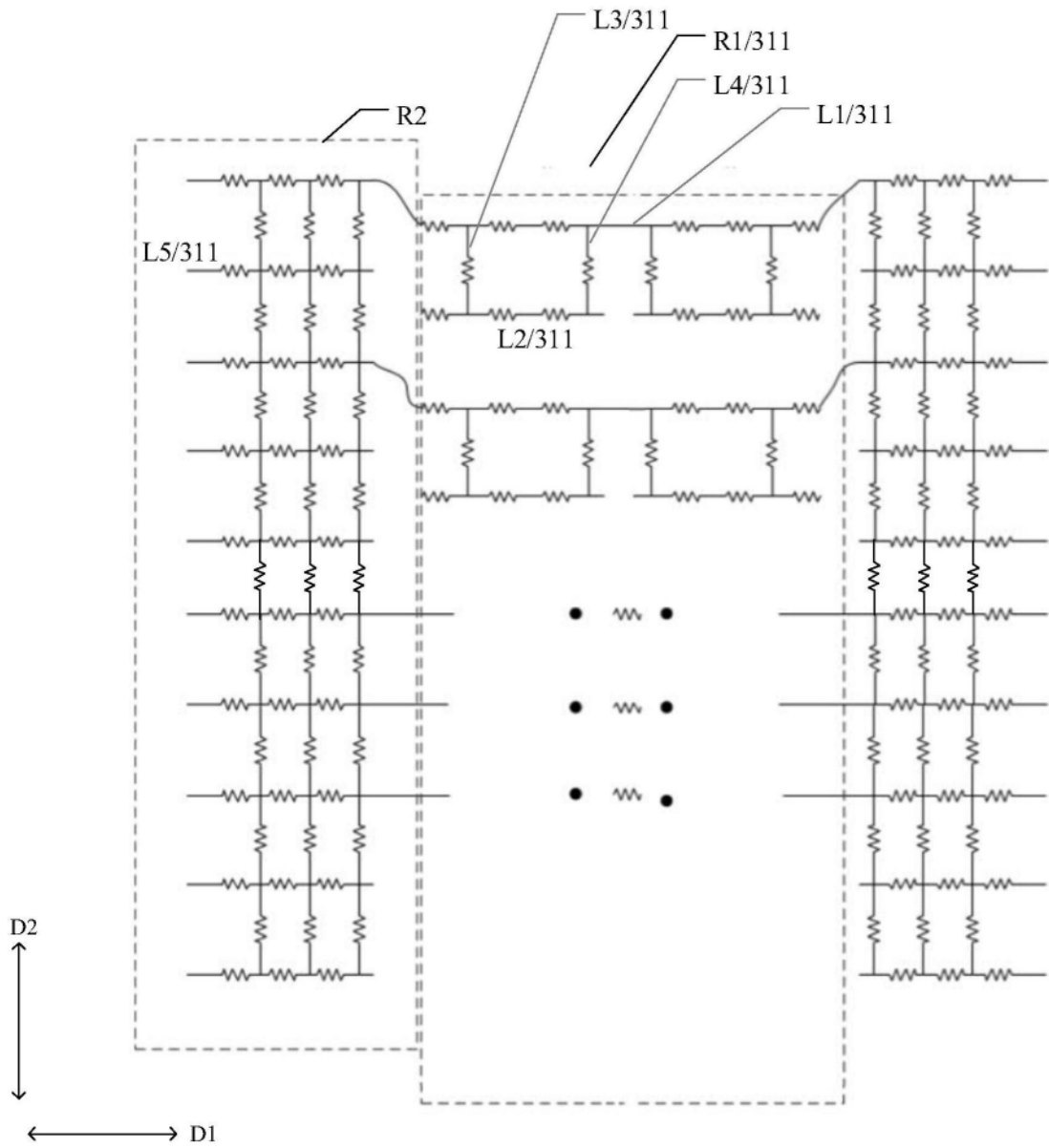


图6C

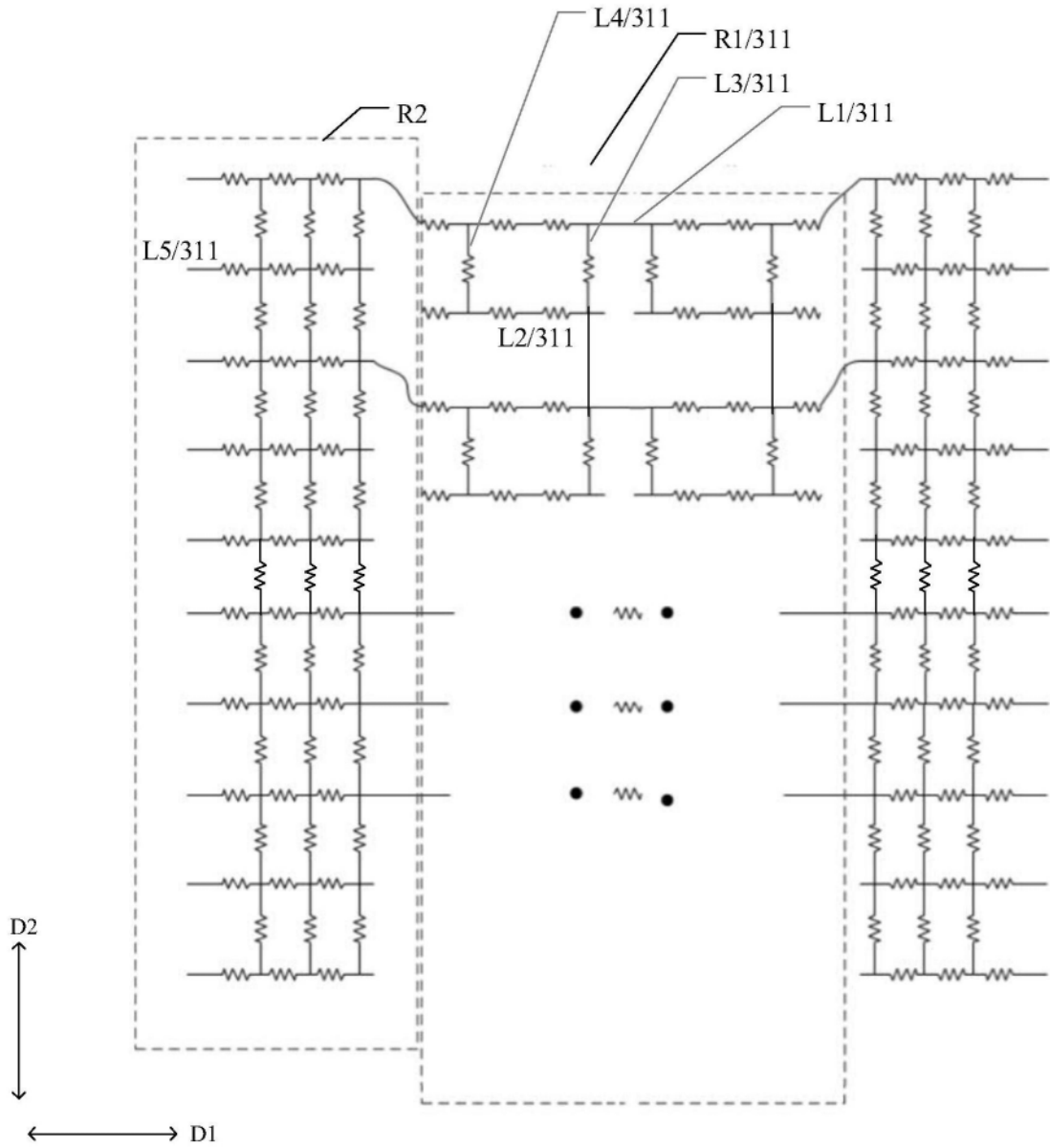


图6D

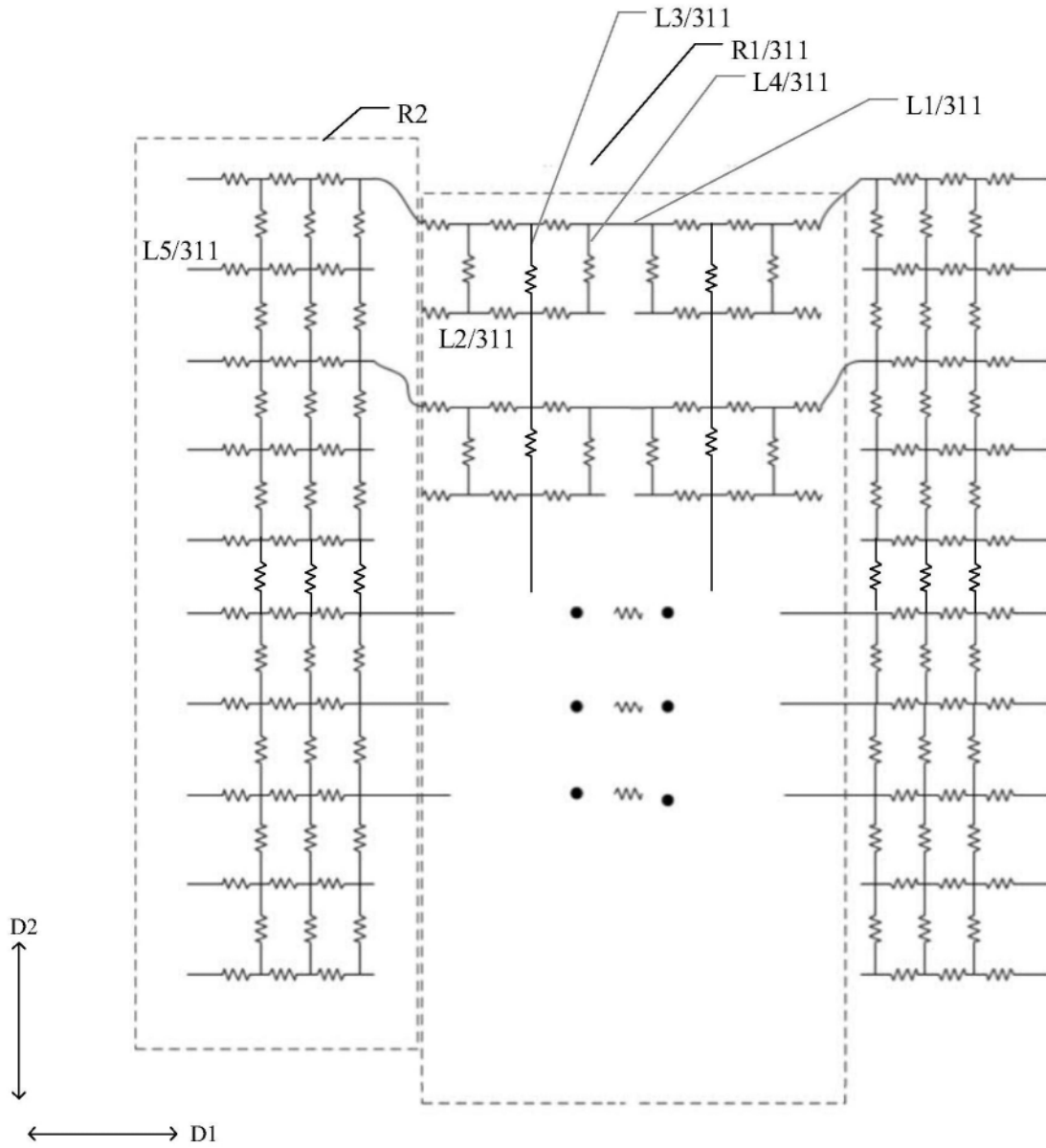


图6E

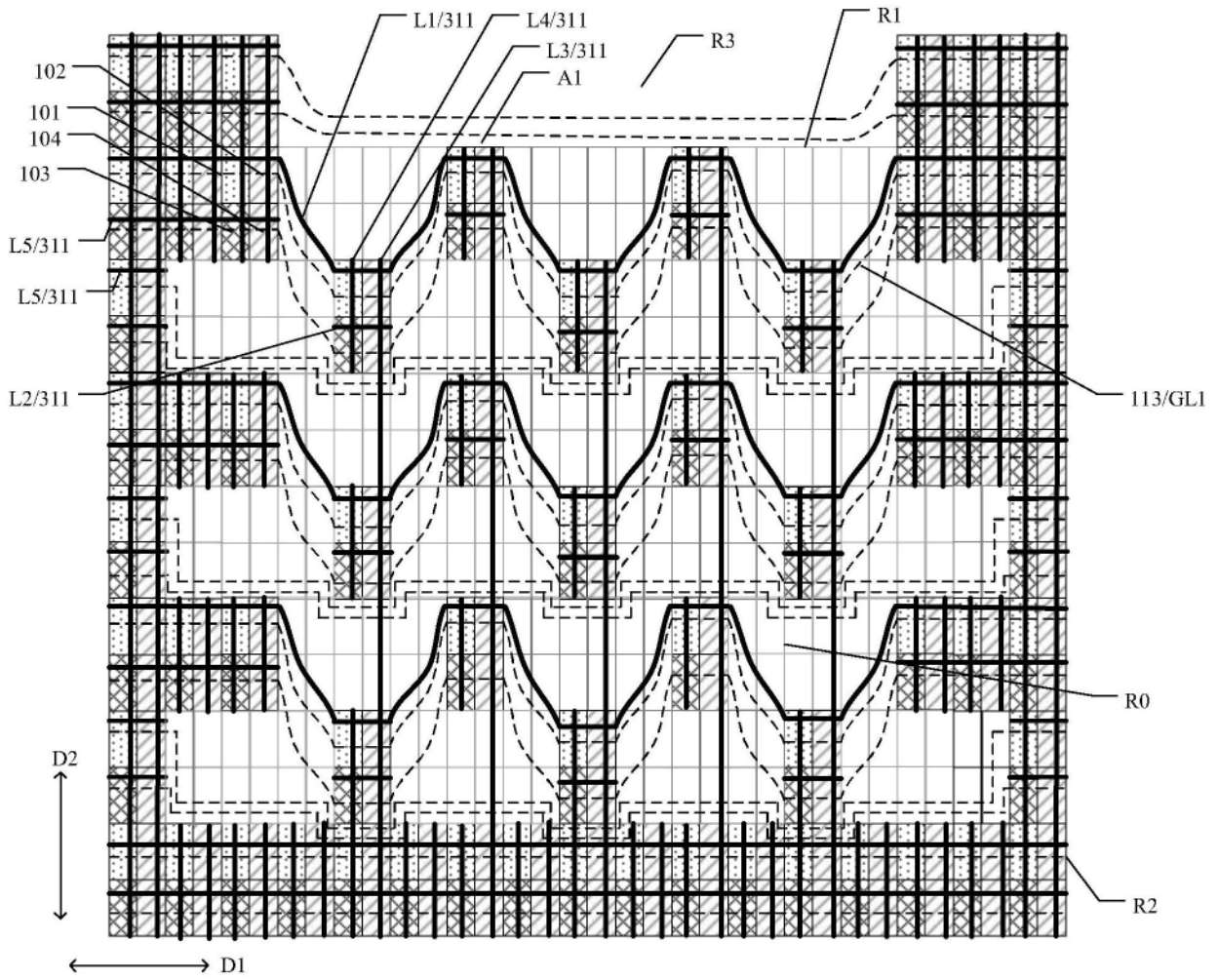


图7A

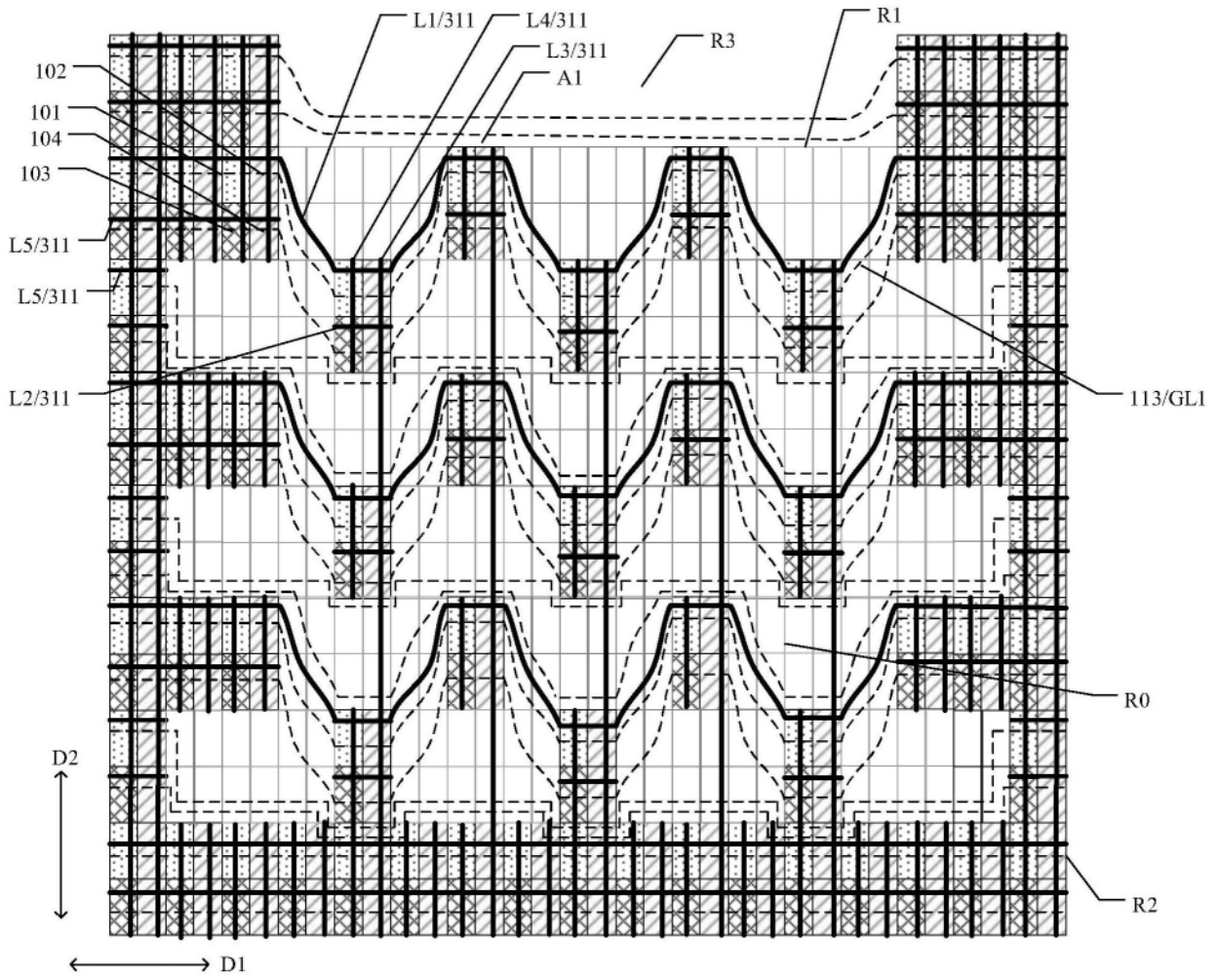


图7B

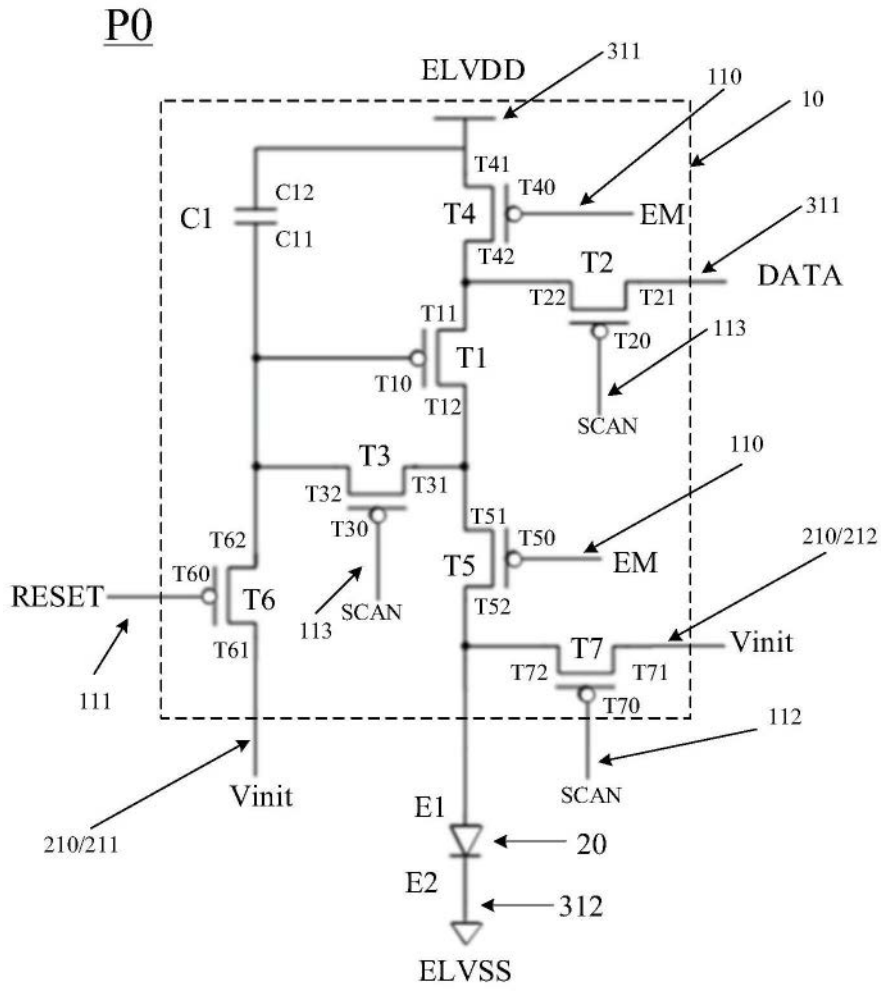


图8

SCP

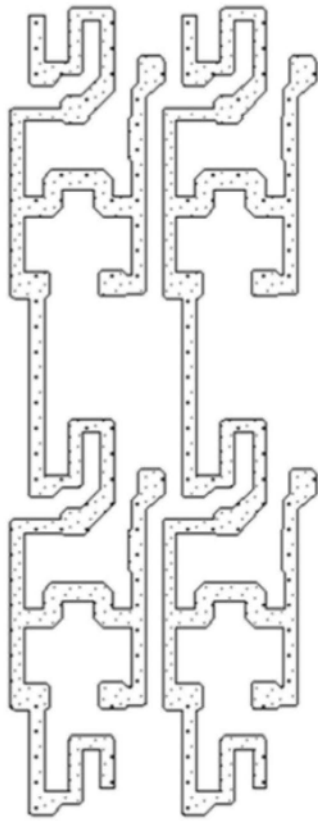


图9

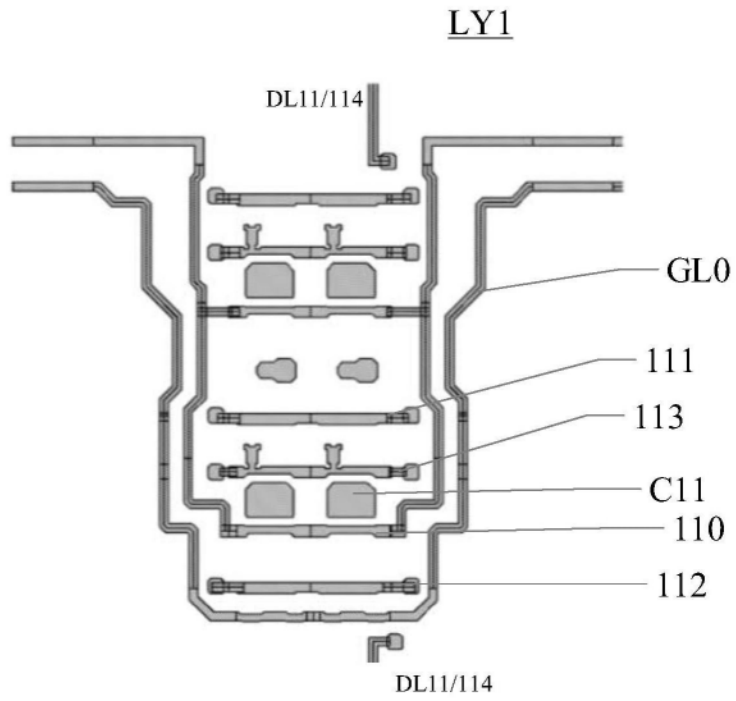


图10

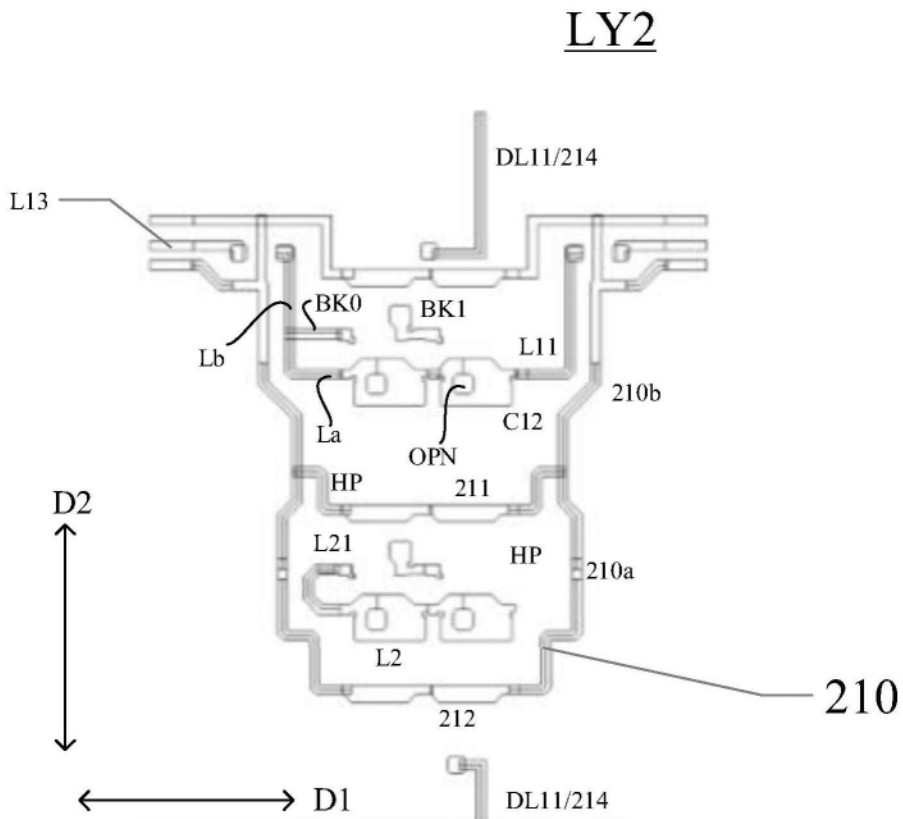


图11

ISL1

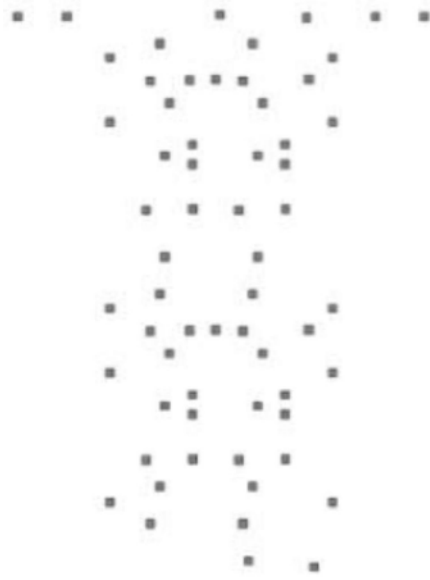


图12

LY3

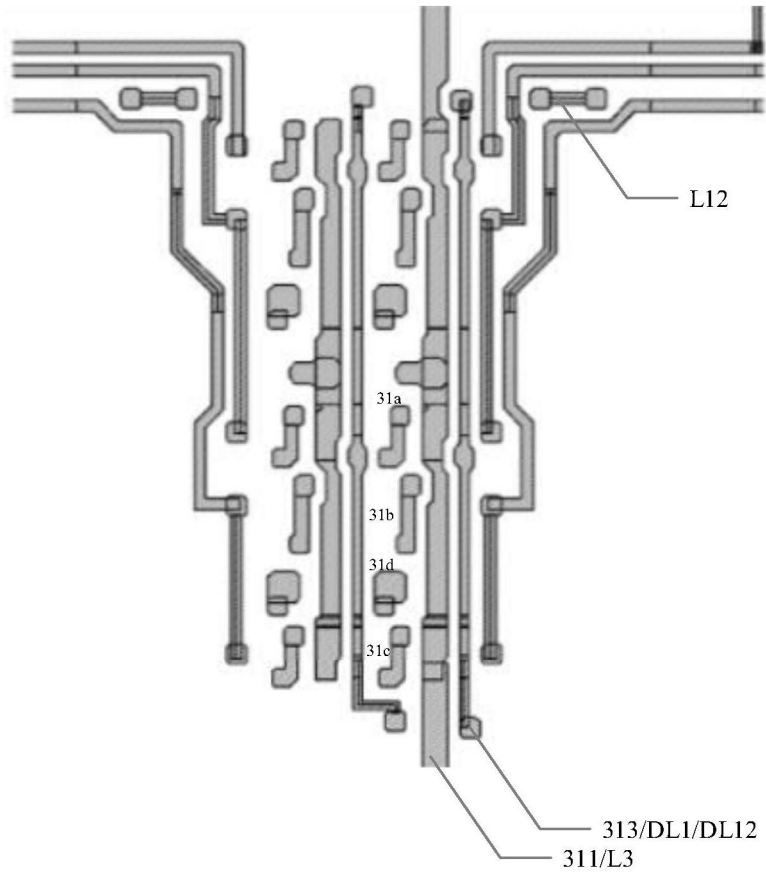


图13

ISL2

V1/V10 ● ● V1/V20

V1/V30 ● ● V1/V40

图14

ETL

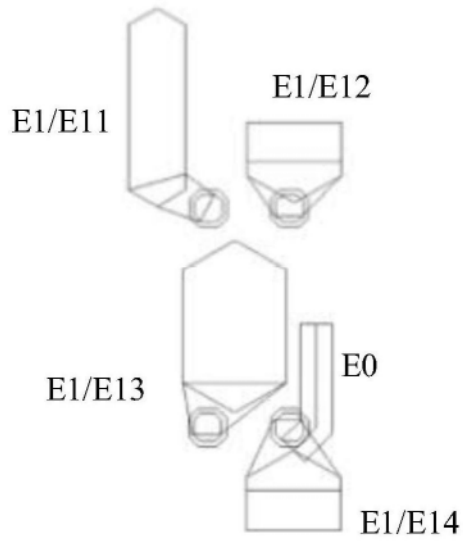


图15

PDL

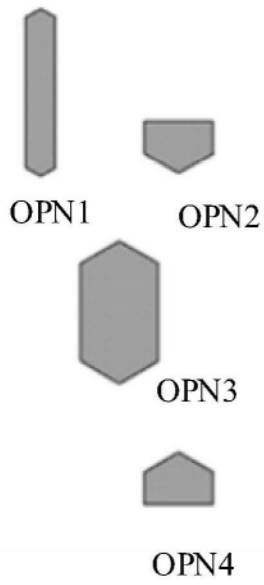


图16

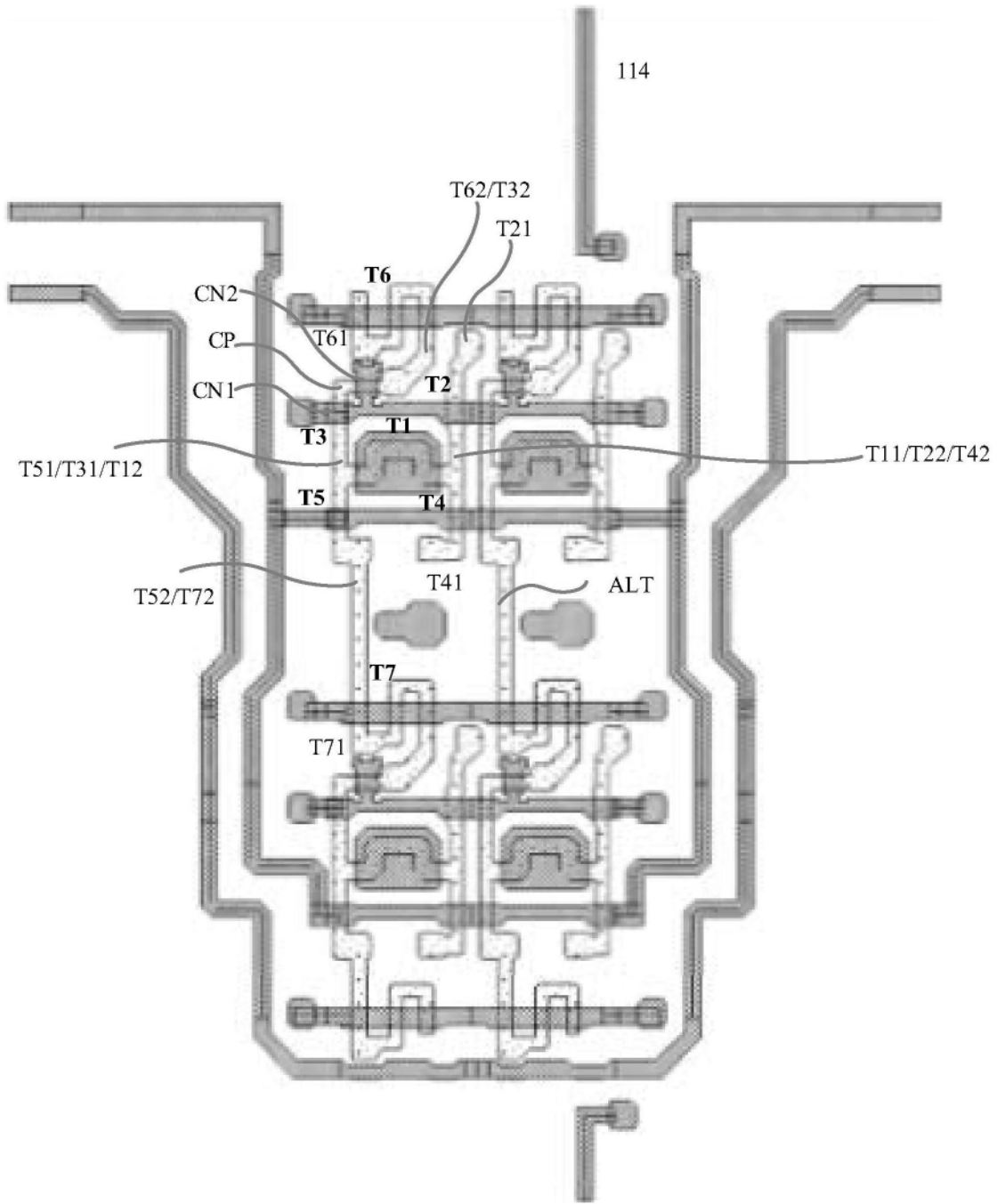


图17

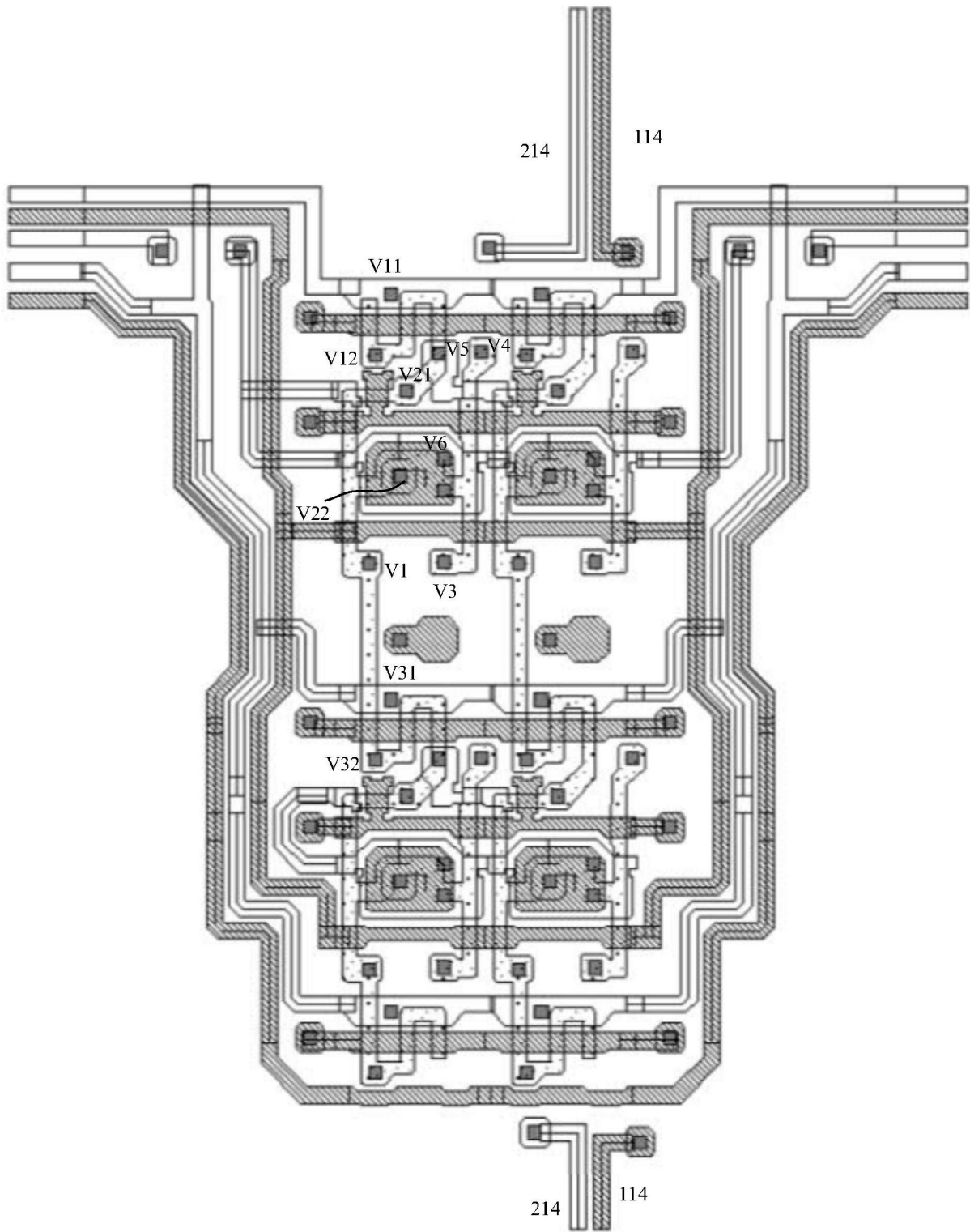


图18

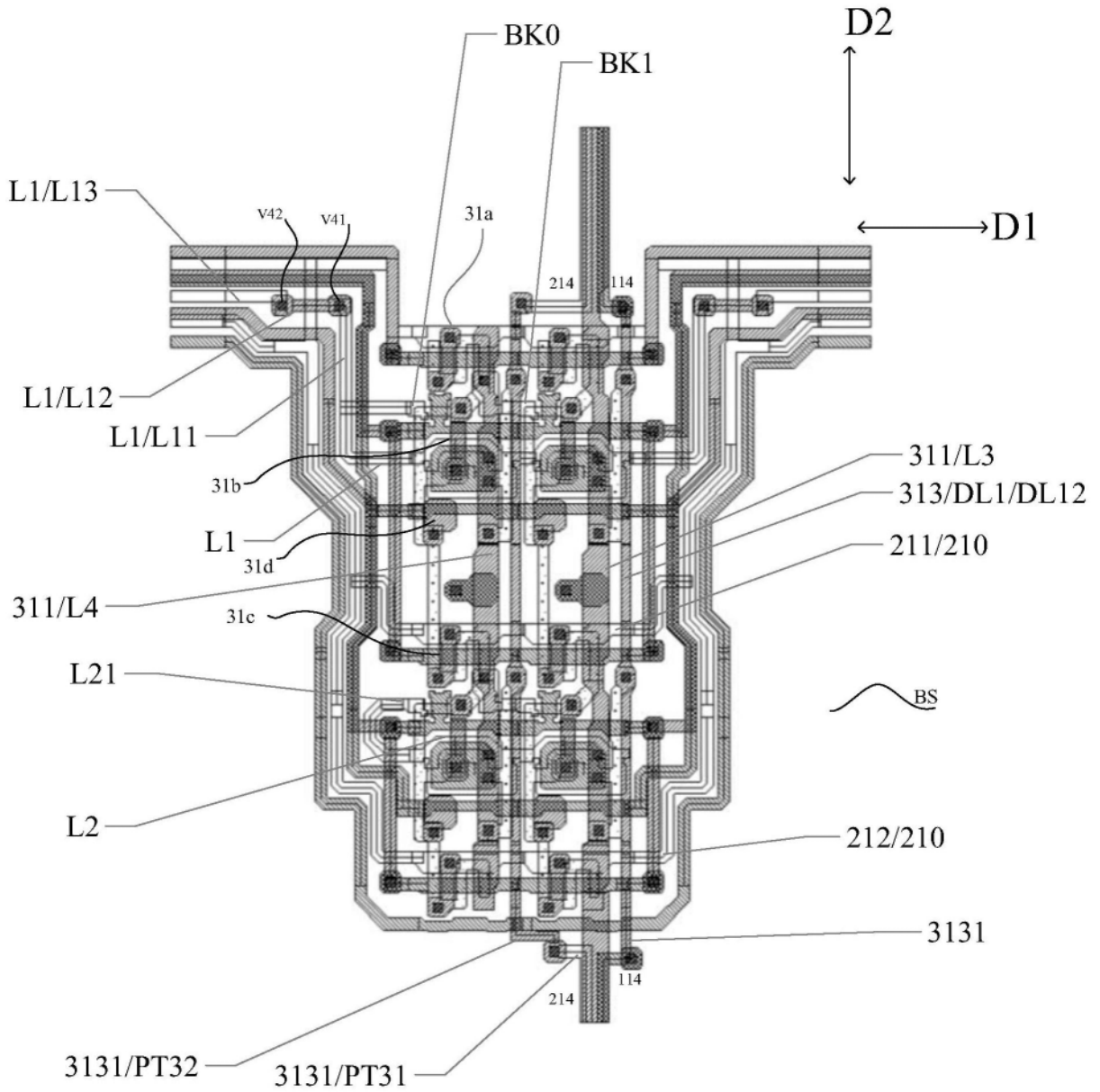


图19

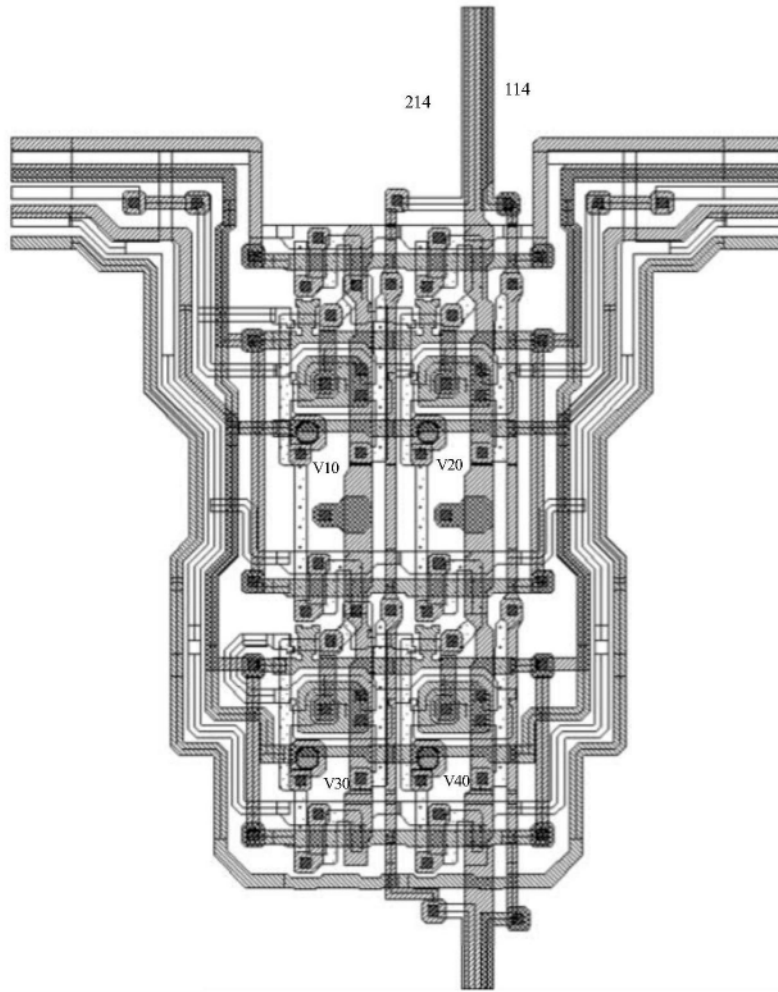


图20

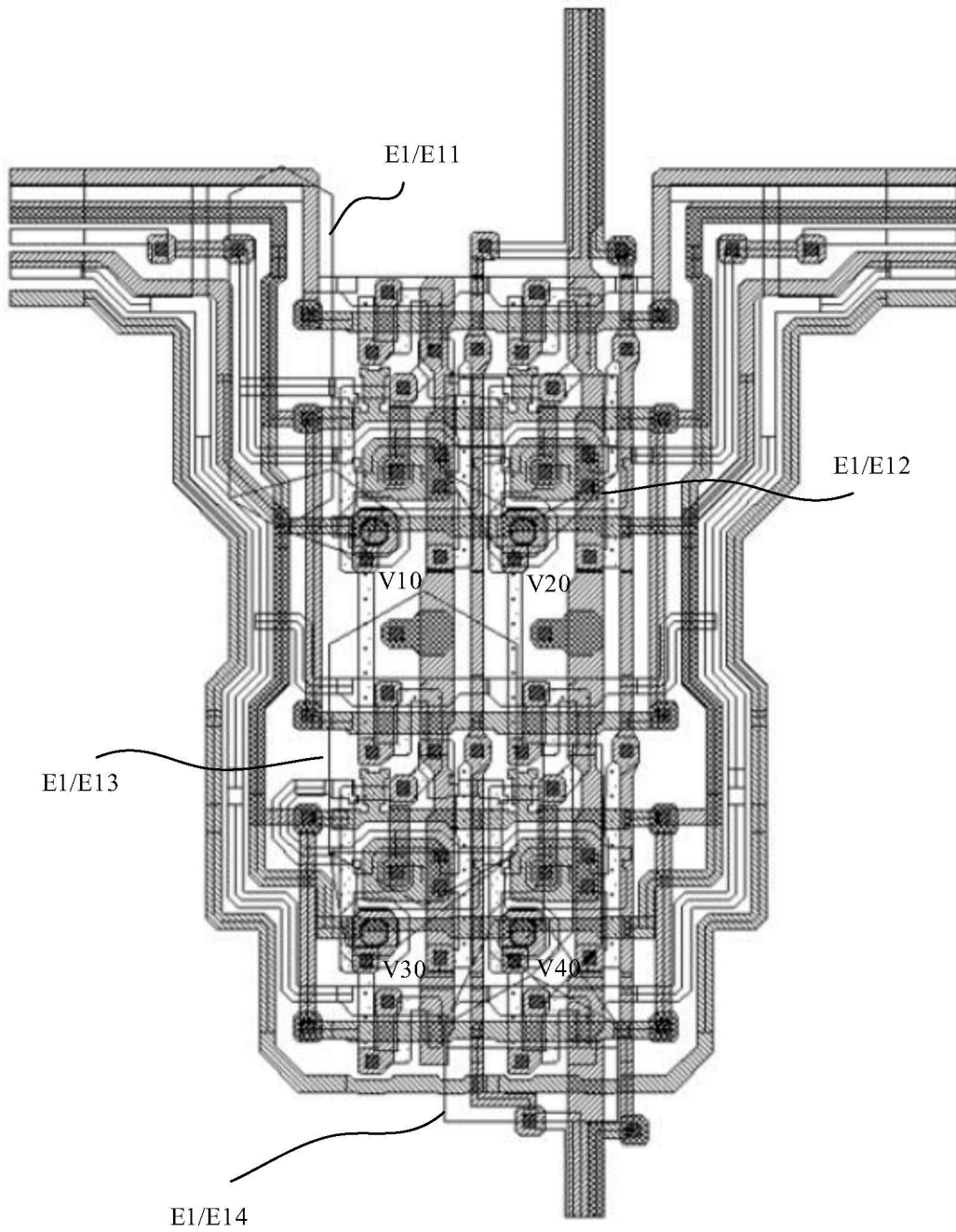


图21

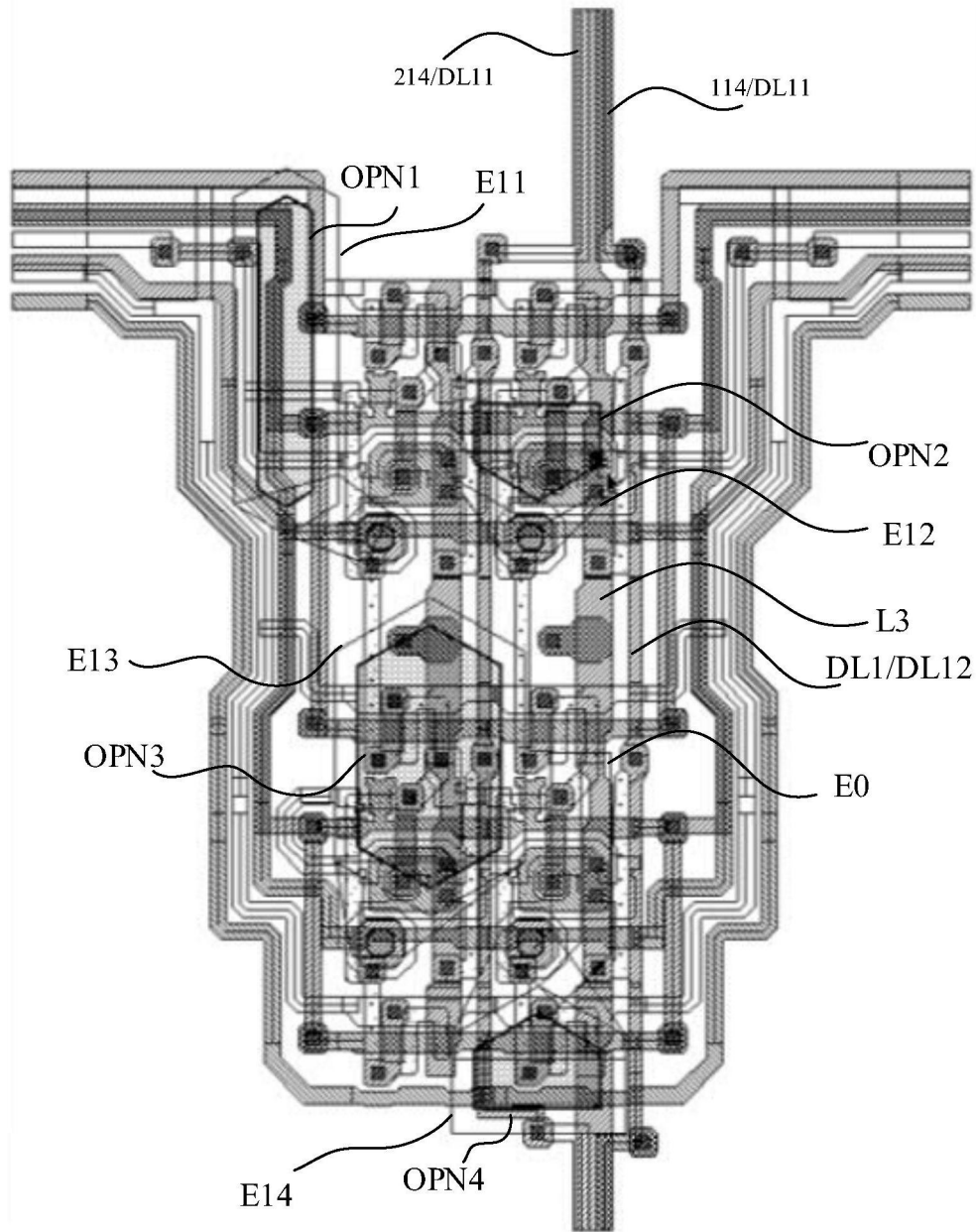


图22

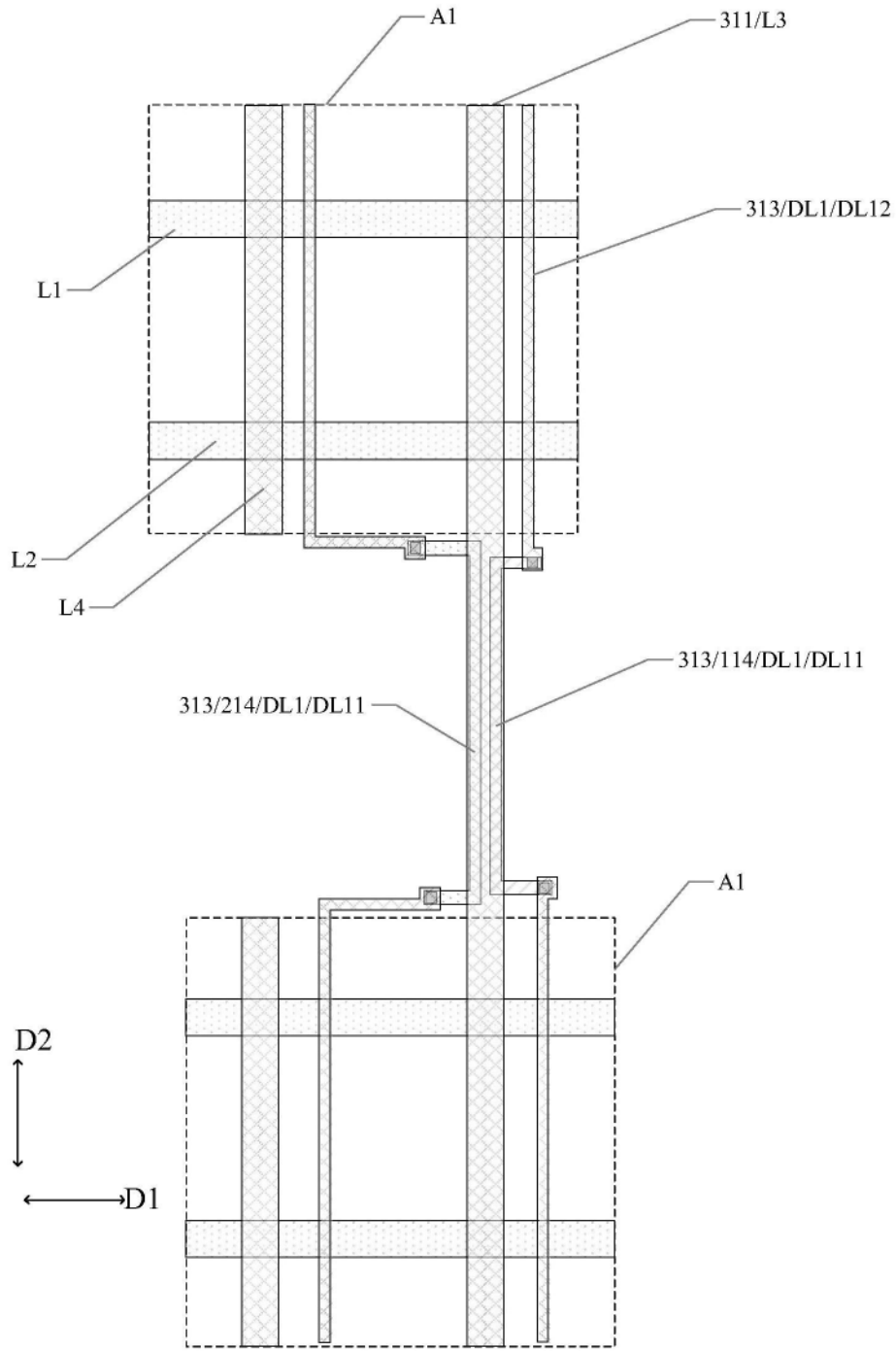


图23

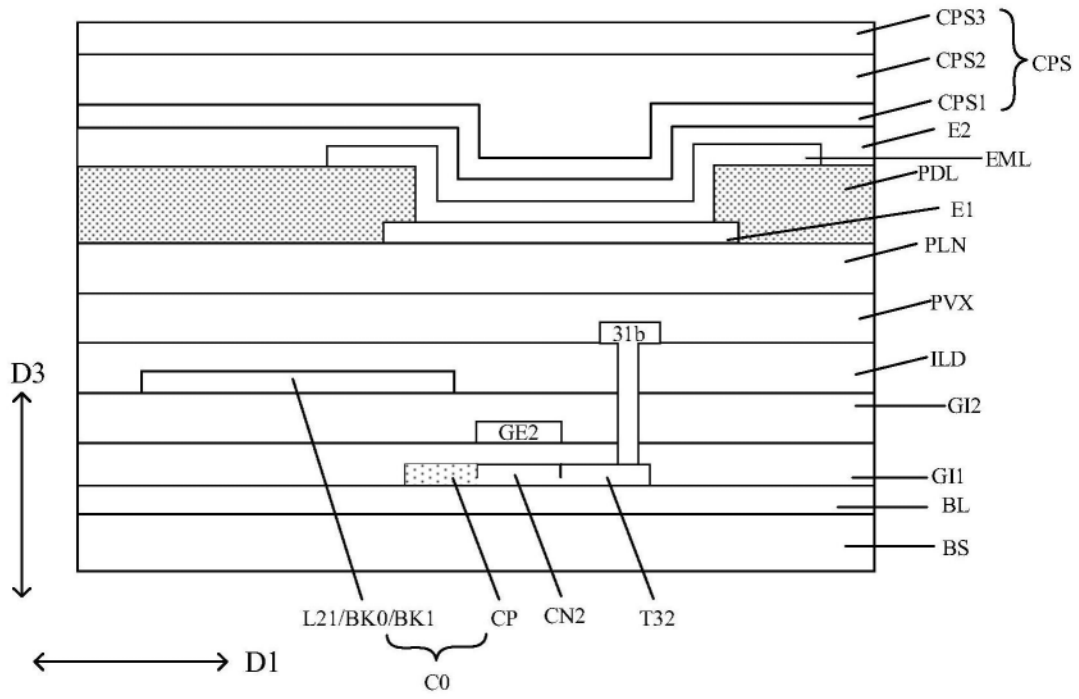


图24

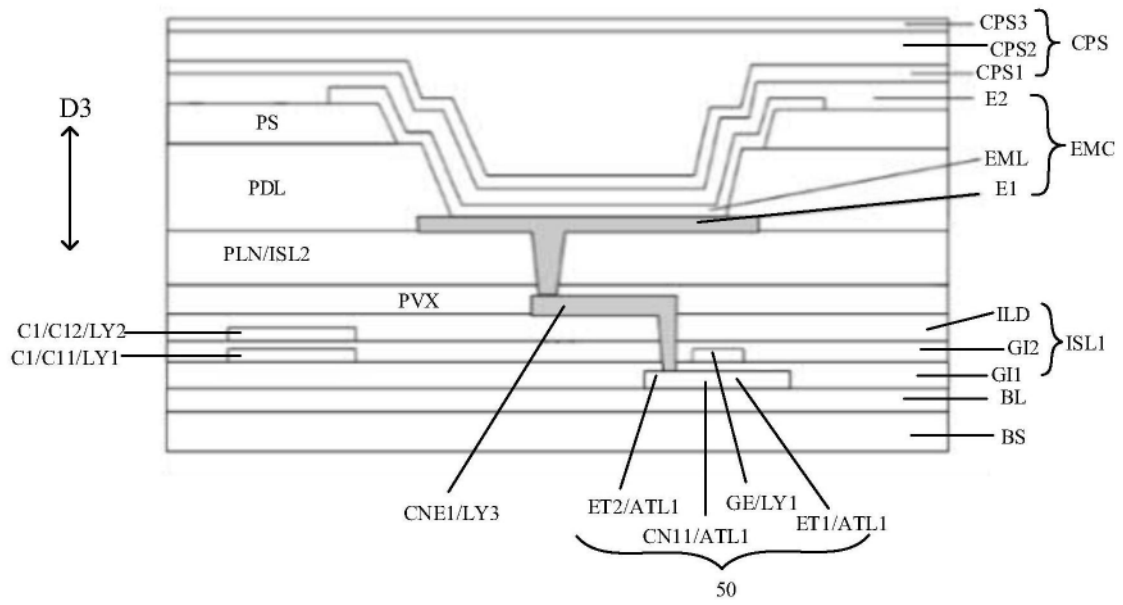


图25