

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-226389

(P2008-226389A)

(43) 公開日 平成20年9月25日(2008.9.25)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 29/44 (2006.01)	G 1 1 C 29/00 6 5 5 Z	5 L 1 0 6
G 1 1 C 29/04 (2006.01)	G 1 1 C 29/00 6 0 1 Z	5 M 0 2 4
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 7 1 D	
G 1 1 C 29/56 (2006.01)	G 1 1 C 29/00 6 5 1 T	
	G 1 1 C 29/00 6 0 3 Z	

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願2007-66084 (P2007-66084)
 (22) 出願日 平成19年3月15日 (2007.3.15)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100077838
 弁理士 池田 憲保
 (74) 代理人 100082924
 弁理士 福田 修一
 (74) 代理人 100129023
 弁理士 佐々木 敬
 (72) 発明者 升水 厚
 東京都中央区八重洲二丁目2番1号 エル
 ピーダメモリ株式会社内
 (72) 発明者 大熊 禎幸
 東京都中央区八重洲二丁目2番1号 エル
 ピーダメモリ株式会社内

最終頁に続く

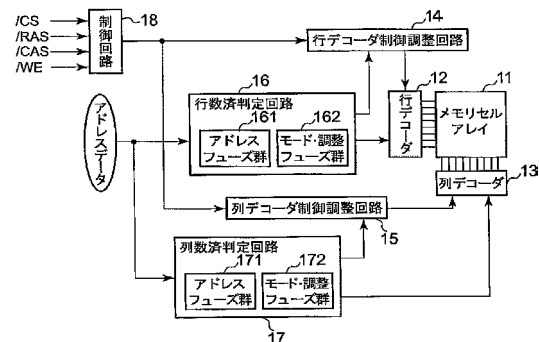
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】 (修正有)

【課題】 冗長メモリスルを用いることなく複数種のマージン性不良を救済できる半導体記憶装置を提供する。

【解決手段】 救済回路を備える半導体記憶装置において、前記救済回路が、複数種の不良に対応する複数の救済モードのうちの一つを選択するためのモードフューズを備え、複数種類のマージン性不良を救済できる半導体記憶装置を提供する。すなわち物理的に壊れている場合は冗長置換で救済し、マージン不良の場合は、タイミング調整で救済する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

救済回路を備える半導体記憶装置において、
前記救済回路が、複数種の不良に対応する複数の救済モードのうちの一つを選択するためのモードフューズを備えていることを特徴とする半導体記憶装置。

【請求項 2】

請求項 1 に記載された半導体記憶装置において、
前記救済回路が、救済対象アドレスを指定するためのアドレスフューズと、該アドレスフューズにより指定されるアドレスと入力アドレスとを比較して比較結果を出力する比較部とを含むアドレス比較回路と、

前記モードフューズを含み、前記比較結果を受けて前記モードフューズにより選択される救済モードに応じた救済信号を出力する調整回路と、
を有することを特徴とする半導体記憶装置。

【請求項 3】

請求項 2 に記載された半導体記憶装置において、
前記モードフューズが、マージン性不良を救済するための信号タイミングの調整を行うタイミング調整フューズを兼ねていることを特徴とする半導体記憶装置。

【請求項 4】

請求項 2 又は 3 に記載の半導体記憶装置において、
伝送遅延時間の異なる 2 つの経路と、前記救済信号に応じて前記 2 つの経路の一方の経路を導通させるゲート回路とをさらに備えることを特徴とする半導体記憶装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一つに記載の半導体記憶装置において、
前記救済モードには、メインアンプ起動タイミング不良、書き込みマージン不足による不良及び読み出しマージン不足による不良のうち少なくとも一つの不良を救済するモードが含まれることを特徴とする半導体記憶装置。

【請求項 6】

請求項 1 又は 2 に記載の半導体記憶装置において、
前記救済モードには、物理的不良を救済するモードが含まれることを特徴とする半導体記憶装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体記憶装置に関し、特に、不良セルを救済する救済回路を備えた半導体記憶装置に関する。

【背景技術】**【0002】**

D R A M や S R A M などの半導体記憶装置では、各アドレスに対応するメモリセルが全て正常に動作する必要がある。これは、例えば、256Mビットの容量を持つ半導体記憶装置では、約2億6千万個ものメモリセルが正常に動作する必要があることを意味する。このような大量のメモリセルを含む半導体記憶装置を、全てのメモリセルが正常に動作するように製造することは実質上不可能である。

【0003】

そこで、従来の半導体記憶装置では、予め予備の選択線やメモリセルを設けることにより冗長性を持たせておき、不良メモリセルが存在する場合には、その不良メモリセルを予備の冗長メモリセルで置換するようにしている。即ち、従来の半導体記憶装置では、図8に示すように、ウエハ検査により、正常メモリセルと不良メモリセルとを識別し、不良メモリセルを冗長メモリセルで置き換えるようにしている。

【0004】

ここで、メモリセルの不良には、物理的に壊れている場合と、特定の動作条件でのみ不

10

20

30

40

50

良となるいわゆるマージン性の不良の場合とがあることが知られている。物理的な不良は、例えばレチクル欠陥や、ウェハ拡散中の異物混入、あるいはプロセスマージンの不足などによって生じる。そして、このような物理的な原因による不良メモリセルは、上述したように、冗長メモリセルと置換する以外に救済する方法はない。

【0005】

これに対し、マージン性の不良の場合は、いずれかの信号のタイミングを調整するだけで救済できる場合がある。そこで、従来他の半導体記憶装置では、図9に示すように、ウェハ検査により不良メモリセルと判定されたセルに対し、信号タイミングの調整を行って再度試験を行い、正常に動作するものについては冗長メモリセルで置換せず、信号タイミングの調整で救済するようにしている（例えば、特許文献1又は2参照）。信号タイミングの調整を行ってもなお不良と判定されたメモリセルについては、上述したように冗長メモリセルで置換することにより救済する。

10

【0006】

【特許文献1】特開2004-164737号公報（特に、段落0015乃至0023、図2乃至図4）

【特許文献2】特開2002-074961号公報（特に、段落0031～0035、図1及び図4）

【発明の開示】

【発明が解決しようとする課題】

【0007】

従来不良メモリセルを全て冗長メモリセルで置き換える半導体記憶装置では、記憶容量（即ち、メモリセルの数）の増大にともない不良メモリセルの数も増大し、必要とされる冗長メモリセルの数も増加する。それゆえ、このような従来半導体記憶装置には、小型化が困難であるという問題点がある。

20

【0008】

一方、信号タイミングを調整してマージン性不良による不良メモリセルを救済する従来半導体記憶装置は、全ての不良メモリセルを冗長メモリセルに置き換える半導体記憶装置に比べ、必要とされる冗長メモリセルの数を低減することができ、小型化を図ることができる。しかしながら、このような従来半導体記憶装置は、ある特定の信号についてのみタイミングを変更できるように構成されており、複数種のマージン性不良に対応することができないという問題点がある。

30

【0009】

そこで、本発明は、複数種のマージン性不良を救済できる半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明の第1の要旨によれば、救済回路を備える半導体記憶装置において、前記救済回路が、複数種の不良に対応する複数の救済モードのうちの一つを選択するためのモードフューズを備えていることを特徴とする。

【0011】

また、本発明の第2の要旨によれば、第1の要旨に係る半導体記憶装置において、前記救済回路が、救済対象アドレスを指定するためのアドレスフューズと、該アドレスフューズにより指定されるアドレスと入力アドレスとを比較して比較結果を出力する比較部とを含むアドレス比較回路と、前記モードフューズを含み、前記比較結果を受けて前記モードフューズにより選択される救済モードに応じた救済信号を出力する調整回路と、を有することを特徴とする。

40

【0012】

また、本発明の第3の要旨によれば、第2の要旨に係る半導体記憶装置において、前記モードフューズが、マージン性不良を救済するための信号タイミングの調整を行うタイミング調整フューズを兼ねていることを特徴とする。

50

【 0 0 1 3 】

さらに、本発明の第 4 の要旨によれば、第 2 又は第 3 の要旨に係る半導体記憶装置において、伝送遅延時間の異なる 2 つの経路と、前記救済信号に応じて前記 2 つの経路の一方の経路を導通させるゲート回路とをさらに備えることを特徴とする。

【 0 0 1 4 】

さらにまた、本発明の第 5 の要旨によれば、第 1 乃至第 4 のいずれか一つに記載の半導体記憶装置において、前記救済モードには、メインアンプ起動タイミング不良、書き込みマージン不足による不良及び読み出しマージン不足による不良のうちの少なくとも一つの不良を救済するモードが含まれることを特徴とする。

【 0 0 1 5 】

また、本発明の第 6 の要旨によれば、第 1 又は第 2 の半導体記憶装置において、前記救済モードには、物理的不良を救済するモードが含まれることを特徴とする。

【 発明の効果 】

【 0 0 1 6 】

本発明によれば、複数種の不良に対応する複数の救済モードのうちのひとつを選択するためのモードフューズを設けたことにより、複数種のマージン性の不良を救済することができ、冗長メモリセルの削減と半導体記憶装置の小型化を実現することができる。

【 発明を実施するための最良の形態 】

【 0 0 1 7 】

以下、図面を参照して本発明の実施の形態について詳細に説明する。

【 0 0 1 8 】

図 1 に、本発明の一実施の形態に係る半導体記憶装置の概略構成を示すブロック図を示す。

【 0 0 1 9 】

図 1 の半導体記憶装置は、メモリセルアレイ 1 1、ロウ（行）デコーダ 1 2、カラム（列）デコーダ 1 3、行デコーダ制御調整回路 1 4、列デコーダ制御調整回路 1 5、行救済判定回路 1 6、列救済判定回路 1 7、及び制御回路 1 8 を備えている。本実施の形態では、行救済判定回路 1 6 及び列救済判定回路 1 7 と、行デコーダ制御調整回路 1 4 及び列デコーダ制御調整回路 1 5 に設けられた遅延調整回路（図 4 又は図 5 参照）とが救済回路を構成する。

【 0 0 2 0 】

行救済判定回路 1 6 及び列救済判定回路 1 7 は、それぞれ、複数のフューズが配列形成されたアドレスフューズ群 1 6 1、1 7 1、及びモード・調整フューズ群 1 6 2、1 7 2 を有している。

【 0 0 2 1 】

アドレスフューズ群 1 6 1、1 7 1 の各フューズは、救済対象となるアドレスに応じて設定（切断）される。また、モード・調整フューズ群 1 6 2、1 7 2 の各フューズは、救済モード及び / 又はタイミング調整量に応じて設定（切断）される。

【 0 0 2 2 】

行救済判定回路 1 6 及び列救済判定回路 1 7 は、後述するように、アドレスフューズ群 1 6 1、1 7 1 を含むアドレス比較回路と、モード・調整フューズ群 1 6 2、1 7 2 を含むモード・調整回路とを含む。行救済判定回路 1 6 及び列救済判定回路 1 7 は、入力されたアドレスがアドレスフューズ群 1 6 1、1 7 1 に設定されたアドレスに一致した場合に、モード・調整フューズ群 1 6 2、1 7 2 の設定に応じた救済信号（タイミング救済信号、物理救済信号）を出力する。タイミング調整を行うためのタイミング救済信号は、行デコーダ制御調整回路 1 4 又は列デコーダ制御調整回路 1 5 へ出力され、冗長メモリセルとの置換を行うための物理救済信号は行デコーダ 1 2 又は列デコーダ 1 3 あるいはこれらに対応する冗長デコーダに出力される。

【 0 0 2 3 】

行デコーダ制御調整回路 1 4 及び列デコーダ制御調整回路 1 5 は、制御回路 1 8 の制御

10

20

30

40

50

の下、行レコーダ 1 2 及び列デコーダ 1 3 を制御する信号の生成及び調整を行う。

【 0 0 2 4 】

次に、図 2 を参照して、信号タイミングの調整による不良メモリセルの救済原理について説明する。ここでは、カラム（列）選択線（Y S）への起動信号立ち上がりに対し、メインアンプ（M A）への起動信号のタイミング調整を行う場合について説明するが、他の信号タイミングを調整する場合も同様である。

【 0 0 2 5 】

図 2 に示すように、メモリセルが正常な場合は、Y S 起動信号の立ち上がり後の M A（1）のタイミングでメインアンプを起動するものとする。この場合、M I O の電位は、Y S 起動信号の立ち上がり後、次第に減少し、Y S 起動信号の立下りと同時に上昇に転じる。不良メモリセルの場合も、Y S 起動信号の立ち上がりと同時に M I O の電位が下がり始めるが、所定の値に低下するまでに正常メモリセルに比べて時間を要する。このような場合に、メインアンプを M A（1）のタイミングで起動させても、正常なメモリセル出力は得られない。しかしながら、メインアンプの起動タイミングを M A（2）まで遅らせ、その時点で M I O の電位が所定の値にまで低下していれば、正常なメモリセル出力が得られる。即ち、メインアンプの起動タイミングを変更することで不良メモリセルを冗長メモリセルで置換することなく救済することができる。本発明は、このタイミング調整をフューズを用いて実現する。

【 0 0 2 6 】

なお、カラム選択線の各々には、通常複数のメモリセル、例えば、× 1 6 品であれば 1 6 個のメモリセルが接続されている。そのため、カラム制御系の信号タイミングは、同一のカラム選択線に接続された全てのメモリセルにおいて共通となる。つまり、上述したように、あるメモリセルに対し、フューズを用いてメインアンプの起動タイミングを変更しようとする、図 3 に示すように、そのメモリセルが接続されたカラム選択線に接続された全てのメモリセルについて、メインアンプの起動タイミングが変わってしまう。

【 0 0 2 7 】

しかしながら、信号タイミングの調整により救済可能な不良は、プロセス変動等に起因することが多い。そのため、あるメモリセルがマージン性の不良と判定されるような場合には、周囲のメモリセルも同じような特性を持つ傾向にある。また、半導体記憶装置は、ある程度のタイミングマージンを確保するように設計されている。それゆえ、上述のような信号タイミングの調整を行っても、半導体記憶装置は問題なく動作する可能性が高い。

【 0 0 2 8 】

信号タイミングを調整するには、例えば、図 4 に示すようなクロックインバータを用いた遅延調整回路を用いることができる。

【 0 0 2 9 】

図 4 の遅延調整回路は、入力 I N と出力 O U T との間に、第 1 のクロックインバータ 4 1 を有する第 1 の経路と、第 2 のクロックインバータ 4 2 及び遅延回路 4 3 を有する第 2 の経路とを有している。第 1 のクロックインバータの反転クロック端子には信号 X が直接入力され、第 2 のクロックインバータの反転クロック端子には信号 X を N O T 回路 4 4 にて論理反転させた信号がそれぞれ入力される。

【 0 0 3 0 】

入力 I N に与えられた信号は、第 1 の経路又は第 2 の経路を通り、論理反転されて出力 O U T へ到達する。詳述すると、入力 I N に与えられた信号は、制御入力 X が論理ローレベルのとき、第 1 の経路を通り、実質上遅延無しで出力 O U T へ到達し、制御入力 X が論理ハイレベルのとき、第 2 の経路を通り、遅延回路 4 3 で遅延されて出力 O U T に到達する。このように、図 4 の遅延調整回路を用いれば、遅延回路 4 3 に設定した時間だけ遅延させた信号と、遅延させていない信号とを選択的に出力させることができる。

【 0 0 3 1 】

遅延量を複数段階に調整可能とする場合には、図 5 に示すように遅延調整回路を多段接続することにより実現することができる。この場合、制御入力 X 1 及び X 2 がともに論理

10

20

30

40

50

ローレベルのとき、Y S W起動回路5 1の出力が、実質的に遅延なくM A起動回路5 2へ供給される。制御入力X 1及びX 2のいずれか一方が論理ハイレベルのとき、Y S W起動回路5 1の出力は、遅延回路5 3又は5 4で遅延され、M A起動回路5 2へ供給される。制御入力X 1及びX 2の両方が論理ハイレベルのとき、Y S W起動回路5 1の出力は、遅延回路5 3及び5 4の両方で遅延され、M A起動回路5 2へ供給される。

【0032】

なお、図5の構成において、一方の遅延回路を通過させた信号を基準とすれば、信号タイミングを遅らせることのみならず、進めることも可能である。

【0033】

次に、図6を参照して、列救済判定回路17について説明する。なお、行救済判定回路16は、列救済判定回路17と同様であるのでその説明を省略する。

10

【0034】

図6に示すように、列救済判定回路17は、複数の排他的論理和ゲート61-1~61-nと、これら排他的論理和ゲート61-1~61-n及びイネーブル線62に接続されたアンドゲート63とを含むアドレス比較回路64と、複数のアンドゲート65-1, 65-2を含むモード選択・調整回路66とを含む。

【0035】

排他的論理和ゲート61-1~61-nの各々の入力的一方に接続されたフューズは、アドレスフューズ群171に属するものであって、アドレスを指定するためのものである。また、アンドゲート65-1, 65-2の各々の入力の方の接続されたフューズは、モード・調整フューズ群172に属するものであって、救済モード及び/又は調整量を指定するためのものである。

20

【0036】

なお、図6は、一のアドレスに対して2つのモード・調整信号(救済信号)を出力することが可能な例を示しているが、通常、列救済判定回路17には、複数のアドレスに対応するため複数のアドレス比較回路64及びモード選択・調整回路66が設けられる。また、モード選択・調整回路66は、さらに多くの救済モード及び調整量に対応するため、さらに多くのアンドゲート及びフューズの組を備えていてもよい。これら、モード選択・調整回路66に含まれるアンドゲート及びフューズの組には、従来図7に示すように構成されていた物理的救済を行うための構成を実現するためのものを含めることができる。

30

【0037】

アドレス比較回路64は、nビットのアドレスデータA1~Anに対応している。フューズが切断されると、排他的論理和ゲート61-1~61-nの一方の入力が論理ローレベルから論理ハイレベル(フローティングレベル)に変化する。イネーブル線62についても同様である。

【0038】

排他的論理和ゲート61-1~61-nに接続されたフューズを、そのままにするか切断することにより、救済しようとするアドレスデータを論理反転させたのに等しいデータを排他的論理和ゲート61-1~61-nの一方の入力に与えておく。この状態で、排他的論理和ゲート61-1~61-nの他方に救済しようとするアドレスデータA1~Anが入力されると、全ての排他的論理和ゲート61-1~61-nから論理ハイレベルが出力される。つまり、フューズにより設定されたアドレスに一致するアドレスデータA1~Anが入力されると、アンドゲート63の出力が論理ローレベルから論理ハイレベルに変化し、それ以外のアドレスデータA1~Anが入力された場合、アンドゲート63の出力は論理ローレベルのままとなる。

40

【0039】

モード選択・調整回路66では、フューズF1及びF2がともに切断されていない場合、アンドゲート65-1, 65-2の出力は、アンドゲート63の出力に関係なく論理ローレベルである。フューズF1, F2が切断されると、アンドゲート65-1, 65-2の出力は、アンドゲート63の出力に一致する。したがって、アンドゲート65-1, 6

50

5 - 2 が、それぞれ異なる種類の不良を救済するためのものであれば、フューズ F 1 及び F 2 は、救済モードを選択するモードフューズとして機能する。また、アンドゲート 6 5 - 1 , 6 5 - 2 の出力が、ある特定の救済モードにおける信号タイミングの遅延量を調整するためのものであれば、フューズ F 1 , F 2 は、タイミング調整フューズとして機能する。また、モード選択・調整回路 6 6 に、3 以上のアンドゲート及びフューズの組を設ければ、各フューズは、モードフューズ、タイミング調整フューズ、あるいはこれらを兼ねるフューズとして機能する。

【 0 0 4 0 】

モード選択・調整回路 6 6 の構成は、上記構成に限られるものではなく、アンドゲート 6 3 の出力変化に応じてその出力を変化させるものであって、さらにその出力をフューズの設定により変更できるものであればよい。例えば、ナンドゲート、排他的論理和ゲート、排他的論理和否定 (N E O R) ゲートを用いてもよく、さらに目的に応じてオア回路やノット回路を組み合わせてもよい。

【 0 0 4 1 】

また、モード選択・調整回路 6 6 の構成は、各救済モードに応じて異なる構成としてよい。例えば、ある救済モードでは、一つの救済信号が出力され、他の救済モードでは 2 以上の救済信号が出力されるようにしてよい。なお、救済モードには、メインアンプの起動タイミングの調整のほか、書き込みマージン不足による不良及び読み出しマージン不足による不良を救済するモードなどがある。

【 0 0 4 2 】

ウエハ検査を行った際に検出された不良メモリセルに対して、信号タイミングを調整して再度検査を行い、救済可能と判定されたならば、アドレス比較回路 6 4 に含まれるアドレスフューズをそのアドレスに対応させるように設定 (選択的に切断) する。また、モード選択・調整回路 6 6 のフューズを、救済モード及びタイミング調整量に応じて設定 (選択的に切断) する。その後、救済の対象であるアドレスのメモリセルの試験を行い、正常に動作すれば救済が確認される。

【 0 0 4 3 】

以上のように、本実施の形態に係る半導体記憶装置では、救済モードを選択するためのフューズを設けたことにより、複数種のマージン性の不良メモリセルを冗長メモリセルと置換することなく救済することができる。これにより、不良メモリセル救済のために用意しなければならない冗長メモリセルの数を減らすことができ、メモリチップ面積を縮小することができる。換言すると、本実施の形態に係る半導体記憶装置は、従来度同程度のチップ面積で、より多くの不良メモリセルの救済が可能になる。

【 図面の簡単な説明 】

【 0 0 4 4 】

【 図 1 】 本発明の一実施の形態に係る半導体記憶装置の概略構成を示すブロック図である。

【 図 2 】 図 1 の半導体記憶装置における、信号タイミング調整による不良メモリセルの救済原理を説明するための波形図である。

【 図 3 】 フューズによる信号タイミングの調整における問題点を説明するための図である。

【 図 4 】 図 1 の半導体記憶装置に用いられる遅延調整回路の一例を示す回路図である。

【 図 5 】 図 4 の遅延調整回路を多段接続した例を示す回路図である。

【 図 6 】 図 1 の半導体記憶装置に用いられる列救済判定回路を説明するための回路図である。

【 図 7 】 物理的救済を行うための構成を示すブロック図である。

【 図 8 】 従来の不良メモリセルの物理的救済を説明するための図である。

【 図 9 】 不良メモリセルの信号タイミング調整による救済を説明するための図である。

【 符号の説明 】

【 0 0 4 5 】

10

20

30

40

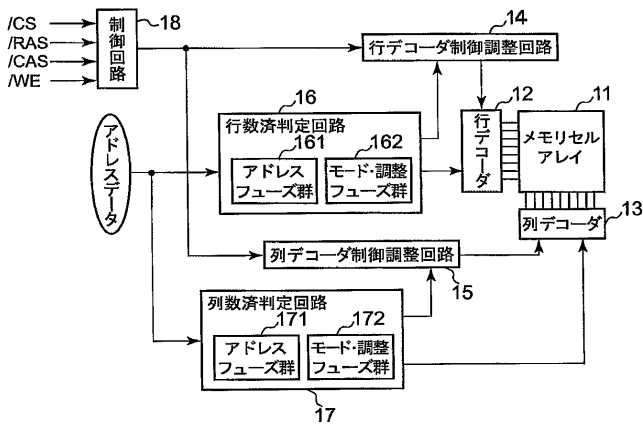
50

- 1 1 メモリセルアレイ
- 1 2 行デコーダ
- 1 3 列デコーダ
- 1 4 行デコーダ制御調整回路
- 1 5 列デコーダ制御調整回路
- 1 6 行救済判定回路
- 1 7 列救済判定回路
- 1 8 制御回路
- 1 6 1 , 1 7 1 アドレスフューズ群
- 1 6 2 , 1 7 2 モード・調整フューズ群
- 4 1 第1のクロックインバータ
- 4 2 第2のクロックインバータ
- 4 3 遅延回路
- 5 1 YSW起動回路
- 5 2 MA起動回路
- 5 3 , 5 4 遅延回路
- 6 1 - 1 ~ 6 1 - n 排他的論理和ゲート
- 6 2 イネーブル線
- 6 3 アンドゲート
- 6 4 アドレス比較回路
- 6 5 - 1 , 6 5 - 2 アンドゲート
- 6 6 モード選択・調整回路

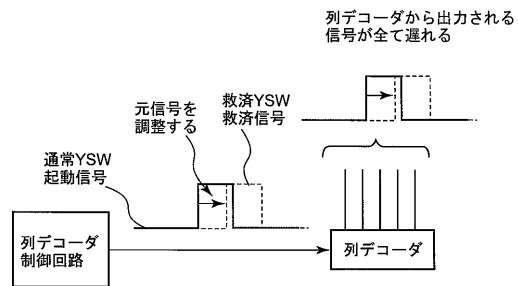
10

20

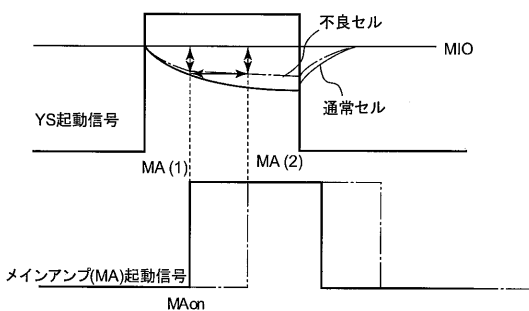
【 図 1 】



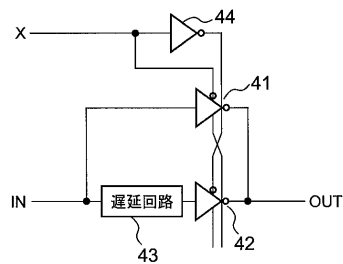
【 図 3 】



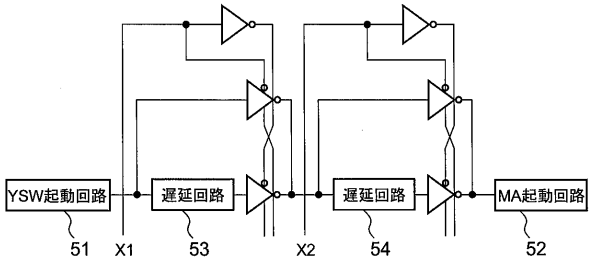
【 図 2 】



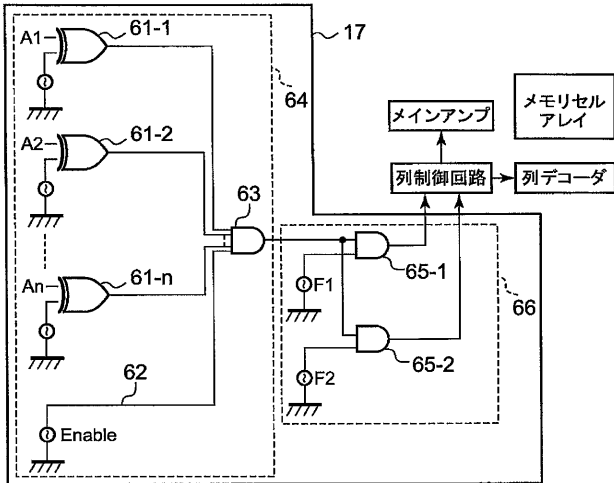
【 図 4 】



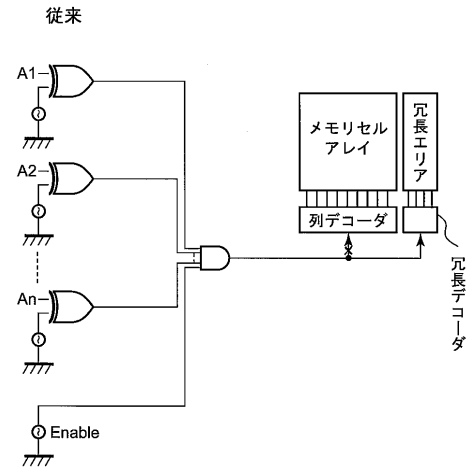
【 図 5 】



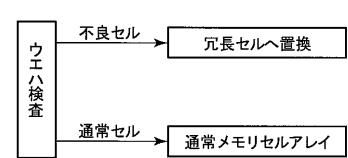
【 図 6 】



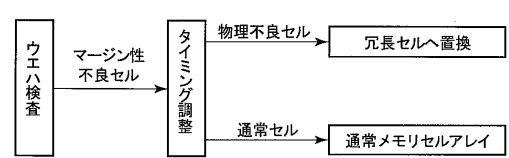
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

Fターム(参考) 5L106 AA01 DD25 EE01 GG07
5M024 AA40 AA90 AA93 BB35 BB36 CC50 DD62 GG01 MM02 MM13
PP01 PP02 PP07