

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年7月26日(26.07.2012)

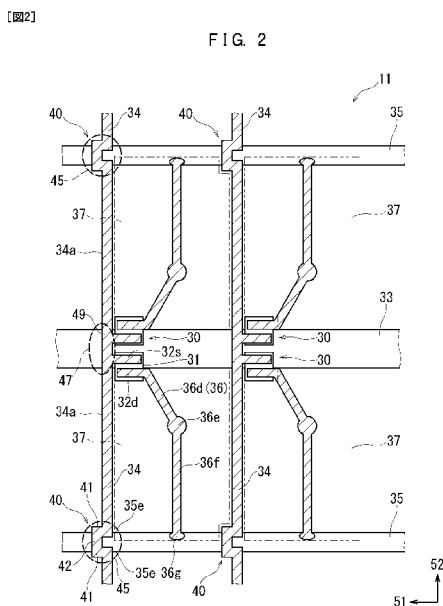


(10) 国際公開番号
WO 2012/098973 A1

- (51) 国際特許分類:
G02F 1/1343 (2006.01) G02F 1/1368 (2006.01)
 - (21) 国際出願番号: PCT/JP2012/050424
 - (22) 国際出願日: 2012年1月12日(12.01.2012)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2011-007919 2011年1月18日(18.01.2011) JP
 - (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人 (米国についてのみ): 黒田 達朗
(KURODA Tatsuro) [JP/JP]; 〒5458522 大阪府大阪
市阿倍野区長池町2番22号 シャープ株式
会社内 Osaka (JP).
 - (74) 代理人: 手島 勝(TESHIMA Masaru); 〒5300041 大
阪府大阪市北区天神橋2丁目3番8号MF南森
町ビル5階 手島特許事務所 Osaka (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: ARRAY SUBSTRATE FOR LIQUID CRYSTAL PANEL, AND LIQUID CRYSTAL PANEL

(54) 発明の名称: 液晶パネル用アレイ基板および液晶パネル



(57) Abstract: Provided is an array substrate for a liquid crystal panel, which can suppress disconnection of source wiring lines. An array substrate (11) for a liquid crystal panel, said substrate having pixels disposed therein in matrix having rows and columns, is provided with auxiliary capacitance wiring lines (Cs wiring lines) (35), which extend in the row direction (51), and source wiring lines (34), which extend in the column direction (52). In an intersection region (45) of each of the auxiliary capacitance wiring lines (35) and each of the source wiring lines (34), each source wiring line (34) positioned in the upper layer has an intersection wiring portion (40). The intersection wiring portion (40) includes: a first area (41), which is continued to the main body portion (34a) of each of the source wiring lines (34), and which extends in the row direction (51); and a second area (42), which is continued to the first area (41), and which extends in the direction (52) different from the row direction (51).

(57) 要約: ソース配線の断線を抑制できる液晶パネル用アレイ基板を提供する。行及び列を有するマトリクス状に画素が配置された液晶パネル用アレイ基板11であり、行方向51に延びる補助容量配線(Cs配線)35と、列方向52に延びるソース配線34とを備え、補助容量配線35とソース配線34との交差領域45において、上層に位置するソース配線34は、交差配線部40を有する。交差配線部40は、ソース配線34の本体部34aに連続し、行方向51に延びる第1部位41と、第1部位41に連続し、行方向51と異なる方向(52)に延びる第2部位42とを含んでいる。

WO 2012/098973 A1

明 細 書

発明の名称：液晶パネル用アレイ基板および液晶パネル

技術分野

[0001] 本発明は、液晶パネル用アレイ基板および液晶パネルに関する。本発明はまた、液晶パネルを備えた液晶表示装置に関する。

なお、本出願は2011年1月18日に出願された日本国特許出願2011-7919号に基づく優先権を主張しており、その出願の全内容は本明細書中に参照として組み入れられている。

背景技術

[0002] 液晶表示装置は、一对の透光性基板の間に液晶が封止されてなる液晶パネルと、当該液晶パネルの背面側に配置されたバックライトとから構成されている。液晶表示装置では、バックライトから出射された光が液晶パネルの背面側から照射されることによって、液晶パネルに表示された画像が視認可能となる（特許文献1）。

[0003] 図16は、特許文献1に示した液晶パネル1000の構成を示す斜視図である。図16に示した液晶パネル1000は、薄膜トランジスタ（TFT）140を含むアレイ基板（下部基板）110と、カラーフィルタ層122を含むカラーフィルタ基板（上部基板）120とから構成されている。アレイ基板110とカラーフィルタ基板120との間には、液晶層130が配置されている。

[0004] アレイ基板110には、画素電極111が形成されている。この画素電極111によって画素領域115が規定されている。また、アレイ基板110には、ゲート配線112とデータ配線114とが形成されている。TFT140は、ゲート配線112およびデータ配線114に連結されている。また、TFT140は、ゲート配線112およびデータ配線114の交差点に隣接して配置され、ゲート電極141、半導体層142、ソース電極144、ドレイン電極146を含む。TFT140のドレイン電極146は、画素

電極 1 1 1 に連結されている。

[0005] カラーフィルタ基板（CF基板）1 2 0は、赤色（R）、緑色（G）、青色（B）のサブカラーフィルタ層 1 2 2 a、1 2 2 b、1 2 2 cを含むカラーフィルタ層 1 2 2を含んでいる。サブカラーフィルタ層 1 2 2 a、1 2 2 b、1 2 2 cは、ブラックマトリクス 1 2 3によって区別されている。また、CF基板 1 2 0の液晶層 1 3 0側には、共通電極 1 2 4が形成されている。

[0006] 画素電極 1 1 1と共通電極 1 2 4との間に電圧を印加すると、縦方向に電場が発生して、この電場によって、液晶層 1 3 0の液晶が駆動する。これによって、異なる光の透過率によって画像を表現することができる。

[0007] 図 1 7は、一つの画素領域を基準にしたアレイ基板 1 1 0の概略的な平面図である。図 1 7に示したアレイ基板 1 1 0では、透光性基板 1 5 0の上に、スイッチング素子である TFT 1 4 0、ゲート配線 1 1 2、データ配線 1 1 4、画素電極 1 1 1が形成される。より具体的には、アレイ基板 1 1 0においては、画素領域に対応した画素電極 1 1 1がマトリクス状に配列され、その画素領域ごとに TFT 1 4 0が形成される。また、TFT 1 4 0ごとに信号を印加するために、多数のゲート配線 1 1 2および多数のデータ配線 1 1 4が形成されている。

[0008] ここで、製造工程上、相互に異なる信号を TFT 1 4 0に伝達するゲート配線 1 1 2とデータ配線 1 1 4とは、同一層には形成することができない。したがって、ゲート配線 1 1 2とデータ配線 1 1 4とは、それぞれ別の層に絶縁膜を介して形成される。図 1 7に示した例では、下層のゲート配線 1 1 2を乗り越えるように上層のデータ配線 1 1 4が延びる交差部 1 5 5が存在する。そして、このような交差部 1 5 5においては、下層のゲート配線 1 1 2の段差によって、上層のデータ配線 1 1 4が断線される不良が発生することがある。

先行技術文献

特許文献

[0009] 特許文献1：特開2007-310351号公報

特許文献2：特開2001-343669号公報

発明の概要

発明が解決しようとする課題

[0010] この断線の問題に対して、特許文献1では、下層のゲート配線112の近傍にバッファパターンを形成することによって、データ配線114の断線を防ぐようにしている。すなわち、ゲート配線の近傍にバッファパターンを形成することによって、ソース配線がゲート配線のパターンを乗り越える部分のスロープを滑らかにすることにより、乗り越え段差におけるソース配線の断線を防止するようにしている。

[0011] しかしながら、下層のゲート配線112の近傍にバッファパターンが形成できない場合があり得る他、当該乗り越え部分のスロープを滑らかにしても、エッチング液の侵食によって断線が生じる場合もあり得る。

[0012] さらに、特許文献2では、ソース配線がゲート配線を乗り越える部分で、エッチング液の侵食による断線を防止するために、3方向乗り越え部を形成している。しかし、特許文献2による手法では、ソース配線の幅を拡張するために、ゲート配線を構成する金属（ゲートメタル）と、ソース配線を構成する金属（ソースメタル）との間で寄生容量が形成される。それゆえに、その寄生容量によって、液晶パネルの駆動に悪影響を与えてしまう。

[0013] 本発明はかかる点に鑑みてなされたものであり、その主な目的は、ソース配線の断線を抑制できる液晶パネル用アレイ基板および液晶パネルを提供することにある。

課題を解決するための手段

[0014] 本発明に係る液晶パネル用アレイ基板は、行及び列を有するマトリクス状に画素が配置された液晶パネル用アレイ基板であり、行方向に延びる補助容量配線と、前記補助容量配線よりも上層に位置し、列方向に延びるソース配線とを備え、前記補助容量配線と前記ソース配線との交差領域において、前記上層に位置する前記ソース配線は、交差配線部を有しており、前記交差

配線部は、前記ソース配線の本体部に連続し、前記行方向に延びる第 1 部位と、前記第 1 部位に連続し、前記行方向と異なる方向に延びる第 2 部位とを含んでいる。

[0015] ある好適な実施形態において、前記ソース配線の第 2 部位は、前記列方向に延びており、前記交差配線部は、前記第 1 部位と、前記第 1 部位から直角に延びる前記第 2 部位と、前記第 2 部位から直角に延び、前記本体部に繋がる更なる第 1 部位とから構成されている。

[0016] ある好適な実施形態において、前記第 1 部位および前記更なる第 1 部位は、下層に位置する前記補助容量配線の外縁を覆うように前記行方向に延びている。

[0017] ある好適な実施形態において、前記補助容量配線の幅は、前記交差領域において狭くなっている。

[0018] ある好適な実施形態において、前記ソース配線の前記本体部における幅と、前記交差配線部における前記第 2 部位の幅とは同一の寸法である。

[0019] ある好適な実施形態では、前記補助容量配線と前記ソース配線との全ての前記交差領域において、前記第 1 部位および前記第 2 部位を含む前記交差配線部が形成されている。

[0020] ある好適な実施形態において、前記交差配線部は、前記ソース配線の前記本体部から二股に分かれた前記第 1 部位と、前記二股に分かれた前記第 1 部位に接続された前記第 2 部位と、前記第 2 部位と、前記本体部とを接続する更なる第 1 部位とから構成されている。

[0021] ある好適な実施形態において、前記二股に分かれた前記第 1 部位および前記更なる第 1 部位は、それぞれ、前記行方向に延びている。

[0022] ある好適な実施形態において、前記第 2 部位は、前記列方向に対して斜めに延びる部分を含んでいる。

[0023] ある好適な実施形態では、さらに、行方向に延びるゲート配線を備えており、前記ソース配線は、前記ゲート配線よりも上層に位置し、前記ゲート配線と前記ソース配線との交差領域において、前記上層に位置する前記ソース

配線は、直線部位によって前記ゲート配線を乗り越えている。

[0024] ある好適な実施形態において、前記マトリクス状に配置された画素のそれぞれには、薄膜トランジスタが形成されており、前記薄膜トランジスタには、前記ソース配線から延びるソース電極と、前記ソース電極に対向して配置されたドレイン電極とを備え、前記ドレイン電極からは、画素電極に接続されるドレイン配線が延びており、前記ドレイン配線の端部は、前記補助容量配線に接続されている。

[0025] 前記ソース配線は、銅から構成されている。

[0026] 本発明に係る液晶パネルは、上記液晶パネル用アレイ基板と、前記アレイ基板に対向して配置されるカラーフィルタ基板と、前記アレイ基板と前記カラーフィルタ基板との間に配置される液晶層とを備えた、液晶パネルである。

[0027] 本発明に係る液晶表示装置は、上記液晶パネルと、前記液晶パネルに光を照射するバックライトユニットとを備えた、液晶表示装置である。

発明の効果

[0028] 本発明によれば、行方向に延びる補助容量配線と、列方向に延びるソース配線との交差領域において、ソース配線は交差配線部を有し、そして、その交差配線部は、行方向に延びる第1部位と、行方向と異なる方向に延びる第2部位とを備えている。したがって、交差領域において、ソース配線は、行方向に延びる第1部位で補助容量配線を乗り越えるので、ソース配線の断線を抑制できる液晶パネル用アレイ基板を実現することができる。

図面の簡単な説明

[0029] [図1]本発明の実施形態に係る液晶表示装置100を説明するための分解斜視図である。

[図2]本発明の実施形態に係る液晶パネル用アレイ基板11の上面拡大図である。

[図3]比較例のアレイ基板210の上面構成を模式的に示す一部拡大図である。

。

[図4] (a) は、比較例における交差領域 2 4 5 の拡大図であり、(b) は、交差領域 2 4 5 の断面図である。

[図5] (a) および (b) は、それぞれ、ソース配線 2 3 4 が乗り越える部位 2 4 2 にて断線 2 4 6 が生じることを説明するための平面図および断面図である。

[図6] (a) および (b) は、ソース配線 2 3 4 が乗り越える部位 2 4 2 にて断線 2 4 6 が生じることを説明するための平面図である。

[図7] (a) および (b) は、本発明の実施形態に係るソース配線 3 4 が段差領域 4 4 にて侵食 (4 6) をされた場合の状態を説明するための平面図である。

[図8] (a) から (c) は、本発明の実施形態に係るソース配線 3 4 の作製方法を説明するための工程断面図である。

[図9] (a) から (c) は、本発明の実施形態に係るソース配線 3 4 の作製方法を説明するための工程断面図である。

[図10] アレイ基板 1 1 における一画素を拡大した上面図である。

[図11] アレイ基板 1 1 の改変例における一画素を拡大した上面図である。

[図12] (a) および (b) は、アレイ基板 1 1 における交差配線部 4 0 の改変例を示す上面図である。

[図13] アレイ基板 1 1 における交差配線部 4 0 の改変例を示す上面図である。

[図14] アレイ基板 1 1 における交差配線部 4 0 の改変例を示す上面図である。

[図15] (a) および (b) は、アレイ基板 1 1 における交差配線部 4 0 の改変例を示す上面図である。

[図16] 従来の液晶パネル 1 0 0 0 の構成を示す斜視図である。

[図17] 一つの画素領域を基準にしたアレイ基板 1 1 0 の概略的な平面図である。

発明を実施するための形態

[0030] 以下、図面を参照しながら、本発明の実施形態を説明する。以下の図面においては、説明の簡潔化のために、実質的に同一の機能を有する構成要素を同一の参照符号で示す。なお、本発明は以下の実施形態に限定されない。

[0031] 図1は、本発明の実施形態に係る液晶表示装置100の構成を模式的に示す分解斜視図である。図1に示すように、本実施形態の液晶表示装置100は、画像を表示可能な液晶表示装置である。液晶表示装置100は、液晶パネル10と、液晶パネル10に光を照射するバックライトユニット20とから構成されている。本実施形態の液晶パネル10は、例えば、20インチから110インチ（典型的には、32インチから60インチ）のサイズを有している。

[0032] 本実施形態の液晶パネル10は、概して、全体として矩形の形状を有しており、一对の透光性基板（ガラス基板）11および12から構成されている。両基板11および12は、互いに対向して配置され、その間には液晶層（不図示）が設けられている。液晶層は、基板11および12の間の電界印加に伴って光学特定が変化する液晶材料からなる。

[0033] なお、基板11および12の外縁部には、シール剤（不図示）が設けられて、液晶層を封止している。また、両基板11および12の外面には、それぞれ、偏光板13、13が貼り付けられている。本実施形態では、基板11および12のうち、裏側がアレイ基板（TFT基板）11であり、一方、表側がカラーフィルタ基板（CF基板）12である。

[0034] 本実施形態のアレイ基板11は、行及び列を有するマトリクス状に画素が配置された液晶パネル用アレイ基板である。詳細は後述するが、本実施形態の構成では、行方向にゲート配線が延び、列方向にソース配線が延びている。また、各画素には、薄膜トランジスタ（TFT）が配置されている。なお、行方向・列方向は、便宜上のものであるので、行方向が横方向、列方向が縦方向を意味する場合の他、その関係を逆にしても構わない。

[0035] 本実施形態のバックライトユニット20は、液晶パネル10に光を照射する光源ユニットである。図1に示した例のバックライトユニット20は、エ

ツジライト型のバックライトユニットである。本実施形態のバックライトユニット20は、複数の発光素子23と、発光素子23が発した光を液晶パネル10に照射させる導光板22とから構成されている。

[0036] 本実施形態の発光素子23は、LED素子（点状光源）であり、図1に示した構成例では、複数のLED素子23が配線基板25の上に載置されている。LED素子23は、導光板22の側面の一つ（入射面）22bに対向して配置されており、LED素子23から出射された光は、導光板22の入射面22bから導光板22内に入射する。

[0037] 導光板22は、入射面22bに入射した光を、発光面（主面）22aから面状に照射する光学部材である。導光板22は、例えば、アクリル板から構成されている。本実施形態の導光板22の底面22cには、反射層となるドットパターン（不図示）が形成されている。このドットパターンは、反射パターン又は拡散パターンを形成するインクなどを用いて印刷によって形成されている。

[0038] また、導光板22と液晶パネル10との間には、光学シート21（21aから21c）が配置されている。この例では、光学シート21aから21cは、それぞれ、例えば、レンズシート、プリズムシート、拡散板である。なお、光学シート21の構成は、これらのものに限らず、他の構成を採用してもよい。

[0039] さらに、本実施形態のバックライトユニット20は、導光板22を収納するバックライトシャーシ28を備えている。また、本実施形態のバックライトシャーシ28は、金属材料（例えば、アルミニウム、鉄など）から構成されており、液晶表示装置100の裏面全体を覆う板金部材である。また、バックライトシャーシ28と導光板22との間には、反射シート27が配置されている。

[0040] 本実施形態の液晶表示装置100にはベゼル29が設けられている。ベゼル29は、金属材料（例えば、アルミニウム、鉄）からなり、液晶パネルの外縁部を押さえて固定するフレーム部材である。本実施形態の構成において

は、液晶パネル10、光学シート21、導光板22、LED素子23が実装された配線基板(LED基板)25、反射シート27をバックライトシャーシ28に収納した状態で、そのバックライトシャーシ28にベゼル29を取り付ける。

[0041] なお、図1に示した構成では、LED素子23を用いたエッジライト型のバックライトユニット20を示したがそれに限らない。例えば、本発明では、他の発光素子(例えば、冷陰極管(CCL))を用いたエッジライト型のバックライトユニット20を使用することもできる。あるいは、直下型のバックライトユニット20を使用することも可能である。直下型のバックライトユニット20の場合、発光素子は、LED素子、冷陰極管などを用いることができる。

[0042] 次に、図2を参照しながら、本実施形態の構成について説明する。図2は、本実施形態のアレイ基板11の上面構成を模式的に示す一部拡大図である。

[0043] 本実施形態のアレイ基板11は、行及び列を有するマトリクス状に画素が配置されている。この例では、行方向(矢印51)にゲート配線33が伸び、列方向(矢印52方向)にソース配線34が伸びている。ゲート配線33とソース配線34との交差部には、スイッチング素子としてのTFT素子30が形成されている。

[0044] TFT素子30は、チャンネル層となる半導体層31と、ソース配線34から伸びたソース電極32sと、ソース電極32sに対向して配置されたドレイン電極32dとから構成されている。半導体層31は、例えばシリコン(アモルファスシリコン、多結晶シリコンなど)から構成されている。そして、ゲート配線33のうちの半導体層31の下方に位置する部位は、ゲート電極となる。ゲート電極と半導体層31の間には、ゲート絶縁膜が形成されている。半導体層31の表面には、ソース電極32sとドレイン電極32dとが配置されており、ソース電極32sとドレイン電極32dとの間がチャンネル領域となる。

[0045] ドレイン電極32dからは、ドレイン配線36が延びている。図2に示した例では、ドレイン配線36の一部36dは、接続部位36eにて画素電極37に接続されている。画素電極37は、各画素を規定する電極であり、透明電極（例えば、ITO）から構成されている。本実施形態の画素は、カラーフィルタ基板12が三原色（R・G・B）の構成の場合、そのR（赤）・G（緑）・B（青）に対応する領域である。なお、R・G・Bの3つの領域をまとめて画素と称する場合、画素電極37が位置する領域は、サブ画素領域、または、絵素領域と称しても構わない。また、カラーフィルタ基板12が四原色（R・G・B・Y）の構成の場合、本実施形態の画素は、そのR（赤）・G（緑）・B（青）・Y（黄）に対応する領域になる。加えて、画素電極37のパターンは、本実施形態の構成では例示として示しており、具体的なパターンについては適宜好適なものを採用すればよい。

[0046] また、本実施形態の構成では、アレイ基板11に補助容量（Cs）が形成されるように構成されている。アレイ基板11に補助容量配線（Cs配線）35が形成されている。ここで、補助容量（Cs）は、Cs配線35の一部に位置するCs電極、絶縁膜（不図示）、画素電極37によって形成されている。補助容量（Cs）を構成する絶縁膜（誘電体層）は、Cs電極と画素電極37との間に位置しており、そして、補助容量（Cs）は、Cs配線35と画素電極37との交差部において形成されている。また、補助容量（Cs）は、ゲート信号がOFFの期間において液晶層に電荷を供給し、画素の輝度を保持するという役割を有するものである。本実施形態の構成では、ドレイン配線36の端部36gは、補助容量配線（Cs配線）35に接続されている。具体的には、ドレイン配線36は、引き出し部36d、36fを介して、Cs配線35に接続されている。

[0047] さらに、本実施形態の構成では、Cs配線35は、ゲート配線33と同様に、行方向（矢印51）に延びている。ソース配線34は、Cs配線35よりも上層に位置しており、そして、アレイ基板11には、ソース配線34とCs配線35とが互いに交差する交差領域45が存在している。その交差領

域45において、ソース配線34は、交差配線部40を有している。

[0048] ソース配線34の交差配線部40は、ソース配線34の本体部34aに連続した第1部位41と、第1部位41に連続した第2部位42とから構成されている。第1部位41は、本体部34aが延びる方向（列方向52）と異なる方向に延びている。図2に示した例では、第1部位41は、Cs配線35が延びる方向（行方向51）に延びている。また、第2部位42は、行方向51とは異なる方向に延びている。具体的には、本体部34aと同じ方向に延びており、図2に示した例では、第2部位42は、列方向52に延びている。したがって、第1部位41と第2部位42とは直角に曲がって連続して接続されている。なお、ソース配線34の本体部34aは、交差配線部40以外に位置する直線状に延びる部位である。

[0049] 加えて、この例では、第2部位42からは、ソース配線34の本体部34aに繋がる更なる第1部位41が延びている。この更なる第1部位41は、行方向51に延びている。したがって、この例では、更なる第1部位41は、第2部位42から直角に延びて本体部34aに接続されている。また、ソース配線34の交差配線部40における第1部位41は、下層に位置するCs配線35の外縁35eを覆うように延びている。また、更なる第1部位41もCs配線35の外縁35eを覆うように延びている。

[0050] さらに、本実施形態の構成において、ゲート配線33は、Cs配線35と同一レベルの層に形成されている。したがって、ソース配線34は、ゲート配線33よりも上層に位置している。また、本実施形態のレイ基板11には、ソース配線34とゲート配線33とが互いに交差する交差領域47が存在している。図示した例では、その交差領域47において、ソース配線34は、列方向52に延びる直線部位49を有している。すなわち、ゲート配線33との交差領域47では、ソース配線34は、本体部34aと同様に列方向52に延びている。

[0051] なお、本実施形態の構成では、ソース配線34は、銅から構成されている。また、Cs配線35およびゲート配線33も、銅から構成されている。ま

た、ソース配線34、Cs配線35、ゲート配線33は、銅配線に限らず、他の金属材料（アルミニウム）から構成されていてもよいし、多層膜（例えば、Cu・Mo、Cu・Ti）の構成であってもよい。さらに、ソース配線34（例えば、銅配線）と、Cs配線35・ゲート配線33とを異なる材料から構成しても構わない。

[0052] 本実施形態の構成によれば、行方向51に延びるCs配線35と、列方向52に延びるソース配線34との交差領域45において、ソース配線34は交差配線部40を有している。そして、ソース配線34の交差配線部40は、列方向52と異なる方向に延びる第1部位41と、列方向52に延びる部分を含む第2部位42とを備えている。したがって、当該交差領域45において、列方向52と異なる方向に延びる第1部位41（図2に示した例では、行方向51に延びる第1部位41）にてソース配線34は、Cs配線35を乗り越えることができる。その結果、ソース配線34の断線を抑制できる液晶パネル用アレイ基板11を実現することができる。

[0053] さらに、図3から図5を参照しながら、ソース配線の断線の原因について説明する。図3は、比較例のアレイ基板210の上面構成を模式的に示す一部拡大図である。

[0054] 図3に示した比較例のアレイ基板210では、行方向51に延びるゲート配線233およびCs配線235と、列方向52に延びるソース配線234とが形成されている。また、TFT素子230は、半導体層231と、ソース電極232s、ドレイン電極232dから構成されている。ドレイン電極232dから延びたドレイン配線236dは、接続部位236eにて画素電極237に接続されている。なお、図示していないが、ドレイン配線236dの端部は、Cs配線235に接続されている。

[0055] この比較例では、ソース配線234とCs配線235との交差領域245において、ソース配線234は、屈曲しておらず、直線部位240として列方向52に延びている。図4(a)は、交差領域245の拡大図であり、そして、図4(b)は、交差領域245の断面図である。

[0056] 図4 (b) に示すように、ガラス基板238の上にCs配線235が延びている。そして、Cs配線235を覆うように絶縁膜239がガラス基板238の上に形成されている。そして、絶縁膜239の上に、ソース配線234が形成されている。図示するように、ソース配線234は、交差領域245において、Cs配線235によって形成された段差を乗り越えるようにして延びる。

[0057] ソース配線234は、金属膜をエッチングでパターニングすることによって形成される。それゆえに、図5 (a) および (b) に示すように、エッチングの残渣などによる侵食の影響で、Cs配線235による段差部をソース配線234が乗り越える部位(242)にて断線(246)が生じる可能性が高まる。さらには、ソース配線234が銅配線の場合、銅配線の酸化腐食によって、段差部(242)にて断線(246)が発生することもある。

[0058] 比較例のソース配線234の幅は、図6 (a) に示すように $W1$ であるとする。図6 (b) に示すように、幅 $s1$ ($s1 = W1 / 2$) の侵食が両サイドから発生すれば、段差部(242)にてソース配線234の断線246が生じてしまう。

[0059] ここで、図7 (a) に示すように、本実施形態のソース配線34 (本体部34a) の幅が $W1$ であり、第2部位42の幅も $W1$ であるとする。図7 (b) に示すように、段差領域(乗り越える部位)44において、幅 $s1$ の侵食46が両サイドから発生したとしても、ソース配線34の断線を抑制することができる。言い換えると、ソース配線34の幅が $W1$ であっても、第1部位41によって、段差領域44におけるソース配線34の幅をCs配線35が延びる方向(51)に実質的に広げることができ、その結果、段差領域44におけるソース配線34の断線を抑制することができる。

[0060] また、本実施形態の構成によれば、ソース配線34の本体部34aおよび第2部位42の幅を $W1$ と一定としながら、行方向51 (Cs配線走査方向) へと第1部位41を延ばす構造にしている。この構造によって、交差領域(段差部44)においてソース配線34の幅を、例えば $W1$ の2倍以上に広

げなくとも、ソース配線 3 4 の断線を抑制することが可能となる。すなわち、交差領域（段差部 4 4）においてソース配線 3 4 の幅を、例えば W 1 の 2 倍以上に広げたとしたら、断線を抑制することができるものの、寄生容量の発生の問題が生じてしまう。言い換えると、交差領域（段差部 4 4）においてソース配線 3 4 の幅を大きくしてしまうと、交差領域（段差部 4 4）におけるソース配線 3 4 と C s 配線 3 5 との間の寄生容量が大きくなり、その結果、信号遅延などが生じてしまう。本実施形態の構成では、そのような寄生容量の増大を抑えながら、交差領域（段差部 4 4）におけるソース配線 3 4 の断線を抑制することが可能となる。

[0061] また、本実施形態の構成では、図 2 に示すように、ソース配線 3 4 とゲート配線 3 3 との交差領域 4 7 では、ソース配線 3 4 は真っ直ぐ延びるようにしている。すなわち、ゲート配線 3 3 との交差領域 4 7 において、ソース配線 3 4 は、列方向 5 2 に延びる直線部位 4 9 を有している。したがって、本実施形態の構成によれば、ゲート配線 3 3 との交差領域 4 7 においてソース配線 3 4 の幅を広げた場合と比較して、ソース配線 3 4 とゲート配線 3 3 との間の寄生容量が大きくなることを抑制することができる。

[0062] 本実施形態の構成において、ゲート配線 3 3 の幅は、C s 配線 3 5 の幅の約 2 倍（例えば、2 倍またはそれ以上）ある。したがって、ゲート配線 3 3 との交差領域 4 7 において、ソース配線 3 4 の幅を広げると、寄生容量が大きくなることの影響が大きく、それゆえに、寄生容量の増大による信号遅延の問題が大きくなる。本実施形態の構成では、本実施形態の構成によれば、ゲート配線 3 3 との交差領域 4 7 におけるソース配線 3 4 の幅は、本体部 3 4 a の幅と同じであるので、寄生容量の増大の問題を抑制することができる。

[0063] 加えて、T F T 素子 3 0 の構造との関係にもよるが、ゲート配線 3 3 との交差領域 4 7 においても、C s 配線 3 5 の交差領域 4 5 と同様に、ソース配線 3 4 に交差配線部 4 0 を形成するようにしても構わない。具体的には、交差領域 4 7 において、ソース配線 3 4 の本体部 3 4 a に連続し、ゲート配線

33の延長方向（行方向51）に延びる第1部位41と、本体部34aと同じ方向（列方向52）に延びる第2部位42とを含む交差配線部40を、交差領域47において設けることが可能である。ここで、第2部位42の幅（W1）を、ソース配線34の本体部34aの幅（W1）と同じ設定にすれば、寄生容量の増大の影響を抑えることができる。

[0064] なお、本実施形態の構成において、配線の幅などの条件を例示的に示すと次の通りである。ソース配線34の幅（W1）は、例えば5～8 μm である。ゲート配線33の幅は、例えば10～20 μm である。Cs配線35の幅は、例えば10～20 μm である。ソース配線34の厚さは、例えば3000～4500 \AA であり、ゲート配線33およびCs配線35の厚さは、例えば3000～5000 \AA である。

[0065] 次に、図8（a）から図9（c）を参照しながら、本実施形態における交差配線部40を含むソース配線34の作製方法について説明する。図8（a）から（c）、図9（a）から（c）は、ソース配線34の作製方法を説明するための工程断面図である。

[0066] まず、図8（a）に示すように、ガラス基板38の上に、Cs配線35の材料となる金属膜35aを堆積し、次いで、金属膜35aの上に、Cs配線35のパターンを規定するレジストパターン35mを形成する。この金属膜35aは、ゲート配線33の材料（ゲートメタル）にもなり、そして、レジストパターン35mは、ゲート配線33のパターンを規定するパターンも含んでいる。この例では、金属膜35aは銅から構成され、レジストパターン35mは、フォトリソグラフィによって形成された樹脂製のパターンである。

[0067] 次に、図8（b）に示すように、レジストパターン35mをマスクとして、金属膜35aをウエットエッチングすることにより、Cs配線35を形成する。なお、このウエットエッチングで、ゲート配線33も形成される。ここで、エッチング液（エッチャント）は、例えば、フッ化合物を含む溶液である。ウエットエッチングの後には、レジストパターン35mを除去する。

- [0068] 次いで、図8(c)に示すように、Cs配線35を覆うようにガラス基板38の上に絶縁膜39を形成する。絶縁膜39は、例えば、チッ化シリコンから構成されており、その厚さは、例えば3000~4500Åである。
- [0069] 次に、図9(a)に示すように、絶縁膜39の上に、ソース配線34の材料(ソースメタル)となる金属膜34bを積層する。この例では、金属膜34bは銅から構成されている。次いで、金属膜34bの上に、ソース配線34のパターンを規定するレジストパターン34mを形成する。レジストパターン34mには、第1部位41及び第2部位42を含む交差配線部40を規定するパターンが含まれている。また、レジストパターン34mは、フォトリソグラフィによって形成された樹脂製のパターンである。
- [0070] その後、図9(c)に示すように、レジストパターン34mをマスクとして、金属膜34bをウエットエッチングすることにより、ソース配線34を形成する。ここで、エッチング液(エッチャント)は、例えば、フッ化合物を含む溶液である。最後に、レジストパターン34mを除去すると、交差配線部40を含むソース配線34が得られる。
- [0071] 次に、図10および図11を参照しながら、本実施形態のアレイ基板11の改変例について説明する。図10および図11は、本実施形態のアレイ基板11における一画素を拡大した上面図である。
- [0072] 図10に示すように、Cs配線35との交差領域45において、ソース配線34の交差配線部40を形成すると、ソース配線34の一部(第1部位41)が画素電極(透明電極)37の一部(角部)と近接する。言い換えると、ソース配線34をコの字型(または、横向きのUの字型)に屈曲させて、交差配線部40を形成した場合、図中の領域(近接領域)48において、ソース配線34を直線に延ばした場合と比較して、ソース配線34の第1部位41が画素電極37の一部に近接する。
- [0073] ソース配線34の一部が画素電極37に近接すると、ソース配線34にソース電圧を印加した際における電界効果によって、その周辺の液晶層の状態が変化してしまうことがある。また、ソース配線34と画素電極37との間

に寄生容量が発生するために、信号遅延の問題が生じ得る。それらの問題を解決する場合、本実施形態のアレイ基板 11 の構造を、図 11 に示すように改変することが可能である。

[0074] 図 11 に示したアレイ基板 11 では、交差領域 45 において、Cs 配線 35 の幅を狭くした部分（幅狭部 35b）を有している。そして、その狭くなった部分 35b の外縁を覆うように、ソース配線 34 の第 1 部位 41 が延びている。そのように形成された交差配線部 40 を有するソース配線 34 は、図 10 に示した構成例と比較して、画素電極 37 との距離をあげることができる。すなわち、図 11 に示した構成では、ソース配線 34 は、画素電極 37 との近接を避けることができる。その結果、近接した場合の電界効果による液晶層の状態の変化を防ぐことができ、そして、ソース配線 34 と画素電極 37 との間の寄生容量の発生を抑えることができる。

[0075] なお、図 2 に示したアレイ基板 11 では、ソース配線 34 と Cs 配線 35 との交差領域 45 のそれぞれに交差配線部 40 を形成している。しかし、図 10 及び図 11 に示すように、ソース配線 34 と Cs 配線 35 との全ての交差領域において、交差配線部 40 を形成せずに、一部の交差領域においては交差配線部 40 を形成せずに、直線の配線部を形成しても構わない。

[0076] 上述の実施形態では、第 1 部位 41 を一方向側に延ばしたが、それに限らず、他の構成に改変することも可能である。

[0077] 図 12 (a) は、第 1 部位 41 を行方向 51 に沿って両方の側に延ばした構成を示している。言い換えると、交差配線部 40 において、第 1 部位 41 (41a、41b) は、ソース配線 34 の本体部 34a から二股に分かれている。また、二股に分かれた第 1 部位 41 (41a、41b) に、第 2 部位 42 (42a、42b) が接続されている。そして、その第 2 部位 42 (42a、42b) には、更なる第 1 部位 41 (41c、41d) が接続されており、更なる第 1 部位 41 (41c、41d) は、本体部 34a に接続されている。この例では、交差配線部 40 は、口の字型（四角形状）をしており、本体部 34a の幅 (W1) と、第 2 部位 42 (42a、42b) の幅 (W

1) が同じになるようにしている。

[0078] 図12(b)に示すように、交差領域(段差部)45における第1部位41に、幅 s_1 ($s_1 = W_1 / 2$)の侵食46が発生しても、ソース配線34の断線を抑制することができる。すなわち、Cs配線35が延びる方向(行方向51)に沿って、侵食46(図12(b)では4本の侵食)が生じてても、ソース配線34の断線を防止することができる。

[0079] さらに、図13に示すように改変することも可能である。図13に示した改変例では、第2部位42が、列方向52ではなく、列方向52に対して斜めに延びる部分(42c、42d、42e、42f)を含んでいる。具体的には、ソース配線34の本体部34aから第1部位41aおよび第1部位41bに二股に分かれている。そして、二股に分かれた一方の第1部位41aから、第2部位42cおよび第2部位42dが延びて、更なる第1部位41cに接続されている。また、もう一方の第1部位41bから、第2部位42eおよび第2部位42fが延びて、更なる第1部位41dに接続されている。この例では、第2部位42(42c、42d、42e、42f)が延びる方向は、列方向52を基準にして45°の角度であるが、他の角度(例えば、30°)にしても構わない。

[0080] 図13に示した構成の場合、図12(a)及び(b)に示した構成と同様に、交差領域(段差部)45の第1部位41(41a、41b)に侵食が発生しても、ソース配線34の断線を抑制することができるという効果が得られる。さらには、図14に示すように、製造プロセスの途中で異物70が混入して、第1部位41bと第2部位42eとの間の接続が外れてしまうような状態(矢印72)が生じてても、第1部位41a、第2部位42c、第2部位42d、更なる第1部位41cにて、ソース配線34のルートを確保することができる。したがって、ソース配線34の断線を抑制することができる。

[0081] 一方、図15(a)に示した構成の場合、第2部位42a及び第2部位42bは、列方向52に延びている。この構成の場合、図15(b)に示すよ

うに、図14と同様の異物70が混入すると、第1部位41bと第2部位42bとの間の接続が外れるとともに（矢印73b参照）、第2部位42aと更なる第1部位41cとの間の接続が外れてしまう可能性がある（矢印73a参照）。そのような場合、交差配線部40における両方のルートで、ソース配線34の接続が切れてしまうので、ソース配線34の断線が生じてしまう。その点において、図13に示した構造の利点がある。

[0082] なお、図13に示した例では、二股に分かれた構成において、斜めに延びる第2部位42（42c、42d、42e、42f）を形成した。しかし、それに限らず、図7（a）に示すような構成でも、第1部位41から、斜めに延びる第2部位42（例えば、42e、42f）を形成することも可能である。

[0083] また、上述した構成例では、ソース配線34の本体部34aの幅と、交差配線部40の第2部位42の幅とを同じにしたが、それに限らず、異なる幅にしても構わない。なお、典型的には、行方向に延びる第1部位41の幅と、列方向に延びる第2部位42の幅とを同じにすることができるが、異なる幅のものを採用しても構わない。また、ソース配線34が銅配線の場合には、銅配線の酸化腐食によって断線が生じやすいので、本実施形態の構成は、その点においても顕著な効果を有する。また、ソース配線34が積層膜からなる場合、その積層膜のエッチングに適したエッチング液の選択が難しい場合があり、エッチング液の種類によって侵食の影響が強くなる場合があり、その場合にも、本実施形態の構成は顕著な効果を有する。

[0084] また、図1に示した本実施形態の液晶表示装置100においては、液晶パネル10及び／又は発光素子（例えば、LED素子）23の駆動を制御する制御装置（不図示）を含めることができる。そのような制御装置は、半導体集積回路からなる。本実施形態の制御装置は、液晶パネル駆動部およびLED駆動部を含んでいる。液晶パネル駆動部は、液晶パネル10を駆動することによって液晶パネル10に画像を表示させる部位であり、ゲートドライバ、ソースドライバなどのドライバ回路に該当する。LED駆動部は、各LED

D素子23を個別に点灯／消灯させたり、発光強度を変更させるための部位であり、例えばスイッチ等を含むドライバ回路によって構成されている。なお、発光素子が冷陰極管（CCFL）の場合には、LED駆動部は、CCFL駆動部（または、バックライト駆動部）となる。

[0085] また、本実施形態のLED素子23は、導光板22に光を出射するように複数個配列されており、例えば白色LEDからなる。図1に示した例では、導光板22の一辺にLED素子23を配列させたが、それに限らず、導光板22の二辺又はそれ以上（例えば、三辺）にLED素子23を配列させることも可能である。なお、上述したように、LED素子23は、直下型のLEDバックライトの構成で使用することも可能である。

[0086] 以上、本発明を好適な実施形態により説明してきたが、こうした記述は限定事項ではなく、勿論、種々の改変が可能である。例えば、上述した実施形態では、1枚の液晶パネル10を用いて画像表示部を構成しているが、複数枚の液晶パネル10を組み合わせることで1つの画像表示部（マルチディスプレイ）を構成することも可能である。そのような複数枚の液晶パネル10を組み合わせることで液晶表示装置100を、大画面のデジタルサイネージ（例えば、100インチ以上の表示装置）の用途に使用することも可能である。

産業上の利用可能性

[0087] 本発明によれば、ソース配線の断線を抑制できる液晶パネル用アレイ基板および液晶パネルを提供することができる。

符号の説明

- [0088] 10 液晶パネル
11 アレイ基板（液晶パネル用アレイ基板）
12 カラーフィルタ基板
13 偏光板
20 バックライトユニット
21 光学シート
22 導光板

- 2 3 発光素子 (L E D 素子)
- 2 5 配線基板
- 2 7 反射シート
- 2 8 バックライトシャーシ
- 2 9 ベゼル
- 3 0 T F T 素子
- 3 1 半導体層
- 3 2 d ドレイン電極
- 3 2 s ソース電極
- 3 3 ゲート配線
- 3 4 ソース配線
 - 3 4 a ソース配線の本体部
 - 3 4 b 金属膜
 - 3 4 m レジストパターン
- 3 5 補助容量配線 (C s 配線)
 - 3 5 b C s 配線の幅狭部
 - 3 5 e C s 配線の外縁
 - 3 5 m レジストパターン
- 3 6 ドレイン配線
- 3 7 画素電極
- 3 8 ガラス基板
- 3 9 絶縁膜
- 4 0 交差配線部
 - 4 1 第 1 部位
 - 4 2 第 2 部位
 - 4 4 段差領域
 - 4 5 交差領域
 - 4 6 侵食

- 4 7 交差領域
- 4 8 近接領域
- 4 9 直線部位
- 5 1 行方向
- 5 2 列方向
- 7 0 異物
- 1 0 0 液晶表示装置
- 1 1 0 アレイ基板
- 1 1 1 画素電極
- 1 1 2 ゲート配線
- 1 1 4 データ配線
- 1 1 5 画素領域
- 1 2 0 カラーフィルタ基板
- 1 3 0 液晶層
- 1 5 0 透光性基板
- 2 1 0 アレイ基板
- 1 0 0 0 液晶パネル

請求の範囲

- [請求項1] 行及び列を有するマトリックス状に画素が配置された液晶パネル用アレイ基板であって、
行方向に延びる補助容量配線と、
前記補助容量配線よりも上層に位置し、列方向に延びるソース配線と
と
を備え、
前記補助容量配線と前記ソース配線との交差領域において、前記上層に位置する前記ソース配線は、交差配線部を有しており、
前記交差配線部は、
前記ソース配線の本体部に連続し、前記行方向に延びる第1部位と、
前記第1部位に連続し、前記行方向と異なる方向に延びる第2部位と
を含んでいる、アレイ基板。
- [請求項2] 前記ソース配線の第2部位は、前記列方向に延びており、
前記交差配線部は、
前記第1部位と、
前記第1部位から直角に延びる前記第2部位と、
前記第2部位から直角に延び、前記本体部に繋がる更なる第1部位と
から構成されている、請求項1に記載のアレイ基板。
- [請求項3] 前記第1部位および前記更なる第1部位は、下層に位置する前記補助容量配線の外縁を覆うように前記行方向に延びている、請求項2に記載のアレイ基板。
- [請求項4] 前記補助容量配線の幅は、前記交差領域において狭くなっている、請求項2または3に記載のアレイ基板。
- [請求項5] 前記ソース配線の前記本体部における幅と、前記交差配線部におけ

る前記第2部位の幅とは同一の寸法である、請求項1から4の何れか一つに記載のアレイ基板。

[請求項6] 前記補助容量配線と前記ソース配線との全ての前記交差領域において、前記第1部位および前記第2部位を含む前記交差配線部が形成されている、請求項1から5の何れか一つに記載のアレイ基板。

[請求項7] 前記交差配線部は、
前記ソース配線の前記本体部から二股に分かれた前記第1部位と、前記二股に分かれた前記第1部位に接続された前記第2部位と、
前記第2部位と、前記本体部とを接続する更なる第1部位とから構成されている、請求項1に記載のアレイ基板。

[請求項8] 前記二股に分かれた前記第1部位および前記更なる第1部位は、それぞれ、前記行方向に延びている、請求項7に記載のアレイ基板。

[請求項9] 前記第2部位は、前記列方向に対して斜めに延びる部分を含んでいる、請求項7に記載のアレイ基板。

[請求項10] さらに、行方向に延びるゲート配線を備えており、
前記ソース配線は、前記ゲート配線よりも上層に位置し、
前記ゲート配線と前記ソース配線との交差領域において、前記上層に位置する前記ソース配線は、直線部位によって前記ゲート配線を乗り越えている、請求項1から9の何れか一つに記載のアレイ基板。

[請求項11] 前記マトリクス状に配置された画素のそれぞれには、薄膜トランジスタが形成されており、
前記薄膜トランジスタには、
前記ソース配線から延びるソース電極と、
前記ソース電極に対向して配置されたドレイン電極と
を備え、
前記ドレイン電極からは、画素電極に接続されるドレイン配線が延びており、
前記ドレイン配線の端部は、前記補助容量配線に接続されている、

請求項 1 から 1 0 の何れか一つに記載のアレイ基板。

[請求項12] 前記ソース配線は、銅から構成されている、請求項 1 から 1 1 の何れか一つに記載のアレイ基板。

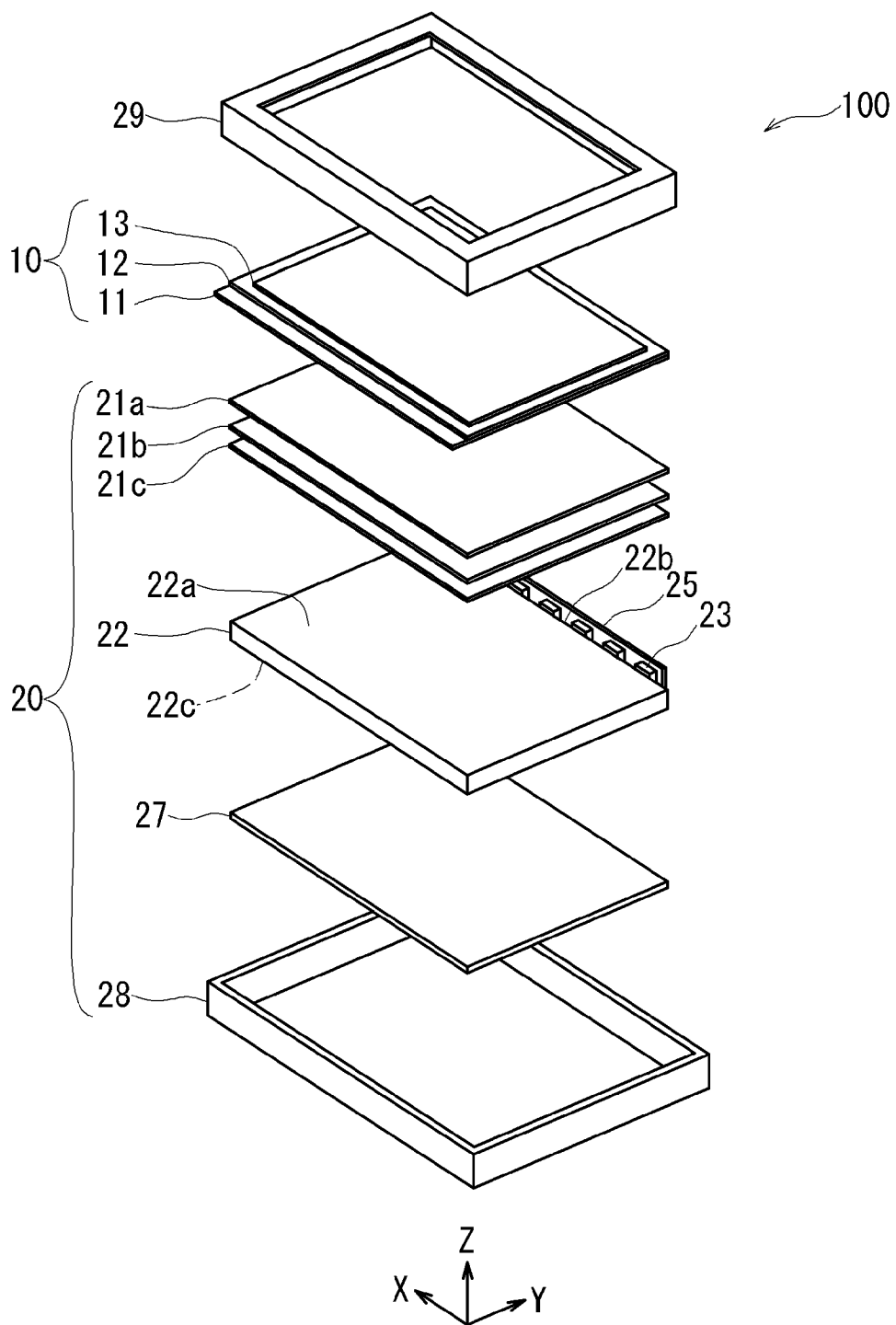
[請求項13] 請求項 1 から 1 2 の何れか一つに記載のアレイ基板と、
前記アレイ基板に対向して配置されるカラーフィルタ基板と、
前記アレイ基板と前記カラーフィルタ基板との間に配置される液晶層と

を備えた、液晶パネル。

[請求項14] 請求項 1 3 に記載の液晶パネルと、
前記液晶パネルに光を照射するバックライトユニットと
を備えた、液晶表示装置。

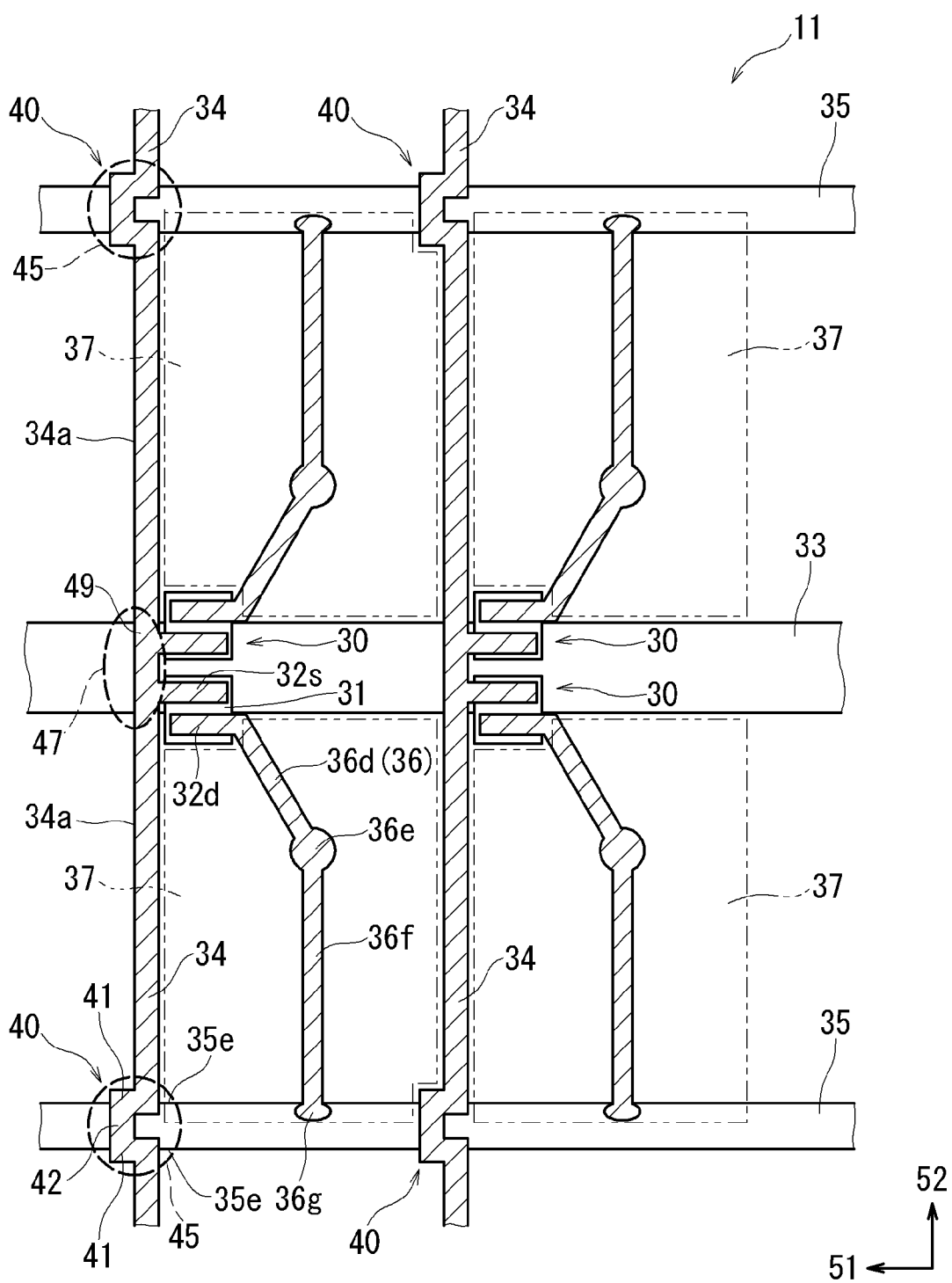
[図1]

FIG. 1



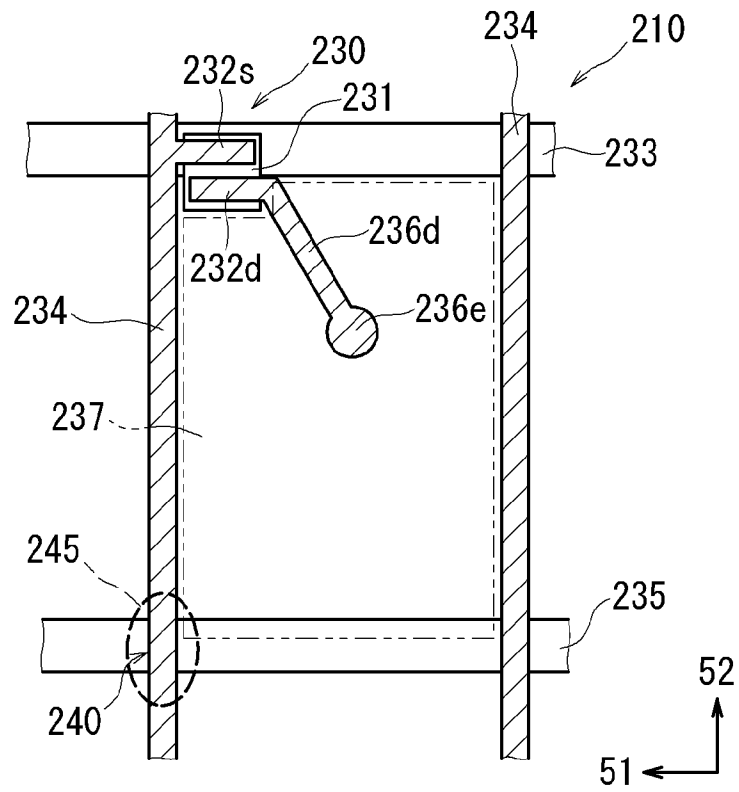
[図2]

FIG. 2



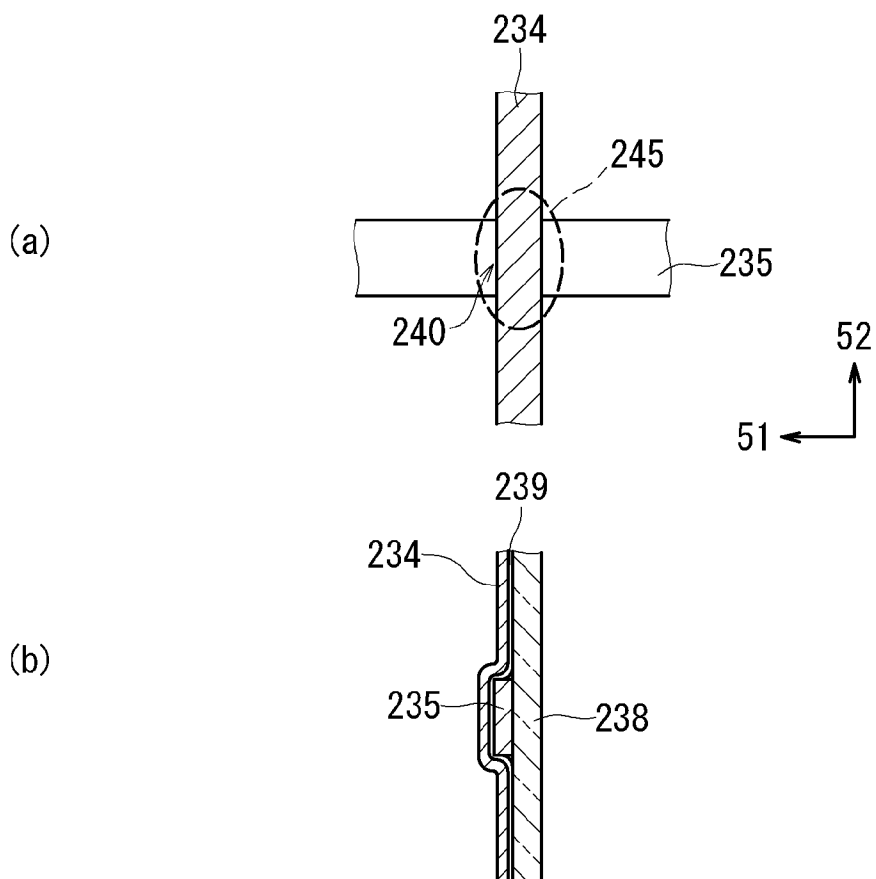
[図3]

FIG. 3



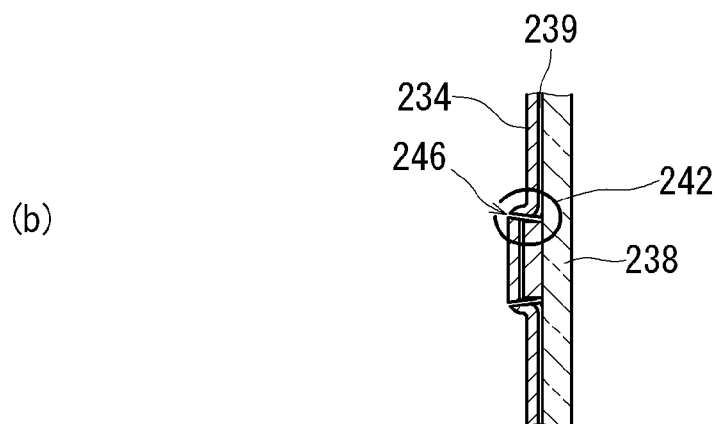
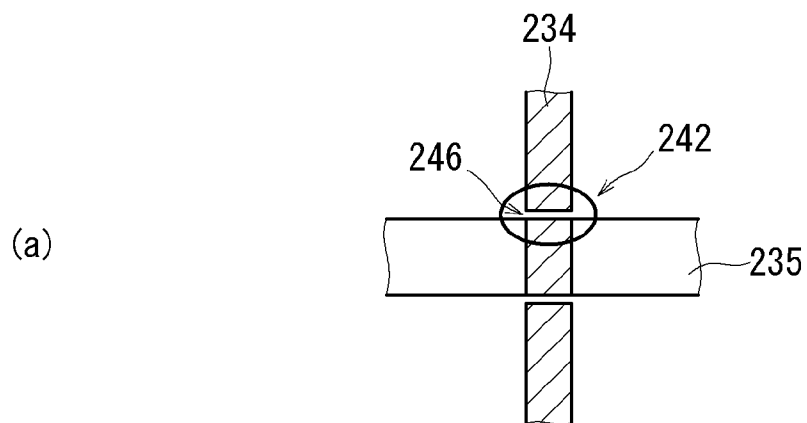
[図4]

FIG. 4



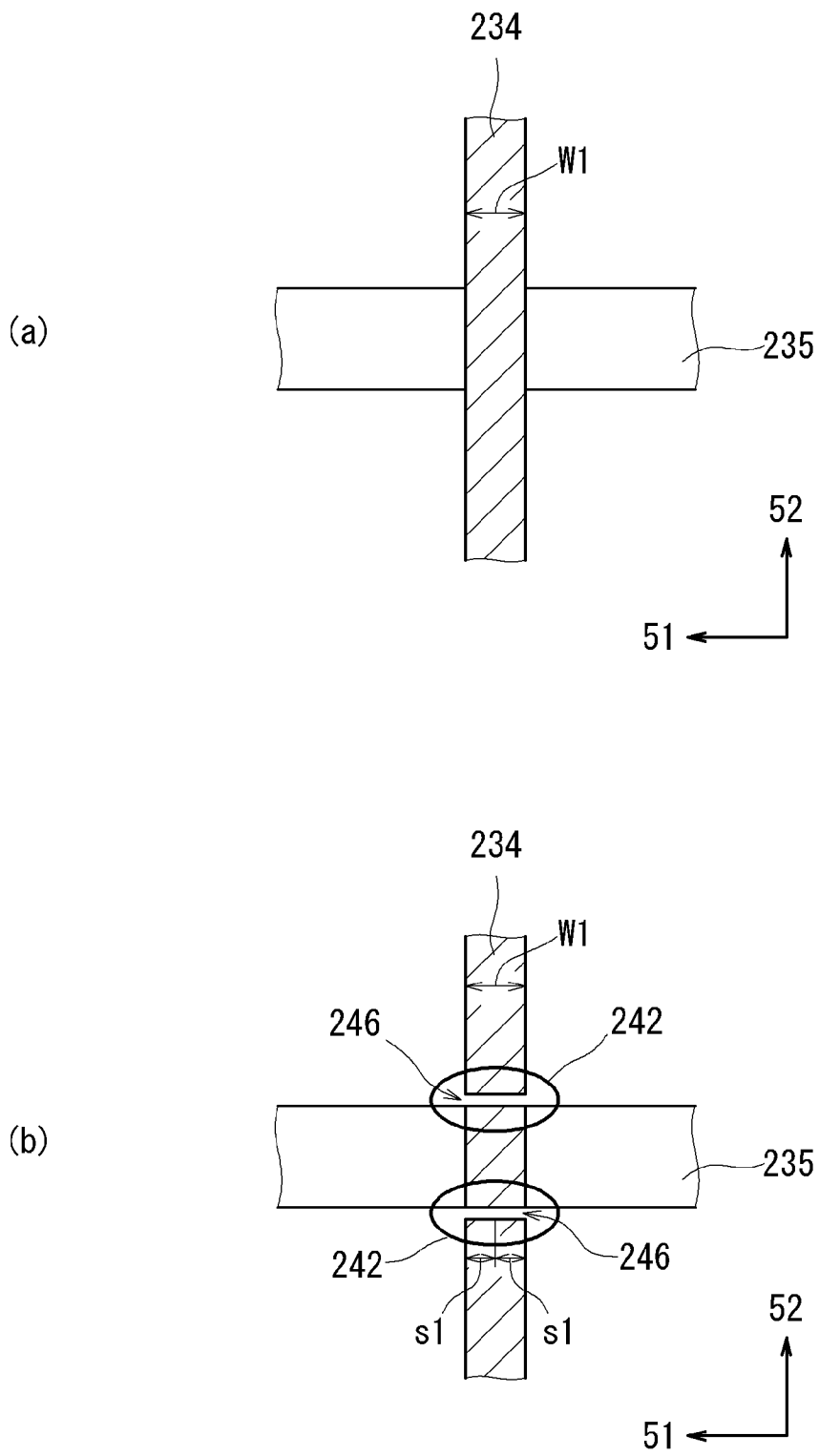
[図5]

FIG. 5



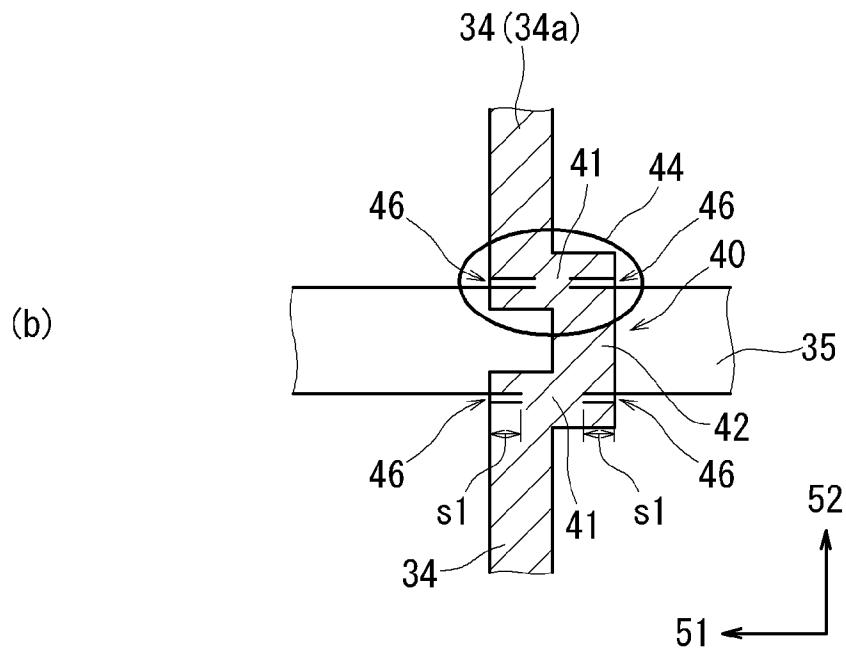
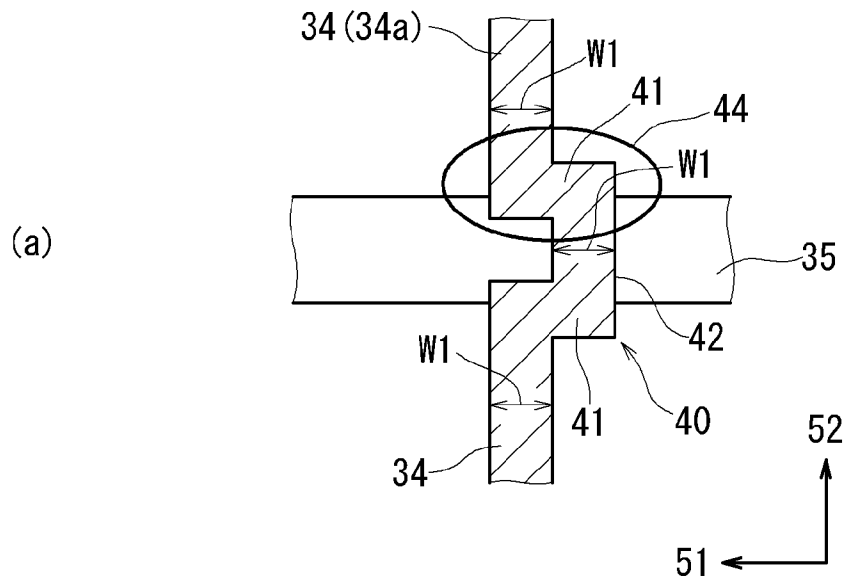
[図6]

FIG. 6



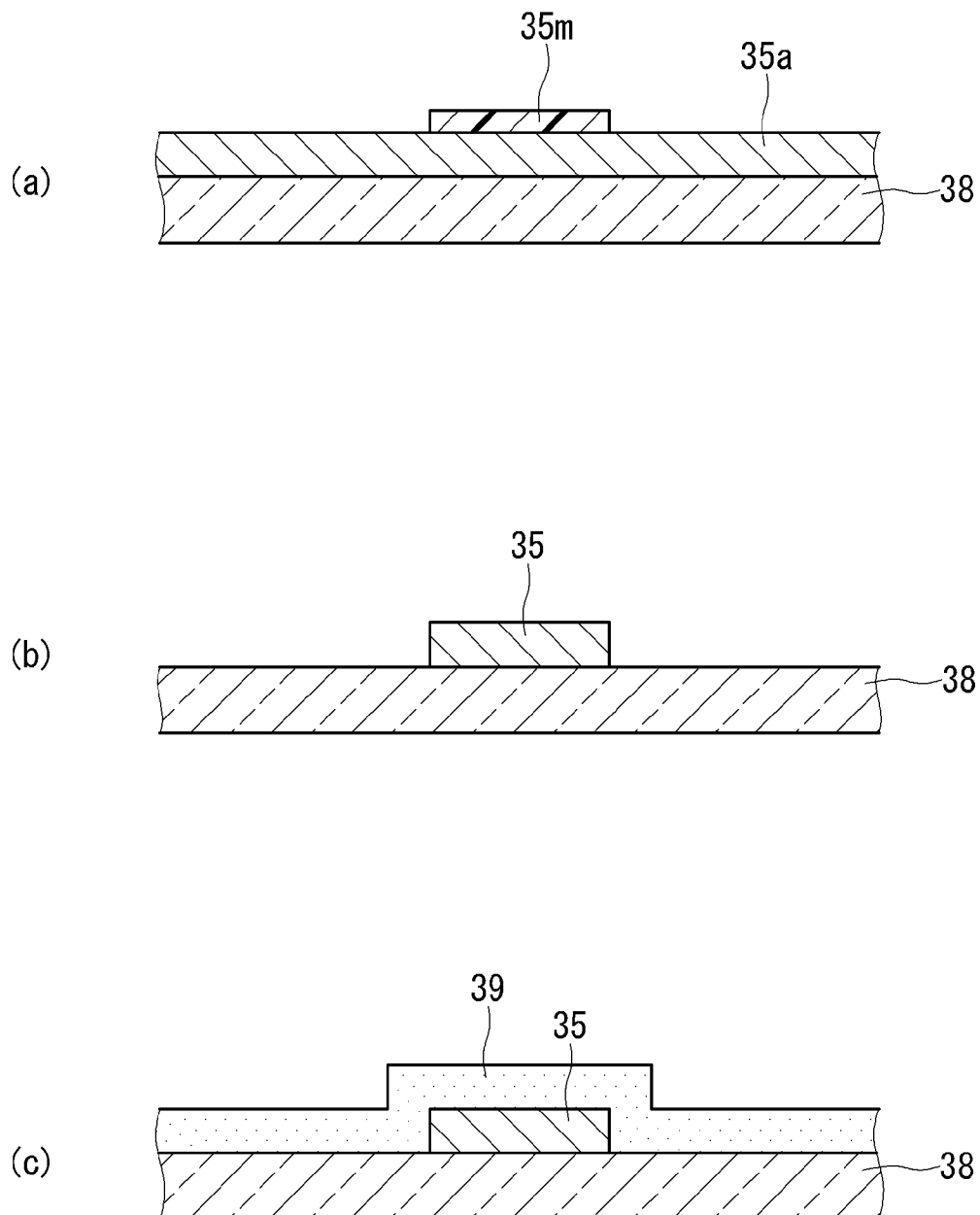
[図7]

FIG. 7



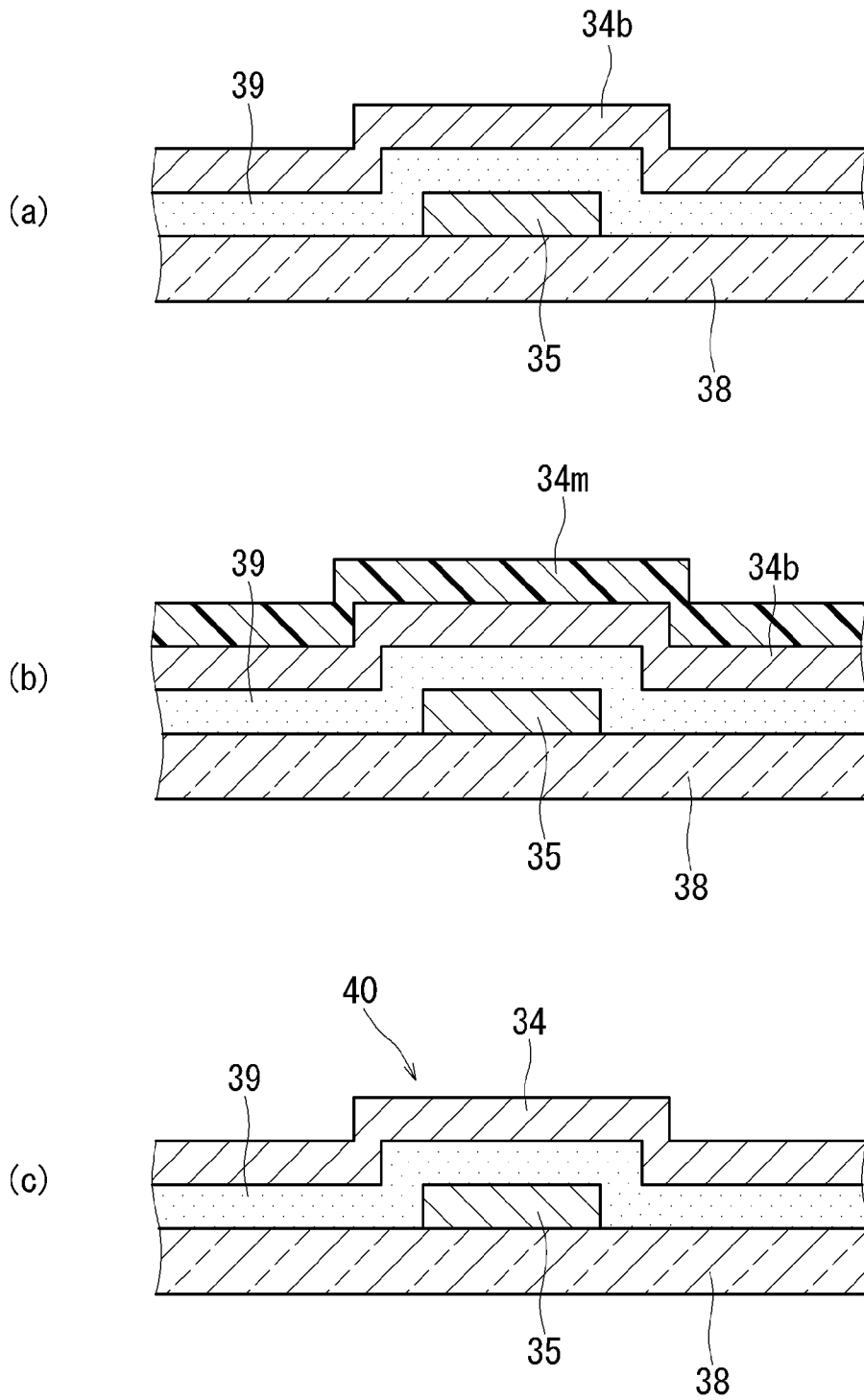
[図8]

FIG. 8



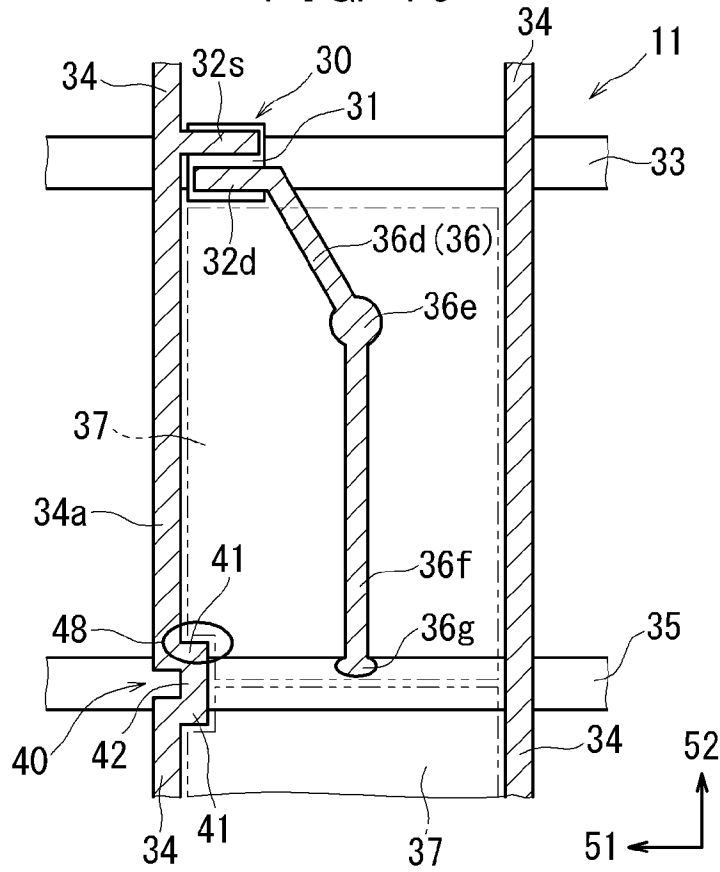
[図9]

FIG. 9



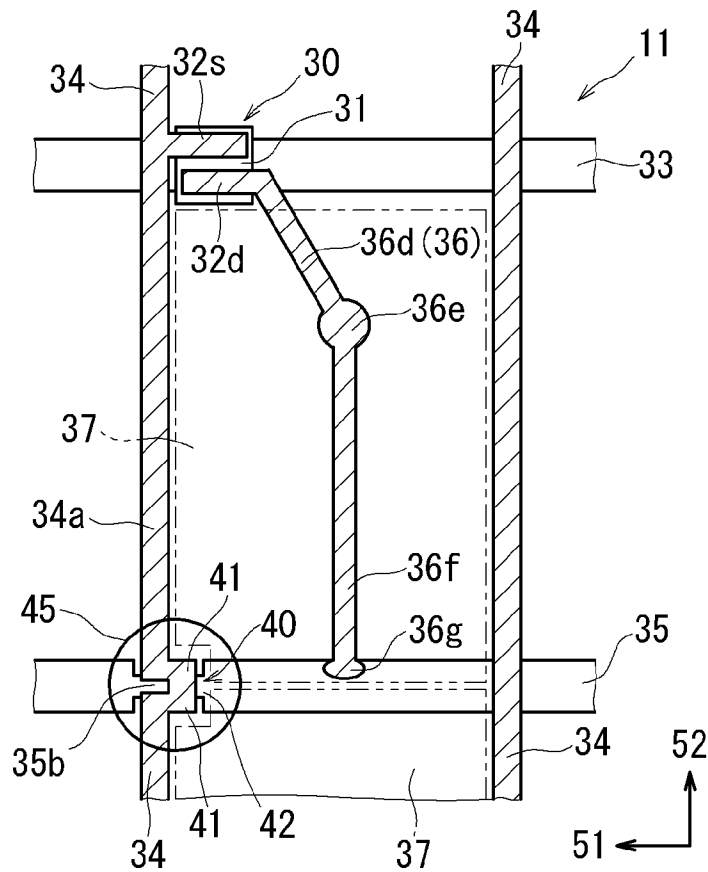
[図10]

FIG. 10



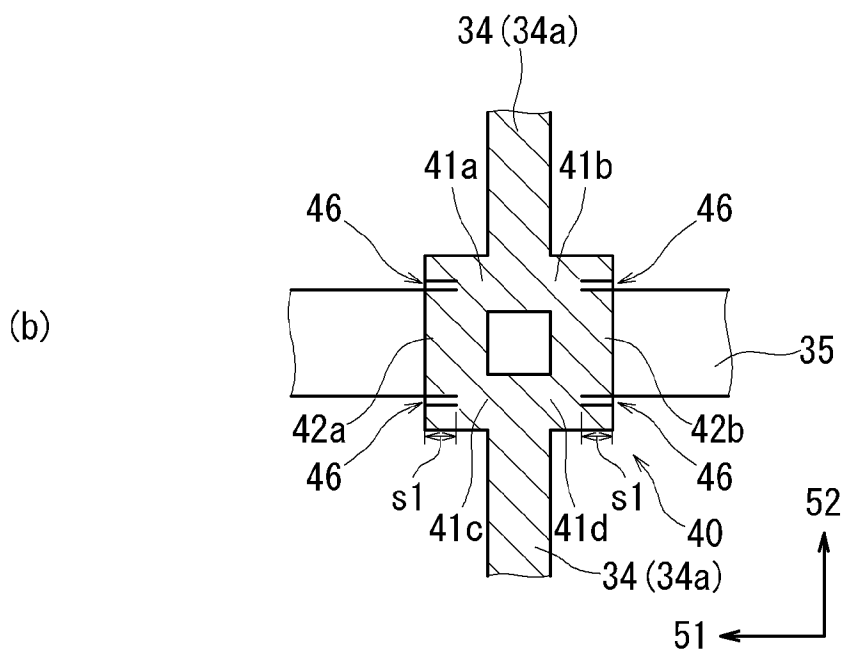
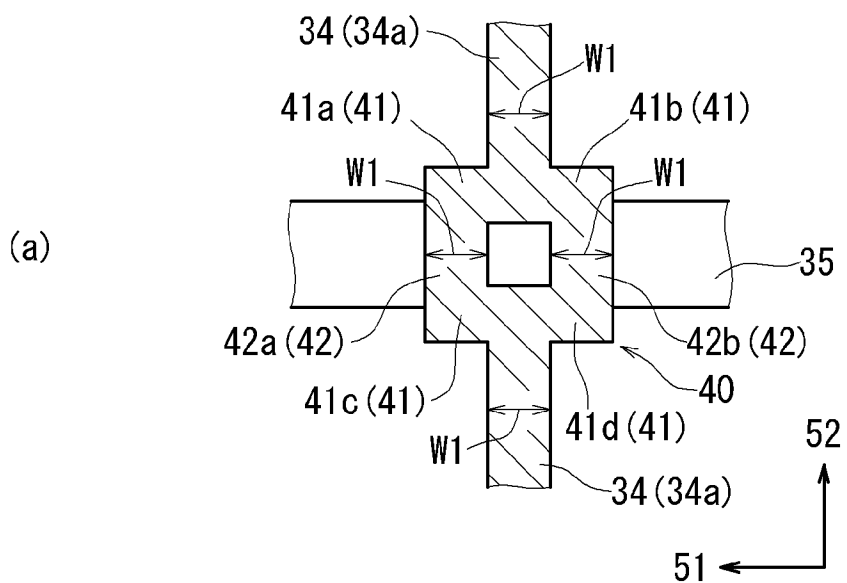
[図11]

FIG. 11



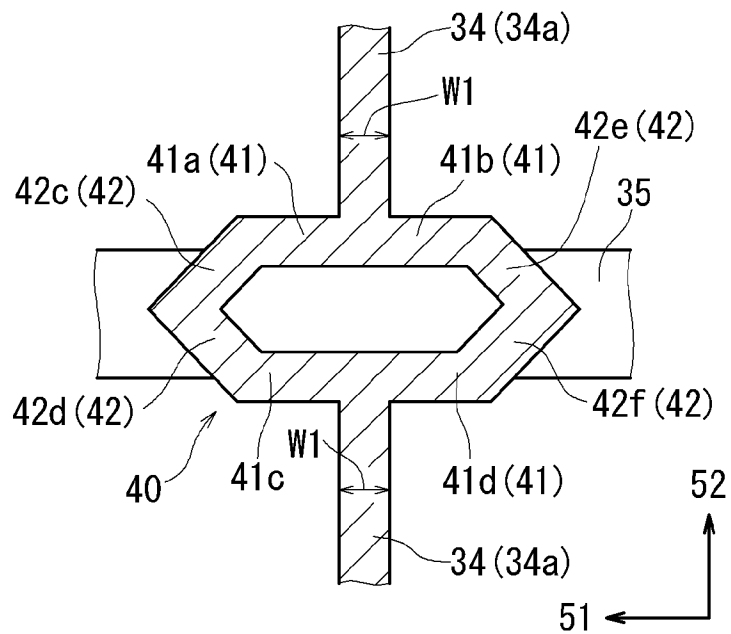
[図12]

FIG. 12



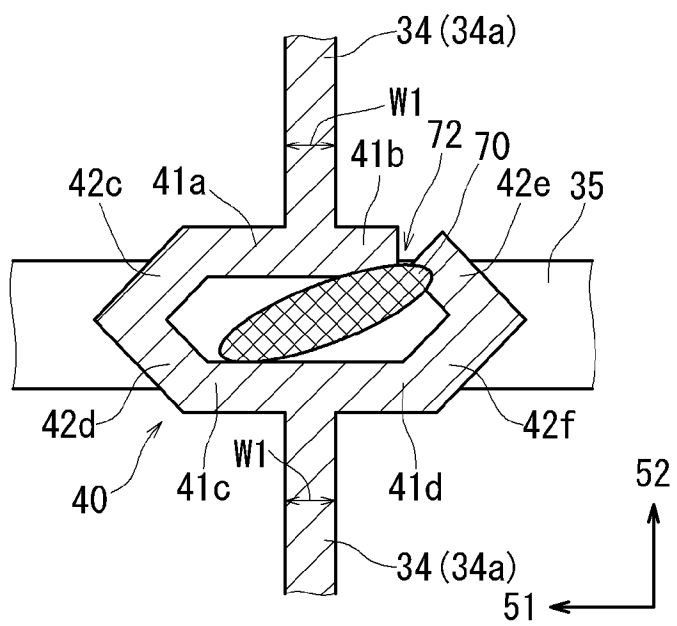
[図13]

FIG. 13



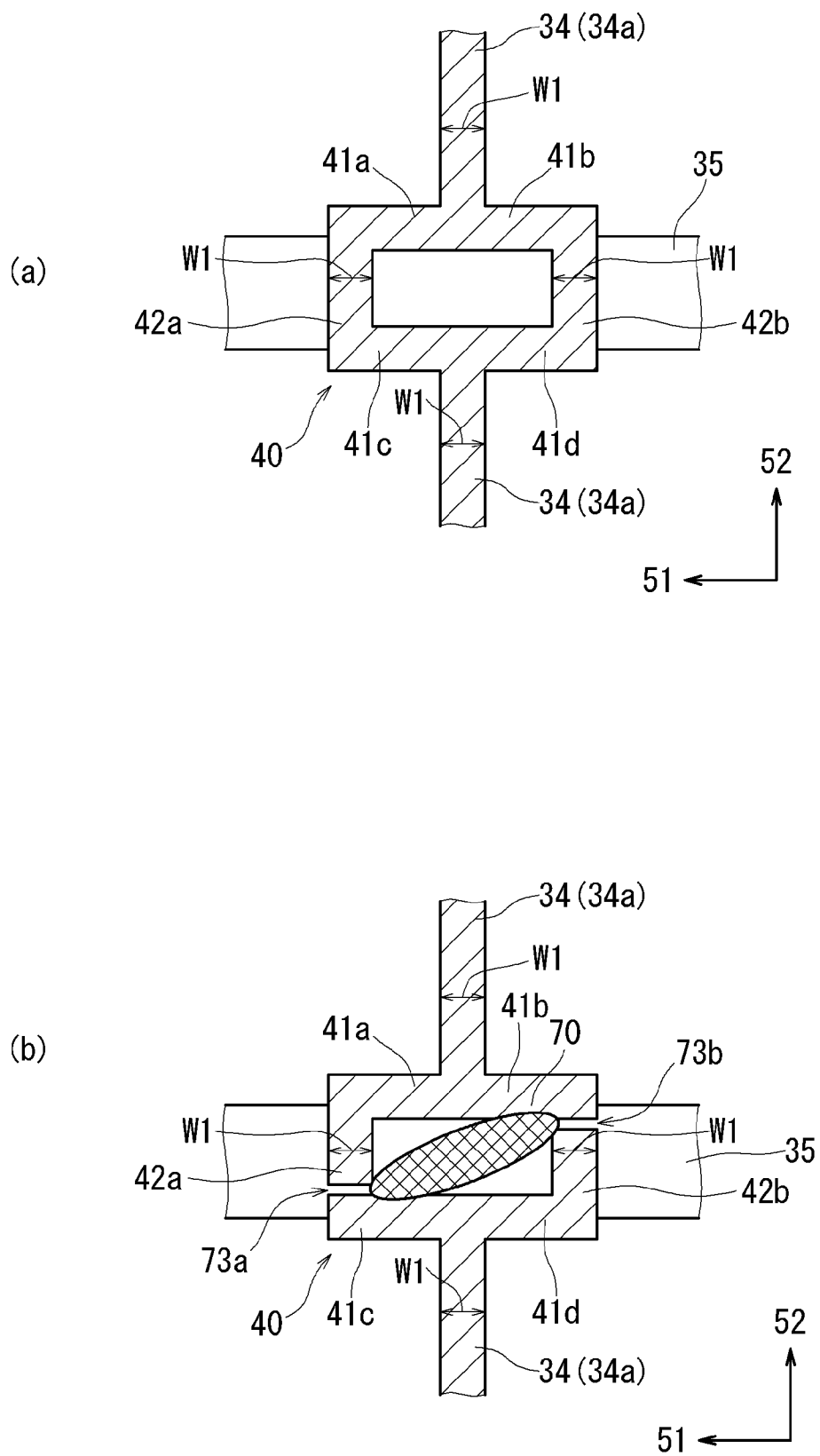
[図14]

FIG. 14

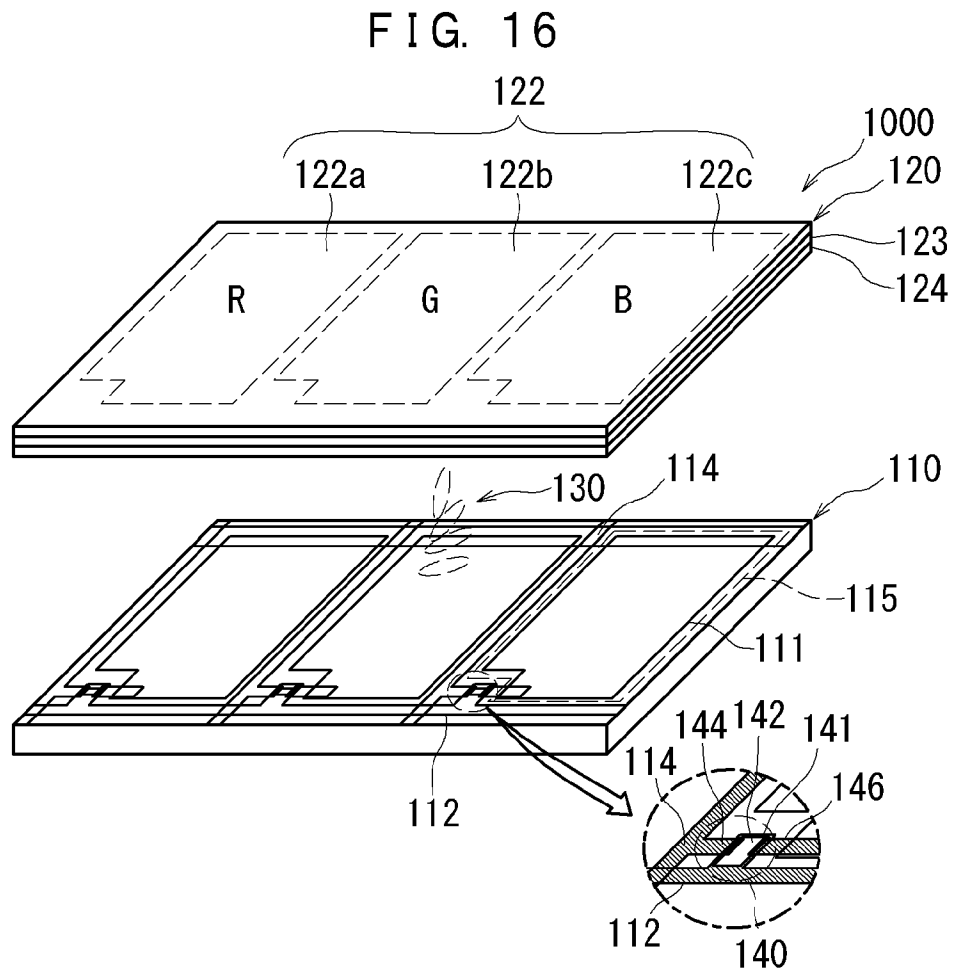


[図15]

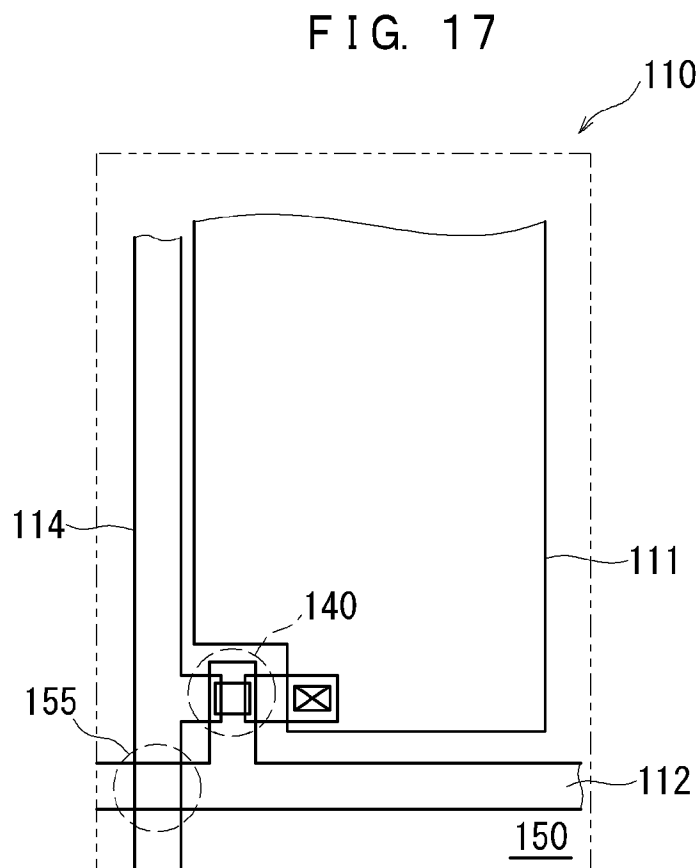
FIG. 15



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/050424

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1343(2006.01) i, G02F1/1368(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1343, G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2012 |
| Kokai Jitsuyo Shinan Koho | 1971-2012 | Toroku Jitsuyo Shinan Koho | 1994-2012 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| A | JP 2000-267130 A (Toshiba Corp.), 29 September 2000 (29.09.2000), paragraph [0041]; fig. 5 & US 6400427 B1 | 1-14 |
| A | WO 2009/066498 A1 (Sharp Corp.), 28 May 2009 (28.05.2009), paragraph [0067]; fig. 6 & US 2010/0245679 A1 & CN 101952772 A | 1-14 |
| A | WO 2008/111322 A1 (Sharp Corp.), 18 September 2008 (18.09.2008), paragraphs [0119] to [0124] & US 2010/0039577 A1 & CN 101578641 A | 1-14 |

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
26 January, 2012 (26.01.12)

Date of mailing of the international search report
07 February, 2012 (07.02.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/050424

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| A | JP 2002-268076 A (Matsushita Electric Industrial Co., Ltd.), 18 September 2002 (18.09.2002), paragraph [0051]; fig. 7 (Family: none) | 1-14 |
| A | JP 9-269503 A (Toshiba Corp.), 14 October 1997 (14.10.1997), paragraphs [0038], [0039]; fig. 8 (Family: none) | 1-14 |

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G02F1/1343(2006.01)i, G02F1/1368(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G02F1/1343, G02F1/1368

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2012年
 日本国実用新案登録公報 1996-2012年
 日本国登録実用新案公報 1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
|-----------------|---|----------------|
| A | JP 2000-267130 A (株式会社東芝) 2000.09.29, 段落【0041】、 【図5】 & US 6400427 B1 | 1-14 |
| A | WO 2009/066498 A1 (シャープ株式会社) 2009.05.28, 段落【0067】、 【図6】 & US 2010/0245679 A1 & CN 101952772 A | 1-14 |
| A | WO 2008/111322 A1 (シャープ株式会社) 2008.09.18, 段落【0119】 - 【0124】 & US 2010/0039577 A1 & CN 101578641 A | 1-14 |

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

| | |
|---|---|
| <p>* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p> | <p>の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献</p> |
|---|---|

| | |
|---|--|
| 国際調査を完了した日 26.01.2012 | 国際調査報告の発送日 07.02.2012 |
| 国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号 | 特許庁審査官 (権限のある職員) ▲高▼木 尚哉 電話番号 03-3581-1101 内線 3255 |

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|---|----------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| A | JP 2002-268076 A (松下電器産業株式会社) 2002. 09. 18, 段落【0051】、【図7】 (ファミリーなし) | 1-14 |
| A | JP 9-269503 A (株式会社東芝) 1997. 10. 14, 段落【0038】、【0039】、【図8】 (ファミリーなし) | 1-14 |